



(12) 发明专利申请

(10) 申请公布号 CN 117240261 A

(43) 申请公布日 2023. 12. 15

(21) 申请号 202311206443.1

H03L 7/16 (2006.01)

(22) 申请日 2017.11.08

H03K 23/00 (2006.01)

(30) 优先权数据

H03K 5/00 (2006.01)

15/346,524 2016.11.08 US

(62) 分案原申请数据

201780068625.3 2017.11.08

(71) 申请人 德州仪器公司

地址 美国德克萨斯州

(72) 发明人 B·哈龙 周文婷 K·Y·塔姆

R·霍什亚 A·基埃

(74) 专利代理机构 北京律盟知识产权代理有限

责任公司 11287

专利代理师 林斯凯

(51) Int. Cl.

H03K 5/135 (2006.01)

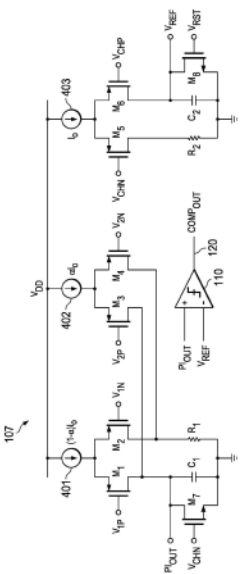
权利要求书1页 说明书7页 附图12页

(54) 发明名称

高线性度相位内插器

(57) 摘要

本公开涉及高线性度相位内插器。在高线性度相位内插器PI (107) 的所描述实例中,控制逻辑可提供指示输出信号与输入时钟信号边沿之间的期望相位差的相位值参数( $\alpha$ )。可在第一时间段内运用与所述相位值参数成正比的第一电流(401)为第一电容器(C1)充电,以在所述电容器上产生与所述相位值参数成正比的第一电压。可在第二时间段内运用具有恒定值的第二电流(402)进一步为所述第一电容器(C1)充电,以形成被偏移了所述第一电压的电压斜坡。可在所述第二时间段期间比较(110)参考电压( $V_{ref}$ )与所述电压斜坡( $PI_{out}$ )。可在所述电压斜坡等于所述参考电压时断言所述输出信号(120)。



1. 一种用于执行相位内插的方法,所述方法包括:

产生指示输出信号与输入时钟边沿之间的期望相位差的相位值参数;

在第一时间段内运用与所述相位值参数成正比的第一电流为第一电容器充电,以在所述电容器上产生与所述相位值参数成正比的第一电压;

相对于所述输入时钟边沿在第二时间段内运用具有恒定值的第二电流为所述第一电容器充电,以形成被偏移了所述第一电压的电压斜坡;

在所述第二时间段期间比较参考电压与所述电压斜坡;以及

在所述电压斜坡等于所述参考电压时断言所述输出信号,

其中通过以下操作来产生所述参考电压:在第三时间段内运用具有恒定值的第三电流为第二电容器充电;以及在所述第二时间段之后重设所述第一电容器和所述第二电容器。

## 高线性度相位内插器

[0001] 分案申请信息

[0002] 本申请是申请日为2017年11月8日、申请号为201780068625.3、发明名称为“高线性度相位内插器”的发明专利申请的分案申请。

### 技术领域

[0003] 本发明相位内插器,且更确切地说,涉及遍及全范围操作具有高线性度的相位内插器。

### 背景技术

[0004] 相位内插器(phase interpolator,PI)可用以通过从参考时钟信号的边沿内插规定量的时间来产生从参考时钟信号相移的时钟信号。

[0005] 举例来说,相位内插器可用于串行器/串并转换器(serializer/deserializer, SerDes)通信接口的时钟和数据恢复(clock and data recovery,CDR)回路中PI可内插于锁相回路(phase locked loop,PLL)与数据取样器之间,以便使所恢复时钟相位移位到数据取样窗中的适当位置。其可接收具有相同频率的分别是同相和正交相位(I-Q)的两个时钟,并产生其相位是两个输入相位的经加权求和的时钟输出。理想的PI可以能够针对从0到360度的完整周期产生数个同等间隔的相位阶跃。

[0006] 通常,SerDes应用不需要高度线性的PI以正确地操作。

### 发明内容

[0007] 在高线性度相位内插器的所描述实例中,控制逻辑可提供指示输出信号与输入时钟信号边沿之间的期望相位差的相位值参数。可在第一时间段内运用与所述相位值参数成正比的第一电流为第一电容器充电,以在所述电容器上产生与所述相位值参数成正比的第一电压。可在第二时间段内运用具有恒定值的第二电流进一步为所述第一电容器充电,以形成被偏移了所述第一电压的电压斜坡。可在所述第二时间段期间比较参考电压与所述电压斜坡。可在所述电压斜坡等于所述参考电压时断言所述输出信号。

### 附图说明

[0008] 图1A是说明实例分数分频器的操作的框图,且图1B是其时序图。

[0009] 图2是包含多个分数分频器的实例时钟产生器系统的框图。

[0010] 图3是常规相位内插器的示意图。

[0011] 图4到7是说明改善型相位内插器的实施例的示意图和时序图。

[0012] 图8是说明另一非线性度改善的曲线图。

[0013] 图9是说明相位内插器的另一实施例的示意图。

[0014] 图10是说明图9的PI的操作的时序图。

[0015] 图11是说明图9的PI的操作的曲线图。

[0016] 图12是说明高线性度相位内插器的操作的流程图。

### 具体实施方式

[0017] 在图式中,相似元件由相似附图标记标示。

[0018] 实例实施例可提供用于比常规SerDes应用程式需要更好线性度的应用的高分辨率高线性度相位内插器。举例来说,此类应用程式可包含精确度时钟发生器。

[0019] 在实例实施例中,改善型相位内插器消除对于正交输入信号和共模反馈的需要。所需输入和控制信号可易于由数字逻辑产生。

[0020] 在一个实施例中,可提供跨越200ps (皮秒)的时间段具有11位的分辨率以产生大致97.6fs (飞秒)的时间分辨率的相位内插器。举例来说,此分辨率可比用于SerDes应用中的常规相位内插器的整数非线性度(integer nonlinearity, INL)好40倍。

[0021] 图1A是包含高线性度相位内插器107的实例分数分频器(fractional frequency divider, FFD) 100的框图。FFD 100可操作以产生具有等于输入时钟信号102的指定分数的频率的输出时钟信号120。输入时钟信号102可选定为具有在此实例实施例中范围介于10MHz到10GHz之间的值。在其它实施例中,可支持不同输入时钟频率范围。输出时钟信号120可产生为具有在此实例中可选自大致100Hz到1GHz的范围的频率。

[0022] 数字控制电路系统104可以硬连线方式或以可编程方式配置,以选择输出时钟信号120与输入时钟信号102之间的特定分频器比。举例来说,控制电路系统104可包含由耦合到FFD 100的处理器上执行的软件或固件加载的寄存器。

[0023] FFD 100通过执行以下操作来操作:对输入时钟102的是输出时钟信号120的期望近似时间段的指定时钟时间段数目进行计数,并接着在时钟信号102的边沿之间内插时间量以产生输出时钟信号120的边沿之间的精确时间段长度。在本文中简要描述FFD100的操作;例如FFD 100的FFD的操作的具体描述提供于Hoshyar等人于2016年9月30日提交的第US15/281,617号专利申请案“具有直接分频的分数频率时钟分频器(Fractional Frequency Clock Divider with Direct Division)”中,所述专利申请案以引用的方式并入本文中。

[0024] 图1B是说明针对13.75的实例分频比的FFD 100的操作的时序图。分频器103经配置以响应于由数字控制逻辑104提供的控制参数N 105而对输入时钟信号102的边沿的数目N进行计数并产生“第N时钟”信号V1P、V2P。在此实施例中,分频器对输入时钟信号102的上升边沿和下降边沿两者进行计数。相位内插器107经配置以内插于输入时钟102的两个边沿之间,如由相位参数 $\alpha$ 指定。举例来说,如果指定13.75的分频器比,那么控制逻辑104可发指令给计数器103以对输入时钟102的13个边沿进行计数( $N=13$ ),并发指令给PI 107以接着在断言中间时钟信号CLKp 119之前内插输入时钟102的时间段的0.75( $\alpha=0.75$ )。在下一输出时间段时,控制逻辑可接着发指令给计数器103以对十三个输入时间段进行计数,并发指令给PI 107以接着内插于输入时钟102的时间段的一半之间。中间时钟信号119可接着由111在频率上除以二,以形成具有50%工作周期且具有输入时钟102的13.75倍时间段的时间段的输出时钟信号120。接着针对输出时钟信号120的每个时间段重复此过程。通常,每个时间段将需要不同量的相位内插,这是因为分数频率比致使输出时钟信号与输入时钟信号之间的边沿关系持续改变。

[0025] 在此实例中,参数 $\alpha$ 是11位数字值(0到2047)。在另一实例中, $\alpha$ 可具有比11位更高或更低的分辨率。相位内插器107产生与由参数 $\alpha$ 指示的所请求相移量相关的电压PIout 109。比较器110可比较PIout 109与参考电压Vref 108。当PIout等于Vref时,比较器110产生输出时钟信号120上的跃迁,如下文中更详细描述。

[0026] 图2是包含一或多个分数分频器100 (1) 到100 (n) 的实例时钟产生器系统200的框图。举例来说,可使用已知或以后开发的半导体处理技术来在单个集成电路(IC)上制造系统200。又,举例来说,锁相回路(PLL)电路210可用以在晶体214受控振荡器212的控制下产生固定频率参考时钟信号202。在一些实例中,晶体214可定位在IC 200外部。在另一实施例中,可使用其它类型的已知或后来开发的时钟产生电路,例如具有MEMs谐振器的振荡器、多谐发生器、环形振荡器、延迟线振荡器等等。在另一实例中,可从外部源而非从芯片上源提供参考时钟202。

[0027] 以此方式,单个IC可提供具有不同频率的全部是从单个参考时钟信号合成的多个时钟信号。

[0028] 如下文中更详细地描述,再次参考图1,相位内插器107以高度线性方式响应于跨越一系列值的参数 $\alpha$ 而产生相移。在此描述中,可以与对于模/数转换器(analog to digital convertor,ADC)常用类似的方式描述“非线性度”。为了以标准方式表达ADC的非线性度,制造商可穿过ADC转移函数绘制称为最佳拟合线的线。与此线的最大偏差称为“积分非线性度(INL)”,其可以满刻度的百分比或以最低有效位(Least Significant Bit, LSB)表达。从每个阶跃的中心到线上的阶跃的中心将在ADC理想的情况下所处的点测量INL。术语“差分”指在两个连续电平之间取得的ADC的值。响应于改变的输入信号,ADC对信号进行取样,且ADC的输出是一连串二进制数字。理想ADC将使一个最低有效位(LSB)上升或下降,而不跳过任何电平且不保持相同十进制数字经过两个或三个LSB。遍及整个转移函数,微分非线性度(DNL)被定义为与两个连续电平之间的一个LSB的最大偏差。

[0029] 图3是常规相位内插器(PI) 300的示意图。相位内插器的一般操作已知,例如Soulioutis等人与2015年5月提交的“具有改善型线性度的相位内插器(Phase Interpolator with Improved Linearity)”中所描述。常规PI可能需要正交控制信号I、Iz、Q和Qz以控制向电容器304提供充电电流的求和电路的操作。一些实施方案,例如此实施方案,还需要共模反馈(common mode feedback,CMFB)。但是,充电电流的一部分会流失到装置302、303并由此产生非线性度。例如PI 300的简单PI电路可具有60LSB或更大的INL误差,其可在一个LSB是100fs时大于6000fs。

[0030] 更详细地说,再次参考图1,图4是说明可用于PI 107的改善型相位内插器400的示意图。图5是说明PI 400的操作的时序图。如上文所描述,参数 $\alpha$ 可由例如图1中的控制电路系统104的控制电路系统提供。例如通过执行指令、由其它控制逻辑、由初始化电路系统、由硬连线控制逻辑等等,可将参数 $\alpha$ 加载到控制逻辑104内或耦合到控制逻辑104的寄存器中。在此实例中,参数 $\alpha$ 是具有介于0.0到1.0的范围内的值的分数值,其表示相对于输入时钟信号102使输出时钟信号120的相位移位的时间段的百分比。

[0031] 在每个内插周期期间,第一电流源401经配置以产生与 $(1-\alpha)$ 成正比的电流且第二电流源402经配置以产生与 $(\alpha)$ 成正比的电流。举例来说,可使用数/模转换器(digital to analog converter,DAC)来实施电流源401、402。在此实例中,可使用具有十二位元的分辨

率的DAC;其它实施例可使用具有更高或更低分辨率的DAC。再次参考图1,电流源可受例如控制电路系统104的控制电路系统控制。

[0032] 在第一时间段501期间,通过MOS装置M1将来自电流源401的电流提供给斜坡电容器C1,而来自电流源402的电流通过MOS装置M4由电阻器R1耗散。来自电流源401的电流为斜坡电容器C1充电,并产生在第一时间段501期间以与 $(1-\alpha)$ 成正比的斜率斜升的电压PIout,以在时间531产生与所请求相移成正比的PIout电压。

[0033] 在第二时间段502期间,还经由MOS装置M3向斜坡电容器C1提供来自电流源402的与 $(\alpha)$ 成正比的电流,使得在时间段502期间被提供给电容器C1的总电流与 $(\alpha) + (1-\alpha) = 1$ 成正比。因此,在时间段502期间,产生独立于参数 $\alpha$ 的恒定充电速率。因此,电压PIout在时间段502期间以独立于参数 $\alpha$ 的斜率斜升,并在时间531被偏移了PIout电压。以此方式,产生二阶跃电压斜坡信号,其中第一阶跃产生与时间531时的所请求相移成正比的电压量值,且其中第二阶跃允许基于时间531时的电压量值而产生具有所请求相移的输出信号。

[0034] 在第三时间段503期间,来自电流源401的电流可由MOS装置M2转向到电阻器R1,以使得斜坡电容器C1在时间段503期间按与 $(\alpha)$ 成正比的速率进行充电。以此方式,在内插周期的每次重复期间,斜坡电容器C1被充电到如510处所指示的同一全充电电压电平,而不论参数 $\alpha$ 的值。

[0035] 可提供具有全充电电压510的1/2倍的值的参考电压Vref,所述全充电电压对应于531处的最大电压。通过在第二时间段502期间比较PIout与Vref,可产生相对于输入时钟102具有相对于参数 $\alpha$ 极其线性的相移的时钟信号120。举例来说,当 $\alpha=0$ 时,在时间520断言时钟信号120,其相对于输入时钟信号102具有0度的相移。当 $\alpha=0.5$ 时,在时间521断言时钟信号120,其相对于输入时钟信号102具有180度的相移。类似地,当 $\alpha=1.0$ 时,在时间522断言时钟信号120,其相对于输入时钟信号102具有360度的相移。因此,可通过对应地选择参数 $\alpha$ 来产生0到360度之间的任何相移量。

[0036] 在时间段504期间,斜坡电容器C1可由MOS装置M7放电。

[0037] 在此实例中,参考电压Vref由经配置以在时间段504期间为电容器C2充电的第三电流源403产生。可在时间段503的下半部分期间重设电容器C2。以此方式,可在与PI电路400的其余部分相同的条件下产生参考电压Vref,以使得消除由过程变化引起的失配。

[0038] 再次参考图1,图6是说明可用作PI 107的改善型相位内插器600的另一实施方案的示意图。图7是说明PI 600的操作的时序图。PI 600可以一组开关装置630到639予以实施,所述开关装置如图7中所指示受定时信号S1到S5控制。PI 600的操作类似于如关于图4、5所描述的PI 400的操作。可使用例如双极半导体装置、场效装置等已知或以后开发的半导体处理技术来实施开关630到639。

[0039] 在每个内插周期期间,第一电流源601经配置以产生与 $(1-\alpha)$ 成正比的电流且第二电流源602经配置以产生与 $(\alpha)$ 成正比的电流。在第一时间段701期间,通过开关装置631将来自电流源601的电流提供给斜坡电容器C2,而来自电流源602的电流通过开关装置637和638由电阻器R2耗散。来自电流源601的电流为斜坡电容器C2充电,并产生在第一时间段701期间以与 $(1-\alpha)$ 成正比的斜率斜升的电压PIout,以在时间段701结束时产生与所请求相移成正比的PIout电压。

[0040] 在第二时间段702期间,还经由MOS装置636向斜坡电容器C2提供来自电流源602的

与 $(\alpha)$ 成正比的电流,使得在时间段702期间被提供给电容器C2的总电流与 $(\alpha) + (1-\alpha) = 1$ 成正比。因此,在时间段702期间,产生独立于参数 $\alpha$ 的恒定充电速率。因此,电压PIout在时间段702期间以独立于参数 $\alpha$ 的斜率斜升。

[0041] 在第三时间段703期间,来自电流源601的电流可由开关装置632和633转向到电阻器R1,以使得斜坡电容器C2在时间段703期间按与 $(\alpha)$ 成正比的速率进行充电。以此方式,在内插周期的每次重复期间,斜坡电容器C2被充电到如710处所指示的同一全充电电压电平,而不论参数 $\alpha$ 的值。

[0042] 可提供具有全充电电压710的1/2倍的值的参考电压Vref。通过在第二时间段702期间比较PIout与Vref,可产生相对于输入时钟712具有相对于参数 $\alpha$ 极其线性的相移的时钟信号620。举例来说,当 $\alpha=0$ 时,在时间720断言时钟信号620,其相对于输入时钟信号712具有0度的相移。当 $\alpha=0.5$ 时,在时间721断言时钟信号620,其相对于输入时钟信号712具有180度的相移。类似地,当 $\alpha=1.0$ 时,在时间722断言时钟信号620,其相对于输入时钟信号712具有360度的相移。因此,可通过对应地选择参数 $\alpha$ 来产生0到360度之间的任何相移量。

[0043] 在时间段704期间,电容器C2由开关装置639放电。

[0044] 在此实例中,由来自经配置以经由开关630和635在时间段705期间为电容器C1充电的电流源601和602两者的电流产生参考电压Vref。在此实例中在时间段704的下半部分期间由开关634重设电容器C1。在另一实例中,可在时间段703的下半部分重设期间电容器C1,且可在时间段704期间为所述电容器充电。以此方式,可在与PI电路600的其余部分相同的条件下产生参考电压Vref,以使得消除由过程变化引起的失配。

[0045] 图8是说明可在图4的PI电路107和图6的PI电路600中发生的非线性度的曲线图。再次参考图5的时序图,当参数 $\alpha$ 具有分别接近其最小值或最大值的值时,由定时点531和532时的信号切换引起的突变干扰会引起非线性误差。曲线图线801表示定时点531与532之间的理想线性响应曲线。曲线图线802表示归因于围绕定时点531和532的信号突变的可能响应曲线。会产生803处指示的INL量值。实例实施例允许在例如定时点831与832之间的区的更线性区中操作相位内插器。在此状况下,此区中的理想线性响应804将引起低得多的INL量值,如805处所指示。

[0046] 再次参考图1,图9是说明可用作PI 107的相位内插器900的另一实施例的示意图。图10是说明PI 900的操作的时序图。再次参考图4,PI 900类似于PI 400,原因在于其具有经配置以产生与 $(1-\alpha)$ 成正比的电流的第一电流源901和经配置以产生与 $(\alpha)$ 成正比的电流的第二电流源902。但是,电流源901和902各自使用具有 $0.5I(0)$ 的值的参考电流。为了补偿更低电流值,第一时间段1001和第二时间段1002横跨输入时钟1012的两个时间段。

[0047] 包含第二组电流源904、905以提供使通过为电容器C1充电产生的PIout的电压斜坡移位额外恒定量的“消隐电流”。在此实施例中,电流源904、905提供 $0.25I(0)$ 的恒定电流。

[0048] 在第一时间段1001期间,通过MOS装置M1将来自电流源901和904的电流提供给斜坡电容器C1,而来自电流源902和905的电流通过MOS装置M4由电阻器R1耗散。来自电流源901、904的电流为斜坡电容器C1充电,并产生在是输入时钟1012的两个时间段的第一时间段1001期间以与 $(1-\alpha)$ 成正比的斜率斜升的电压PIout,以在时间1031产生与所请求相移成正比的PIout电压。

[0049] 在第二时间段1002期间,还经由MOS装置M3将与来自电流源902的( $\alpha$ )和来自电流源905的固定电流成正比的电流提供给斜坡电容器C1,使得在时间段1002期间被提供给斜坡电容器C1的总电流与( $\alpha$ ) + (1- $\alpha$ ) = 1成正比。因此,在时间段1002期间,产生独立于参数 $\alpha$ 的恒定充电速率。因此,电压PIout在时间段1002期间以独立于参数 $\alpha$ 的斜率斜升。

[0050] 可提供具有全充电电压1010的大致0.5倍的值的参考电压Vref。通过仅在仅是第二时间段1002的中心部分的取样时间段1030期间比较PIout与Vref,可产生相对于输入时钟1012的下降边沿具有相对于参数 $\alpha$ 极其线性的相移的时钟信号920。举例来说,当 $\alpha=0$ 时,在时间1020断言时钟信号920,其相对于输入时钟信号1012的下降边沿具有0度的相移。当 $\alpha=0.5$ 时,在时间1021断言时钟信号1020,其相对于输入时钟信号1012的下降边沿具有180度的相移。类似地,当 $\alpha=1.0$ 时,在时间1022断言时钟信号920,其相对于输入时钟信号102的下降边沿具有360度的相移。因此,可通过对应地选择参数 $\alpha$ 来产生0到360度之间的任何相移量。此外,缩短的取样时间段1030避免会由控制信号切换引起的突变。

[0051] 在时间段1003期间,电容器C1可由MOS装置M7放电。

[0052] 在此实例中,参考电压Vref由经配置以在时间段1004期间为电容器C2充电的第三电流源903产生。电容器C2可在时间段1003期间由MOS装置M8重设。以此方式,可在与PI电路900的其余部分相同的条件下产生参考电压Vref,以使得消除由过程变化引起的失配。

[0053] 图11是说明一个LSB对应于100fs的PI 900的模拟操作的曲线图。在此实例中,PI 900展现仅120fs的最大INL,其对应于1.2LSB,如图11中所说明。此与图3中所说明的常规装置中的大于6000fs的最大INL误差形成比较。

[0054] 图12是说明例如在上文结合图3到10所描述的高线性度相位内插器的操作的流程图。如关于图1到2所描述,高线性度相位内插器可用以从固定参考频率产生准确分数频率时钟信号。

[0055] 可由耦合到相位内插器的控制逻辑产生1202指示输出信号与输入时钟信号边沿之间的期望相位差的相位值参数。

[0056] 可在第一时间段内运用与相位值参数成正比的第一电流为第一电容器充电1204,以在电容器上产生与相位值参数成正比的第一电压。如上文更详细描述,受DAC控制的电流源可用以产生第一电流。相位值参数可用以控制DAC。举例来说,相位值可以是提供被提供给12位DAC的12位数字值。

[0057] 可在第二时间段内运用具有恒定值的第二电流进一步为第一电容器充电1206,以形成被偏移了第一电压的电压斜坡。如上文所描述,还可使用用于控制的DAC来实施第二电流源。

[0058] 可在第二时间段期间比较1208参考电压与电压斜坡。如上文所描述,例如图4中的比较器110的比较器可用于此比较。

[0059] 可接着在电压斜坡等于参考电压时断言1210输出信号,以产生从输入时钟被偏移了由相位值参数指定的相位量的输出信号。

[0060] 如上文更详细所描述,可由经配置以在另一时间段期间为第二电容器充电的电流源产生1212参考电压。可在每次内插周期结束时重设第二电容器。以此方式,可在与PI电路的其余部分相同的条件下产生参考电压,以使得消除由过程变化引起的失配。

[0061] 其它实施例

[0062] 再次参考图4,在另一实例实施例中,电流源401可具有 $(\alpha) I_0$ 的值且电流源402可具有 $(1-\alpha) I_0$ 的值。

[0063] 在另一实施例中,电流源401可具有与参数 $\alpha$ 成正比的电流值且电流源402可具有 $I_1$ 的恒定电流值。在此状况下,可在时间段502期间将来自电流源401的电流引导到电阻器R1,以使得电流源402在取样时间段502期间单独产生具有固定斜率的斜坡电压。

[0064] 在另一实施例中,电流源的各种组合可经配置以在第一时间段期间产生与所请求相移量成正比的电压斜率并在取样时间段期间产生具有固定斜率的额外电压斜率。

[0065] 在各种实施例中,斜坡电容器可实施为离散电容器、MOS装置、多个装置等等。

[0066] 在另一实施例中,可使用另一类型的装置特性来产生用于确定相移的二阶跃斜坡信号,例如使用电感装置来产生具有二阶跃斜坡的电流。

[0067] 在本文中描述了分数频率时钟产生器系统,但其它系统可实施在本文中针对例如SerDes接口的时钟恢复、PLL的频率控制等功能所公开的高线性度相位内插器。

[0068] 在此描述中,术语“耦合”和其派生词意味着间接、直接、光学和/或无线电连接。因此,如果第一个装置耦合到第二个装置,那么那个连接可以通过直接电连接、通过其它装置和连接的间接电连接、通过光学电连接和/或通过无线电连接。

[0069] 尽管可以依序方式在图式中展示和/或在本文中描述方法步骤,但可省略、重复、同时执行和/或以不同次序执行所展示和/或描述步骤中的一或多个。

[0070] 在所描述实施例中可能进行修改,且其它实施例在权利要求的范围内是可能的。

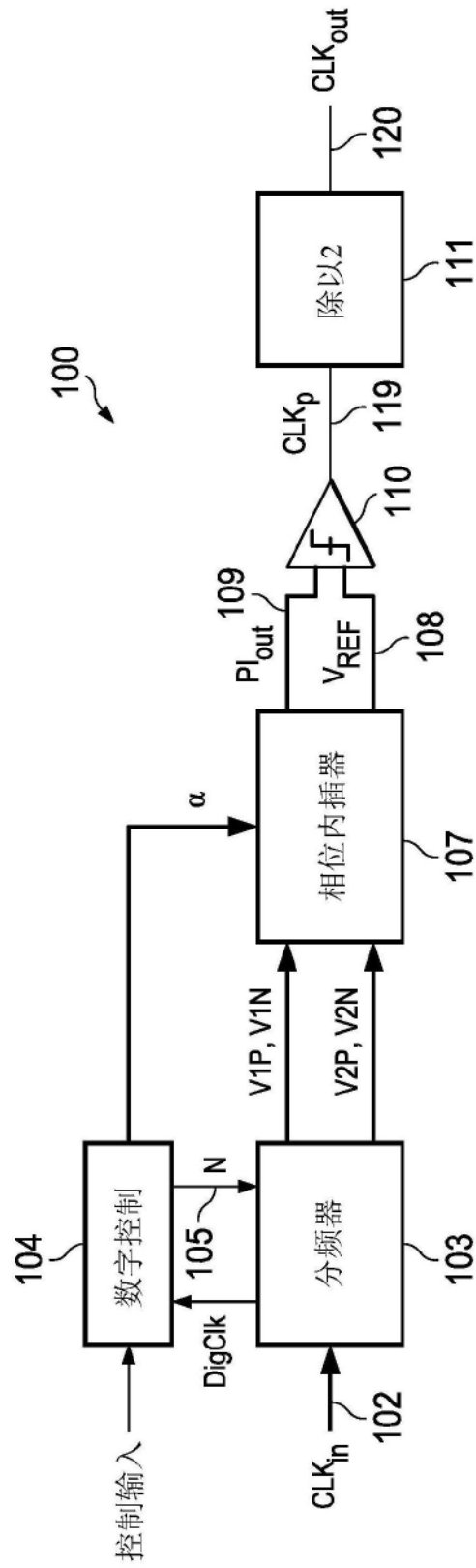


图1A

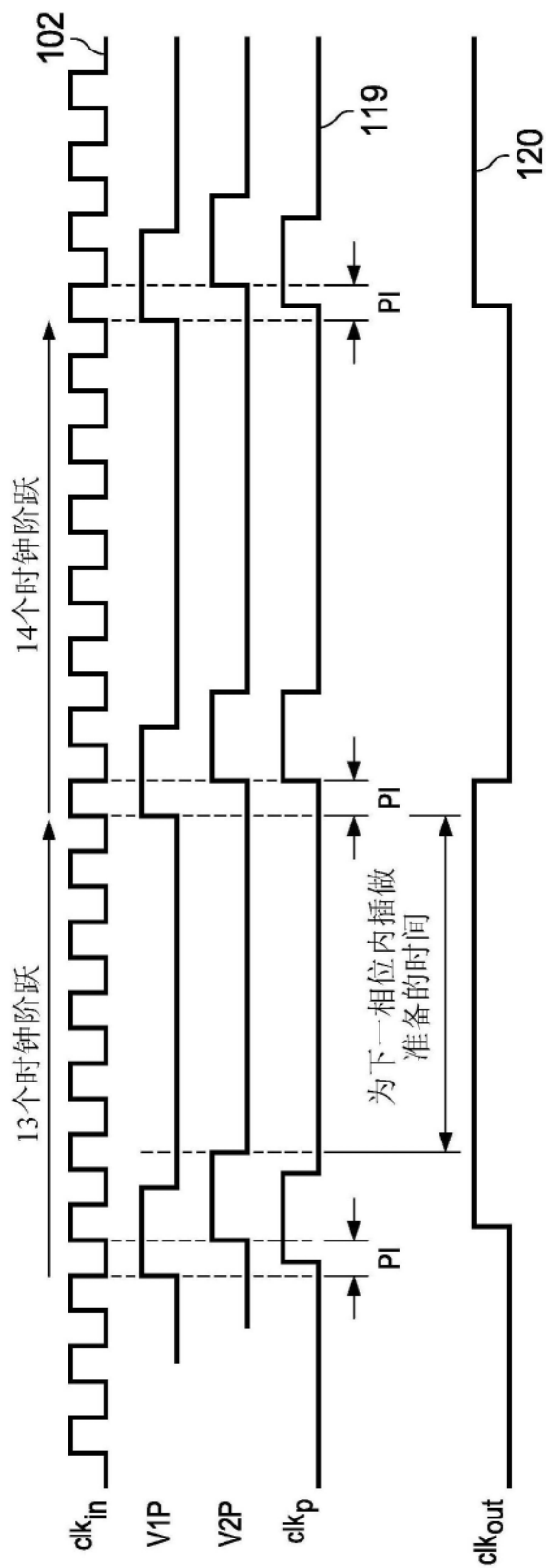


图1B

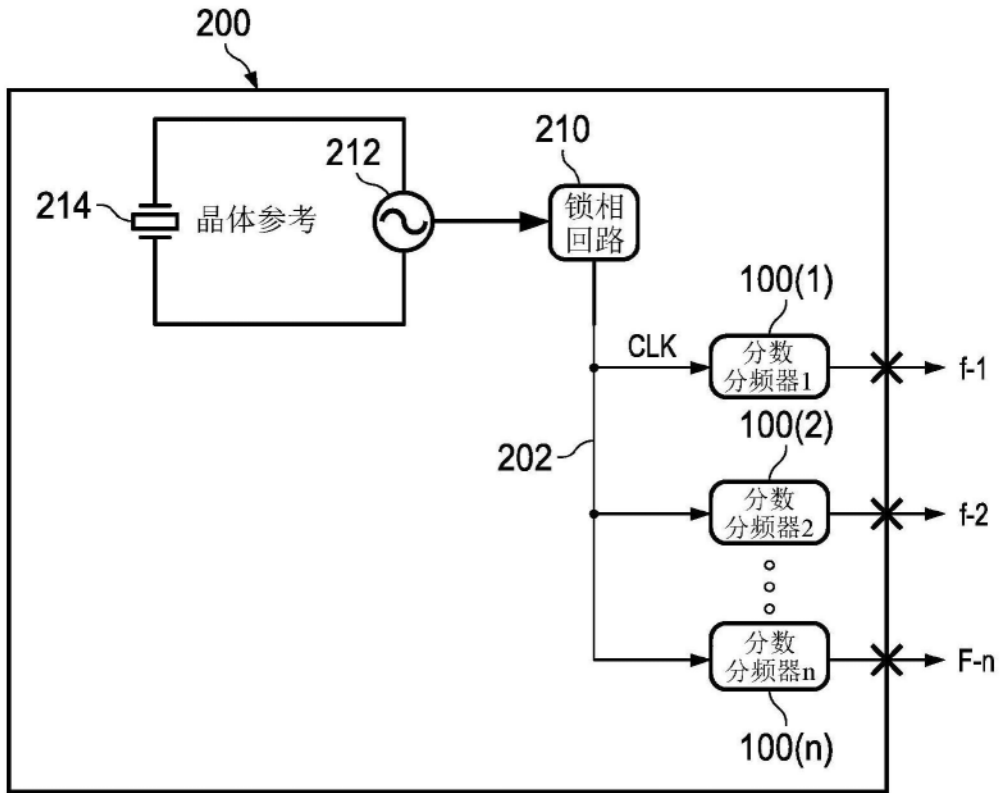


图2

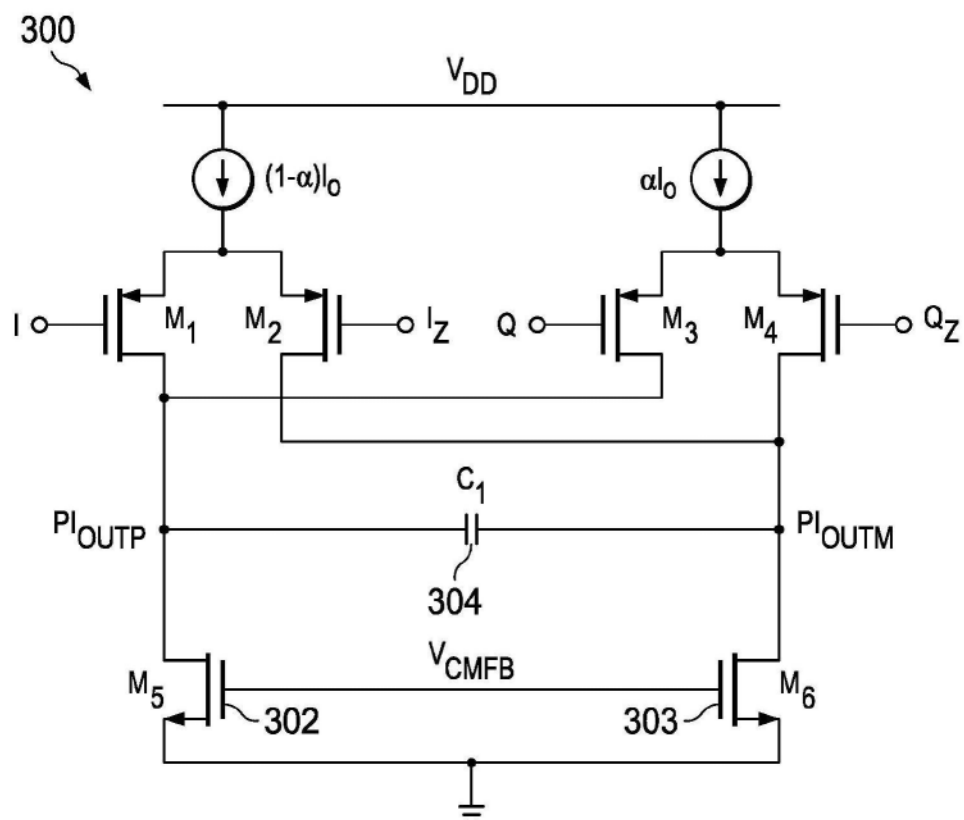


图3 (现有技术)

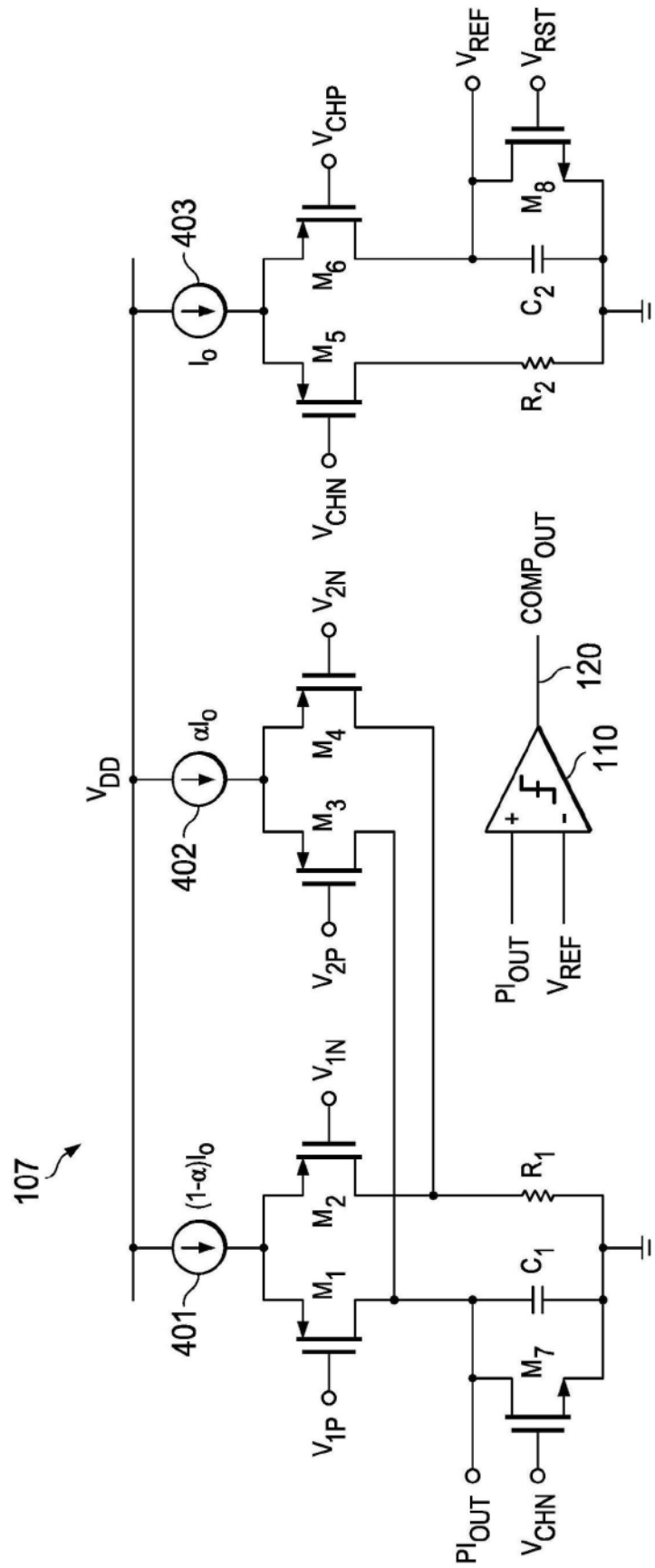


图4

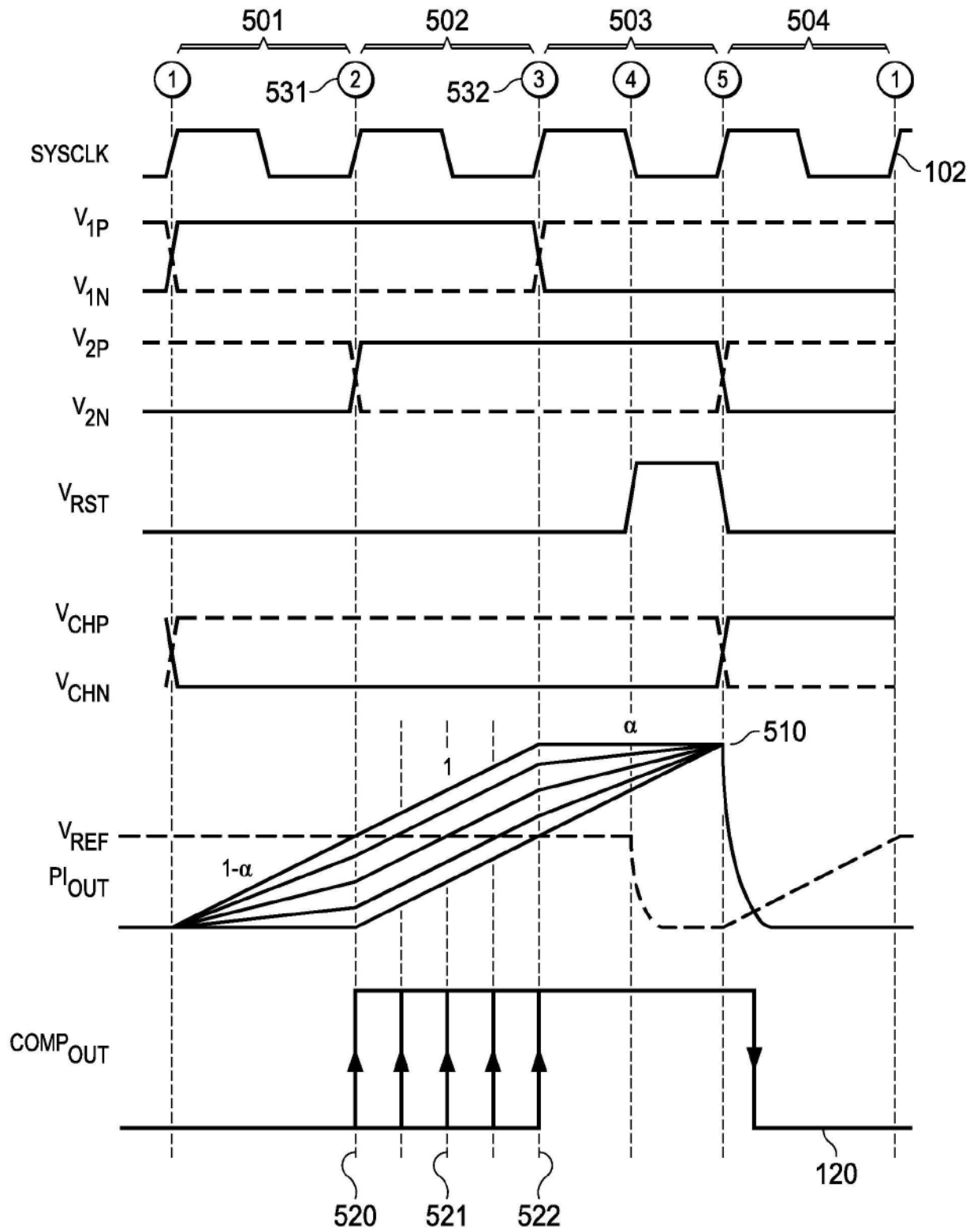


图5

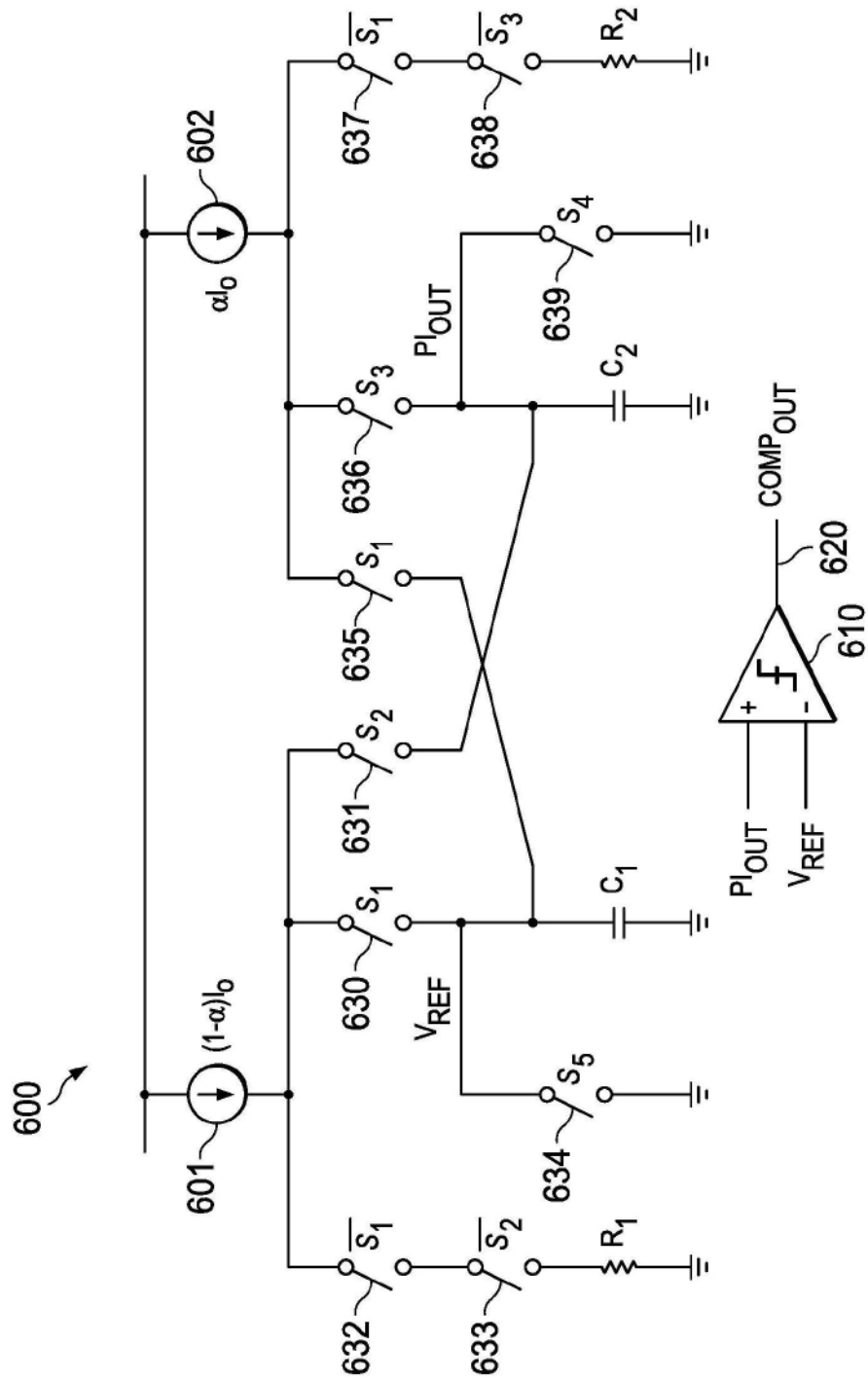


图6

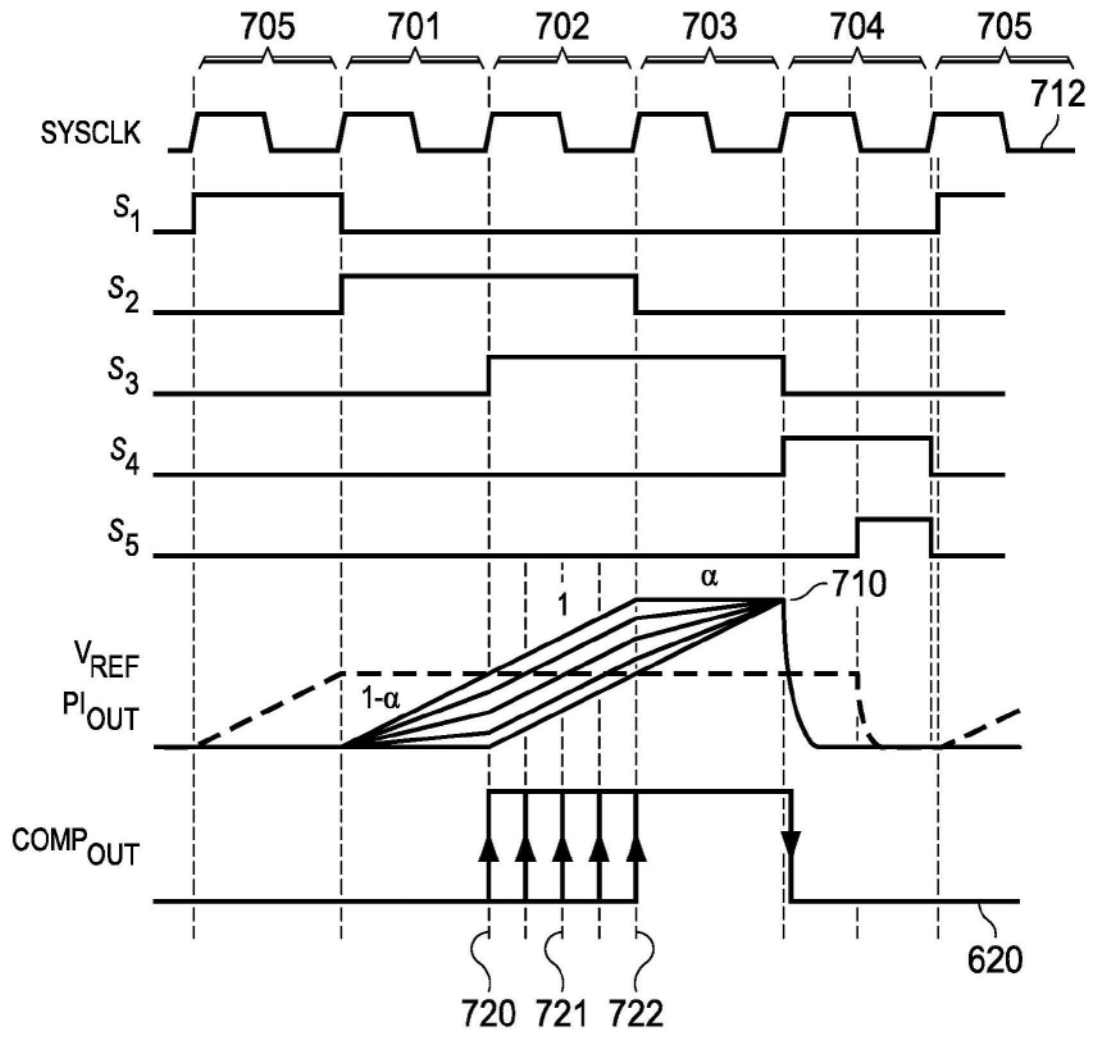
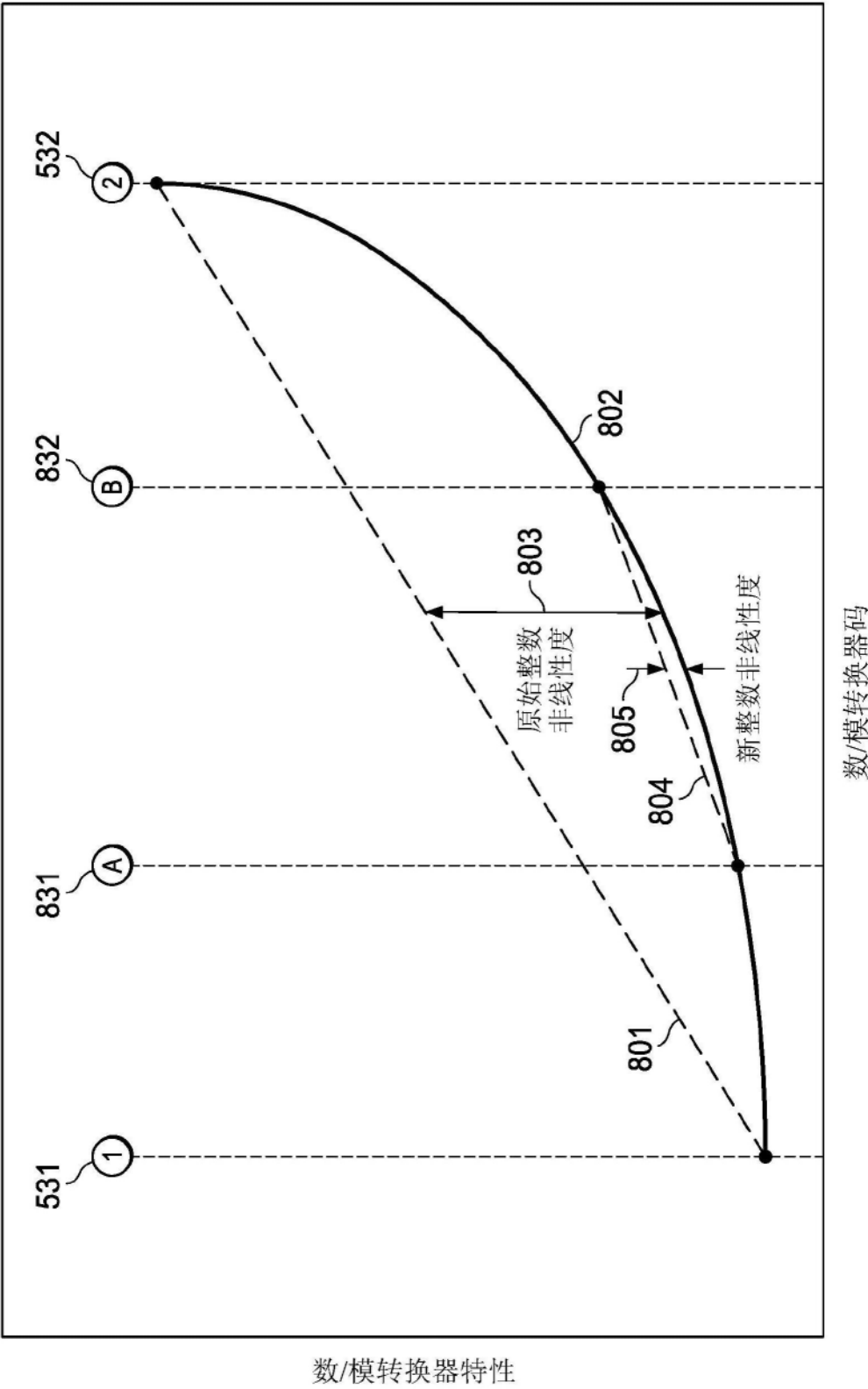


图7



数/模转换器特性

图8

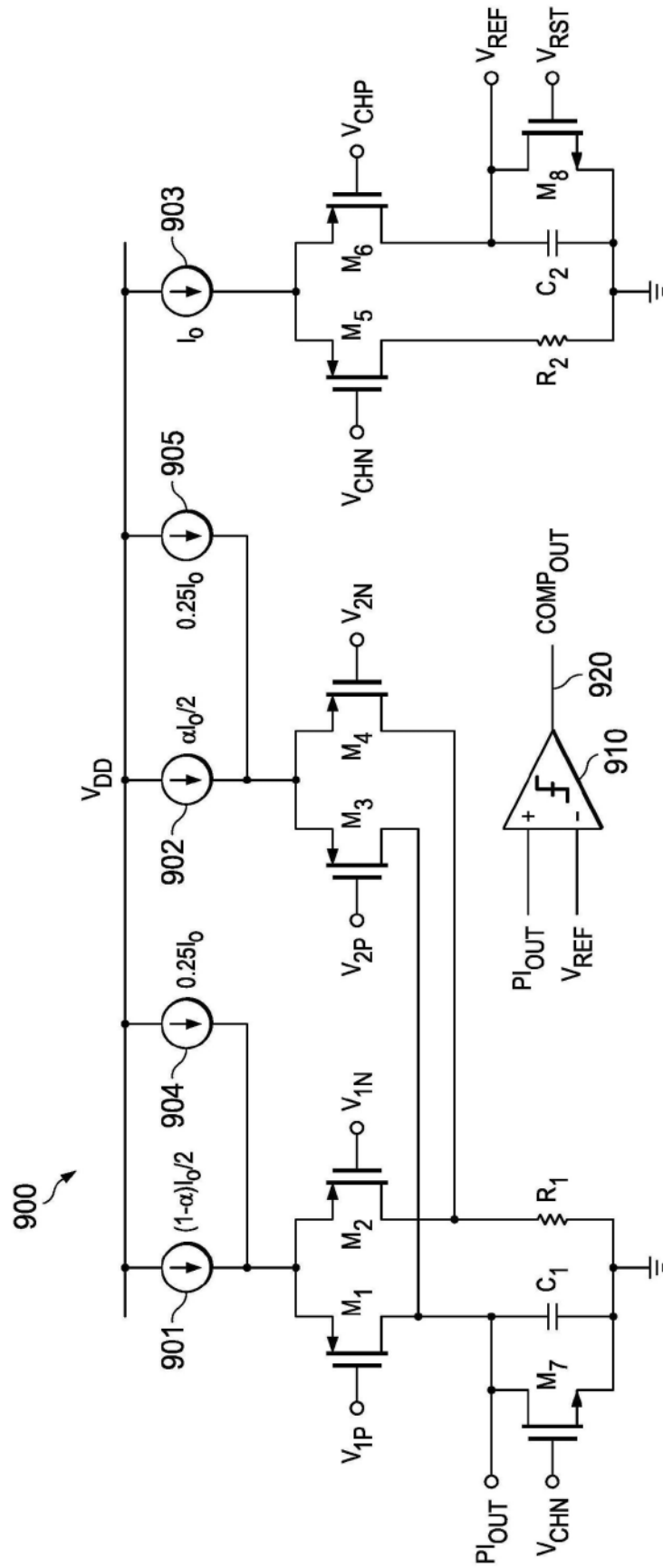


图9

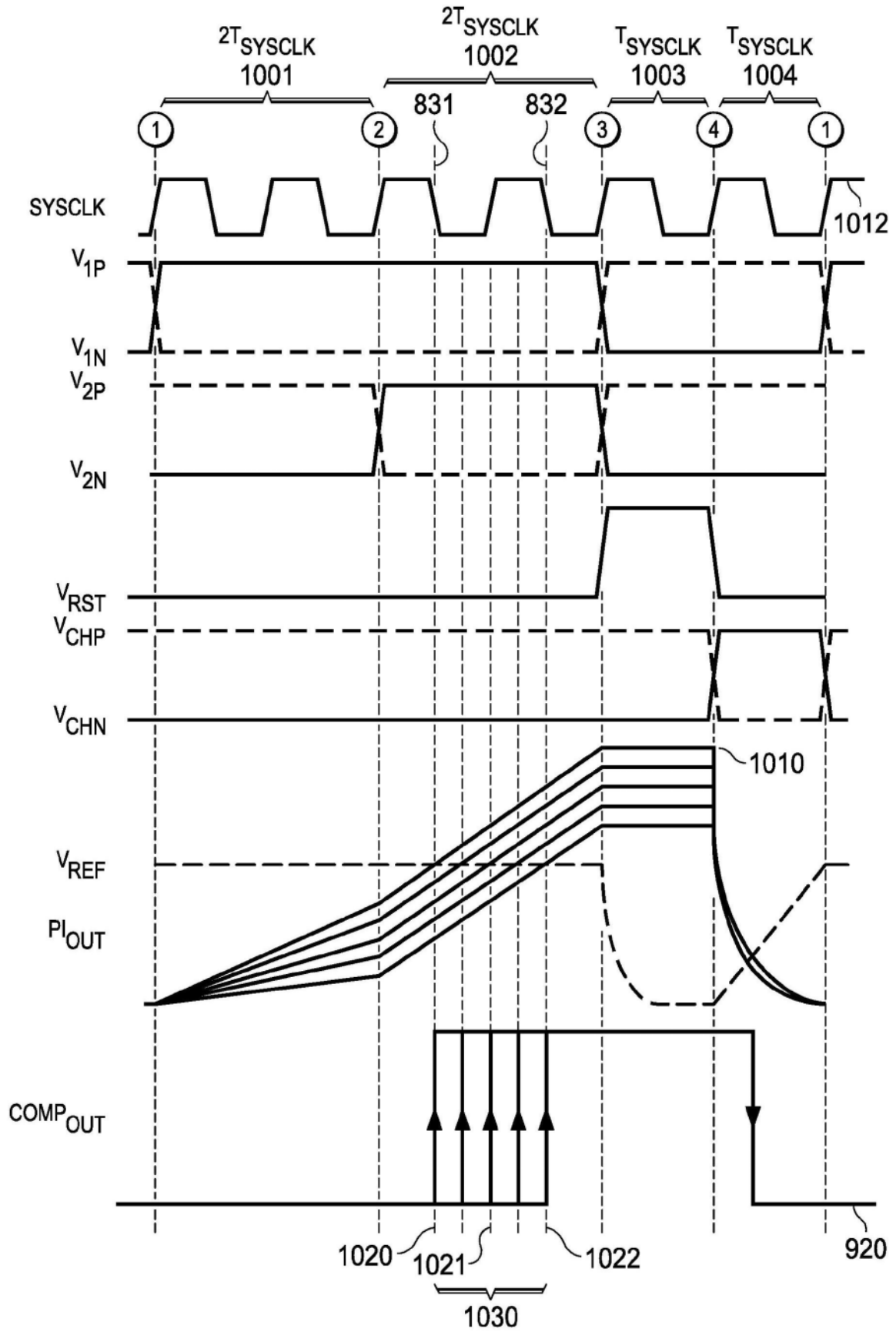


图10

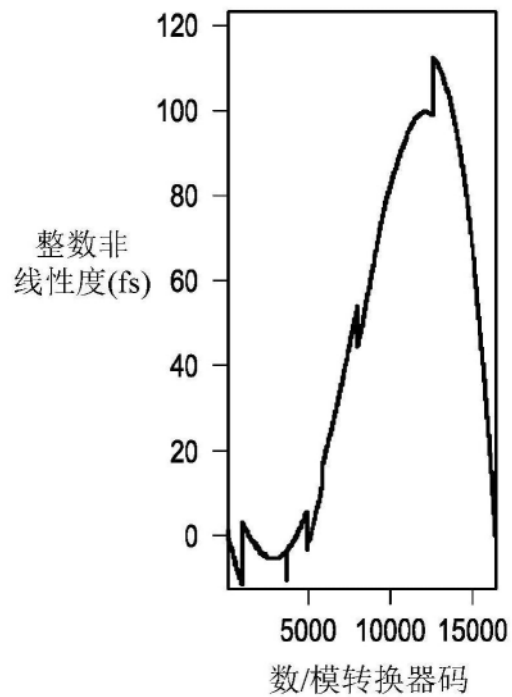


图11

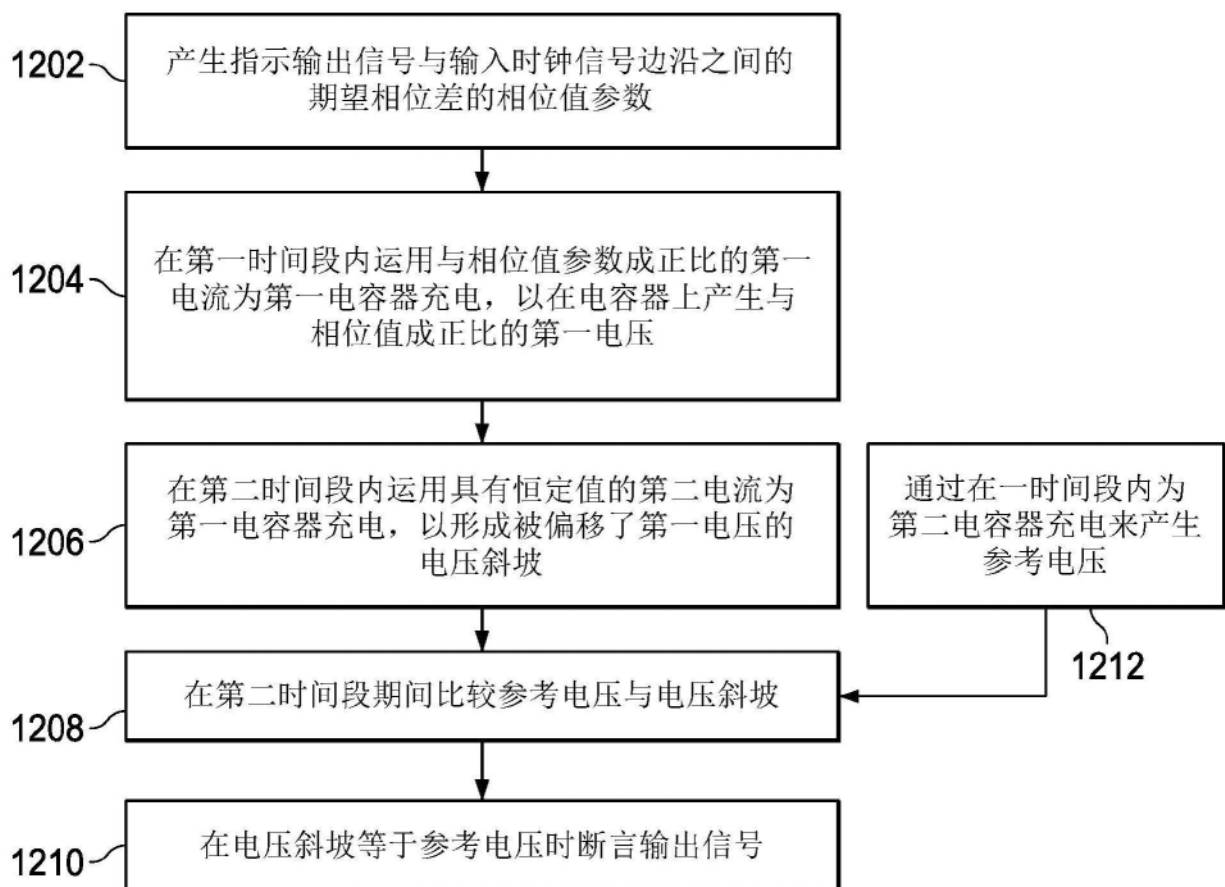


图12