(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(51) Int. Cl.[4]
H01L 29/743

(11) 공개번호 특1989-0013793
(43) 공개일자 1989년09월26일

(21) 출원번호 특1989-0001581
(22) 출원일자 1989년02월11일

(30) 우선권주장 520/88-0 1988년02월12일 스위스(CH)
(71) 출원인 아세아 브라운보베리 리미티드 장 오토우, 게르트 뤼크
스위스연방/바덴
(72) 발명자 탁터 피이터 로그윌러
스위스연방 8173 리이트-니라흐 핀트 스트라세 16
(74) 대리인 이준구, 조의제

심사청구 : 없음

(54) 고전력 GTO 싸이리스터 및 그 제조방법

요약

내용 없음.

대표도

도2

명세서

[발명의 명칭]

고전력 GTO 싸이리스터 및 그 제조방법

[도면의 간단한 설명]

제2도는 본 발명의 실시예에 의한 GTO 싸이리스터의 개별적인 셀을 통하여 제1도에서와 상응하는 단면도,

제3A도는 제2도의 단면 S_1-S_2를 따라 도우핑 농도의 산출변화도.

본 내용은 요부공개 건이므로 전문 내용을 수록하지 않았음

(57) 청구의 범위

청구항 1

양극(A) 및 음극(K)을 갖는 고전력 GTO 싸이리스터에 있어서, a) 반도체 기판(10)의 음극(K)과 양극(A)의 사이에, n형 이미터층(2), P형 베이스층(4), n형 베이스층(5) 및 p형 이미터층(6)을 포함하는 연속층과, b) 양극 단락회로(7)가 양극(A)에 n형 베이스층(5)을 단락하며, 양극 단락회로(7)에 의하여 천공되는 p형 이미터층(6)과, c) 양극 단락회로(7)와 n형 베이스층(5)의 사이에 온상태 전류를 흐르게 하는 영역의 내부에 적어도 배치되는 p^-형 배리어층(9)으로 구성되는 고전력 GTO 싸이리스터.

청구항 2

제1항에 있어서, p^-형 베리어층(9)은 $10^{15}Cm^{-3}$미만의 도우핑 농도를 갖는 것을 특징으로 하는 고전력 GTO 싸이리스터.

청구항 3

제2항에 있어서, p^-형 베리어층(9)은 단지 수 마이크로미터의 두께를 갖는 것을 특징으로 하는 고전력 GTO 싸이리스터.

청구항 4

제3항에 있어서, p^-형 베리어층(9)은 싸이리스터의 전 면적에 걸쳐서 측방향으로 신장하는 것을 특징으로

하는 고전력 GTO 싸이리스터.

청구항 5

제3항에 있어서, p^-형 베리어층(9)은 온상태 전류를 흐르게 하는 영역에 측방향으로 제한되는 것을 특징으로 하는 고전력 GTO 싸이리스터.

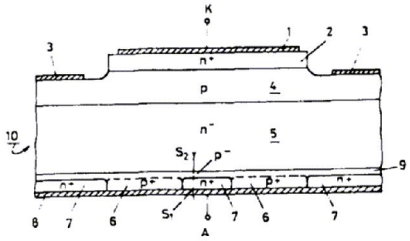
청구항 6

p^-형 베리어층(9)을 생성하는데 필요한 도펀트 침전을 이온주입에 의하여 반도체 기판(10)속으로 도입하는 것을 특징으로 하는 고전력 GTO 싸이리스터의 제조방법.

※ 참고사항 : 최초출원 내용에 의하여 공개하는 것임.

도면

도면2



도면3

