

(19)대한민국특허청(KR)
(12) 등록특허공보(B1)

(51) 。 Int. Cl. H04L 12/28 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년08월31일 10-0617386 2006년08월22일
---	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2004-0068370 2004년08월30일	(65) 공개번호 (43) 공개일자	10-2005-0115195 2005년12월07일
------------------------	--------------------------------	------------------------	--------------------------------

(30) 우선권주장	1020040040205	2004년06월03일	대한민국(KR)
(73) 특허권자	광주과학기술원 광주 북구 오룡동 1번지		
(72) 발명자	강민창 광주 북구 오룡동 1번지 광주과학기술원 정보통신공학과 C-동 506호 정은구 광주 북구 오룡동 1번지 광주과학기술원 정보통신공학과 C-동 506호 하동수 광주 북구 오룡동 1번지 광주과학기술원 정보통신공학과 C-동 506호		
(74) 대리인	김성남 이세진		

심사관 : 장대근

(54) 네트워크 온 칩 어플리케이션을 위한 버터플라이 팻-트리를사용한 비동기 스위치 회로

요약

네트워크 온 칩 내에서 다양한 IP(Intellectual Property)들을 통하여 IP간의 통신을 가능하게 하는 네트워크 온 칩 어플리케이션을 위한 비동기 스위치 회로를 제시한다.

본 발명의 비동기 스위치 회로는 복수의 데이터 플릿을 입력받아 임시 저장하고, 데이터 전송 요청 신호에 따라 각 데이터 플릿의 종류가 헤더 플릿인지 페이로드 플릿인지 확인하는 데이터 입력부, 데이터 입력부로부터 헤더 플릿 처리 요청 신호, 마지막 페이로드 플릿 처리 요청 신호, 헤더 플릿의 라우팅 정보 및 중재 요청 신호를 수신함에 따라, 출력포트 선택신호를 출력하기 위한 출력포트 중재부, 출력포트 중재부에서 결정한 데이터 출력 우선 순위에 따라 데이터 플릿을 순차적으로 저장하는 데이터 이동경로 설정부 및 데이터 입력부로부터 헤더 저장 요청 신호 및 페이로드 저장 요청 신호를 수신하고, 데이터 이동 경로 설정부로부터 입력되는 데이터 플릿을 임시 저장한 후 정해진 순서에 따라 지정된 포트에 출력하기 위한 데이터 출력부를 포함한다.

대표도

도 2

색인어

네트워크 온 칩, 비동기 스위치

명세서

도면의 간단한 설명

도 1은 일반적인 네트워크 온 칩 구조의 일 예를 설명하기 위한 도면,
 도 2는 본 발명에 의한 비동기 스위치 회로의 개념도,
 도 3은 도 2에 도시한 비동기 스위치 회로의 상세 구성도,
 도 4a 및 4b는 본 발명에 적용되는 데이터 포맷을 설명하기 위한 도면,
 도 5는 본 발명에 적용되는 데이터 입력부의 상세 구성도,
 도 6은 도 5에 도시한 하위 입력처리 모듈의 상세 구성도,
 도 7은 도 5에 도시한 상위 입력처리 모듈의 상세 구성도,
 도 8은 도 6 및 도 7에 도시한 패이로드 제어부의 상세 구성도,
 도 9는 도 6 및 도 7에 도시한 헤더 제어부의 상세 구성도,
 도 10a 내지 10c는 본 발명에 적용되는 C-엘리먼트 회로도 및 비대칭 C-엘리먼트 회로의 일 실시예를 나타내는 도면,
 도 11a 및 11b는 도 6 및 도 7에 도시한 데이터 저장부의 상세 구성도,
 도 12 및 도 13은 본 발명에 적용되는 출력포트 중재부의 상세 구성도,
 도 14는 도 13에 도시한 하위 중재모듈의 상세 구성도,
 도 15는 도 13에 도시한 상위 중재모듈의 상세 구성도,
 도 16은 도 14에 도시한 6-by-1 트리 중재기의 상세 구성도,
 도 17은 도 16에 도시한 2-by-1 트리 중재기의 상세 구성도,
 도 18은 도 17에 도시한 ME 회로의 상세 구성도,
 도 19는 본 발명에 적용되는 데이터 이동경로 설정부의 상세 구성도,
 도 20은 도 19에 도시한 하위 이동경로 설정부의 상세 구성도,
 도 21은 도 19에 도시한 상위 이동경로 설정부의 상세 구성도,
 도 22는 도 20에 도시한 6-by-1 TG MUX의 상세 구성도,
 도 23은 도 21에 도시한 4-by-1 TG MUX의 상세 구성도,
 도 24는 본 발명에 적용되는 데이터 출력부의 상세 구성도,

도 25는 도 24에 도시한 입력 제어부의 상세 구성도,

도 26은 도 24에 도시한 버퍼의 상세 구성도,

도 27은 도 26에 도시한 2상 선입선출 버퍼의 상세 구성도,

도 28은 도 24에 도시한 출력 제어부의 상세 구성도,

<도면의 주요 부분에 대한 부호 설명>

110 : 데이터 입력부 120 : 출력포트 중재부

130 : 데이터 이동경로 설정부 140 : 데이터 출력부

150, 160 : 제 1 및 제 2 지연부

111, 112, 113, 114 : 하위 입력처리 모듈

115, 116 : 상위 입력처리 모듈 1111, 1151 : 패이로드 제어부

1112, 1152 : 헤더 제어부 1113, 1153 : 데이터 저장부

1114, 1154 : 헤더 플릿 처리 요청 신호 발생부

1115 : 데이터 선택부 1 115' : 보조 데이터 선택부

1116 : 하위 데이터 저장부 1116' : 보조 데이터 저장부

1116" : 상위 데이터 저장부 121, 122, 123, 124 : 하위 중재모듈

125, 126 : 상위 중재모듈 1211, 1251 : 중재 유닛

1212, 1252 : 뮌홀 라우팅 처리유닛 1213, 1253 : 경로 설정 제어유닛

131, 132, 133, 134 : 하위 이동경로 설정부

135, 136 : 상위 이동경로 설정부 141 : 입력 제어부

142 : 버퍼 143 : 출력 제어부

144 : 지연수단

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 비동기 스위치 회로에 관한 것으로, 보다 상세하게는 네트워크 온칩 내에서 다양한 IP(Intellectual Property)들을 통하여 IP간의 통신을 가능하게 하는 네트워크 온칩 어플리케이션을 버터플라이 팻-트리를 사용한 비동기 스위치 회로에 관한 것이다.

빠르게 증가하는 멀티미디어 기능을 만족하기 위해서는 수백만 게이트를 하나의 칩에 구현하는 시스템 온칩(System on Chip; SoC) 기술이 필수적이다. SoC는 시스템의 주요 기능을 하나의 칩에 집적한 반도체 집적회로라고 볼 수 있다. SoC에는 메모리, 프로세서, 외부 인터페이스, 아날로그 및 혼성모드 블록, 내장 소프트웨어, OS 등 시스템을 구성하는 모든 하드웨어 및 소프트웨어 기능을 포함하고 있다.

SoC에서는 모든 구성 요소가 하나의 버스를 공유하여 상호 통신하도록 하는 인터커넥션 구조를 갖고 있는 것이 일반적인데, 이 경우 구성 요소 상호간의 통신 속도가 느린 단점이 있다. 또한, 하나의 구성 요소에서 다른 구성 요소로의 신호 전달은 특정 구성 요소에만 전달되는 것이 아니라 모든 구성 요소에 전달되므로 전력소모가 많은 단점이 있다. 아울러, 현재는 8 내지 10개 정도의 구성 요소를 하나의 칩에 탑재하여 사용하고 있지만 앞으로는 50 내지 100개 정도의 구성 요소가 탑재되도록 칩의 구조를 확장해야 할 필요성이 있다. 이 경우, 버스를 공유하는 구조에 접속하는 구성 요소의 수가 증가할수록 부하가 증대되어 구성 요소간의 전송 속도가 감소하는 등 성능이 저하되기 때문에 버스 구조를 이용하여 하나의 칩에 포함되는 구성 요소의 수를 무한정 늘리는 것은 불가능하다.

이와 같이, 현재는 시스템 온칩에서 각 구성 요소간의 상호 접속(Interconnection)을 위해 버스 구조를 채택하고 있지만 확장성이 없고, 데이터 전송에 지연이 발생하며, 대역폭이 제한되어 병목현상이 발생하는 등의 문제가 있다. 또한, 복수의 버스 마스터가 버스의 통제권을 얻기 위해 경쟁을 하기 때문에 버스 마스터의 수가 증가할수록 데이터 전송 지연이 증가되어 성능이 저하되고, 버스의 성능이 IP에 의해 결정되기 때문에 버스의 성능을 최대한 사용할 수 없다. 뿐만 아니라, 현재의 버스 구조를 이용한 스위칭은 동기식으로 구현되기 때문에 클럭의 사용이 필수적이며, 이에 따른 문제를 배제할 수 없다.

한편, 이상에서 설명한 시스템 온칩의 문제를 해결하고, 하나의 칩에서 대규모 IP들간의 원활한 통신을 지원하기 위하여 연구되고 있는 것이 네트워크 온칩(Network on Chip)이다. 네트워크 온칩을 적용하게 되면, 시스템 온칩에서 나타나는 여러가지 문제 즉, 확장성의 한계, 데이터 전송 지연, 전력 소모 등을 해결할 수 있을 것으로 전망되나 아직까지는 더욱 많은 연구가 필요한 단계에 있다.

발명이 이루고자 하는 기술적 과제

본 발명은 상술한 문제점을 해결하기 위하여 안출된 것으로서, 네트워크 온칩에서 각 IP들 간의 상호 접속을 지원하기 위한 비동기 스위치 회로를 제공하는 데 그 기술적 과제가 있다.

발명의 구성 및 작용

상술한 기술적 과제를 달성하기 위한 본 발명은 복수개의 데이터 패킷을 전달하기 위한 네트워크 온 칩 어플리케이션을 위한 비동기 스위치 회로로서, 상기 데이터 패킷은 하나의 헤더 플릿 및 적어도 하나의 페이로드 플릿으로 이루어지며, 복수의 데이터 플릿을 입력받아 임시 저장하고, 데이터 전송 요청 신호에 따라 상기 각 데이터 플릿의 종류가 헤더 플릿인지 페이로드 플릿인지 확인하는 데이터 입력부; 상기 데이터 입력부로부터 헤더 플릿 처리 요청 신호, 마지막 페이로드 플릿 처리 요청 신호, 상기 헤더 플릿의 라우팅 정보 및 중재 요청 신호를 수신함에 따라, 상기 데이터의 출력 우선 순위를 나타내는 출력포트 선택신호를 출력하기 위한 출력포트 중재부; 상기 출력포트 중재부에서 결정한 데이터 출력 우선 순위에 따라 상기 데이터 플릿을 순차적으로 저장하는 데이터 이동경로 설정부; 및 상기 데이터 입력부로부터 헤더 저장 요청 신호 및 페이로드 저장 요청 신호를 수신하고, 상기 데이터 이동 경로 설정부로부터 입력되는 데이터 플릿을 임시 저장한 후 상기 데이터 플릿을 저장하였음을 나타내는 헤더 및 페이로드 저장 완료 신호를 상기 데이터 입력부로 전송하고, 상기 임시 저장된 데이터 플릿을 정해진 순서에 따라 지정된 포트에 출력하기 위한 데이터 출력부;를 포함한다.

본 발명에서 제시하는 스위치 회로는 비동기 방식이므로 클럭을 사용하지 않고, 핸드셰이크 프로토콜 중 하나인 4상 번들 데이터 프로토콜(4 phase bundled data protocol)을 사용한다. 또한, 스위치의 성능을 최대화하기 위해 웜홀 스위칭(worm hole switching) 기술을 도입하였으며, 출력 버퍼링을 이용하여 제어 로직을 간단화하였다. 핸드셰이크 프로토콜이란 데이터 전송시 송수신단 간의 동기화를 위해 둘 이상의 장치 사이에서 교환되는 메시지 시퀀스로서, 상대방 장치가 데이터를 받을 준비가 되어 있는지 확인하는 기능을 의미하고, 4상 번들 데이터 프로토콜은 이러한 시퀀스가 복수개의 데이터 묶음으로 이루어지는 것을 의미한다. 아울러, 웜홀 스위칭은 하나의 데이터 패킷을 복수개의 플릿으로 나누어 전송할 때 첫번째 플릿의 전송을 개시한 후부터 마지막 플릿을 전송할 때까지 데이터 전송 경로를 점유하여, 해당 데이터 전송 경로로 타 데이터 패킷이 전송되지 않도록 하는 것을 말한다.

또한 본 발명은, 스위치 회로의 토폴로지로서 버터플라이 팻-트리(butterfly fat-tree) 형태를 채택하였으며, 이러한 토폴로지에 적합한 플릿(flit) 포맷을 제공하여, 가변 길이 플릿을 송수신할 수 있도록 하였다. 버터플라이 팻-트리는 대규모 통신망에 유용한 구조로서, 면적 및 체적 보편성(area/volume universality) 등의 우수한 특징을 갖는다.

이하, 첨부된 도면을 참조하여 본 발명의 바람직한 실시예를 보다 상세히 설명하기로 한다.

도 1은 일반적인 네트워크 온칩 구조의 일 예를 설명하기 위한 도면이다.

도시한 것과 같이, 하나의 IP(R)에 하나의 스위치(S)가 연결되어 있는 것을 알 수 있다. 이와 같은 네트워크 온칩 구조에서는 하나의 스위치(S)에 5개의 입출력 포트가 있어야 하며, 정해진 라우팅 알고리즘에 의해서 입력되는 패킷을 목적지까지 전송하는 일을 수행한다. 이 경우 네트워크의 중심으로 갈수록 트래픽이 증가하여 네트워크의 중심에서는 고속의 스위치를 사용해야 한다. 또한, 트래픽이 증가할수록 스위치에 있는 입출력 큐(Queue)의 길이가 증가하게 되므로 네트워크의 중심에 있는 스위치의 버퍼를 크게 설계해야 한다.

도 2는 본 발명에 의한 비동기 스위치 회로의 개념도이다.

도시한 것과 같이, 본 발명에 의한 네트워크 온칩 어플리케이션을 위한 비동기 스위치 회로는 리셋 신호, 제어 신호 및 복수의 데이터를 입력받아 임시 저장하는 데이터 입력부(110), 리셋 신호가 입력되며 데이터 입력부(110)로 복수의 데이터가 동시에 입력되어 동일한 출력 포트에 출력되고자 할 때, 출력 데이터의 우선 순위를 결정하기 위한 출력포트 중재부(120), 출력포트 중재부(120)에서 결정한 데이터 출력 순위에 따라 데이터를 이동시키기 위한 데이터 이동경로 설정부(130), 리셋 신호 및 제어 신호에 따라 데이터 이동 경로 설정부(130)로부터 입력되는 데이터를 지정된 포트에 출력하기 위한 데이터 출력부(140)를 포함한다.

보다 구체적으로 설명하면, 데이터 입력부(110)는 데이터가 입력되면 주어진 데이터 포맷으로부터 해당 데이터가 헤더(header)인지 페이로드(payload)인지를 확인하여 그 종류에 따라 디코딩을 수행하며, 데이터 출력부(140)로 데이터 종류(헤더, 페이로드)별 처리를 요청한다.

출력포트 중재부(120)는 데이터 입력부(110)로부터 중재 요청신호, 헤더 플릿 처리 요청 신호, 마지막 페이로드 저장 완료 신호 및 라우팅 정보를 입력받아 동일한 출력포트로 동시에 출력되고자 하는 데이터 중 하나를 선택한 후 그 결과를 데이터 입력부(110)로 전송한다(중재신호 요청 응답 신호). 또한, 데이터별로 선택한 출력 포트 정보를 데이터 이동경로 설정부(130)로 전송하여, 데이터가 데이터 이동경로 설정부(130)를 통해 데이터 출력부(140)로 정확하게 전달되도록 한다.

데이터 출력부(140)는 데이터 입력부(110)로부터 데이터 처리 요청 신호를 입력받고(헤더 처리 요청신호, 페이로드 저장 완료 신호), 출력포트 중재부(120)로부터 출력포트 정보를 입력받아, 데이터 이동 경로 설정부(130)를 통해 입력된 데이터를 정해진 출력포트로 출력한다. 데이터를 임시 저장한 후에는 데이터 저장 완료 신호를 출력포트 중재부(120)로 전송하여 데이터 저장이 완료되었음을 통보하고, 정해진 포트에 데이터를 출력한 후에는 이를 데이터 입력부(110)로 알려(헤더 처리 응답 신호, 페이로드 처리 응답 신호) 데이터 입력부가 이후의 데이터를 처리하기 위해 기 저장한 데이터를 삭제할 수 있도록 한다.

아울러, 데이터 입력부(110)는 데이터 전송을 요청한 타 스위치 또는 IP로 입력 데이터를 처리하였음을 알리는 신호(입력 요청 응답 신호)를 전송하고, 데이터 출력부(140)는 해당 출력 포트에 데이터를 출력한 후, 다음 단 스위치의 데이터 입력부로 출력 요청신호를 전송하여, 다음 단 스위치에서도 이상에서 설명한 과정에 의해 데이터가 출력되도록 하며, 다음 단 스위치의 데이터 입력부는 출력 요청 신호에 대한 응답 신호(출력 응답 신호)를 데이터 출력부(140)로 전송한다.

이러한 스위치 회로는 6개의 입력포트와 6개의 출력포트를 갖는 6*6 버터플라이 팻-트리 구조로 구현할 수 있고, 데이터 패킷은 복수개의 플릿으로 이루어지며, 하나의 플릿이 23비트가 되도록 구현할 수 있다. 또한, 입력 및 출력 포트는 각각 4개의 하위 포트와 2개의 상위 포트에 이루어진다.

도 3은 도 2에 도시한 비동기 스위치 회로의 상세 구성도이다.

먼저, 데이터 입력부(110)는 6개의 23비트 데이터가 입력(in0(22:0>, in1(22:0>, in2(22:0>, in3(22:0>, in4(22:0>, in5(22:0>))되는 부분으로, 입력 데이터 패킷은 도 4와 같은 포맷을 갖는다. 데이터 패킷은 하나의 헤더 플릿 및 복수의 페이로드 플릿으로 이루어지는데, 도 4a는 헤더 플릿을 나타내고 도 4b는 페이로드 플릿을 나타낸다.

도 4a에 도시한 헤더 플릿은 타입 필드(2비트), 소스 어드레스 필드(6비트) 및 라우팅 정보 필드(15비트)로 이루어지며, 소스 어드레스 필드는 데이터를 전송한 주체(IP)를 나타내는 부분으로 이를 6비트로 할당함으로써 64개의 IP를 하나의 스위치에 접속할 수 있다. 64개의 IP를 접속하여 사용하는 경우 경유해야 하는 스위치의 최대 수가 5개 이므로, 하나의 스위치 정보를 3비트로 나타낼 수 있고 따라서 라우팅 정보 필드는 15비트가 되게 된다. 여기에서, 라우팅 정보는 각 IP와 비동기 스위치 간에 접속되는 인터페이스부에서 결정되는 것이 일반적인데, 인터페이스부는 본 발명의 기술분야와 거리가 있으므로 구체적인 설명은 생략하기로 한다.

한편, 도 4b에 도시한 페이로드 플릿은 타입 필드(2비트) 및 페이로드 필드(21비트)로 이루어지며, 페이로드 필드에는 실제 데이터가 기록된다. 여기에서, 타입 필드는 헤더 플릿의 경우 00, 페이로드 플릿의 경우 10, 마지막 페이로드 플릿인 경우 11로 각각 다르게 설정하여 사용한다.

본 발명에 적용되는 데이터 포맷에서, 라우팅 정보는 데이터의 이동 경로 즉, 데이터가 경유할 스위치의 출력포트 정보(또는, 데이터가 입력될 스위치의 입력포트 정보)로 생각할 수 있다. 즉, 라우팅 정보는 3비트씩 5개로 이루어지는데, 데이터 입력부(110)는 데이터가 입력되면 타입 필드를 참조하여 헤더 플릿인지 페이로드 플릿인지 구분한 후, 헤더 플릿인 경우 라우팅 정보의 최하위 3비트를 확인한다. 이 최하위 3비트가 해당 스위치의 출력포트를 구분하는 정보가 되며, 비동기 스위치는 이 헤더 플릿을 최하위 3비트가 나타내는 출력 포트를 통해 다음 스위치로 전송한다. 아울러, 이러한 전송 경로를 계속 유지하여 헤더 플릿 이후의 페이로드 플릿을 동일한 출력 포트를 통해 다음 스위치로 전송하며, 마지막 페이로드까지 모두 전송한 후에 다른 데이터 패킷이 해당 출력 포트를 사용할 수 있도록 한다.

또한, 데이터 입력부(110)는 헤더 플릿의 하위 3비트를 확인하여 출력포트 정보를 획득한 후에는 하위 3비트 정보를 삭제하고, 나머지 12 비트의 라우팅 정보를 우측으로 3비트 쉬프트한 후, 최상위 3비트(12번째 비트부터 14번째 비트)를 0으로 만든다. 이와 같이 함으로써, 헤더 플릿이 다음 스위치로 전송된 후 다음 스위치에서 헤더 플릿의 최하위 3비트를 이용하여 출력 포트 정보를 획득할 수 있게 된다.

데이터 입력부(110)로는 또한 리셋 신호(resetb), 데이터 전송 주체로부터 전송되는 데이터 전송 요청 신호(input_req0~input_req5), 데이터 출력부(140)로부터 전송되는 헤더 저장 완료 신호(Datah_a0~Datah_a5) 및 페이로드 저장 완료 신호(Datap_a0~Datap_a5), 출력포트 중재부(120)로부터 전송되는 중재신호 요청 응답 신호(Arb_ack0~Arb_ack5)가 입력된다.

6개의 입력 포트에 입력되는 데이터 패킷은 입력 포트에 따라 번호를 부여받게 되고 동일한 기능을 수행하는 다른 모듈에 의해 각각 처리되며, 입력 포트는 4개의 하위 포트와 2개의 상위 포트에 이루어진다. 4개의 하위 포트에 입력되는 데이터는 해당 하위 입력 처리 모듈에서 처리되고, 2개의 상위 포트에 입력되는 데이터는 해당 상위 입력 처리 모듈에서 처리되며, 이를 도 5에 나타내었다.

도 5는 본 발명에 적용되는 데이터 입력부의 상세 구성도로서, 4개의 하위 입력 처리 모듈(111, 112, 113, 114)과 2개의 상위 입력 처리 모듈(115, 116)을 나타낸다.

하위 입력 처리 모듈과 상위 입력 처리 모듈의 차이를 설명하면, 하위 입력 처리 모듈(111, 112, 113, 114)은 각각 자신을 포함한 6개의 출력 포트에 데이터를 전송할 수 있으므로 3비트의 라우팅 정보 비트(RIB<2:0>)를 가지는 반면, 상위 입력 처리 모듈(115, 116)은 항상 상위 출력 포트만 데이터를 출력하기 때문에 2비트의 라우팅 정보 비트(RIB<1:0>)를 갖는다는 점이다.

각 입력 처리 모듈(111~116)은 23비트의 데이터가 입력되면 데이터의 타입 필드를 확인하여, 입력된 데이터가 헤더 플릿인지 페이로드 플릿인지에 따라 각기 다르게 처리한다. 즉, 데이터 전송 요청 신호(Input_req)와 함께 데이터가 입력되어(In<22:0>) 타입 필드를 확인한 결과 헤더 플릿인 경우 데이터 전송 주체로 데이터 전송 요청 응답 신호(Input_ack)를 전송하고 헤더 플릿을 버퍼에 저장한다. 이후, 출력포트 중재부(120)로 라우팅 정보(RIB)와 함께 중재 요청 신호(Arb_req)를 전송하고, 이에 대한 응답(Arb_ack)을 수신하면 데이터 출력부(140)로 헤더 저장 요청 신호(Datah_r)를 전송한다. 데이터 출력부(140)에서 헤더 플릿을 출력(Out<22:0>)하고 난 후에는 이를 알리는 헤더 저장 완료 신호(Datah_a)를 데이터 입력부(110)로 전송한다.

한편, 입력된 데이터가 패이로드 플릿인 경우에는 헤더 플릿의 경로를 따라 전송하면 되므로 먼저, 데이터 전송 주체로 데이터 전송 요청 응답 신호(Input_ack)를 전송하고, 패이로드 플릿을 버퍼에 저장한 다음, 데이터 출력부(140)로 패이로드 저장 요청 신호(Datap_r)를 전송한다. 데이터 출력부(140)에서 패이로드 플릿을 출력(Out<22:0>)하고 난 후에는 이를 알리는 패이로드 저장 완료 신호(Datap_a)를 데이터 입력부(110)로 전송한다.

한편, 헤더 플릿 처리 요청 신호(H_r)는 데이터 입력부(110)가 출력포트 중재부(120)로 중재 처리 요청 신호와 함께 전송하는 신호로서, 하나의 데이터 패킷에 대한 데이터 전송을 시작하는 것을 의미하고, 마지막 패이로드 처리 요청 신호(L_r)는 하나의 데이터 패킷에 대한 마지막 패이로드 플릿을 전송함을 나타내는 신호로서, 마지막 패이로드 저장 완료 신호가 활성화될 때까지 즉, 마지막 패이로드 플릿이 출력될 때까지 해당 출력 포트가 특정 데이터 전송을 위해 점유되게 된다. 아울러, 출력 포트 중재부(120)로 전송되는 라우팅 정보는 하위 입력처리 모듈의 경우 3비트, 상위 입력처리 모듈의 경우 2비트가 사용되며, 헤더 플릿의 최하위 라우팅 정보(3비트)를 확인한 후에는 라우팅 정보를 우측으로 쉬프트하여 다음 스위치에서 참조할 수 있도록 한다.

이와 같은 입력 처리 모듈을 보다 구체적으로 설명하면 다음과 같다.

도 6은 도 5에 도시한 하위 입력 처리 모듈의 상세 구성도이고, 도 7은 도 5에 도시한 상위 입력처리 모듈의 상세 구성도이다. 하위 및 상위 입력 처리 모듈은 라우팅 정보 비트의 차이만 있을 뿐 동일하게 동작하므로 함께 설명하기로 한다.

도시한 것과 같이, 입력 처리 모듈은 패이로드 제어부(1111, 1151), 헤더 제어부(1112, 1152), 데이터 저장부(1113, 1153) 및 헤더 플릿 처리 요청 신호 발생부(1114, 1154)를 포함하며, 각 구성부는 리셋 신호(resetb)에 의해 제어된다.

데이터 전송 주체로부터 데이터 전송 요청 신호(Input_req)가 입력됨과 함께 데이터 저장부(1113, 1153)로 데이터가 입력되면(In<22:0>), 데이터 저장부(1113, 1153)는 입력된 데이터의 데이터 필드 중 타입 필드(F_type<1:0>)를 참조하여 플릿의 종류를 확인하고, 입력 데이터 플릿이 헤더 플릿인 것으로 확인되면(00), 이를 헤더 플릿 처리 요청 신호 발생부(1114, 1154)의 입력단(D)으로 전송하고, 헤더 제어부(1112, 1152)의 헤더 플릿 처리 요청 신호(H_r)가 활성화된다.

이어서, 헤더 제어부(1112, 1152)는 출력포트 중재부(120)로 중재 요청 신호(Arb_req)를 전송하고 이에 대한 응답 신호(Arb_ack)를 수신하며, 데이터 저장부(1113, 1153)로 헤더 플릿을 저장할 것을 요청하고(Bufh_r), 라우팅 정보를 쉬프트할 것을 요청한다(Shift_r). 아울러, 헤더 플릿 버퍼링 요청 신호(Bufh_r)는 헤더 플릿 처리 요청 신호 발생부(1114, 1154)의 입력단(E)으로 전송되어 라우팅 정보에 의한 출력 포트가 점유되었음을 나타내는 헤더 플릿 처리 요청 신호(H_r) 생성에 사용되도록 한다. 이에 따라, 헤더 플릿 처리 요청 신호 생성부(1114, 1154)는 리셋 신호(resetb), 헤더 플릿 입력 신호(D) 및 헤더 플릿 버퍼링 요청 신호(E)에 의해 해당 출력 포트가 점유되었음을 나타내는 헤더 플릿 처리 요청 신호(H_r)를 출력하게 된다. 또한, 데이터 출력부(140)로 헤더 저장 완료 신호(Dtah_r)를 전송한다.

한편, 데이터 저장부(1113, 1153)는 헤더 제어부(1112, 1152)로부터 전송된 헤더 플릿 버퍼링 요청 신호(Bufh_r)에 따라 해당 헤더 플릿을 저장한 후, 이에 대한 응답 신호(Bufh_a)를 헤더 제어부(1112, 1152)로 전송하고, 라우팅 정보(RIB)를 출력포트 중재부(120)로 전송한 다음, 헤더 제어부(1112, 1152)의 라우팅 정보 쉬프트 요청 신호(Shft_r)에 따라 라우팅 정보 비트열을 우측으로 3비트 쉬프트하고 라우팅 정보 필드의 최상위 3비트를 0으로 채운 후, 이에 대한 응답 신호(Shift_a)를 헤더 제어부(1112, 1152)로 전송한다. 라우팅 정보는 입력 처리 모듈이 하위 입력처리 모듈인 경우에는 3비트(RIB<2:0>), 상위 입력처리 모듈인 경우에는 2비트(RIB<1:0>)를 사용하여 나타낸다. 또한, 데이터 저장부(1113, 1153)는 데이터(Out<22:0>)를 데이터 이동경로 설정부(130)로 전송한다.

한편, 데이터 전송 주체로부터 데이터 전송 요청 신호(Input_req)가 입력됨과 함께 데이터 저장부(1113, 1153)로 데이터가 입력되면(In<22:0>), 데이터 저장부(1113, 1153)는 입력된 데이터의 데이터 필드 중 타입 필드(F_type<1:0>)를 추출하여 플릿의 종류를 확인하고, 입력 데이터 플릿이 패이로드 플릿인 것으로 확인되면(10), 이를 패이로드 처리부로 알려 패이로드 플릿 처리 요청 신호(P_r)가 활성화되도록 한다. 이에 따라, 패이로드 제어부(1111, 1151)는 패이로드 플릿 처리 요청에 대한 응답 신호(P_a)를 출력하고, 헤더 플릿 처리 요청 신호에 대한 응답 신호(H_a), 패이로드 플릿 처리 요청에 대한 응답 신호(P_a) 및 플릿의 타입 정보(F_type<0>)를 이용하여 데이터 전송 주체로 데이터 전송이 시작되었음을 알리는 전송 요청 응답 신호(Input_ack)를 전송한다.

이어서, 패이로드 제어부(1111, 1151)는 데이터 출력부(140)로 패이로드 저장 완료 신호(Dtap_r)를 전송하는 한편, 데이터 저장부(1113, 1153)로 패이로드 플릿을 저장할 것을 요청하고(Bufp_r)한다. 이에 따라, 데이터 저장부(1113, 1153)는 패이로드 제어부(1111, 1151)로부터 전송된 패이로드 플릿 버퍼링 요청 신호(Bufp_r)에 따라 해당 패이로드 플릿을 저장한 후, 이에 대한 응답 신호(Bufp_a)를 패이로드 제어부(1111, 1151)로 전송한다.

이후, 데이터 저장부(1113, 1153)는 데이터(Out<22:0>)를 데이터 이동경로 설정부(130)로 전송하며, 패이로드 플릿은 헤더 플릿의 전송 경로(출력포트 중재부(120)에서 결정한 전송 경로)를 따라 데이터 출력부(140)로 전송되게 된다.

한편, 데이터 출력부(140)에서 데이터를 출력하기 위해 데이터를 저장한 후에는 패이로드 제어부(1111, 1151) 및 헤더 제어부(1112, 1152)로 해당 데이터 플릿을 출력하였음을 나타내는 신호 즉, 패이로드 저장 완료 신호(Datap_a) 및 헤더 저장 완료 신호(Datah_a)를 전송한다.

아울러, 데이터 저장부(1113, 1153)로 입력된 데이터의 데이터 필드 중 타입 필드(F_type<1:0>)를 확인한 결과, 입력 데이터가 마지막 패이로드 플릿으로 확인되면(11), 이를 헤더 플릿 처리 요청 신호 발생부(1114, 1154)로 전송하여 헤더 플릿 처리 요청 신호(H_r)가 비활성화 상태로 전환되도록 하고, 마지막 패이로드 처리 요청 신호(L_r)를 활성화하여 해당 데이터 패킷을 전송하기 위해 점유되어 있던 출력포트를 해제한다.

도 8은 도 6 및 도 7에 도시한 패이로드 제어부의 상세 구성도이다.

도시한 것과 같이, 패이로드 제어부(1111, 1151)는 데이터 전송 요청 신호(Input_req)로부터 생성되는 패이로드 플릿 처리 요청 신호(P_r)를 지정된 시간 지연시킨 후 패이로드 플릿을 저장할 것을 요청하는 신호(bufp_r)를 생성하는 지연소자(D1)를 포함한다. 이러한 패이로드 플릿 버퍼링 요청 신호(bufp_r)는 데이터 저장부(1113, 1153)로 전송되게 된다.

아울러, 패이로드 제어부(1111, 1151)는 데이터 저장부(1113, 1153)로부터 수신한 패이로드 플릿 버퍼링 응답 신호(bufp_a), 리셋 신호(resetb) 및 데이터 출력부(140)로부터 수신한 이전 패이로드 플릿에 대한 저장 완료 신호(Datap_a)를 입력으로 하여, 이전 상태의 두 입력값이 모두 0인 경우 0을 출력하고 입력값 중 어느 하나가 0이면 계속해서 0을 출력하며, 입력값이 모두 1로 되면 1을 출력하고, 입력값 중 어느 하나가 1이면 계속해서 1을 출력하는 제 1 논리소자(C-element, gc; L1) 및 제 1 논리소자의 출력 신호 및 패이로드 플릿 버퍼링 응답 신호(bufp_a)를 입력으로 하여, 두 입력값이 모두 1인 경우 1을 출력하는 제 2 논리소자(NAND 게이트; L2)를 포함한다. 여기에서, 제 1 논리소자는 리셋 신호가 입력되면 0을 출력하며 입출력 관계는 [표 1]과 같은 진리표로 나타낼 수 있다.

[표 1]

입력 1 (Bufp_a)	입력 2 (Datap_a)	출력 (Datap_r)
0	0	0
0	1	0
1	0	0
1	1	1
1	0	1
0	1	1
0	0	0

구체적으로 설명하면, 제 1 논리소자(L1)는 최초의 패이로드 플릿을 처리할 때, 패이로드 플릿 버퍼링 요청에 대한 응답 신호(bufp_a)가 1이고, 이전 패이로드 플릿에 대한 저장 완료 신호(Datap_a)가 0이므로, 패이로드 저장 요청 신호(Datap_r)는 1로 출력되게 된다. 아울러, 제 1 논리소자(L1)의 출력값 및 패이로드 플릿 버퍼링 요청 응답 신호(bufp_a)가 모두 1이므로 제 2 논리소자(L2)의 출력 신호 즉, 패이로드 플릿 처리 요청에 대한 응답 신호(P_a)가 활성화되어 데이터 전송 주체 측으로 데이터 전송 요청 응답 신호로서 전송되게 된다.

도 9는 도 6 및 도 7에 도시한 헤더 제어부의 상세 구성도이다.

헤더 제어부(1112, 1152)는 헤더 플릿 처리 요청 신호(H_r)와 중재 요청에 대한 응답 신호(Arb_ack)를 입력으로 하여 두 입력값이 모두 0인 경우에만 1을 출력하는 제 3 논리소자(L3)와, 제 3 논리소자(L3)의 출력값과 리셋 신호(resetb), 헤더 플릿 버퍼링 요청에 대한 응답 신호(bufh_a)를 입력으로 하여 헤더 플릿 처리 요청에 대한 응답 신호(H_a)를 출력하는 제 4 논리소자(gc, L4), 제 4 논리소자(L4)의 반전값 및 쉬프트 요청에 대한 응답 신호(Shift_a)를 입력으로 하여, 두 입력이 모두 1인 경우에만 1을 출력하여 헤더 저장 요청 신호(Bufh_r)를 생성하는 제 5 논리소자(L5), 리셋 신호(resetb)가 입력되고, 제 4 논리소자(L4)의 출력값과 제 5 논리소자(L5) 출력의 반전값을 입력으로 하여 두 입력값이 모두 1인 경우 1을 출력하는 제 6 논리소자(L6)의 출력값을 제 1 입력으로 하고, 제 4 논리소자(L4) 출력의 반전값과, 헤더 플릿 처리 요청 신호(H_r)를 입력으로 하여 두 입력값이 모두 1인 경우 1을 출력하는 제 7 논리소자(L7)의 출력값을 제 2 입력으로 하여, 입력값이 모두 0인 경우 1을 출력하고 입력값 중 어느 하나가 0인 경우 출력값을 1로 유지하다가 입력값이 모두 1이 되면 0을 출력하고, 입력값 중 어느 하나가 1인 경우 출력값을 0으로 유지하는(즉, 상기 제 4 논리 소자(L4)의 출력과 반대되는 값을 출력하는) 제 8 논리소자(L8) 및 제 8 논리소자(gc', L8)의 출력값을 반전시켜 쉬프트 요청 신호(Shift_r)를 출력하는 제 9 논리소자(L9), 리셋 신호(reestb)가 입력되고, 헤더 플릿 처리 요청 신호(H_r) 및 헤더 저장 완료 신호(Datah_a)의 반전값을 입력으로 하여 두 입력값이 모두 0인 경우 1을 출력하는 제 10 논리소자(L10)의 출력값을 제 1 입력으로 하고, 제 4 논리소자(L4)의 출력값과 헤더 플릿 버퍼링 요청 응답 신호(Bufh_a)의 반전값 및 헤더 플릿 처리 요청 신호(H_r)를 입력으로 하여 입력값이 모두 1인 경우 1을 출력하는 제 11 논리소자(L11)의 출력값을 제 2 입력으로 하는 제 12 논리소자(L12), 제 12 논리소자(L12)의 출력을 반전시키는 제 13 논리소자(L13), 리셋 신호가 입력되며, 제 13 논리소자(L13)의 출력값을 제 1 입력으로 하고, 중재 요청에 대한 응답 신호(Arb_ack)를 제 2 입력으로 하여 중재 요청 신호(Arb_req)를 출력하는 제 14 논리소자(L14), 리셋 신호(resetb)가 입력되고, 헤더 저장 완료 신호(Datah_a)를 제 1 입력으로 하고, 헤더 플릿 처리 요청 신호(H_r)와 중재 요청 신호에 대한 응답 신호(Arb_ack)와 헤더 저장 완료 신호(Datah_a)의 반전값을 입력으로 하여 입력값이 모두 1인 경우 1을 출력하는 제 15 논리소자(L15)의 출력값을 제 2 입력으로 하는 제 16 논리소자(L16), 제 16 논리소자(L16)의 출력을 반전시켜 헤더 저장 요청 신호(Datah_r)를 생성하는 제 17 논리소자(L17)를 포함한다. 여기에서, 제 14 논리소자(L14)는 리셋 신호가 입력되면 0을 출력하며 입출력 관계는 [표 2]과 같은 진리표로 나타낼 수 있다.

[표 2]

입력 1 (L13)	입력 2 (Arb_ack)	출력 (Arb_req)
0	0	0
0	1	1
1	0	1
1	1	1
1	0	0
0	1	1
0	0	0

도 9에 도시한 헤더 제어부(1112, 1152)의 동작을 구체적으로 설명하면 다음과 같다. 먼저, 데이터 전송 요청 신호(input_req)로부터 생성된 헤더 플릿 처리 요청 신호(H_r)가 활성화되면, 제 4 논리소자(L4)의 출력이 일단 0으로 되고, 이에 따라, 제 8 논리소자(L8)의 제 1 입력이 0, 제 2 입력이 0으로 되어, 제 8 논리소자(L8)의 출력 신호는 0이 되고, 제 9 논리소자에서 이를 반전시킨 신호 즉, 쉬프트 요청 신호(Shift_r)가 활성화되어 데이터 저장부(1113, 1153)로 전송되게 된다.

이후, 데이터 저장부에서 라우팅 정보를 쉬프트한 후 쉬프트 요청에 대한 응답 신호(Shift_a)를 전송하면, 제 5 논리소자(L5)의 출력신호 즉, 헤더 플릿 버퍼링 요청 신호(Bufh_r)가 활성화되어 데이터 저장부(1113, 1153)로 전송되게 된다. 이어서, 데이터 저장부(1113, 1153)에서 헤더 플릿을 저장하고 난 후, 헤더 플릿 저장 요청에 대한 응답 신호(Bufh_a)를 전송한다. 이에 따라, 제 4 논리 소자(L4)의 출력 신호인 헤더 플릿 처리 완료 신호(H_a)가 1로 되는 한편, 제 12 논리소자(L12)의 제 1 입력이 0, 제 2 입력이 1이 되어, 제 12 논리소자(L12)로부터 0이 출력되고, 제 14 논리소자(L14)의 제 1 입력이 1, 제 2 입력이 0이므로, 중재 요청 신호(Arb_req)가 활성화되게 된다.

이어서, 출력포트 중재부(120)로부터 중재 요청에 대한 응답 신호(Arb_ack)를 수신함에 따라, 제 16 논리소자(L16)의 제 1 입력이 0, 제 2 입력이 1이 되어, 제 16 논리소자(L16)로부터 0이 출력되고, 이는 제 17 논리소자(L17)에 의해 반전되어, 데이터 출력부(140)로 헤더 저장 요청 신호(Datah_r)를 전송하게 된다. 이후, 데이터 출력부(140)로부터 헤더 저장 완료 신호(Datah_ack)를 수신한다.

도 10a 내지 10c는 본 발명에 적용되는 C-엘리먼트 회로도 및 비대칭 C-엘리먼트 회로도이다.

먼저, 도 10a는 도 8의 제 1 논리소자(L1), 도 9의 제 4 논리소자(L4)의 구현 예를 나타내는 것으로, 전원 단자에 접속되어 제 1 입력 신호(a)에 의해 구동되는 제 1 P 타입 트랜지스터(P1), 제 1 P 타입 트랜지스터에 직렬 접속되며, 제 2 입력 신호(b)의 반전 신호에 의해 구동되는 제 2 P 타입 트랜지스터(P2), 제 2 P 타입 트랜지스터에 직렬 접속되며, 제 1 입력 신호(a)에 의해 구동되는 제 1 N 타입 트랜지스터(N1), 제 1 N 타입 트랜지스터와 접지 단자 간에 직렬 접속되어 제 2 입력 신호(b)의 반전 신호에 의해 구동되는 제 2 N 타입 트랜지스터(N2), 전원 단자와 제 2 P 타입 트랜지스터의 출력 단자 간에 접속되며, 리셋 신호(resetb)에 의해 구동되는 제 3 P 타입 트랜지스터(P3) 및 제 2 P 타입 트랜지스터의 출력 단자에 접속되는 지연소자로서의 제 1 래치 회로(래치 1)를 포함한다.

다음으로, 도 10b는 도 9의 제 8, 제 12 및 제 16 논리소자(L8, L12, L16)의 구현 예를 나타내는 것으로, 전원 단자에 접속되어 제 1 입력 신호(a)에 의해 구동되는 제 4 P 타입 트랜지스터(P4), 제 4 P 타입 트랜지스터에 직렬 접속되며 제 2 입력 신호(b)의 반전 신호에 의해 구동되는 제 5 P 타입 트랜지스터(P5), 제 5 P 타입 트랜지스터에 직렬 접속되며, 제 1 입력 신호(a)에 의해 구동되는 제 3 N 타입 트랜지스터(N3), 제 3 N 타입 트랜지스터와 접지 단자 간에 직렬 접속되어 제 2 입력 신호(b)의 반전 신호에 의해 구동되는 제 4 N 타입 트랜지스터(N4), 제 5 P 타입 트랜지스터의 출력 단자와 접지 단자 간에 접속되며, 리셋 신호(reset)의 반전신호에 의해 구동되는 제 5 N 타입 트랜지스터(N5) 및 제 5 P 타입 트랜지스터의 출력 단자에 접속되는 지연소자로서의 제 2 래치 회로(래치 2)를 포함한다.

도 10c는 도 9의 제 14 논리소자(L14)의 구현 예를 나타내는 것으로, 전원 단자에 접속되어 제 1 입력 신호(a)의 반전신호에 의해 구동되는 제 6 P 타입 트랜지스터(P6), 제 6 P 타입 트랜지스터에 직렬 접속되며, 제 1 입력 신호(a)의 반전신호에 의해 구동되는 제 6 N 타입 트랜지스터(N6), 제 6 N 타입 트랜지스터와 접지 단자 간에 직렬 접속되어 제 2 입력 신호(b)에 의해 구동되는 제 7 N 타입 트랜지스터(N7), 전원 단자와 제 6 P 타입 트랜지스터의 출력 단자 간에 접속되며, 리셋 신호(resetb)에 의해 구동되는 제 7 P 타입 트랜지스터(P7) 및 제 6 P 타입 트랜지스터의 출력 단자에 접속되는 지연소자로서의 제 3 래치 회로(래치 3)를 포함한다.

도 11a 및 11b는 도 6 및 도 7에 도시한 입력 데이터 저장부의 상세 구성도이다.

도 11a를 참조하면, 입력되는 23비트의 데이터에 대하여 0번째 데이터 비트로부터 14번째 데이터 비트, 쉬프트 요청 신호(Shift_r), 쉬프트 요청 신호의 반전 신호 및 3비트 우측의 데이터 비트를 각각 입력으로 하는 데이터 선택 수단(1115), 데이터 비트값 0, 쉬프트 요청 신호(Shift_r), 쉬프트 요청 신호의 반전 신호 및 3비트 우측의 데이터 비트를 각각 입력으로 하는 3개의 보조 데이터 선택 수단(1115'), 리셋 신호(resetb)에 의해 제어되며 데이터 선택부(1115)의 출력신호, 제 18 논리소자(L18)의 출력신호를 입력으로 하여, 데이터 선택 수단(1115)의 출력값을 각각 저장하는 하위 데이터 저장수단(1116), 리셋 신호(resetb)에 의해 제어되며 보조 데이터 선택부(1115')의 출력신호, 제 18 논리소자(L18)의 출력신호를 입력으로 하여, 데이터 선택 수단(1115)의 출력값을 각각 저장하는 보조 데이터 저장수단(1116'), 리셋 신호(resetb)에 의해 제어되고 23비트의 데이터에 대하여 15번째 데이터비트로부터 22번째 데이터 비트 및 제 18 논리소자(L18)의 출력신호를 입력으로 하여, 상기 데이터 비트값을 각각 저장하는 상위 데이터 저장수단(1116'')을 포함한다. 아울러, 입력 데이터 비트열 중 최상위 2비트는 데이터 플릿의 타입(F_type0, F_type1)에 따라 패이로드 제어부(1111, 1151) 또는 헤더 제어부(1112, 1152)로 입력된다.

여기에서, 제 18 논리소자(L18)는 헤더 플릿 버퍼링 요청 신호(Bufh_r)와 패이로드 플릿 버퍼링 요청 신호(Bufp_r)를 입력으로 하여, 두 신호 중 어느 하나가 1인 경우 1을 출력하는 오알(OR) 게이트로 구현할 수 있다. 또한, 하위 3개의 데이터 선택 수단(1115)은 3비트 우측의 데이터 비트를 입력받을 수 없으므로, 각각의 출력단에 접속된 하위 데이터 저장 수단(1116)의 출력값을 입력받는다.

한편, 쉬프트 요청 신호(Shift_r), 헤더 플릿 버퍼링 요청 신호(Bufh_r) 및 패이로드 플릿 버퍼링 요청 신호(Bufp_r)는 지정된 시간 지연된 후 각각 쉬프트 요청 응답 신호(Shift_a), 헤더 플릿 버퍼링 응답 신호(Bufh_a), 패이로드 플릿 버퍼링 응답 신호(Bufp_a)로서, 패이로드 제어부 및 헤더 제어부로 전송된다.

아울러, 본 실시예에서는 하나의 스위치에 대한 라우팅 정보를 3비트로 나타내는 경우에 대하여 설명하였지만, 라우팅 정보 비트에 따라 보조 데이터 선택부의 개수 및 라우팅 정보의 쉬프트 비트 수가 변경될 수 있음은 물론이다.

도 11b는 도 11a에 도시한 데이터 선택 수단(1115) 및 보조 데이터 선택 수단(1115')의 구성 예로서, 쉬프트 요청 신호(Shift_r) 및 데이터 비트를 입력으로 하여 두 입력이 모두 1인 경우 1을 출력하는 제 19 논리소자(L19), 쉬프트 요청 신호(Shift_r)의 반전신호 및 3비트 우측의 데이터 비트(하위 3개 데이터 선택 수단의 경우 각각에 접속된 데이터 저장 수단의 출력값)를 입력으로 하여 두 입력이 모두 1인 경우 1을 출력하는 제 20 논리소자(L20), 제 19 및 제 20 논리소자의 출력값을 입력으로 하여 두 입력값 중 어느 하나가 1인 경우 1을 출력하는 제 21 논리소자(L21)로 구성된다.

이러한 구성을 갖는 데이터 저장부(1113, 1115)의 동작을 입력된 데이터가 헤더 플릿인 경우와 페이로드 플릿인 경우로 나누어 구체적으로 설명하면 다음과 같다.

먼저, 헤더 플릿이 입력되는 경우, 21번째 데이터 비트 및 22번째 데이터 비트값 즉, 데이터 타입 필드(F_type0, F_type1)를 검출하여 헤더 제어부(1112, 1152)로 전송한다. 이에 따라, 쉬프트 요청 신호(Shift_r) 및 헤더 플릿 버퍼링 요청 신호(Bufh_r)가 활성화된다. 이 경우, 데이터 선택 수단(1115) 및 보조 데이터 선택 수단(1115')을 구성하는 제 19 논리소자(L19)의 출력은 입력되는 데이터 비트값에 따라 결정되고, 제 20 논리소자(L20)의 출력은 0이 되며, 따라서 제 21 논리소자(L21)의 출력값 즉, 데이터 선택 수단(1115) 및 보조 데이터 선택 수단(1115')의 출력값은 데이터 비트값이 된다. 결국, 하위 데이터 저장 수단(1116) 및 보조 데이터 저장 수단(1116')에는 각 데이터 비트값이 그대로 저장되게 된다.

헤더 플릿의 경우 최하위 3비트는 라우팅 정보를 나타내므로, 하위 데이터 저장 수단(1116)은 최하위 3비트 정보를 출력포트 중재부(120)로 출력한다.

아울러, 하위 3비트를 제외한 23비트의 데이터는 데이터 이동경로 설정부(130)로 출력되는데, 0을 입력 데이터 비트값으로 하는 보조 데이터 선택 수단(1115')에 의해 라우팅 정보 필드의 상위 3비트가 0으로 채워지게 된다. 또한, 데이터 타입 필드(21~22) 및 소스 어드레스 필드(15~20)는 원래의 데이터가 그대로 상위 데이터 저장부(1116")에 저장된다.

한편, 페이로드 플릿이 입력되는 경우 쉬프트 요청 신호(Shift_r)는 비활성화상태이므로 데이터 선택 수단(1115) 및 보조 데이터 선택 수단(1115')을 구성하는 제 19 논리소자(L19)의 출력값은 0이 되고, 제 20 논리소자(L20)의 출력값은 3비트 우측의 데이터 비트값(최하위 3개 데이터 선택 수단의 경우, 각각에 접속된 데이터 저장 수단의 출력값)이 된다.

이때, 하위 3개의 데이터 저장 수단(1116)에 저장된 값은 페이로드 플릿의 경우 사용되지 않으며, 상위 23개의 데이터 저장 수단(1116)에 저장된 값이 실제 데이터로서 출력되게 된다. 구체적으로 설명하면, 실제 입력 데이터의 0번째 비트부터 14번째 비트까지는 3비트씩 좌측으로 쉬프트되어 하위 데이터 저장수단(1116)에 저장되고, 15번째 비트부터 17번째 비트까지는 보조 데이터 저장수단(1116')에 저장되며, 18번째 비트부터 22번째 비트까지는 직접 상위 데이터 저장 수단(1116)으로 전송되어 저장된 후, 데이터 이동경로 설정부로 출력되는 것이다.

이상에서는 데이터 입력부(110)의 구성 및 동작에 대하여 설명하였으며, 이하에서는 출력포트 중재부(120)에 대하여 설명하기로 한다.

도 12는 본 발명에 적용되는 출력포트 중재부의 상세 구성도이다.

도시한 것과 같이, 출력포트 중재부(120)는 각 입력포트로 입력된 데이터에 대한 중재 요청 신호(Arb_req0~Arb_req5) 및 각 데이터의 라우팅 정보(rib)를 데이터 입력부(110)로부터 입력받아, 각 중재 요청 신호의 전송 경로를 결정하기 위한 제 1 내지 제 6 디멀티플렉서(DM0~DM5), 각 입력포트로 입력된 데이터에 대한 헤더 플릿 처리 요청 신호(H_r)를 입력받아 각 헤더 플릿 처리 요청 신호의 전송 경로를 결정하기 위한 제 7 내지 제 12 디멀티플렉서(DM6~DM11), 각 입력포트로 입력된 데이터에 대한 마지막 페이로드 처리 요청 신호(L_r)를 입력받아 각 마지막 페이로드 저장 완료 신호의 전송 경로를 결정하기 위한 제 13 내지 제 18 디멀티플렉서(DM12~DM17), 제 1 내지 제 6 디멀티플렉서로부터 입력된 중재 요청 신호(Arb_req)에 따른 중재 요청 응답 신호(Arb_ack)를 생성하고, 동일한 포트에 출력하고자 하는 데이터 패킷에 대한 출력포트 선택 신호(s)를 생성하는 중재 수단(1200) 및 중재수단(1200)에서 생성한 중재 요청 응답 신호(Arb_ack) 및 선택 신호(s)에 따라 데이터 입력부(110)로 중재 결과(Arb_ack)를 전송하는 제 1 내지 제 6 멀티플렉서(M0~M5)를 포함한다.

데이터 입력부(110)에서 4개의 하위 포트 및 2개의 상위 포트에 입력되는 데이터 패킷에 대한 출력포트 중재는 각각 4개의 하위 중재 모듈과 2개의 상위 중재 모듈에서 이루어지며, 이를 도 13에 나타내었다.

도 13은 본 발명에 적용되는 출력포트 중재부의 구성도로서, 4개의 하위 중재 모듈(121, 122, 123, 124)과 2개의 상위 중재 모듈(125, 126)을 나타낸다.

하위 중재 모듈(121, 122, 123, 124)과 상위 중재 모듈(125, 126)의 차이를 설명하면, 하위 중재 모듈(121, 122, 123, 124)은 6개의 출력포트 중 어느 하나를 선택하는 것이고, 상위 중재 모듈(125, 126)은 데이터를 상위 출력 포트로만 전송해야 하므로 4개의 출력포트 중 어느 하나를 선택하는 것이다. 각각의 중재 모듈로 입력되는 중재요청 신호(예를 들어, 하위 중재 모듈0의 경우 Arb_req00~50)에서, 앞의 숫자(0~5)는 입력포트 정보를 나타내고, 뒤의 숫자(0)는 출력포트 정보를 나타낸다. 즉, 중재 모듈은 동일한 출력포트로 출력되고자 하는 데이터별로 나누어 출력 우선순위를 결정하는 것이다.

도 14는 도 13에 도시한 하위 중재모듈의 상세 구성도이고, 도 15는 도 13에 도시한 상위 중재모듈의 상세 구성도로서, 하위 및 상위 중재 모듈은 선택 가능한 출력포트의 개수의 차이만 있을 뿐 동일하게 동작하므로 함께 설명하기로 한다.

하위 및 상위 중재 모듈(121, 125)은 복수의 중재 요청 신호(Atb_req0~ Atb_req5 또는 Atb_req0~ Atb_req3) 중에서 어느 하나를 선택하기 위한 즉, 동일한 출력포트로 출력되고자 하는 복수의 데이터 중 어느 하나를 선택하기 위한 6-by-1 트리 중재기를 포함하는 중재 유닛(1211, 1251), 중재 유닛(1211)에 의해 중재 요청 응답 신호(Arb_ack)가 활성화된 경우 해당 데이터 패킷을 모두 전송할 때까지 해당 출력 경로를 유지하기 위하여 6-by-1 트리 중재기가 동작하지 않도록 하는 한편, 마지막 패이로드가 입력되어 마지막 패이로드 처리 요청 신호(L_r)가 활성화되면 멀티플렉서 선택 신호가 출력되도록 제어하기 위한 멀티플렉서 선택 제어 신호(en)를 출력하는 워홀 라우팅 처리 유닛(1212, 1252) 및 워홀 라우팅 처리 유닛(1212, 1252)의 멀티플렉서 선택 제어 신호(en) 및 중재 유닛(1211)의 중재 결과에 따라 멀티플렉서 선택 신호(s0~s2 또는 s0~s1)를 출력하는 경로 설정 제어 유닛(1213, 1253)을 포함한다.

도 16은 도 14에 도시한 6-by-1 트리 중재기의 상세 구성도이다.

도시한 것과 같이, 6-by-1 트리 중재기는 2-by-1 트리 중재기를 복수개 연결하여 구성할 수 있다. 즉, 6개의 중재 요청 신호 중 각각 2개씩을 입력받아 2 개의 중재 요청 신호 중에서 하나를 선택하는 제 1 내지 제 3 2-by-1 트리 중재기(1214, 1215, 1216)와, 제 1 및 제 2 2-by-1 트리 중재기(1214, 1215)의 출력값 중 어느 하나를 선택하는 제 4 2-by-1 트리 중재기(1217)와, 제 3 2-by-1 트리 중재기(1216) 및 제 4 2-by-1 트리 중재기(1217)의 출력값 중 어느 하나를 선택하기 위한 제 5 2-by-1 트리 중재기(1218)와, 제 5 2-by-1 트리 중재기(1218)의 출력값을 일시 저장하여 출력하는 버퍼(1219)를 포함한다.

각 2-by-1 트리 중재기로는 리셋 신호(resetb)가 입력되며, 두 개의 중재 요청 신호(r0, r1) 및 출력단 응답 신호(g)를 입력받아 하나의 중재 요청 신호(r) 및 두 개의 중재 요청 응답 신호(g0, g1)를 출력한다.

아울러, 도 15에 적용되는 4-by-1 트리 중재기는 도시하지는 않았지만 도 16과 유사한 구조를 갖는다.

즉, 4-by-1 트리 중재기는 2-by-1 트리 중재기를 복수개 연결하여 구성할 수 있다. 즉, 4개의 중재 요청 신호 중 각각 2개씩을 입력받아 2 개의 중재 요청 신호 중에서 하나를 선택하는 제 6 및 제 7 2-by-1 트리 중재기와, 제 6 및 제 7 2-by-1 트리 중재기 출력값 중 어느 하나를 선택하기 위한 제 8 2-by-1 트리 중재기와, 제 8 2-by-1 트리 중재기의 출력값을 일시 저장하여 출력하는 버퍼로 구성할 수 있다.

도 17은 도 16에 도시한 2-by-1 트리 중재기의 상세 구성도로서, 두 개의 중재 요청 신호(r0, r1) 중 어느 하나를 선택하는 예를 나타낸다.

도 17에 도시한 2-by-1 트리 중재기의 동작을 설명하기에 앞서, 동시에 입력되는 두 신호 중 하나를 선택하고, 선택된 신호가 로우(low)로 되면 나머지 신호를 선택하는 ME 회로(L22)에 대하여 도 18을 참조하여 설명하기로 한다.

도 18에 도시한 것과 같이, ME 회로(L22)는 제 1 입력신호(r0)를 반전시킨 신호에 의해 구동되며, 제 2 입력신호(r1)를 반전시킨 신호를 입력받는 제 8 N 타입 트랜지스터(N8), 제 8 N 타입 트랜지스터에 직렬 접속되어, 제 1 입력신호(r0)를 반전시킨 신호에 의해 구동되는 제 8 P 타입 트랜지스터(P8), 제 2 입력신호(r1)를 반전시킨 신호에 의해 구동되며, 제 1 입력신호(r0)를 반전시킨 신호를 입력받는 제 9 N 타입 트랜지스터(N9), 제 9 N 타입 트랜지스터 및 제 8 P 타입 트랜지스터

터 간에 직렬 접속되며, 제 2 입력신호(r1)를 반전시킨 신호에 의해 구동되는 제 9 P 타입 트랜지스터(P9)를 포함하며, 제 8 N 타입 트랜지스터(N8)의 출력이 제 1 출력 신호(g0)가 되고, 제 9 N 타입 트랜지스터(N9)의 출력이 제 2 출력 신호(g1)가 된다.

이러한 구성을 갖는 ME 회로(L22)에서, 예를 들어 제 1 입력신호(r0)가 1이고, 제 2 입력신호(r2)가 0인 경우, 제 8 N 타입 트랜지스터(N8) 및 제 9 P 타입 트랜지스터(P9)는 턴오프되고, 제 9 N 타입 트랜지스터(N9) 및 제 8 P 타입 트랜지스터(P8)는 턴온되어, 제 1 출력신호(g0)는 1이 되고, 제 2 출력신호(g1)는 0이 된다. 즉, 입력신호가 1이고 제 2 입력신호가 0인 경우, 제 1 입력신호가 선택되어 지는 것이다.

이러한 ME 회로(L22)를 참조하여, 도 17에 도시한 2-by-1 트리 중재기의 구성 및 동작을 설명하면 다음과 같다.

도시한 것과 같이, 두 개의 중재 요청신호(r0, r1)가 ME(Mutual Exclusion) 회로(L22)로 입력됨에 따라, ME 회로(L22)는 제 1 출력신호(r0out) 및 제 2 출력신호(r1out) 중 어느 하나를 선택 출력한다. 제 23 논리소자(L23)는 리셋 신호(resetb), 출력단 응답신호(g)의 반전값 및 제 24 논리소자(L24)의 출력신호를 입력으로 하여, 이전 상태의 두 입력값이 모두 0인 경우 0을 출력하고 입력값 중 어느 하나가 0이면 계속해서 0을 출력하며, 입력값이 모두 1로 되면 1을 출력하고, 입력값 중 어느 하나가 1이면 계속해서 1을 출력한다. 신호(g)는 2-by-1 트리 중재기의 출력 신호 수신단에서 전송하는 응답신호로서, 이 신호가 1로 입력되는 경우 제 23 논리소자(L23)의 출력 신호는 0이 되고, 이를 반전시킨 신호 즉, 제 2 중재요청 응답 신호(g1)는 1이 된다. 따라서, ME 회로(L22)의 제 2 출력신호(r1out) 및 제 2 중재요청 응답 신호(g1)를 입력으로 하는 제 25 논리소자(L25)의 출력값은 1이 된다.

한편, 리셋 신호(resetb), 출력단 응답신호(g)의 반전값 및 제 25 논리소자(L25)의 출력신호를 입력으로 하는 제 26 논리소자(L26)의 출력은 0이 되고, 이를 반전시킨 신호 즉, 제 1 중재요청 응답 신호(g0)는 1이 된다. 따라서, 제 1 중재요청 응답 신호(g0) 및 ME 회로(L22)의 제 1 출력신호(r0out)를 입력값으로 하는 제 24 논리소자(L24)의 출력값은 0이 된다. 아울러, 제 24 논리소자 및 제 25 논리소자(L24, L25)의 출력신호를 입력으로 하는 제 27 논리소자(L27)의 출력값(r)은 1이 된다. 즉, 제 1 입력신호(r0)가 선택되는 것이다.

도 17에서, 제 23 및 제 26 논리소자(L23, L26)는 상기한 C-엘리먼트 소자이고, 제 24 및 제 25 논리소자와 제 27 논리소자(L24, L25, L27)는 두 입력이 모두 1인 경우 0을 출력하는 소자로서 예를 들어, 낸드(NAND) 게이트로 구현할 수 있다.

이상에서는 본 발명의 비동기 스위치 회로에 적용되는 출력포트 중재부의 상세 구성 및 동작에 대하여 설명하였으며, 이하에서는 본 발명에 적용되는 데이터 이동경로 설정부(130)의 상세 구성 및 동작에 대하여 설명할 것이다.

도 19는 본 발명에 적용되는 데이터 이동경로 설정부의 상세 구성도이다.

데이터 이동경로 설정부(130)는 데이터 입력부(110)로부터 23비트의 데이터를 입력받고, 출력포트 중재부(120)로부터 출력포트 정보(출력포트 선택신호)를 입력받아, 해당 출력포트로 데이터를 전달하는 역할을 하는 것으로, 도 19에 도시한 것과 같이 4개의 하위 이동경로 설정부(131, 132, 133, 134)와 2개의 상위 이동경로 설정부(135, 136)로 구성된다.

하위 이동경로 설정부(131, 132, 133, 134)로는 23비트의 크기를 갖는 6개의 데이터(In0<22:0> ~ In5<22:0>)가 입력되고, 상위 이동경로 설정부(135, 136)로는 23비트의 크기를 갖는 4개의 데이터(In0<22:0> ~ In3<22:0>)가 입력된다. 이는 하위 이동경로 설정부의 경우 6개의 출력포트 중 어느 하나로 데이터를 전송할 수 있고, 하위 이동경로 설정부의 경우 4개의 상위 출력포트 중 어느 하나로 데이터를 전송하기 때문이다.

각 이동경로 설정부(131~136)는 데이터를 입력받는 한편, 출력포트 중재부(120)에서 전송하는 선택신호(s0<2:0> ~ s3<2:0>, s4<1:0>, s5<1:0>)를 참조하여, 특정 데이터를 선택신호가 나타내는 출력포트로 전송한다(out0<22:0> ~ out5<22:0>).

도 20은 도 19에 도시한 하위 이동경로 설정부의 상세 구성도이고, 도 21은 도 19에 도시한 상위 이동경로 설정부의 상세 구성도로서, 하위 이동경로 설정부와 상위 이동경로 설정부는 입력되는 데이터의 수와 선택 신호의 수가 상이할 뿐 동일한 구성을 가지므로 함께 설명하기로 한다.

하나의 데이터 플릿을 구성하는 23비트의 데이터 비트값은 23개의 멀티플렉서(멀티플렉서10~멀티플렉서122)로 각각 1비트씩 입력된다. 하위 이동경로 설정부(131, 132, 133, 134)의 경우 입력되는 데이터 플릿이 6개이므로 예를 들어, 멀티플렉서10에는 제 1 데이터의 0번째 비트 데이터값(In0<0>), 제 2 데이터의 0번째 비트 데이터값(In1<0>), ... 제 6 데이터

의 0번째 비트 데이터값(In5<0>)이 입력되는 것이다. 아울러, 상위 이동경로 설정부(135, 136)의 경우 입력되는 데이터가 4개이므로 예를 들어, 멀티플렉서20에는 제 1 데이터의 0번째 비트 데이터값(In0<0>), 제 2 데이터의 0번째 비트 데이터값(In1<0>), ... 제 4 데이터의 0번째 비트 데이터값(In3<0>)이 입력되게 된다.

아울러, 각각의 멀티플렉서(M10~M122, M20~M222)로는 선택신호(s)가 입력되는데, 하위 이동경로 설정부(131, 132, 133, 134)의 경우 6개의 출력포트를 나타내기 위하여 3개의 선택신호(s0, s1, s2)가 입력되고, 상위 이동경로 설정부(135, 136)의 경우 4개의 출력포트를 나타내기 위하여 2개의 선택신호(s0, s2)가 입력된다.

데이터 및 선택신호를 입력받은 각각의 멀티플렉서(M10~M122, M20~M222)는 선택신호(s)의 제어에 따라, 하위 이동경로 설정부(131, 132, 133, 134)의 경우 6개의 입력 데이터 중 어느 하나를 선택하여 출력하고, 상위 이동경로 설정부(135, 136)의 경우 4개의 입력 데이터 중 어느 하나를 선택하여 출력한다. 이와 같이하여 출력되는 23비트의 데이터(out<22:0>)는 데이터 출력부(140)로 전송되게 된다.

선택신호(s)는 출력포트 중재부(120)에서 기 설정되기 때문에, 결과적으로 데이터 출력부(140)로는 동일한 데이터 플릿의 데이터 비트열이 전송되게 되며, 각 비트열이 각각의 멀티플렉서에서 선택되어진 후 전송되므로 데이터 전송속도가 향상된다.

하위 이동경로 설정부(131, 132, 133, 134)에서 6개의 입력신호 중 선택 신호의 제어에 따른 어느 하나의 신호를 선택하기 위하여 각각의 멀티플렉서(M10~M122)는 6-by-1 TG(Transmission Gate) 멀티플렉서로 구현할 수 있고, 상위 이동경로 설정부(135, 136)에 적용하기 위한 멀티플렉서(M20~M222)는 4-by-1 TG 멀티플렉서로 구현할 수 있으며, 이를 도 22 및 도 23을 참조하여 설명하면 다음과 같다.

도 22는 도 20에 도시한 6-by-1 TG 멀티플렉서의 상세 구성도이다.

도 22에 도시한 것과 같이, 6-by-1 TG 멀티플렉서는 각각의 데이터 비트(in0~in5)를 입력받고, 제 3 선택신호(s2) 및 제 3 선택신호(s2)의 반전신호에 의해 제어되는 제 1 내지 제 5 전송 게이트(TG0~TG5), 제 1 내지 제 5 전송 게이트(TG0~TG5)의 출력 신호를 각각 입력 신호로 하고, 제 2 선택신호(s1) 및 제 2 선택신호(s1)의 반전신호에 의해 제어되는 제 6 내지 제 12 전송 게이트(TG6~TG11), 제 6 내지 제 12 전송 게이트(TG6~TG11)를 입력 신호로 하고, 제 1 선택신호(s0) 및 제 1 선택신호(s0)의 반전신호에 의해 제어되어, 입력 데이터(in0~in5) 중 어느 하나를 출력하는 제 13 내지 제 18 전송 게이트(TG12~TG17)를 포함한다.

한편, 도 23에 도시한 4-by-1 TG 멀티플렉서는 각각의 데이터 비트(in0~in3)를 입력받고, 제 2 선택신호(s1) 및 제 2 선택신호(s1)의 반전신호에 의해 제어되는 제 19 내지 제 22 전송 게이트(TG18~TG21), 제 19 내지 제 22 전송 게이트(TG18~TG21)의 출력 신호를 각각 입력 신호로 하고, 제 1 선택신호(s0) 및 제 1 선택신호(s0)의 반전신호에 의해 제어되어, 입력 데이터(in0~in3) 중 어느 하나를 출력하는 제 23 내지 제 26 전송 게이트(TG22~TG25)를 포함한다.

이와 같이, 데이터 이동경로 설정부(130)는 입력 데이터를 출력 포트 중재부(120)에서 생성한 출력포트 정보에 따라 데이터 출력부(140)로 정확히 전달하는 역할을 한다.

다음으로는, 본 발명에 의한 비동기 스위치 회로에 적용되는 데이터 출력부(140)에 대하여 구체적으로 설명하기로 한다.

도 24는 본 발명에 적용되는 데이터 출력부의 상세 구성도이다.

데이터 출력부(140)는 데이터 입력부(110)로부터 전송되는 헤더 저장 요청 신호(Datah_r0~Datah_r5) 및 페이로드 저장 요청 신호(Datap_r0~Datap_r5), 출력포트 중재부(120)로부터 입력되는 출력포트 정보 즉, 선택신호(s0<2:0>~s5<2:0>)를 입력받아, 해당 출력 버퍼에 데이터를 저장하도록 요청하는 입력 제어부(141), 리셋 신호(resetb)가 입력되고, 데이터 입력부(110)로부터 전송되는 입력 데이터(in0<22:0> ~ in5<22:0>) 및 입력 제어부(141)로부터 입력되는 데이터 전송 요청신호(input_req)에 따라 해당 출력포트에 데이터를 저장하고, 데이터 저장이 완료되면 데이터 전송 요청 응답 신호(input_ack)를 출력포트 중재부(120)로 전송하며, 출력할 데이터가 있음을 다음 단의 스위치로 통보하는 출력 요청 신호(output_req)를 출력하고, 다음 단 스위치가 이에 대해 응답(output_ack)함에 따라, 정해진 출력 포트를 통해 다음 단의 스위치로 데이터를 출력(out0<22:0> ~ out5<22:0>)하는 버퍼(142), 버퍼(142)로부터 데이터 전송 요청 신호(input_ack0~input_ack5)를 입력받고, 데이터 입력부(110)로부터 헤더 저장 요청 신호(Datah_r0~Datah_r5) 및 페

이로드 저장 요청 신호(Datap_r0~Datap_r5)를 입력받으며, 출력포트 중재부(120)로부터 입력되는 출력포트 정보(s0<2:0>~s5<2:0>)를 입력받아, 데이터 입력부(110)로 헤더 저장 완료 신호(Datah_a0~Datah_a5) 및 페이로드 저장 완료 신호(Datap_a0~Datap_a5)를 전송하는 출력 제어부(143)를 포함한다.

여기에서, 데이터 출력부(140)는 버퍼(142)에서 출력되는 출력 요청 신호(output_req0~output_req5)를 지정된 시간동안 지연시킨 후 다음 단의 스위치로 출력하는 지연수단(144)을 더 포함할 수 있다. 이 지연수단(144)은 본 발명의 스위치 회로가 비동기 회로이므로 신호 전송시의 타이밍이 적절하게 되도록 하기 위하여 사용하는 것이다.

도 25는 도 24에 도시한 입력 제어부의 상세 구성도이다.

도시한 것과 같이, 입력 제어부는 각 데이터에 대한 헤더 저장 완료 신호 및 페이로드 저장 완료 신호를 입력으로 하여, 입력 신호 중 어느 하나가 1이면 1을 출력하는 제 28 내지 제 33 논리소자(L28~L33)의 출력 신호를 입력 신호로 하는 제 1 내지 제 6 멀티플렉서(M30~M35)로 구현할 수 있으며, 각 멀티플렉서(M30~M35)로는 선택신호(s0<2:0>~s5<2:0>)가 각각 입력되어, 선택신호(s0<2:0>~s5<2:0>)의 제어에 의해 데이터 전송 요청 신호(Input_req0~Input_req5) 중 어느 하나가 활성화되게 된다.

여기에서, 각 멀티플렉서(M30~M35)는 6-by-1 TG(Transmission Gate) 멀티플렉서로 구현할 수 있고, 구체적인 구성 예는 도 22에 도시하였다. 아울러, 제 28 내지 제 33 논리소자(L28~L33)는 오알(OR) 게이트로 구현할 수 있는데, 이는 데이터 출력부(140)는 입력 제어부(141)로 입력되는 데이터가 헤더인지 페이로드인지 구별할 필요가 없기 때문이다.

도 26은 도 24에 도시한 버퍼의 상세 구성도이다.

본 발명에 적용되는 버퍼(142)는 2상 선입선출 버퍼(2 stage FIFO, 1421~1426)를 6개 병렬 연결하여 사용할 수 있다.

각각의 2상 선입선출 버퍼(1421~1426)로는 리셋 신호(resetb)가 입력되고, 데이터 입력부(110)로부터 전송되는 입력 데이터(in) 및 입력 제어부(141)로부터 입력되는 데이터 전송 요청 신호(input_req)에 따라 해당 출력포트에 데이터가 저장되고, 데이터 저장이 완료되면 데이터 전송 요청 응답 신호(input_ack)를 출력포트 중재부(120)로 전송한다.

아울러, 출력할 데이터가 있음을 다음 단의 스위치로 통보하는 출력 요청 신호(output_req)를 출력하며, 다음 단 스위치기에 대해 응답(output_ack)함에 따라, 정해진 출력 포트를 통해 다음 단의 스위치로 데이터를 출력(out)한다.

도 27은 도 26에 도시한 2상 선입선출 버퍼의 상세 구성도로서, 세미 디커플드(semi decoupled) 선입선출 버퍼 2개(1427, 1428)를 직렬 연결함으로써 구성할 수 있음을 나타낸다.

도 28은 도 24에 도시한 출력 제어부의 상세 구성도이다.

도시한 것과 같이 출력 제어부(143)는 버퍼(142)로부터 입력되는 데이터 전송 요청 신호(input_ack) 및 출력포트 중재부(120)로부터 입력되는 선택신호(s0~s5)를 각각 입력받아 하위 출력포트로 출력할 데이터에 대한 제어 신호를 생성하기 위한 제 1 내지 제 4 디멀티플렉서(DM20~DM23)와 상위 출력포트로 출력할 데이터에 대한 제어 신호를 생성하기 위한 제 5 및 제 6 디멀티플렉서(DM24~DM25), 제 1 내지 제 6 디멀티플렉서(DM24~DM25)의 출력값을 각 출력포트 번호별로 입력받아, 입력 신호 중 어느 하나가 1인 경우 1을 출력하는 제 34 내지 제 39 논리소자(L34~L39), 제 34 내지 제 39 논리소자(L34~L39)의 출력값을 입력값으로 하고, 데이터 입력부(110)로부터 각 출력포트 번호별로 입력되는 헤더 저장 요청 신호(Datah_r) 및 페이로드 저장 요청 신호(Datap_r)에 따라 데이터를 버퍼(142)에 저장하였음을 통보하는 헤더 저장 완료 신호(Datah_a) 및 페이로드 저장 완료 신호(Datap_a)를 데이터 입력부(110)로 전송하는 제 1 내지 제 6 디코더(DC0~DC5)를 포함한다.

도 28에서는 제 1 입력포트로 입력되는 데이터와 제 4 입력포트로 입력되는 데이터에 대한 출력을 위한 신호선만을 도시하였으나, 타 입력 데이터에 대해서도 동일한 신호선을 동일한 방법으로 나타낼 수 있다.

이상에서, 본 발명에 의한 스위치 회로의 구성에 대하여 설명하였다.

이에 더하여, 본 발명의 스위치 회로는 데이터 입력부(110)와 출력포트 중재부(120) 간에, 데이터 입력부(110)와 데이터 출력부(140) 간에 각각 지연부(150, 160)를 추가로 구성할 수 있다. 이는 본 발명의 스위치 회로가 비동기 회로이기 때문에 타이밍을 조절하기 위한 목적으로 구현된다.

지연부는 신호의 입력단과 출력단 간에 복수 개의 버퍼를 직렬 연결한 버퍼 체인 형태로 구현할 수 있으며, 특히 데이터 입력부(110)와 출력포트 중재부(120) 간에 접속되는 지연부(150)는 데이터 입력부(110)로부터 출력포트 중재부(120)로 전송되는 헤더 플릿 처리 요청 신호(H_r)를 지연시키기 위해 사용된다. 즉, 라우팅 정보(rib)가 헤더 플릿 처리 요청 신호(H_r)보다 빨리 출력되도록 하기 위해 사용하는 것이다.

한편, 데이터 입력부(110)와 데이터 출력부(140) 간에 접속되는 지연부(160)는 헤더 저장 요청 신호(Datah_r)를 지연시키기 위해 사용하는 것으로, 데이터 이동경로 설정부(130)에서 데이터 출력부(140)로 데이터(out) 전송하는 시간과 헤더 저장 요청 신호(Datah_r)와의 동기를 맞추기 위하여 사용한다.

이와 같이, 본 발명이 속하는 기술분야의 당업자는 본 발명이 그 기술적 사상이나 필수적 특징을 변경하지 않고서 다른 구체적인 형태로 실시될 수 있다는 것을 이해할 수 있을 것이다. 그러므로 이상에서 기술한 실시예들은 모든 면에서 예시적인 것이며 한정적인 것이 아닌 것으로서 이해해야만 한다. 본 발명의 범위는 상기 상세한 설명보다는 후술하는 특허청구범위에 의하여 나타내어지며, 특허청구범위의 의미 및 범위 그리고 그 등가개념으로부터 도출되는 모든 변경 또는 변형된 형태가 본 발명의 범위에 포함되는 것으로 해석되어야 한다.

발명의 효과

이상에서 설명한 본 발명은 하나의 칩에 다양한 IP(Intellectual Property)들을 구현하고, IP들 간의 통신을 가능하게 하는 스위치 회로를 버터플라이 팻-트리 형태의 토폴로지로 구현하고, 워홀 스위칭 기술에 의해 데이터를 전송함으로써 네트워크-온-칩에서의 데이터 처리 속도를 향상시키고, 그 구성을 간단화할 수 있는 이점이 있다.

(57) 청구의 범위

청구항 1.

복수개의 데이터 패킷을 전달하기 위한 네트워크 온칩 어플리케이션을 위한 비동기 스위치 회로로서, 상기 데이터 패킷은 하나의 헤더 플릿 및 적어도 하나의 페이로드 플릿으로 이루어지며,

복수의 데이터 플릿을 입력받아 임시 저장하고, 데이터 전송 요청 신호에 따라 상기 각 데이터 플릿의 종류가 헤더 플릿인지 페이로드 플릿인지 확인하는 데이터 입력부;

상기 데이터 입력부로부터 헤더 플릿 처리 요청 신호, 마지막 페이로드 플릿처리 요청 신호, 상기 헤더 플릿의 라우팅 정보 및 중재 요청 신호를 수신함에 따라, 상기 데이터의 출력 우선 순위를 나타내는 출력포트 선택신호를 출력하기 위한 출력포트 중재부;

상기 출력포트 중재부에서 결정한 데이터 출력 우선 순위에 따라 상기 데이터 플릿을 순차적으로 저장하는 데이터 이동경로 설정부; 및

상기 데이터 입력부로부터 헤더 저장 요청 신호 및 페이로드 저장 요청 신호를 수신하고, 상기 데이터 이동 경로 설정부로부터 입력되는 데이터 플릿을 임시 저장한 후 상기 데이터 플릿을 저장하였음을 나타내는 헤더 및 페이로드 저장 완료 신호를 상기 데이터 입력부로 전송하고, 상기 임시 저장된 데이터 플릿을 정해진 순서에 따라 지정된 포트에 출력하기 위한 데이터 출력부;

를 포함하는 것을 특징으로 하는 비동기 스위치 회로.

청구항 2.

제 1 항에 있어서,

상기 비동기 스위치는 각각 4개의 하위 포트 및 2개의 상위 포트에 이루어지는 6개의 입력포트 및 6개의 출력포트로 구성되고,

상기 데이터 입력부는 하위 출력포트 또는 상위 출력포트로 출력되는 데이터 플릿을 처리하기 위한 4개의 하위 입력 처리 모듈; 및

상위 출력포트로 출력되는 데이터 플릿을 처리하기 위한 2개의 상위 입력 처리 모듈로 이루어지는 것을 특징으로 하는 비동기 스위치 회로.

청구항 3.

제 2 항에 있어서,

상기 헤더 플릿은 타입 필드, 소스 어드레스 필드 및 라우팅 정보 필드를 포함하고, 상기 페이로드 플릿은 타입 필드 및 페이로드 필드를 포함하며,

상기 하위 및 상위 입력 처리 모듈은 입력되는 데이터 플릿이 헤더 플릿인 경우 상기 헤더 플릿을 임시 저장하고 헤더 플릿에 포함된 라우팅 정보 필드로부터 라우팅 정보를 추출하여 상기 출력포트 중재부로 전송하고, 상기 라우팅 정보를 우측으로 쉬프트하며, 입력되는 데이터플릿이 페이로드 플릿인 경우 상기 페이로드 플릿을 임시 저장한 후 상기 데이터 이동경로 설정부로 전송하기 위한 데이터 저장부;

상기 헤더 플릿을 처리하기 위한 제어 신호를 생성하고, 상기 출력포트 중재부로 중재 요청 신호 및 쉬프트 요청 신호를 전송하며, 상기 데이터 저장부로 헤더 플릿 버퍼링 요청 신호를 전송하고 이에 대한 응답 신호인 헤더 플릿 버퍼링 응답 신호를 수신하는 한편, 상기 데이터 출력부로 헤더 저장 요청 신호를 전송하고 이에 대한 응답 신호인 헤더 저장 완료 신호를 수신하기 위한 헤더 제어부; 및

상기 페이로드 플릿을 처리하기 위한 제어 신호를 생성하며, 상기 데이터 저장부로 페이로드 플릿 버퍼링 요청 신호를 전송하고 이에 대한 응답 신호인 페이로드 플릿 버퍼링 응답 신호를 수신하는 한편, 상기 데이터 출력부로 페이로드 저장 요청 신호를 전송하고 이에 대한 응답 신호인 페이로드 저장 완료 신호를 수신하기 위한 페이로드 제어부;

를 포함하는 것을 특징으로 하는 비동기 스위치 회로.

청구항 4.

제 3 항에 있어서,

상기 페이로드 제어부는 페이로드 플릿 처리 요청 신호를 지정된 시간 지연시켜 페이로드 플릿 버퍼링 요청 신호를 생성하는 지연소자;

상기 데이터 저장부로부터 수신한 페이로드 플릿 버퍼링 응답 신호 및 상기 데이터 출력부로부터 수신한 페이로드 저장 완료 신호를 입력으로 하여 페이로드 저장 요청 신호를 출력하되, 이전 상태의 두 입력값이 모두 0인 경우 0을 출력하고 입력값 중 어느 하나가 0이면 계속해서 0을 출력하며, 입력값이 모두 1로 되면 1을 출력하고, 입력값 중 어느 하나가 1이면 계속해서 1을 출력하는 제 1 논리소자; 및

상기 제 1 논리소자의 출력 신호 및 페이로드 플릿 버퍼링 응답 신호를 입력으로 하여, 두 입력값이 모두 1인 경우 1을 출력하는 제 2 논리소자;

를 포함하는 것을 특징으로 하는 비동기 스위치 회로.

청구항 5.

제 3 항에 있어서,

상기 헤더 제어부는 상기 헤더 플릿 처리 요청 신호와 상기 중재 요청에 대한 응답 신호를 입력으로 하여 두 입력값이 모두 0인 경우에만 1을 출력하는 제 3 논리소자;

상기 제 3 논리소자의 출력값과 헤더 플릿 버퍼링 응답 신호를 입력으로 하여 헤더 플릿 처리 요청에 대한 응답 신호를 출력하되, 이전 상태의 두 입력값이 모두 0인 경우 0을 출력하고 입력값 중 어느 하나가 0이면 계속해서 0을 출력하며, 입력값이 모두 1로 되면 1을 출력하고, 입력값 중 어느 하나가 1이면 계속해서 1을 출력하는 제 4 논리소자;

상기 제 4 논리소자의 반전값 및 쉬프트 요청에 대한 응답 신호를 입력으로 하여, 헤더 플릿 버퍼링 요청 신호를 출력하되, 두 입력이 모두 1인 경우에만 1을 출력하는 제 5 논리소자;

상기 제 4 논리소자의 출력값과 상기 제 5 논리소자 출력의 반전값을 입력으로 하여 두 입력값이 모두 1인 경우 1을 출력하는 제 6 논리소자의 출력값을 제 1 입력으로 하고, 상기 제 4 논리소자 출력의 반전값과, 헤더 플릿 처리 요청 신호를 입력으로 하여 두 입력값이 모두 1인 경우 1을 출력하는 제 7 논리소자의 출력값을 제 2 입력으로 하여, 입력값이 모두 0인 경우 1을 출력하고 입력값 중 어느 하나가 0인 경우 출력값을 1로 유지하다가 입력값이 모두 1이 되면 0을 출력하고, 입력값 중 어느 하나가 1인 경우 출력값을 0으로 유지하는 제 8 논리소자;

상기 제 8 논리소자의 출력값을 반전시켜 쉬프트 요청 신호를 출력하는 제 9 논리소자,

헤더 플릿 처리 요청 신호 및 헤더 저장 완료 신호의 반전값을 입력으로 하여 두 입력값이 모두 0인 경우 1을 출력하는 제 10 논리소자의 출력값을 제 1 입력으로 하고, 상기 제 4 논리소자의 출력값과 헤더 플릿 버퍼링 요청 응답 신호의 반전값 및 헤더 플릿 처리 요청 신호를 입력으로 하여 입력값이 모두 1인 경우 1을 출력하는 제 11 논리소자의 출력값을 제 2 입력으로 하는 제 12 논리소자;

상기 제 12 논리소자의 출력을 반전시키는 제 13 논리소자,

상기 제 13 논리소자의 출력값을 제 1 입력으로 하고, 중재 요청에 대한 응답 신호를 제 2 입력으로 하여 중재 요청 신호를 출력하는 제 14 논리소자,

헤더 저장 완료 신호를 제 1 입력으로 하고, 헤더 플릿 처리 요청 신호와 중재 요청 신호에 대한 응답 신호 및 헤더 저장 완료 신호의 반전값을 입력으로 하여 입력값이 모두 1인 경우 1을 출력하는 제 15 논리소자의 출력값을 제 2 입력으로 하는 제 16 논리소자; 및

상기 제 16 논리소자의 출력을 반전시켜 헤더 저장 요청 신호를 생성하는 제 17 논리소자;

를 포함하는 비동기 스위치 회로.

청구항 6.

제 5 항에 있어서,

상기 제 4 논리소자는 전원 단자에 접속되어 제 1 입력 신호에 의해 구동되는 제 1 P 타입 트랜지스터;

상기 제 1 P 타입 트랜지스터에 직렬 접속되며, 제 2 입력 신호의 반전 신호에 의해 구동되는 제 2 P 타입 트랜지스터;

상기 제 2 P 타입 트랜지스터에 직렬 접속되며, 상기 제 1 입력 신호에 의해 구동되는 제 1 N 타입 트랜지스터;

상기 제 1 N 타입 트랜지스터와 접지 단자 간에 직렬 접속되어 상기 제 2 입력 신호의 반전 신호에 의해 구동되는 제 2 N 타입 트랜지스터;

상기 전원 단자와 상기 제 2 P 타입 트랜지스터의 출력 단자 간에 접속되며, 리셋 신호에 의해 구동되는 제 3 P 타입 트랜지스터; 및

상기 제 2 P 타입 트랜지스터의 출력 단자에 접속되는 지연소자;

를 포함하는 비동기 스위치 회로.

청구항 7.

제 5 항에 있어서,

상기 제 8, 제 12 및 제 16 논리소자는 전원 단자에 접속되어 제 3 입력 신호에 의해 구동되는 제 4 P 타입 트랜지스터;

상기 제 4 P 타입 트랜지스터에 직렬 접속되며 제 4 입력 신호의 반전 신호에 의해 구동되는 제 5 P 타입 트랜지스터;

상기 제 5 P 타입 트랜지스터에 직렬 접속되며, 상기 제 3 입력 신호에 의해 구동되는 제 3 N 타입 트랜지스터;

상기 제 3 N 타입 트랜지스터와 접지 단자 간에 직렬 접속되어 상기 제 4 입력 신호의 반전 신호에 의해 구동되는 제 4 N 타입 트랜지스터;

상기 제 5 P 타입 트랜지스터의 출력 단자와 접지 단자 간에 접속되며, 리셋 신호의 반전신호에 의해 구동되는 제 5 N 타입 트랜지스터; 및

상기 제 5 P 타입 트랜지스터의 출력 단자에 접속되는 지연소자;

를 포함하는 비동기 스위치 회로.

청구항 8.

제 5 항에 있어서,

상기 제 14 논리소자는 전원 단자에 접속되어 제 5 입력 신호에 의해 구동되는 제 6 P 타입 트랜지스터;

상기 제 6 P 타입 트랜지스터에 직렬 접속되며, 상기 제 5 입력 신호의 반전신호에 의해 구동되는 제 6 N 타입 트랜지스터;

상기 제 6 N 타입 트랜지스터와 접지 단자 간에 직렬 접속되어 제 6 입력 신호에 의해 구동되는 제 7 N 타입 트랜지스터;

전원 단자와 상기 제 6 P 타입 트랜지스터의 출력 단자 간에 접속되며, 리셋 신호에 의해 구동되는 제 7 P 타입 트랜지스터; 및

상기 제 6 P 타입 트랜지스터의 출력 단자에 접속되는 지연소자;

를 포함하는 비동기 스위치 회로.

청구항 9.

제 3 항에 있어서,

상기 데이터 저장부는 헤더 플릿 버퍼링 요청 신호와 페이로드 플릿 버퍼링 요청 신호를 입력으로 하여, 두 신호 중 어느 하나가 1인 경우 1을 출력하는 제 18 논리소자;

입력되는 데이터 플릿 중 복수개의 하위 비트값 각각, 쉬프트 요청 신호, 쉬프트 요청 신호의 반전 신호 및 n비트 우측의 데이터 비트값을 각각 입력으로 하는 복수개의 데이터 선택 수단;

데이터 비트값 0, 쉬프트 요청 신호, 쉬프트 요청 신호의 반전 신호 및 n비트 우측의 데이터 비트를 각각 입력으로 하는 n개의 보조 데이터 선택 수단;

상기 데이터 선택 수단에 각각 접속되어 상기 데이터 선택부의 출력신호, 상기 제 18 논리소자의 출력신호를 입력으로 하여, 상기 데이터 선택 수단의 출력값을 각각 저장하는 복수개의 하위 데이터 저장수단;

상기 보조 데이터 선택 수단에 각각 접속되어 상기 보조 데이터 선택부의 출력신호, 상기 제 18 논리소자의 출력신호를 입력으로 하여, 상기 보조 데이터 선택 수단의 출력값을 각각 저장하는 n개의 보조 데이터 저장수단; 및

입력되는 데이터 비트 중 상기 데이터 선택 수단으로 입력되는 데이터 비트열을 제외한 비트열 각각 및 상기 제 18 논리소자의 출력신호를 입력으로 하여, 상기 입력되는 데이터 비트값을 각각 저장하는 복수개의 상위 데이터 저장수단;

을 포함하는 비동기 스위치 회로.

청구항 10.

제 9 항에 있어서,

상기 데이터 플릿이 23비트일 때, 상기 헤더 플릿은 2비트의 타입 필드, 6비트의 소스 어드레스 필드 및 15비트의 라우팅 정보 필드를 포함하고, 페이로드 플릿은 2비트의 타입 필드 및 21비트의 페이로드 필드를 포함하며, 상기 데이터 선택 수단으로는 하위 15비트의 데이터 비트값이 각각 입력되는 것을 특징으로 하는 비동기 스위치 회로.

청구항 11.

제 9 항에 있어서,

상기 데이터 선택부 및 보조 데이터 선택부는 쉬프트 요청 신호 및 데이터 비트값을 입력으로 하여 두 입력이 모두 1인 경우 1을 출력하는 제 19 논리소자;

상기 쉬프트 요청 신호의 반전신호 및 n비트 우측의 데이터 비트값을 입력으로 하여 두 입력이 모두 1인 경우 1을 출력하는 제 20 논리소자; 및

상기 제 19 및 제 20 논리소자의 출력값을 입력으로 하여 두 입력값 중 어느 하나가 1인 경우 1을 출력하는 제 21 논리소자;

를 포함하는 것을 특징으로 하는 비동기 스위치 회로.

청구항 12.

제 1 항에 있어서,

상기 비동기 스위치는 각각 4개의 하위 포트 및 2개의 상위 포트에 이루어지는 6개의 입력 포트 및 6개의 출력포트로 구성되고,

상기 출력포트 중재부는 하위 출력포트 또는 상위 출력포트로 출력되는 데이터 플릿을 처리하기 위한 4개의 하위 중재 모듈; 및

상위 출력포트로 출력되는 데이터 플릿을 처리하기 위한 2개의 상위 중재 모듈로 이루어지는 것을 특징으로 하는 비동기 스위치 회로.

청구항 13.

제 12 항에 있어서,

상기 하위 중재 모듈 및 상위 중재 모듈은 동일한 출력포트로 출력되고자 하는 복수의 데이터 중 어느 하나를 선택하고, 상기 중재 요청 신호에 대한 응답 신호를 출력하기 위한 중재 유닛;

헤더 플릿 및 적어도 하나의 페이로드 플릿으로 구성되는 하나의 데이터 패킷이 상기 데이터 출력부로 출력될 때까지 해당 출력 경로를 유지하고, 상기 데이터 입력부로부터 마지막 페이로드 플릿 처리 요청 신호가 입력되면 출력포트 선택 신호를 출력하기 위한 제어 신호를 출력하는 워홀 라우팅 처리 유닛; 및

상기 워홀 라우팅 처리 유닛으로부터 출력되는 제어 신호 및 상기 중재 유닛의 중재 요청 응답 신호에 따라 상기 출력포트 선택 신호를 출력하는 경로 설정 제어 유닛;

을 포함하는 비동기 스위치 회로.

청구항 14.

제 13 항에 있어서,

상기 하위 중재 모듈의 중재 유닛은 6-by-1 트리 중재기로 이루어지며,

상기 6-by-1 트리 중재기는 동일한 출력포트로 출력되고자 하는 6개의 데이터 패킷 각각에 대한 6개의 중재 요청 신호 중 각각 2개씩을 입력받아 2 개의 중재 요청 신호 중에서 하나를 선택하는 제 1 내지 제 3 2-by-1 트리 중재기;

상기 제 1 및 제 2 2-by-1 트리 중재기의 출력값 중 어느 하나를 선택하는 제 4 2-by-1 트리 중재기;

상기 제 3 2-by-1 트리 중재기 및 상기 제 4 2-by-1 트리 중재기의 출력값 중 어느 하나를 선택하기 위한 제 5 2-by-1 트리 중재기; 및

상기 제 5 6-by-1 트리 중재기의 출력값을 임시 저장하여 출력하는 버퍼;

를 포함하는 비동기 스위치 회로.

청구항 15.

제 13 항에 있어서,

상기 상위 중재 모듈의 중재 유닛은 4-by-1 트리 중재기로 이루어지며,

상기 4-by-1 트리 중재기는 동일한 상위 출력포트로 출력되고자 하는 6개의 데이터 패킷 각각에 대한 4개의 중재 요청 신호 중 각각 2개씩을 입력받아 2 개의 중재 요청 신호 중에서 하나를 선택하는 제 6 및 제 7 2-by-1 트리 중재기;

상기 제 6 2-by-1 트리 중재기 및 상기 제 7 2-by-1 트리 중재기의 출력값 중 어느 하나를 선택하기 위한 제 8 2-by-1 트리 중재기; 및

상기 제 8 6-by-1 트리 중재기의 출력값을 임시 저장하여 출력하는 버퍼;

를 포함하는 비동기 스위치 회로.

청구항 16.

제 1 항에 있어서,

상기 비동기 스위치는 각각 4개의 하위 포트 및 2개의 상위 포트에 이루어지는 6개의 입력포트 및 6개의 출력포트로 구성되고,

상기 데이터 이동경로 설정부는 하위 출력포트 또는 상위 출력포트로 출력되는 데이터 플릿을 처리하기 위한 4개의 하위 이동경로 설정부; 및

상위 출력포트로 출력되는 데이터 플릿을 처리하기 위한 2개의 상위 이동경로 설정부로 이루어지는 것을 특징으로 하는 비동기 스위치 회로.

청구항 17.

제 16 항에 있어서,

상기 하위 이동경로 설정부 및 상위 이동경로 설정부는 하나의 데이터 플릿의 데이터 비트수와 동일한 개수의 멀티플렉서로 이루어지며,

상기 멀티플렉서는 상기 데이터 입력부로부터 입력되는 복수의 데이터 플릿 각각으로부터 1비트의 데이터 비트값을 입력받고, 상기 출력포트 중재부로부터 출력포트 선택신호를 입력받아, 상기 출력포트 선택 신호에 의해 지정되는 데이터 비트를 각각 출력하여 상기 데이터 출력부로 전송하는 것을 특징으로 하는 비동기 스위치 회로.

청구항 18.

제 16 항에 있어서,

상기 멀티플렉서는 전송 게이트 멀티플렉서로 구성하는 것을 특징으로 하는 비동기 스위치 회로.

청구항 19.

제 1 항에 있어서,

상기 비동기 스위치는 각각 4개의 하위 포트 및 2개의 상위 포트에 이루어지는 6개의 입력포트 및 6개의 출력포트로 구성되고,

상기 데이터 출력부는 상기 데이터 입력부로부터 전송되는 헤더 저장 요청 신호 및 페이로드 저장 요청 신호, 상기 출력포트 중재부로부터 입력되는 출력포트 선택신호를 입력받아, 상기 출력포트 선택신호에서 지정하는 출력 버퍼에 데이터 플릿을 저장하도록 요청하는 입력 제어부;

상기 데이터 입력부로부터 전송되는 복수개의 데이터 플릿 및 상기 입력 제어부로부터 입력되는 데이터 전송 요청 신호에 따라 상기 출력포트에 데이터를 저장하고, 데이터 저장이 완료되면 상기 출력포트 중재부로 데이터 저장 완료 신호를 전송하며, 출력할 데이터가 존재함을 알리는 출력 요청 신호를 다음 단의 스위치로 출력하고, 상기 다음 단 스위치가 출력 요청 신호에 응답함에 따라, 상기 출력포트 선택신호를 참조하여 상기 데이터 플릿을 출력하는 버퍼; 및

상기 버퍼로부터 데이터 저장 완료 신호를 입력받고, 상기 데이터 입력부로부터 헤더 저장 요청 신호 및 페이로드 저장 요청 신호를 입력받으며, 상기 출력포트 중재부로부터 출력포트 선택신호를 입력받아, 상기 데이터 입력부로 헤더 저장 완료 신호 및 페이로드 저장 완료 신호를 전송하는 출력 제어부;

를 포함하는 비동기 스위치 회로.

청구항 20.

제 19 항에 있어서,

상기 데이터 출력부는 상기 버퍼에서 출력되는 출력 요청 신호를 지정된 시간동안 지연시킨 후 다음 단의 스위치로 출력하는 지연수단을 더 포함하는 것을 특징으로 하는 비동기 스위치 회로.

청구항 21.

제 19 항에 있어서,

상기 입력 제어부는 각 데이터 플릿에 대한 헤더 저장 완료 신호 및 페이로드 저장 완료 신호를 각각 입력으로 하여, 입력 신호 중 어느 하나가 1이면 1을 출력하는 제 28 내지 제 33 논리소자; 및

상기 제 28 내지 33 논리소자에 각각 접속되어, 상기 제 28 내지 제 33 논리소자의 출력 신호를 입력 신호로 하고, 상기 출력포트 선택신호의 제어에 의해 데이터 저장 요청 신호 중 어느 하나를 활성화하는 제 1 내지 제 6 멀티플렉서;

를 포함하는 것을 특징으로 하는 비동기 스위치 회로.

청구항 22.

제 21 항에 있어서,

상기 제 1 내지 제 6 멀티플렉서는 전송 게이트 멀티플렉서로 구성하는 것을 특징으로 하는 비동기 스위치 회로.

청구항 23.

제 19 항에 있어서,

상기 버퍼는 2상 선입선출 버퍼를 복수개 병렬 연결하여 구성하는 것을 특징으로 하는 비동기 스위치 회로.

청구항 24.

제 19 항에 있어서,

상기 출력 제어부는 상기 버퍼로부터 입력되는 데이터 저장 완료 신호 및 출력포트 중재부로부터 입력되는 출력포트 선택 신호를 각각 입력받아 하위 출력포트로 출력할 데이터에 대한 제어 신호를 생성하기 위한 제 1 내지 제 4 디멀티플렉서;

상위 출력포트로 출력할 데이터에 대한 제어 신호를 생성하기 위한 제 5 및 제 6 디멀티플렉서;

상기 제 1 내지 제 6 디멀티플렉서의 출력값을 각 출력포트 번호별로 입력받아, 입력 신호 중 어느 하나가 1인 경우 1을 출력하는 제 34 내지 제 39 논리소자; 및

상기 제 34 내지 제 39 논리소자의 출력값을 입력값으로 하고, 데이터 입력부로부터 각 출력포트 번호별로 입력되는 헤더 저장 요청 신호 및 패이로드 저장 요청 신호에 따라 상기 데이터 플릿을 상기 버퍼에 저장하였음을 통보하는 헤더 저장 완료 신호 및 패이로드 저장 완료 신호를 상기 데이터 입력부로 전송하는 제 1 내지 제 6 디코더;

를 포함하는 비동기 스위치 회로.

청구항 25.

제 1 항에 있어서,

상기 비동기 스위치 회로는 상기 데이터 입력부와 상기 출력포트 중재부 간에 상기 헤더 플릿 처리 요청 신호를 지정된 시간동안 지연시키기 위한 제 1 지연부를 더 포함하는 것을 특징으로 하는 비동기 스위치 회로.

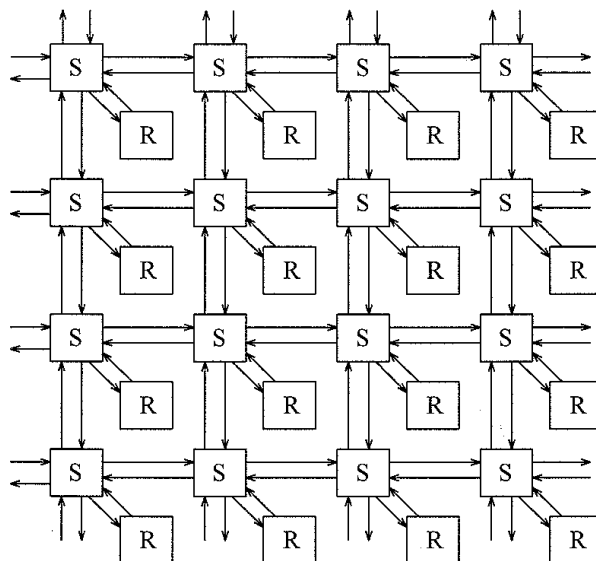
청구항 26.

제 1 항에 있어서,

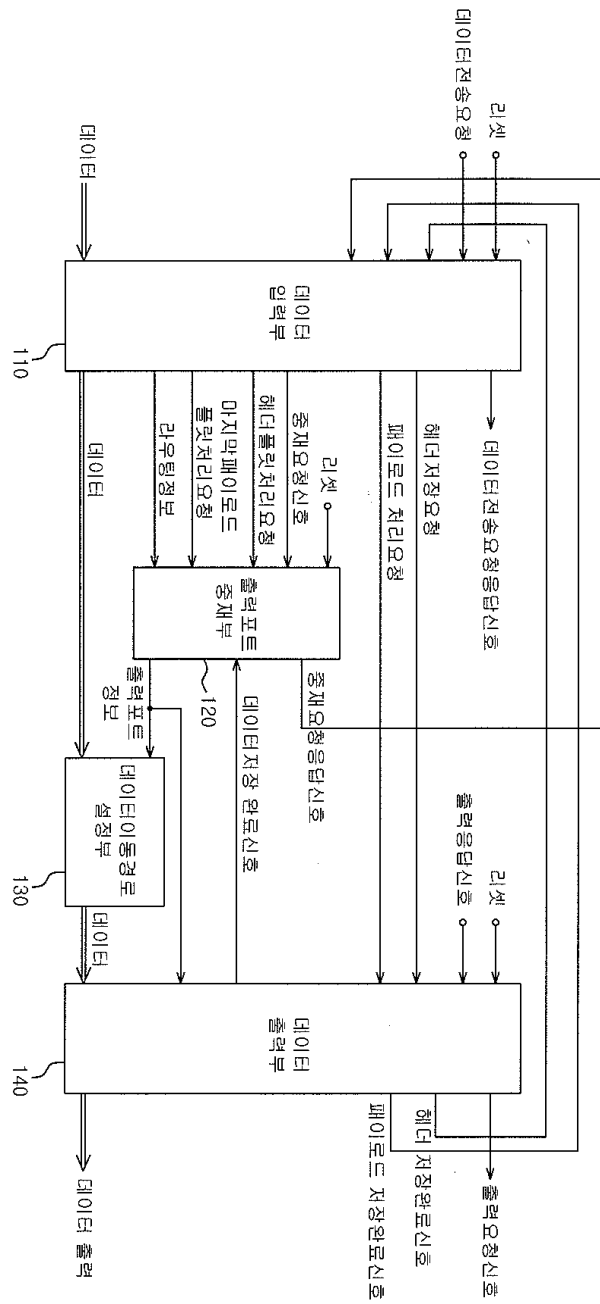
상기 비동기 스위치 회로는 상기 데이터 입력부와 상기 데이터 출력부 간에 상기 헤더 저장 요청 신호를 지정된 시간동안 지연시키기 위한 제 2 지연부를 더 포함하는 것을 특징으로 하는 비동기 스위치 회로.

도면

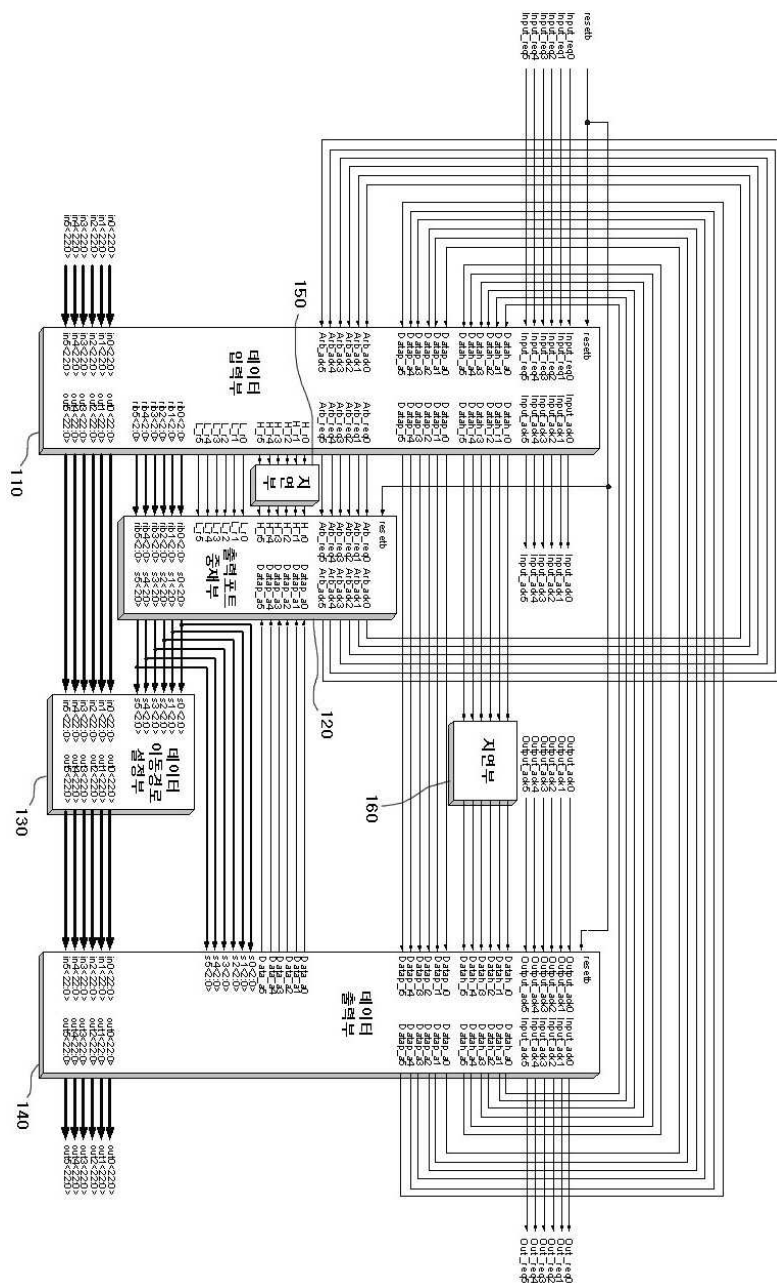
도면1



도면2



도면3



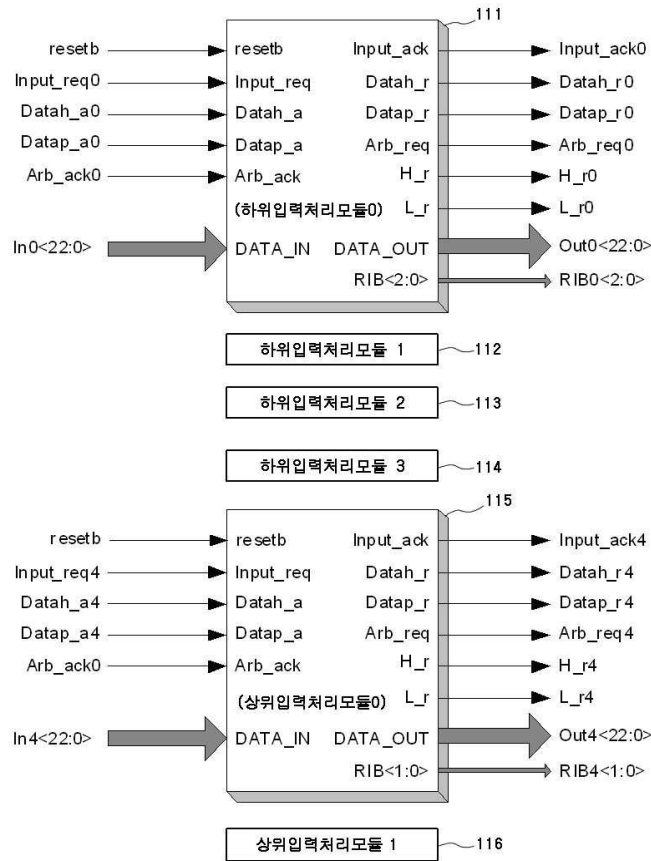
도면4a

타입 (22-21)	소스 어드레스 (20-15)	라우팅 정보 (14-0)
---------------	--------------------	------------------

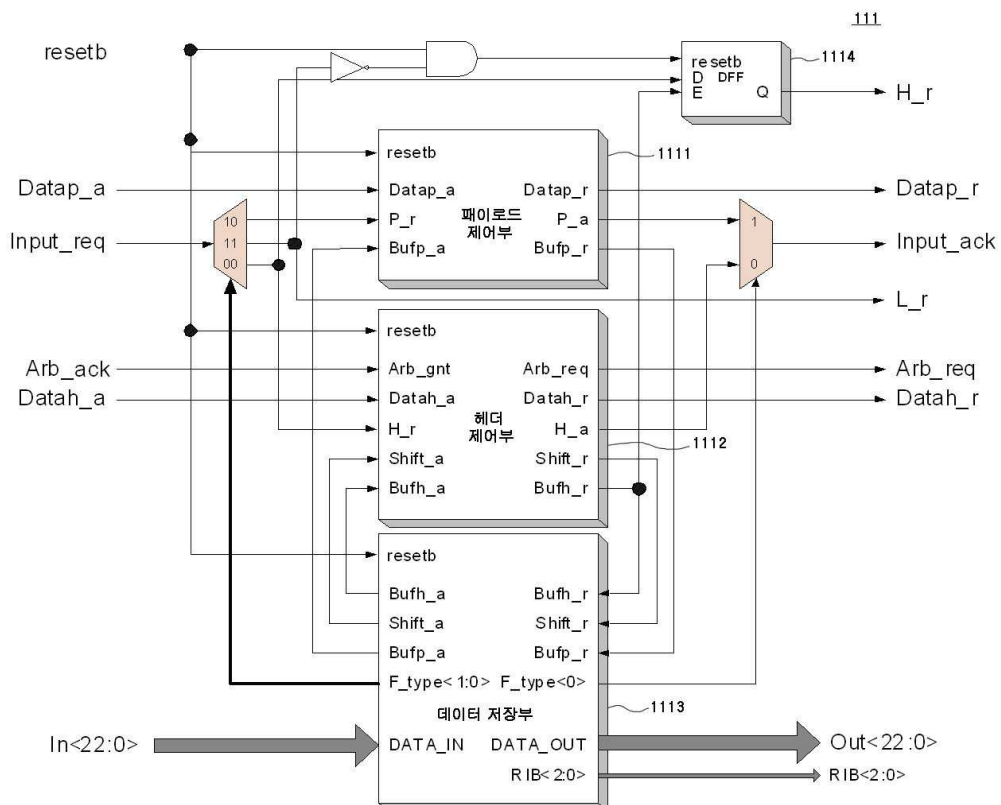
도면4b

타입 (22-21)	페이로드 (20-0)
---------------	----------------

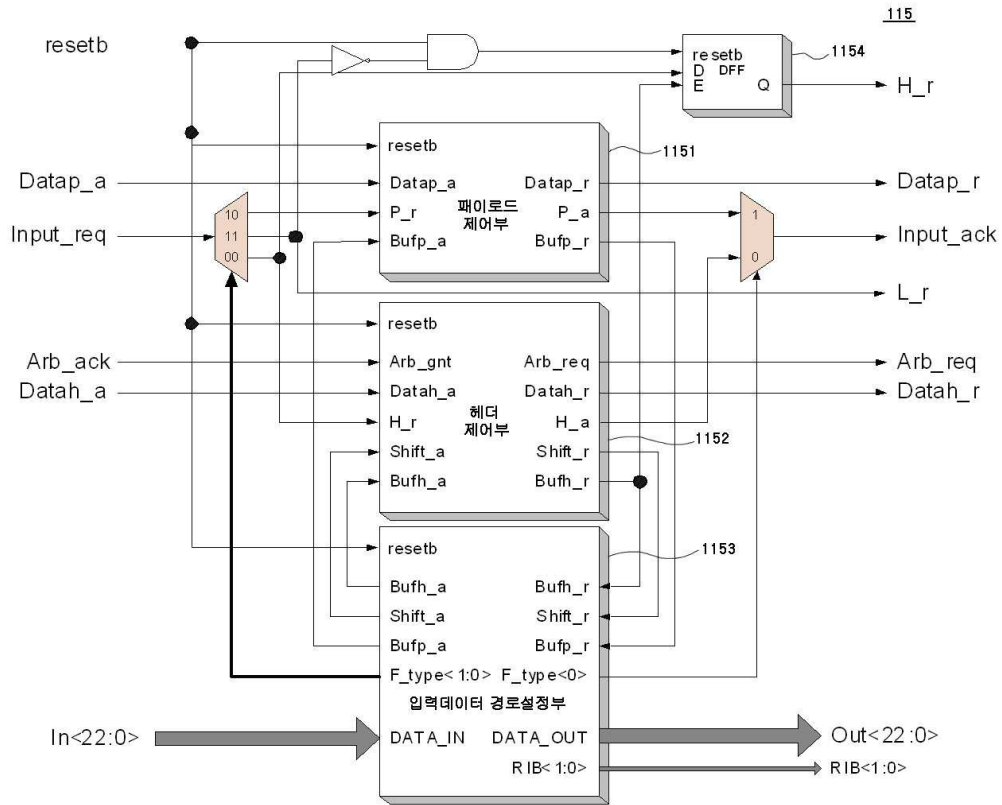
도면5



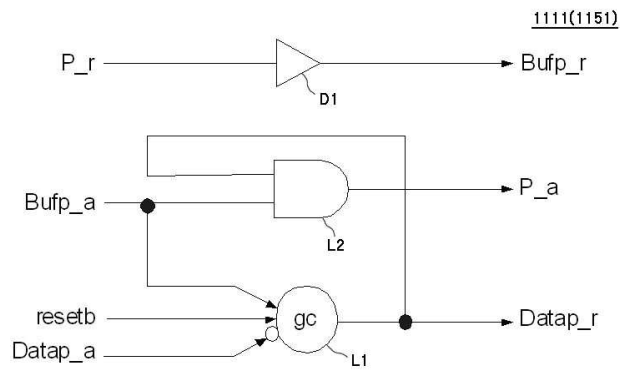
도면6



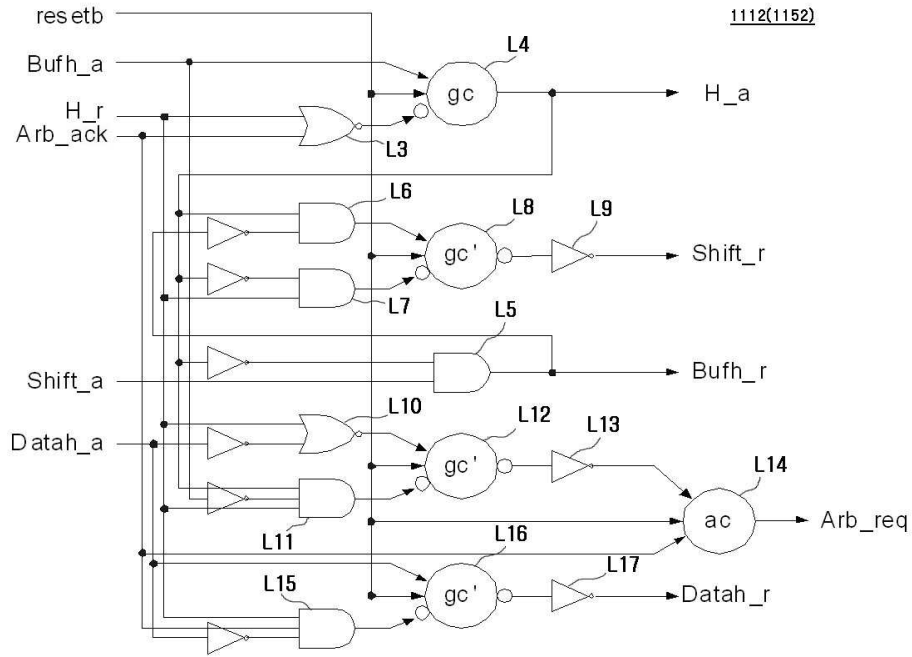
도면7



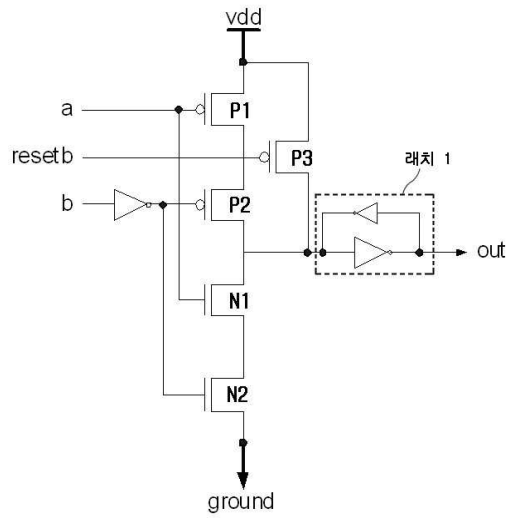
도면8



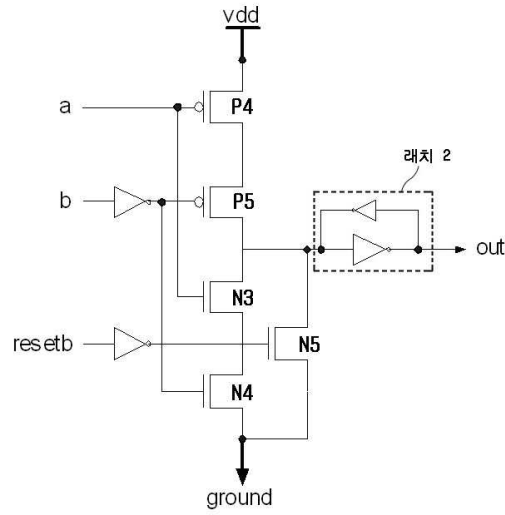
도면9



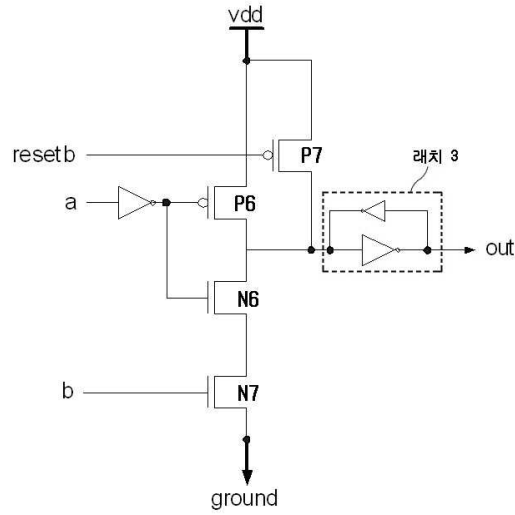
도면10a



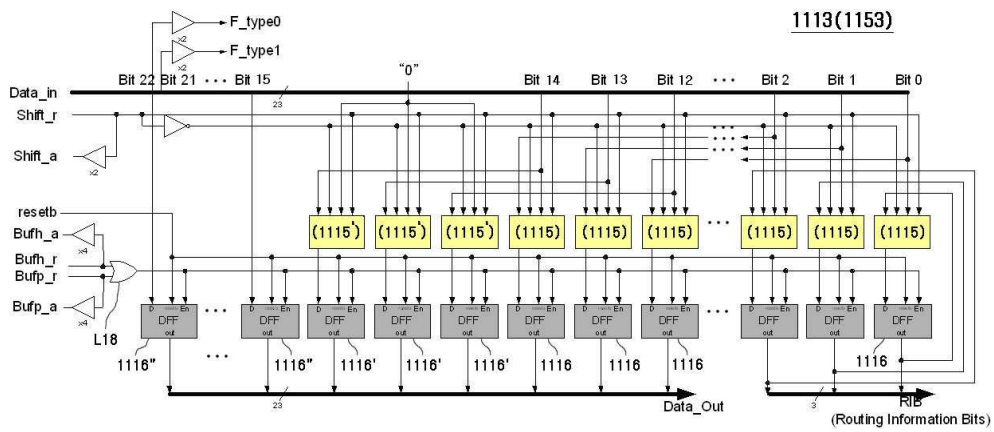
도면10b



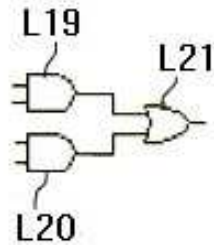
도면10c



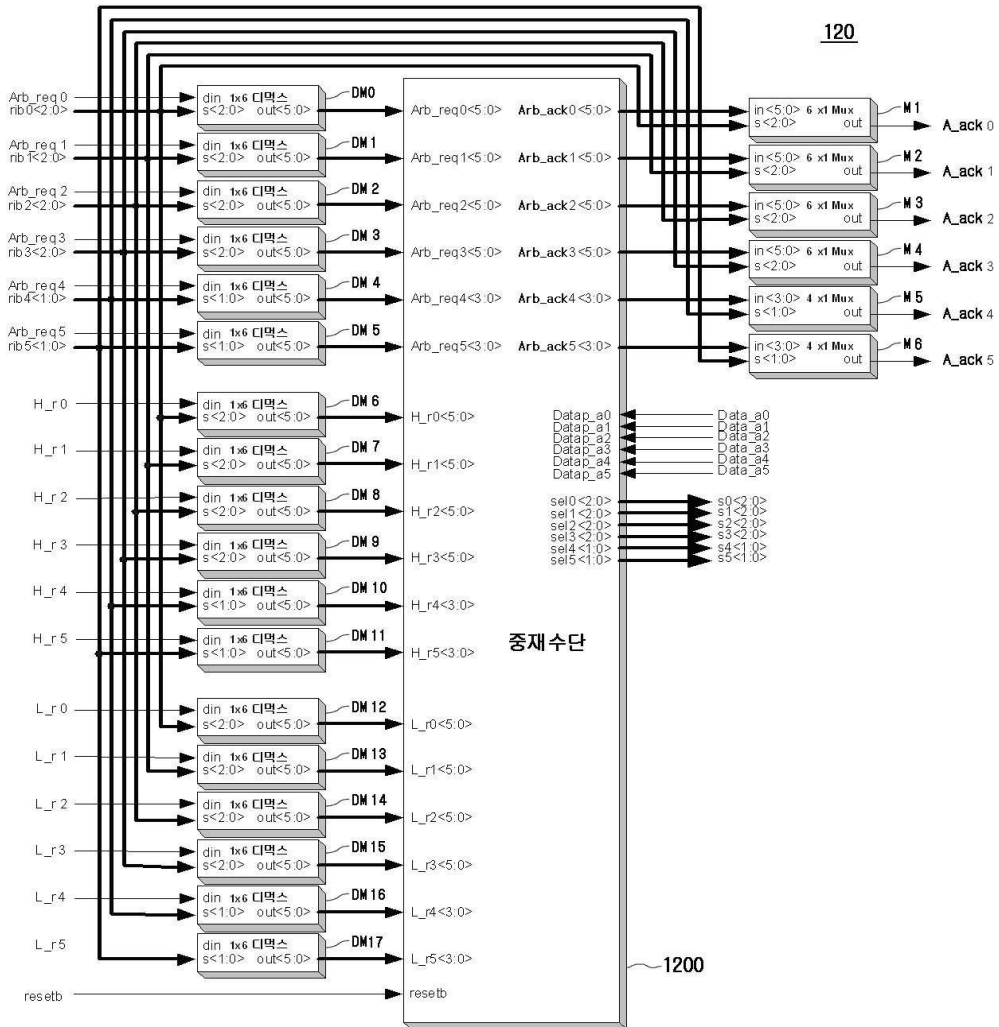
도면11a



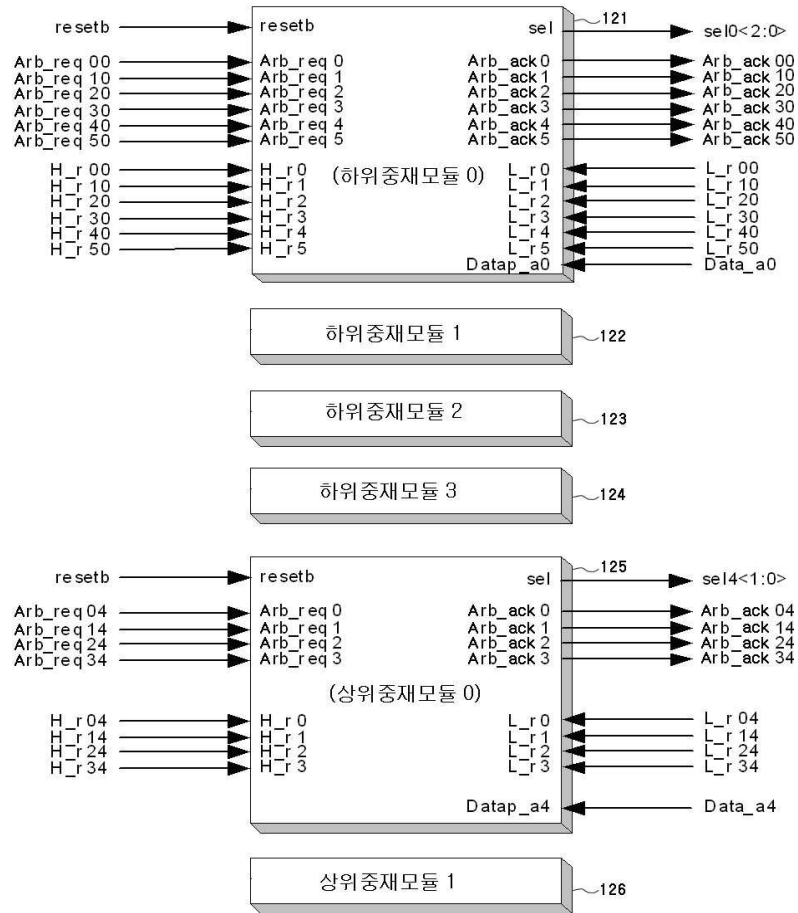
도면11b



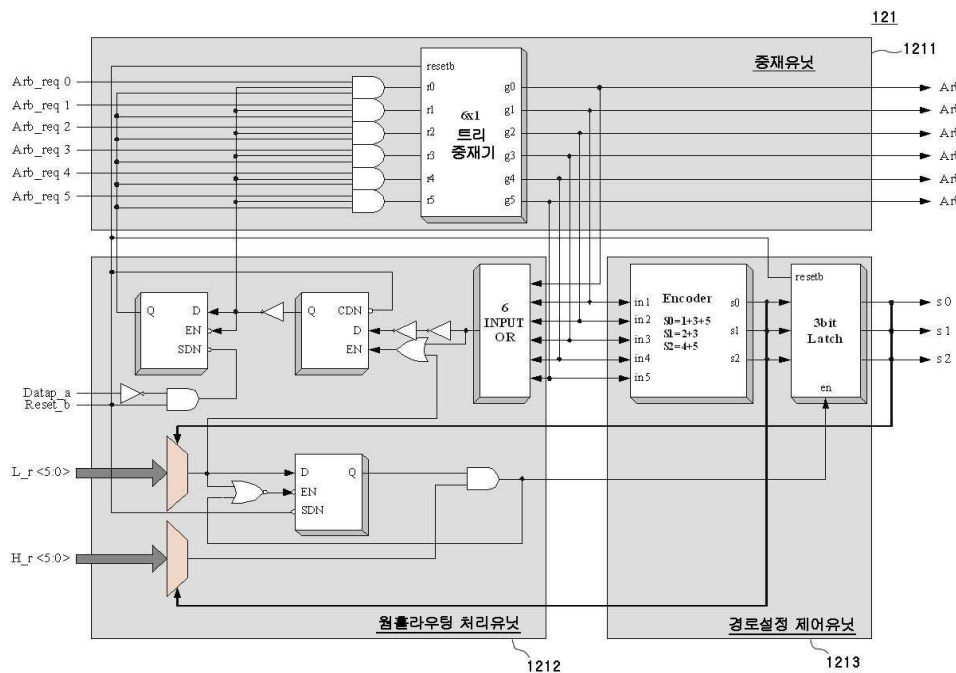
도면12



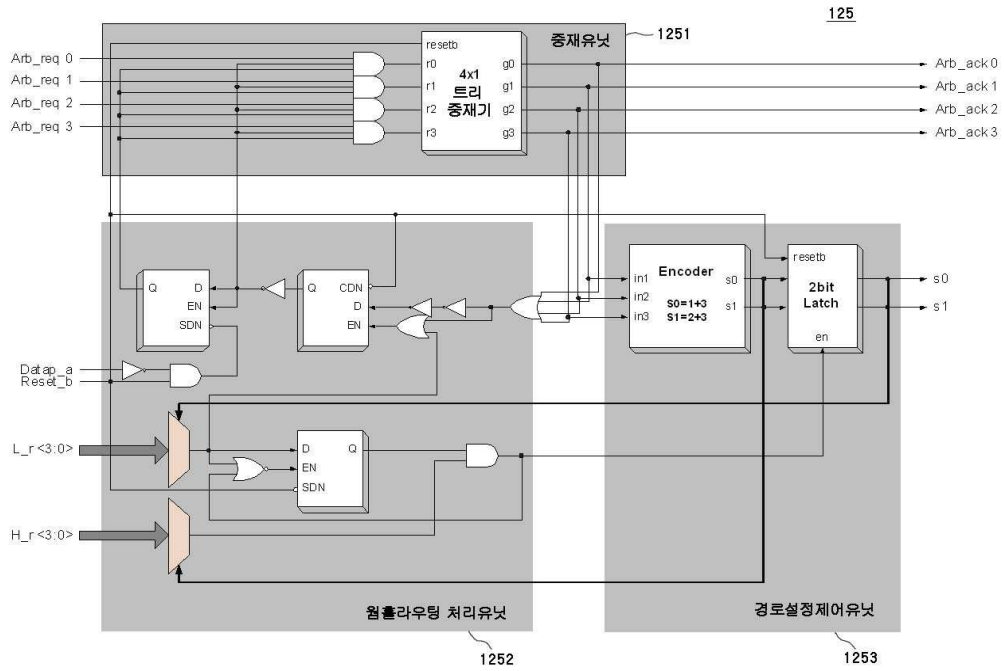
도면13



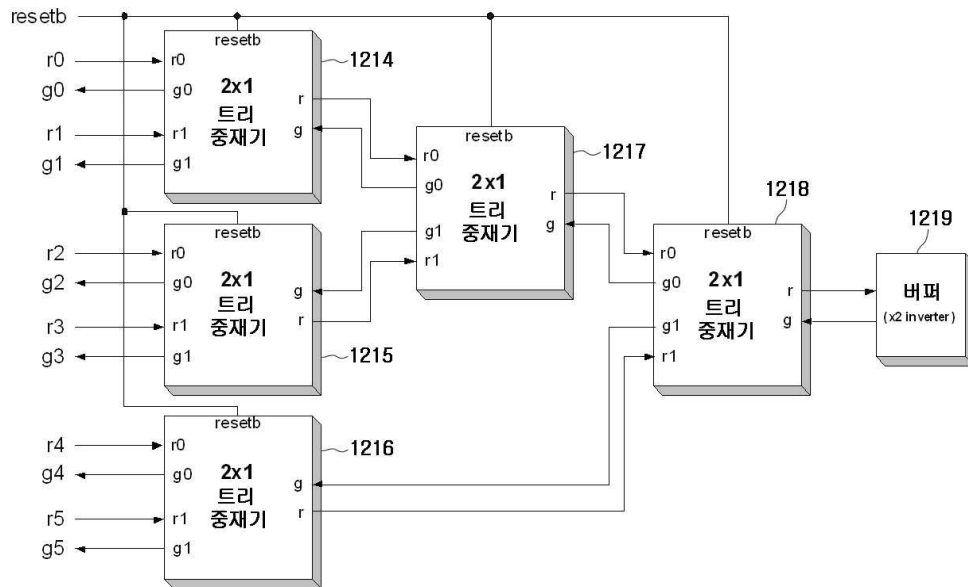
도면14



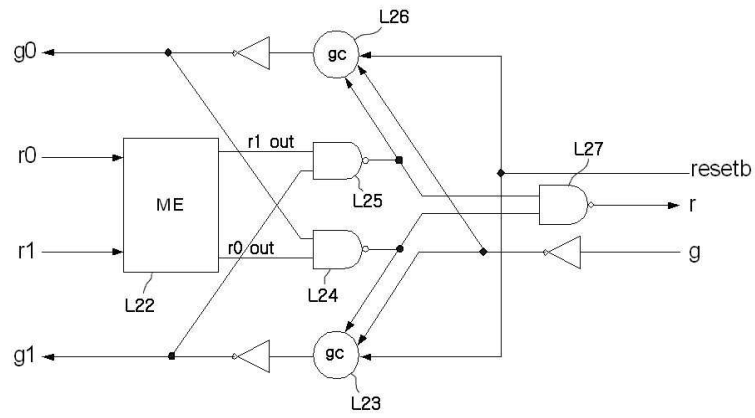
도면15



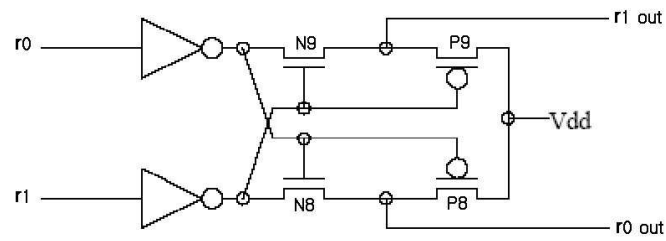
도면16



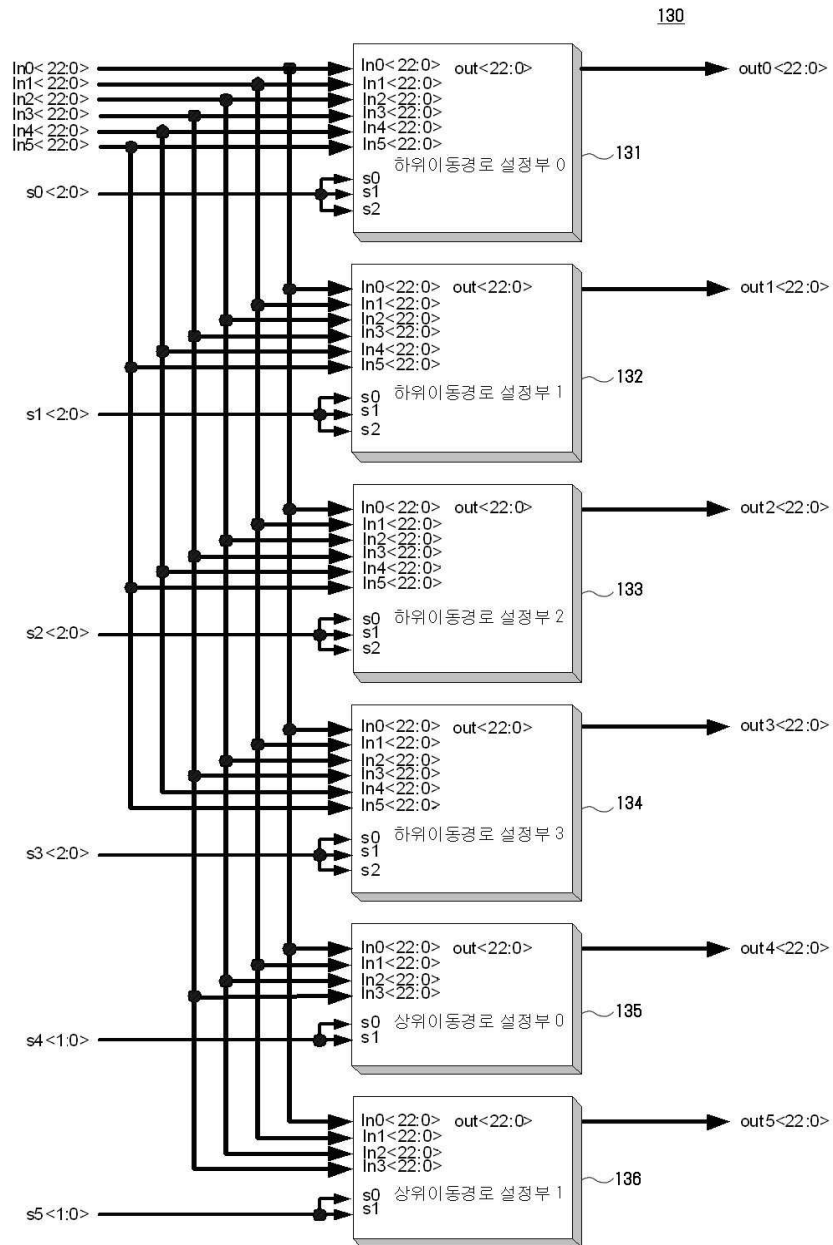
도면17



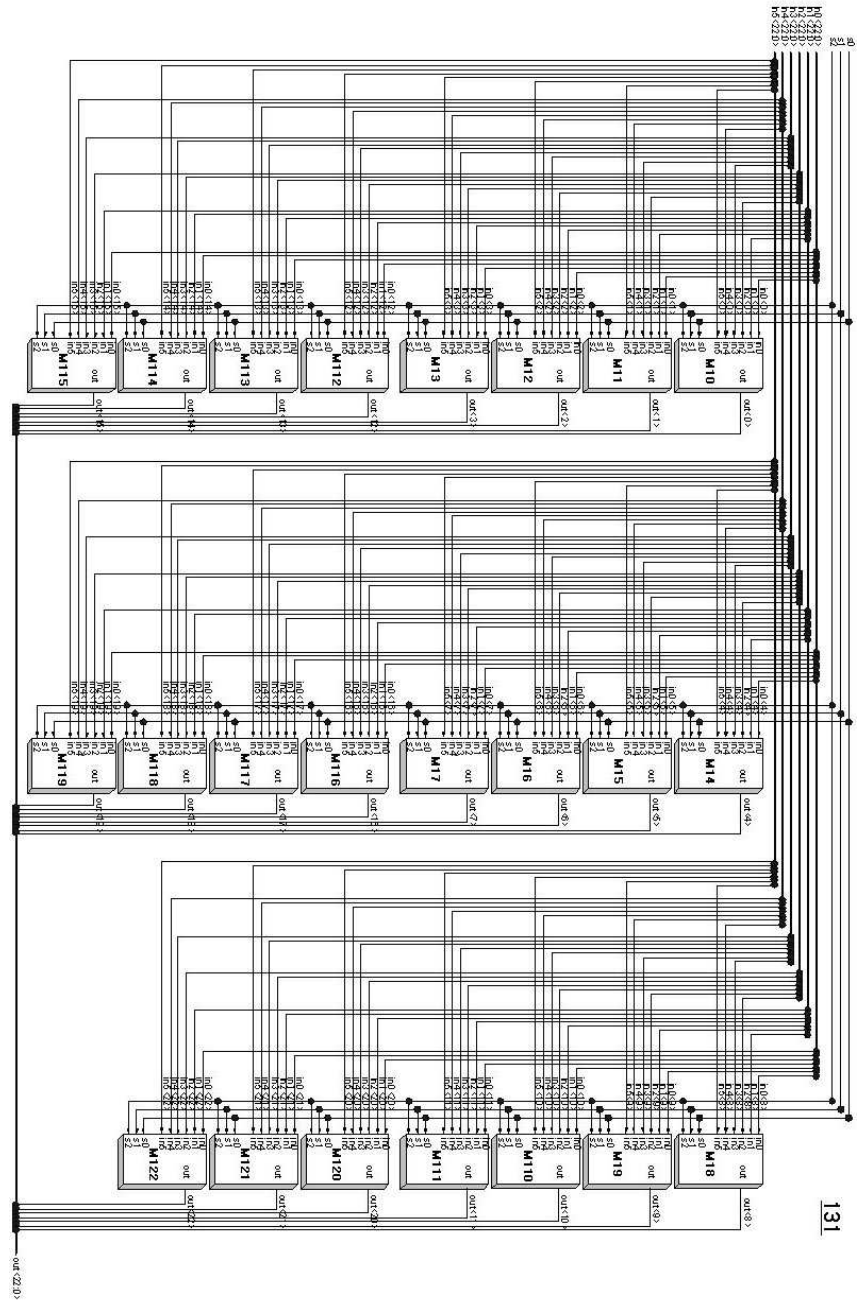
도면18



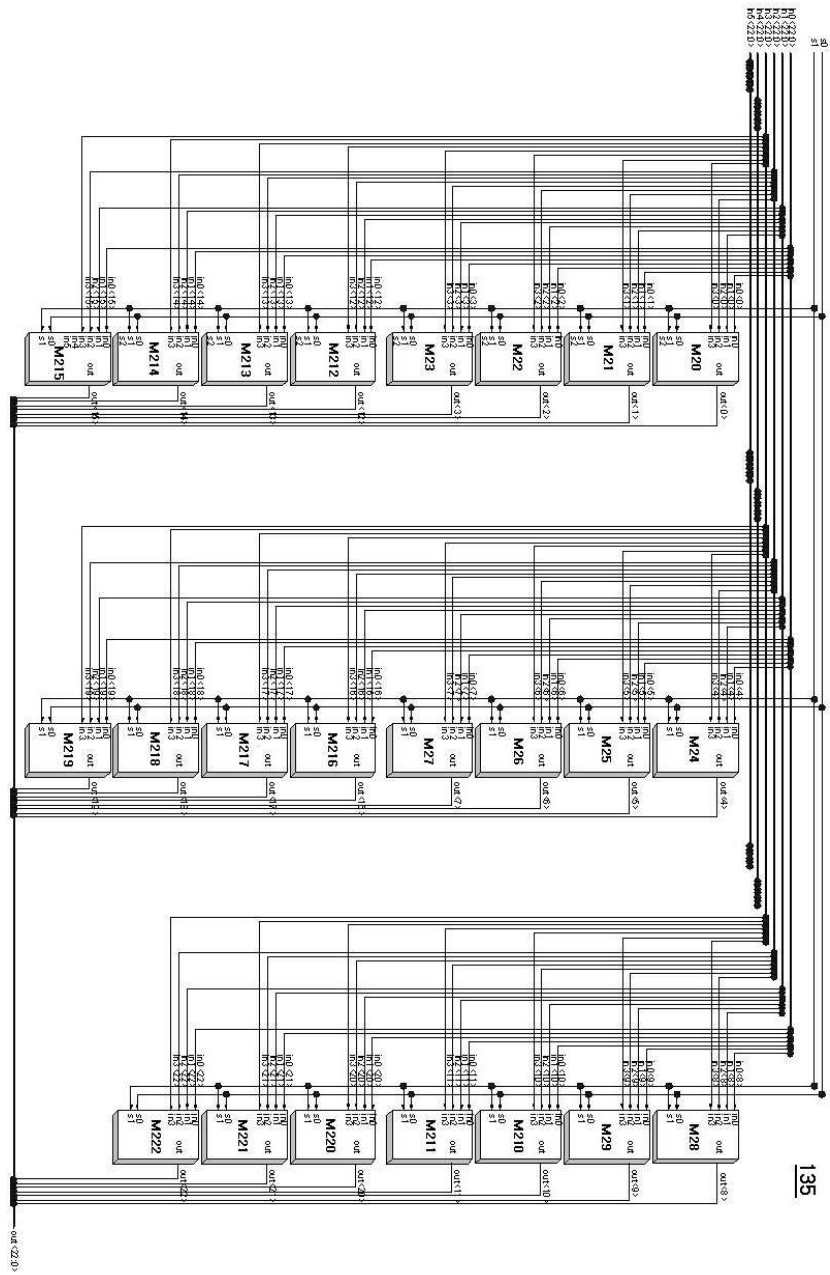
도면19



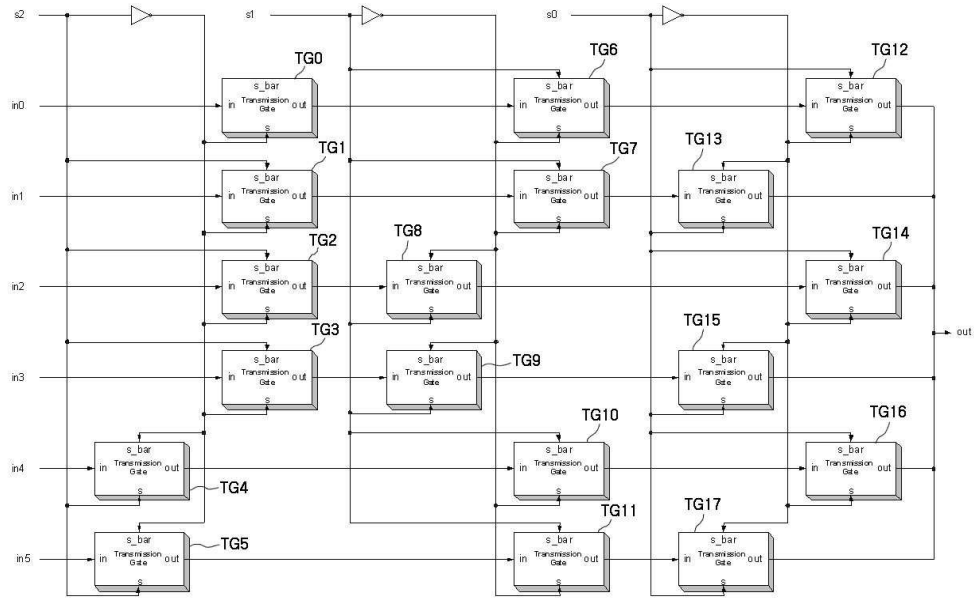
도면20



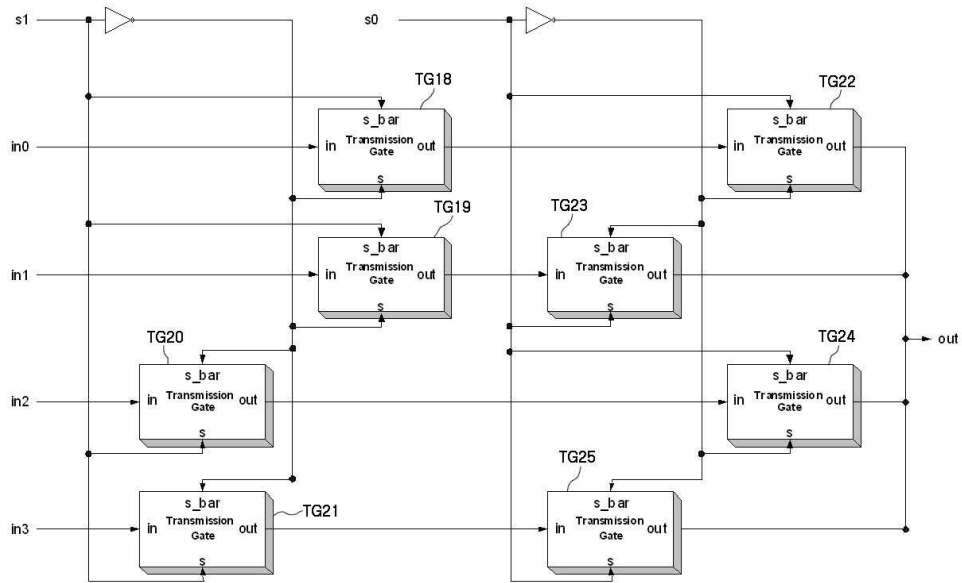
도면21



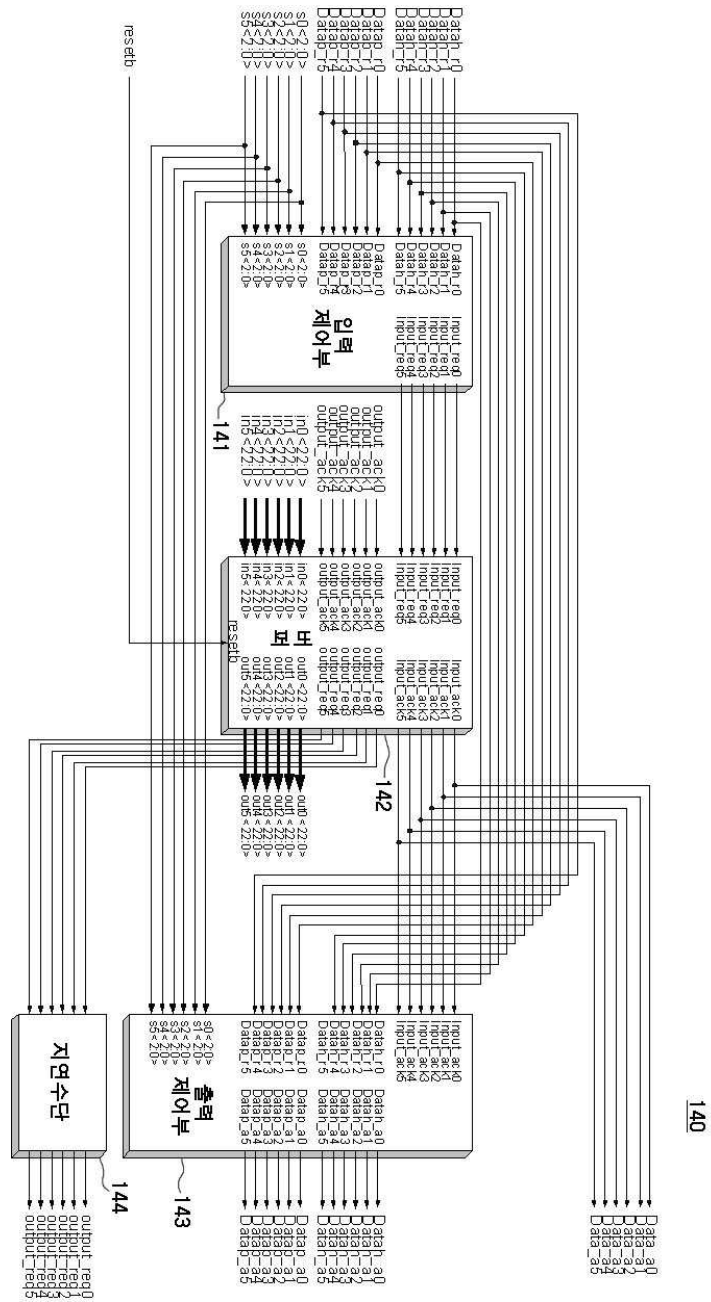
도면22



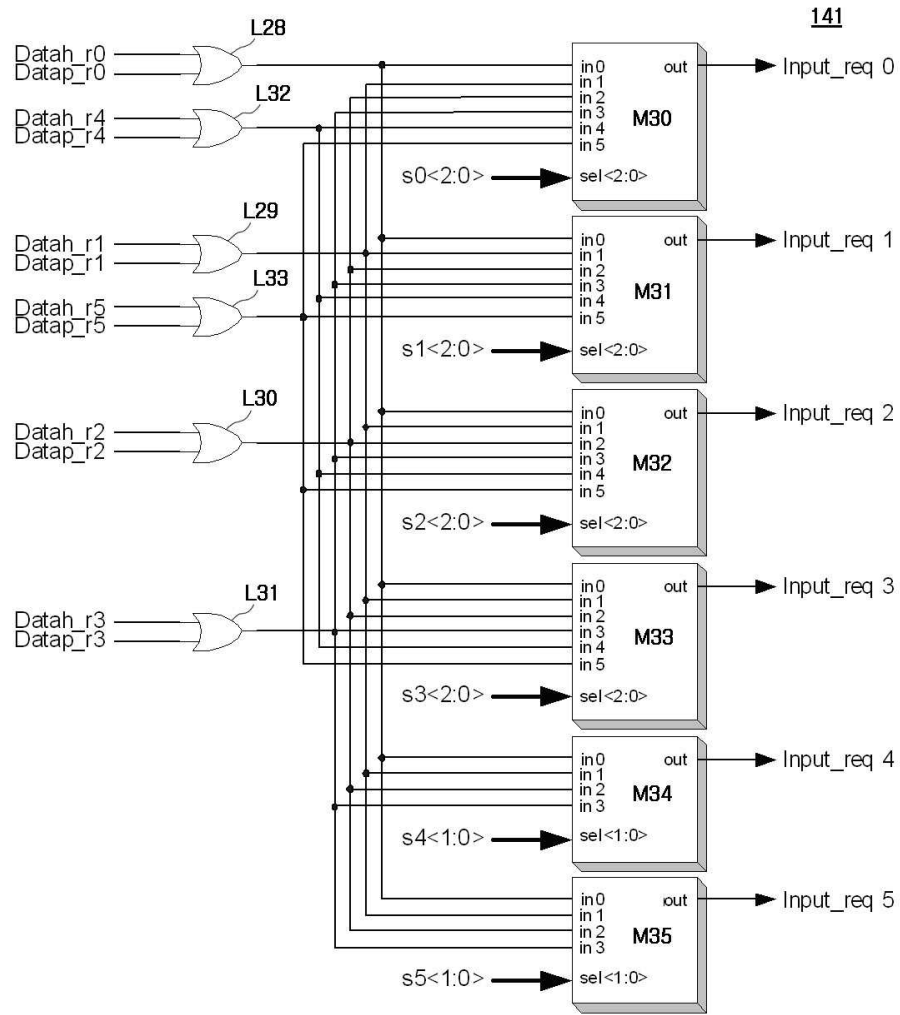
도면23



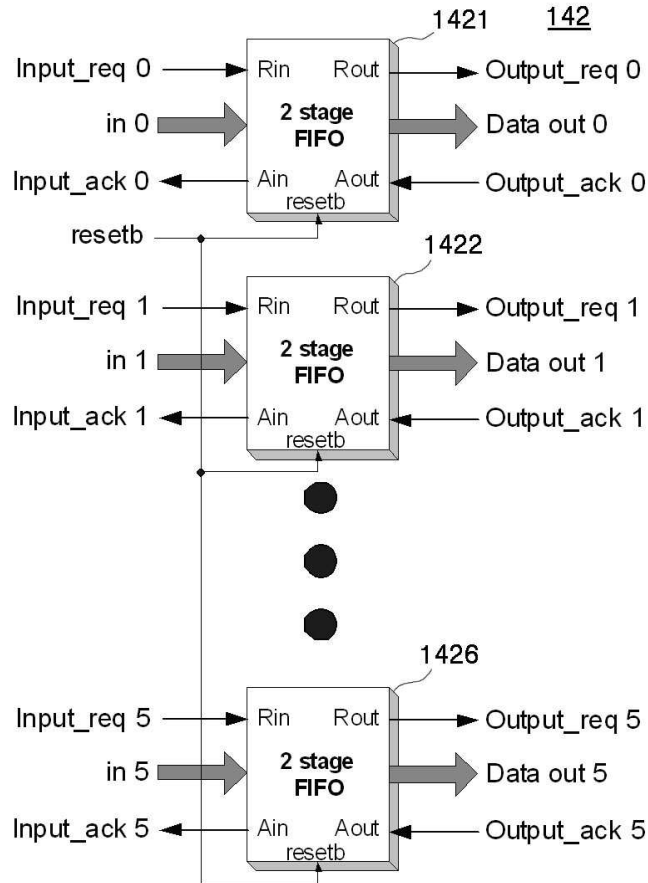
도면24



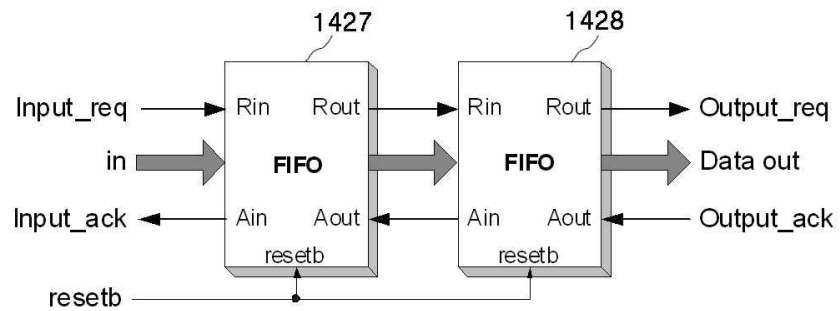
도면25



도면26



도면27



도면28

