

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2009-182105

(P2009-182105A)

(43) 公開日 平成21年8月13日(2009.8.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8242 (2006.01)	HO 1 L 27/10 6 7 1 B	5 F 0 4 8
HO 1 L 27/108 (2006.01)	HO 1 L 27/10 6 2 1 C	5 F 0 8 3
HO 1 L 27/105 (2006.01)	HO 1 L 27/10 4 4 8	5 F 1 4 0
HO 1 L 29/78 (2006.01)	HO 1 L 29/78 3 0 1 V	
HO 1 L 45/00 (2006.01)	HO 1 L 29/78 3 0 1 X	

審査請求 未請求 請求項の数 19 O L (全 34 頁) 最終頁に続く

(21) 出願番号 特願2008-19041 (P2008-19041)
 (22) 出願日 平成20年1月30日 (2008.1.30)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1

(74) 代理人 100115738
 弁理士 鷲頭 光宏

(74) 代理人 100121681
 弁理士 緒方 和文

(72) 発明者 杉岡 繁
 東京都中央区八重洲二丁目2番1号エルピーダメモリ株式会社内

Fターム(参考) 5F048 AA01 AA07 AB01 AC01 AC10
 BA01 BB01 BB02 BB04 BB07
 BB08 BB09 BC01 BC03 BD01
 BD06 BD07 BF01 BF02 BF03
 BF04 BF16 BG13

最終頁に続く

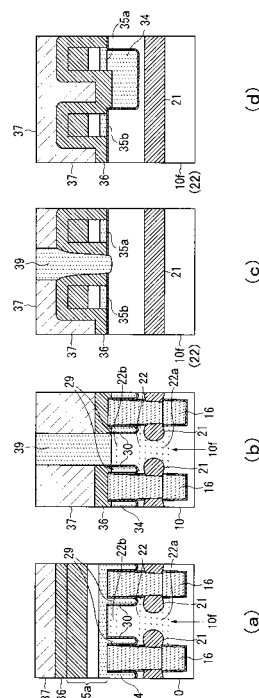
(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】 (修正有)

【課題】 改良された縦型のMOSトランジスタを備える半導体装置及びその製造方法を提供する。

【解決手段】 半導体装置は、半導体基板10の主面に対してほぼ垂直に延在するチャンネル領域22と、チャンネル領域22の下部に設けられた第1の拡散層領域22aと、チャンネル領域の上部に設けられた第2の拡散層領域22bと、半導体基板10の主面に対してほぼ垂直に延在し、ゲート絶縁膜30を介してチャンネル領域22の側面に設けられた第1のゲート電極34と、半導体基板10の主面とほぼ平行に延在し、第1のゲート電極34の上部に接続された第2のゲート電極35aと、第1の拡散層領域22aに接続され、第2のゲート電極と交差する埋め込み配線21を備えている。第2のゲート電極35aの平面的な位置は、第1のゲート電極34の平面的な位置に対してオフセットされている。

【選択図】 図2



【特許請求の範囲】**【請求項 1】**

半導体基板の主面に対してほぼ垂直に延在するチャンネル領域と、前記チャンネル領域の下部に設けられた第 1 の拡散層領域と、前記チャンネル領域の上部に設けられた第 2 の拡散層領域と、前記半導体基板の主面に対してほぼ垂直に延在し、ゲート絶縁膜を介して前記チャンネル領域の側面に設けられた第 1 のゲート電極と、前記半導体基板の主面とほぼ平行に延在し、前記第 1 のゲート電極の上部に接続された第 2 のゲート電極とを備え、

前記第 2 のゲート電極の平面的な位置は、前記第 1 のゲート電極の平面的な位置に対してオフセットされていることを特徴とする半導体装置。

【請求項 2】

前記チャンネル領域は、前記第 2 のゲート電極の延在方向とほぼ直交する第 1 及び第 2 の側面を有しており、

前記第 1 のゲート電極は、前記チャンネル領域の前記第 1 の側面を覆う第 1 の部分と、前記チャンネル領域の前記第 2 の側面を覆う第 2 の部分とを含んでいることを特徴とする請求項 1 に記載の半導体装置。

【請求項 3】

前記半導体基板は、前記第 2 のゲート電極と交差するフィン状の活性領域を有しており、前記チャンネル領域は、前記フィン状の活性領域内に形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 4】

前記半導体基板の前記フィン状の活性領域には、前記半導体基板の主面に対してほぼ垂直なスリットが形成されており、前記第 1 のゲート電極は前記スリット内に埋め込まれていることを特徴とする請求項 3 に記載の半導体装置。

【請求項 5】

前記半導体基板は、主面に対して垂直方向に突出する島状の活性領域を有しており、前記チャンネル領域は、前記島状の活性領域内に形成されていることを特徴とする請求項 1 又は 2 に記載の半導体装置。

【請求項 6】

前記チャンネル領域は、前記第 1 及び第 2 の側面とほぼ直交する第 3 及び第 4 の側面をさらに有しており、

前記第 1 のゲート電極は、前記チャンネル領域の前記第 3 の側面を覆う第 3 の部分と、前記チャンネル領域の前記第 4 の側面を覆う第 4 の部分とをさらに含んでいることを特徴とする請求項 5 に記載の半導体装置。

【請求項 7】

前記第 1 の拡散層領域に接続され、前記第 2 のゲート電極と交差する下部電極をさらに備えることを特徴とする請求項 1 乃至 6 のいずれか一項に記載の半導体装置。

【請求項 8】

前記下部電極は、前記半導体基板の内部に設けられた空洞内に埋め込まれていることを特徴とする請求項 7 に記載の半導体装置。

【請求項 9】

前記第 2 の拡散層領域のうち、前記第 1 のゲート電極と前記第 2 のゲート電極のオフセットによって露出される部分に接続される上部電極をさらに備えることを特徴とする請求項 1 乃至 8 のいずれか一項に記載の半導体装置。

【請求項 10】

前記上部電極を介して前記第 2 の拡散層領域に接続されたセルキャパシタをさらに備えることを特徴とする請求項 9 に記載の半導体装置。

【請求項 11】

隣接する前記第 2 のゲート電極間に設けられたダミーゲート電極をさらに備え、前記ダミーゲート電極には逆バイアスが印加されることを特徴とする請求項 1 乃至 10 のいずれか一項に記載の半導体装置。

10

20

30

40

50

【請求項 1 2】

半導体基板の主面に対してほぼ垂直に延在するチャンネル領域を形成する工程と、
前記チャンネル領域の下部に第 1 の拡散層領域を形成する工程と、
ゲート絶縁膜を介して前記チャンネル領域の側面に前記半導体基板の主面に対してほぼ垂直に延在する第 1 のゲート電極を形成する工程と、
平面的な位置が前記第 1 のゲート電極の平面的な位置に対してオフセットするよう、前記第 1 のゲート電極の上部に前記半導体基板の主面とほぼ平行に延在する第 2 のゲート電極を形成する工程と、
前記チャンネル領域の上部に第 2 の拡散層領域を形成する工程とを備えることを特徴とする半導体装置の製造方法。

10

【請求項 1 3】

前記第 1 のゲート電極を形成する工程は、前記第 2 のゲート電極の延在方向とほぼ直交する前記チャンネル領域の第 1 の側面及び第 2 の側面をそれぞれ覆う第 1 の部分及び第 2 の部分を形成する工程を含んでいることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

【請求項 1 4】

前記チャンネル領域を形成する工程は、前記第 2 のゲート電極と交差するフィン状の活性領域を形成する工程を含んでいることを特徴とする請求項 1 2 又は 1 3 に記載の半導体装置の製造方法。

【請求項 1 5】

前記第 1 のゲート電極を形成する工程は、前記フィン状の活性領域に、前記半導体基板の主面に対してほぼ垂直なスリットを形成する工程と、前記スリット内にゲート電極材料を埋め込む工程を含んでいることを特徴とする請求項 1 4 に記載の半導体装置の製造方法。

20

【請求項 1 6】

前記第 1 のゲート電極を形成する工程は、前記第 2 のゲート電極の延在方向とほぼ直交する前記チャンネル領域の第 1 の側面及び第 2 の側面をそれぞれ覆う第 1 の部分及び第 2 の部分と、前記第 1 及び第 2 の側面とほぼ直交する前記チャンネル領域の第 3 及び第 4 の側面をそれぞれ覆う第 3 及び第 4 の部分を形成する工程を含んでいることを特徴とする請求項 1 2 に記載の半導体装置の製造方法。

30

【請求項 1 7】

前記チャンネル領域を形成する工程は、前記半導体基板の主面に対して垂直方向に突出する島状の活性領域を形成する工程を含んでいることを特徴とする請求項 1 2 又は 1 6 に記載の半導体装置の製造方法。

【請求項 1 8】

前記第 1 のゲート電極を形成する工程は、前記島状の活性領域に、前記半導体基板の主面に対してほぼ垂直なスリットを形成する工程と、前記スリット内にゲート電極材料を埋め込む工程を含んでいることを特徴とする請求項 1 7 に記載の半導体装置の製造方法。

【請求項 1 9】

前記第 1 の拡散層領域に接続され、前記第 2 のゲート電極と交差する下部電極を形成する工程をさらに備えることを特徴とする請求項 1 2 乃至 1 8 のいずれか一項に記載の半導体装置の製造方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

本発明は半導体装置及びその製造方法に関し、特に、3次元構造を有する縦型の MOS トランジスタを備えた半導体装置及びその製造方法に関する。

【背景技術】

【0002】

半導体基板に形成される MOS トランジスタとしては、いわゆるプレーナ型の MOS ト

50

ランジスタが一般に用いられている。しかしながら、プレーナ型のMOSトランジスタでは、集積度を高めるべく微細化を進めるとショートチャネル効果が顕著になり、サブスレッショールド電流が増大するという問題があった。

【0003】

サブスレッショールド電流を抑制する方法としては、基板の不純物濃度を高くする方法が有効であるが、不純物濃度を高くすると、接合リーク電流が増加してしまう。接合リーク電流の増大は、ロジック回路用のトランジスタにおいてはそれほど問題にならないが、DRAM (Dynamic Random Access Memory) 用のセルトランジスタにおいては、リフレッシュ特性の低下を招いてしまう。このため、DRAM用のセルトランジスタにおいては、不純物濃度を高くすることは困難であった。

10

【0004】

このような問題を解決すべく、DRAM用のセルトランジスタとして、RCAT (Recess-Channel-Array Transistor) や FinFET など3次元構造を有するMOSトランジスタの研究や、製品への適用が進んでいる。しかしながら、RCATやFinFETなどのMOSトランジスタは、プレーナ型のMOSトランジスタと同様、ソース領域とドレイン領域が半導体基板上の異なる平面に形成されており、半導体基板の表面に沿ってオン電流が流れる構造であるため、集積度を十分に高めることは困難である。

【0005】

これに対し、近年では、オン電流が垂直に流れる縦型のMOSトランジスタが提案されている(特許文献1~3参照)。縦型のMOSトランジスタにおいては、ソース領域とドレイン領域が半導体基板上のほぼ同じ平面に形成されるため、より高い集積度を得ることが可能となる。

20

【特許文献1】特表2002-541667号公報

【特許文献2】特開平5-121693号公報

【特許文献3】特開平7-273221号公報

【発明の開示】

【発明が解決しようとする課題】

【0006】

しかしながら、縦型のMOSトランジスタは、垂直なチャネル領域の側面にゲート電極を形成する必要があることから、デバイス構造や製造プロセスが極めて複雑であるなどの問題があった。これらの問題により、従来の構造ではさらなる微細化を進めることは困難であった。

30

【0007】

したがって、本発明の目的は、改良された縦型のMOSトランジスタを備える半導体装置及びその製造方法を提供することである。

【0008】

また、本発明の他の目的は、さらに微細化された縦型のMOSトランジスタを備えた半導体装置及びその製造方法を提供することである。

【0009】

また、本発明のさらに他の目的は、比較的簡単なプロセスで製造可能な縦型のMOSトランジスタを備えた半導体装置及びその製造方法を提供することである。

40

【課題を解決するための手段】

【0010】

本発明による半導体装置は、半導体基板の主面に対してほぼ垂直に延在するチャネル領域と、チャネル領域の下部に設けられた第1の拡散層領域と、チャネル領域の上部に設けられた第2の拡散層領域と、半導体基板の主面に対してほぼ垂直に延在し、ゲート絶縁膜を介してチャネル領域の側面に設けられた第1のゲート電極と、半導体基板の主面とほぼ平行に延在し、第1のゲート電極の上部に接続された第2のゲート電極とを備え、第2のゲート電極の平面的な位置は、第1のゲート電極の平面的な位置に対してオフセットされていることを特徴とする。

50

【0011】

本発明によれば、垂直方向に延在する第1のゲート電極に対して、水平方向に延在する第2のゲート電極がオフセットして配置されていることから、チャンネル領域の上部に設けられた第2の拡散層領域を露出させつつ、ゲート電極を容易に形成することが可能となる。

【0012】

また、本発明による半導体装置の製造方法は、半導体基板の主面に対してほぼ垂直に延在するチャンネル領域を形成する工程と、チャンネル領域の下部に第1の拡散層領域を形成する工程と、ゲート絶縁膜を介してチャンネル領域の側面に半導体基板の主面に対してほぼ垂直に延在する第1のゲート電極を形成する工程と、平面的な位置が第1のゲート電極の平面的な位置に対してオフセットするよう、第1のゲート電極の上部に半導体基板の主面とほぼ平行に延在する第2のゲート電極を形成する工程と、チャンネル領域の上部に第2の拡散層領域を形成する工程とを備えることを特徴とする。

10

【0013】

本発明によれば、比較的簡単なプロセスで上述の縦型トランジスタを製造することができる。

【発明の効果】

【0014】

このように、本発明によれば、垂直に延在する第1のゲート電極に対して、水平に延在する第2のゲート電極がオフセットして配置されていることから、比較的簡単なプロセスで製造することが可能となる。このため、従来の縦型のMOSトランジスタを備える半導体装置に比べ、さらなる微細化が可能となる。

20

【発明を実施するための最良の形態】

【0015】

以下、添付図面を参照しながら、本発明の好ましい実施の形態について詳細に説明する。

【0016】

図1は本発明の好ましい第1の実施形態による半導体装置1の構造を示す略平面図である。また、図2(a)は図1に示すA-A'線に沿った略断面図であり、図2(b)は図1に示すB-B'線に沿った略断面図であり、図2(c)は図1に示すC-C'線に沿った略断面図であり、図2(d)は図1に示すD-D'線に沿った略断面図である。また、図3(a)は一つのMOSトランジスタの構造を説明するための模式的な斜視図であり、図3(b)は図3(a)から第2のゲート電極35aを削除した状態を示している。

30

【0017】

図1及び図3(a)、(b)に示すように、本実施形態による半導体装置1は、半導体基板10にフィン状の活性領域10fが設けられている。詳細については後述するが、トランジスタのチャンネル領域はフィン状の活性領域10f内に形成され、ソース/ドレイン領域はフィン状の活性領域10fの上部及び下部にそれぞれ形成される。つまり、縦型のMOSトランジスタが構成されており、オン電流は半導体基板10の主面に対して垂直方向に流れる。

40

【0018】

特に限定されるものではないが、本実施形態による半導体装置1は、DRAMのセルトランジスタであることが好ましい。これは、本実施形態による半導体装置1によれば、MOSトランジスタを高密度に集積可能であるとともに、サブスレッショルド電流や接合リーク電流を低減できるからである。

【0019】

図4は、DRAMのメモリセルMCの基本構造を示す回路図である。

【0020】

図4に示すように、DRAMのメモリセルMCは、一つのセルトランジスタTRと1つのセルキャパシタCが直列接続された構造を有している。セルトランジスタTRのソース

50

ノドレインの一方はセルキャパシタCに接続され、他方はビット線BLに接続されている。また、セルトランジスタTRのゲートはワード線WLに接続されている。かかる構成により、ワード線WLが活性化するとセルトランジスタTRがオンし、セルキャパシタCとビット線BLが接続される。これにより、ビット線BLを介したデータの読み出し及び書き込みが可能となる。

【0021】

図1に示すように、ワード線WLはX方向に形成され、ビット線BLはY方向に形成されている。そして、セルトランジスタTRは、ワード線WLとビット線BLの交点に配置されている。セルトランジスタTRのゲート電極は、垂直方向に延在する第1のゲート電極34(34a, 34b)と、水平方向に延在する第2のゲート電極35aによって構成されている。第2のゲート電極35aは、ワード線WLを構成する。本実施形態においては、隣接する第2のゲート電極35a, 35aの間にダミーゲート電極35bが設けられている。ダミーゲート電極35bには逆バイアスが印加され、これによってY方向に隣接するセルトランジスタTRが電氣的に分離される。

10

【0022】

次に、図1～図3を参照しながら、セルトランジスタTRの構造について詳細に説明する。

【0023】

図1～図3に示すように、セルトランジスタTRは、半導体基板10のフィン状の活性領域10fに設けられたチャンネル領域22と、チャンネル領域22の下部に設けられた第1の拡散層領域22aと、チャンネル領域22の上部に設けられた第2の拡散層領域22bと、ゲート絶縁膜30を介してチャンネル領域22の側面に設けられた第1のゲート電極34と、第1のゲート電極34の上部に接続された第2のゲート電極35aとを備えている。第2のゲート電極35aの上層には絶縁膜36、37が形成されている。

20

【0024】

フィン状の活性領域10fはY方向に延在しており、一つの活性領域10f内には複数のセルトランジスタTRが設けられている。各セルトランジスタTRの形成位置において、フィン状の活性領域10fの両側には、半導体基板10の主面に対してほぼ垂直に形成されたスリット29が形成されており、第1のゲート電極34はスリット29内に埋め込まれている。このため、第1のゲート電極34は、一つのセルトランジスタTRに対して2個割り当てられることになる。つまり、第1のゲート電極34は、チャンネル領域22の一方の側面を覆う第1の部分34aと、チャンネル領域22の他方の側面を覆う第2の部分34bによって構成され(図3参照)、チャンネル領域22はこれら第1及び第2の部分34a, 34bに挟まれた構造となる。ここで、チャンネル領域22の側面とは、第2のゲート電極35aの延在方向とほぼ直交する面を指す。

30

【0025】

また、第2のゲート電極35aは、第1のゲート電極34に対して平面的にオフセットして配置されている。このため、第1のゲート電極34によって挟まれる領域は、第2のゲート電極35aによって覆われる部分と、第2のゲート電極35aによって覆われない部分によって構成され、第2のゲート電極35aによって覆われない部分の上面は露出している。この露出部分には上部電極であるセルコンタクト39が接続され、これによってセルコンタクト39と第2の拡散層領域22bが接続される。

40

【0026】

第2のゲート電極35aのX方向における長さは十分に長く、複数のセルトランジスタに共通するほぼ直線状の配線である。これに対し、第1のゲート電極34のY方向における長さは比較的短い。これは、第2のゲート電極35aがワード線WLを構成するのに対し、第1のゲート電極34は個々のセルトランジスタTRのゲート電極だからである。第1のゲート電極34のY方向における長さは、第2のゲート電極35aとダミーゲート電極35bとをショートさせない限りにおいてできるだけ長いほうが好ましい。

【0027】

50

フィン状の活性領域 10 f の下部には、下部電極である 2 本の埋め込み配線 2 1 が設けられている。埋め込み配線 2 1 はビット線 B L を構成するものであり、第 2 のゲート電極 3 5 a と交差する Y 方向に延在し、第 1 の拡散層領域 2 2 a に接続されている。本実施形態においては、製造上の理由から、一つのセルトランジスタ T R に対して 2 本のビット線 B L が割り当てられている。

【 0 0 2 8 】

以上が本実施形態による半導体装置 1 の基本構造である。このように、垂直方向に延在する第 1 のゲート電極 3 4 に対して、水平方向に延在する第 2 のゲート電極 3 5 a が平面的にオフセットして配置されていることから、第 1 のゲート電極 3 4 と第 2 のゲート電極 3 5 a との接触を確保しつつ、チャンネル領域の上部を露出させることが可能となる。このため、縦型の M O S トランジスタのゲート電極を容易に形成することが可能となる。

10

【 0 0 2 9 】

図 5 は、上記セルトランジスタ T R を用いた D R A M のメモリセル構造を示す略断面図である。

【 0 0 3 0 】

図 5 に示すように、セルトランジスタ T R の上方には、セルキャパシタ C が設けられている。セルキャパシタ C は、セルコンタクト 3 9 を介して第 2 の拡散層領域 2 2 b に接続されたシリンダ型の下部電極 6 1 と、プレート配線 P L に接続された円柱型の上部電極 6 3 と、下部電極 6 1 と上部電極 6 3 との間に設けられた容量絶縁膜 6 2 によって構成されている。セルキャパシタ C は、層間絶縁膜 6 0 を貫通する空洞 6 0 a 内に設けられている。

20

【 0 0 3 1 】

以上のような構造を有する半導体装置 1 は、図示しないワードドライバによって複数のワード線 W L のいずれか 1 本を活性化することによって、データの書き込み及び読み出しを行うことができる。つまり、対応するワード線 W L が活性化しているメモリセル M C では、セルトランジスタ T R がオンするため、対応するビット線 B L は、セルトランジスタ T R を介してセルキャパシタ C に接続された状態となる。したがって、セルキャパシタ C とビット線 B L を接続した後、ビット線 B L に現れた電位差を図示しないセンスアンプによって増幅すれば、セルキャパシタ C に保持された情報を読み出すことができる。また、セルキャパシタ C とビット線 B L を接続した状態で、センスアンプによってビット線 B L を駆動すれば、セルキャパシタ C に情報を書き込むことが可能となる。

30

【 0 0 3 2 】

以下、本実施形態による半導体装置 1 の製造方法について説明する。

【 0 0 3 3 】

図 6 ~ 図 2 8 は、本発明の第 1 の実施形態による半導体装置 1 の製造方法を説明するための工程図であり、それぞれ (a) は図 1 に示す A - A ' 線に沿った略断面図、(b) は図 1 に示す B - B ' 線に沿った略断面図、(c) は図 1 に示す C - C ' 線に沿った略断面図、(d) は図 1 に示す D - D ' 線に沿った略断面図、(e) は略平面図である。

【 0 0 3 4 】

本実施形態による半導体装置 1 の製造では、まず、図 6 に示すように、半導体基板 (シリコンウェハ) 1 0 上にシリコン酸化膜 (パッド酸化膜) 1 1 及びシリコン窒化膜 (フィールド窒化膜) 1 2 を順次成膜する。このフィールド窒化膜 1 2 は、拡散層領域を覆うマスクとなり、素子分離領域 (S T I : Shallow Trench Isolation) に埋め込まれるシリコン酸化膜を研磨する際の C M P ストッパーとしても利用される。

40

【 0 0 3 5 】

次に、図 7 に示すように、フォトリソグラフィ技術とドライエッチング技術を用いてパターンニングを行い、フィールド窒化膜 1 2 とパッド酸化膜 1 1 の一部をドライエッチング (異方性エッチング) により除去する。このとき、Y 方向に延びる帯状の開口パターン 1 3 が形成される。

【 0 0 3 6 】

50

次に、図 8 に示すように、フィールド窒化膜 12 をマスクとして半導体基板 10 をドライエッチングすることにより、深さ 400 nm 程度の素子分離領域用のトレンチ 14 を形成する。ここで、トレンチ 14 は Y 方向に沿って直線状に形成され、隣接する 2 本のトレンチ 14、14 に挟まれた領域がフィン状の活性領域 10f となる。

【0037】

次に、図 9 に示すように、トレンチ 14 の内壁に厚さ 5 nm 程度のシリコン酸化膜（犠牲酸化膜）15 を熱酸化により形成する。その後、HDP-CVD（High Density Plasma Chemical Vapor Deposition）法により、トレンチ 14 の内部を含む基板全面に厚さ 150 nm 程度のシリコン酸化膜 16a を形成する。このとき、HDP-CVD 法の特性上、シリコン酸化膜 16a は水平面に堆積しやすく、垂直面に堆積しにくいことから、図示のように、トレンチ 14 の底部とフィールド窒化膜 12 の上面には厚く形成され、トレンチ 14 の側面には薄く形成される。

10

【0038】

その後、フィールド窒化膜 12 をストッパーとして、フィールド窒化膜 12 上のシリコン酸化膜 16a をCMP（Chemical Mechanical Polishing）により除去する。さらに、フッ酸を含んだ溶液を用いた短時間のウェットエッチングを行い、フィールド窒化膜 12 の開口側面及びトレンチ 14 の側面に露出した犠牲酸化膜 15 を除去する。このとき、トレンチ 14 の底面のシリコン酸化膜 16a もエッチングされて薄くなるものの、図 10 に示すように、トレンチ 14 の底部には厚さ 100 nm 程度のシリコン酸化膜 16a が残された状態となる。

20

【0039】

続いて、図 11 に示すように、基板全面に厚さ 400 nm 程度の SOG（Spin on Glass）膜 17 を形成する。次いで、SOG 膜 17 の改質を目的として、例えば 400 で 10 分程度の熱処理（バーク処理）を行い、SOG 膜 17 を変質させる。ここで、SOG 膜 17 は後のウェットエッチング工程にて除去されるものであるため、このときの熱処理は、その後のエッチングにおいて、HDP-CVD 法で成膜されたシリコン酸化膜や TEOS（Tetra Ethyl Ortho Silicate）-NSG（Non-doped Silicate Glass）膜のエッチングレートよりも SOG 膜 17 のエッチングレートのほうが速くなるような条件で行われることが好ましい。その後、SOG 膜 17 をウェットエッチングにより部分的に除去する。こうして、図 12 に示すように、トレンチ 14 の底部に形成されたシリコン酸化膜 16a 上に厚さ 100 nm 程度の SOG 膜 17 を残存させる。

30

【0040】

さらに、基板全面に厚さ 15 nm 程度のシリコン酸化膜（TEOS-NSG 膜）18 を形成する。その後、異方性のドライエッチング技術を用いて、フィールド窒化膜 12 及び SOG 膜 17 上のシリコン酸化膜 18 を除去する。こうして、図 13 に示すように、トレンチ 14 の内壁の露出面にのみシリコン酸化膜 18 を形成する。

【0041】

その後、図 14 に示すように、ウェットエッチングを行って SOG 膜 17 を除去する。上述したように、SOG 膜 17 のエッチングレートは他のシリコン酸化膜よりも速いので、SOG 膜 17 を選択的に除去できる。こうして SOG 膜 17 が除去されたトレンチ 14 の側壁領域は、半導体基板 10 の露出面 19 となる。

40

【0042】

次に、図 15 に示すように、拡散層の両側に空洞 20 を形成する。空洞 20 の形成では、フィールド窒化膜 12、シリコン酸化膜 16a 及びシリコン酸化膜 18 をマスクとして、塩素系ガスを用いたドライエッチングを行う。これにより、半導体基板 10 の露出面 19 は等方性エッチングされ、フィン状の活性領域 10f となる半導体基板 10 の両側が丸く削られる。こうして形成された深さ（直径）50 nm 程度の空洞 20 は埋め込み配線領域となる。このとき、トレンチ 14 の側壁の両側から半導体基板 10 をエッチングするので、隣り合う空洞 20、20 同士が貫通してパターンが剥がれないよう注意する必要がある。

50

【0043】

次に、図16に示すように、空洞20内に埋め込み配線21を形成する。埋め込み配線21の形成では、フッ酸を含んだ溶液を用いて、空洞20内の自然酸化膜を除去する前処理を行った後、リン(P)又はヒ素(As)を多量に含んだポリシリコン膜をトレンチ14の内部を含む基板全面に200nm程度成膜する(図示しない)。このときのポリシリコン膜の不純物濃度は、 $1.0 \times 10^{20} \sim 4.5 \times 10^{20} \text{ cm}^{-3}$ とすることが好ましい。そして、空洞20内にのみポリシリコン膜を残し、かつ、フィールド窒化膜12上やシリコン酸化膜18の側面にポリシリコン膜が残らないように、フィールド窒化膜12とシリコン酸化膜18に対して選択比を持たせたポリシリコン膜の等方性エッチングを行う。

10

【0044】

空洞20内に埋め込まれたポリシリコン膜は、DRAMでいうビット線の導電性膜と同じ役割となる。また、この後に加えられる熱処理により前記ポリシリコン膜からリン(P)又はヒ素(As)の不純物拡散が行われ、さらに、この後の不純物注入工程により、縦型トランジスタの下側のソース/ドレイン領域(第1の拡散層領域22a)が形成される。

【0045】

埋め込み配線21の材料はポリシリコン膜に限定されず、埋め込み配線21の低抵抗化のために、例えばタングステンシリサイド(WSi_2)、コバルトシリサイド(CoSi_2)等のシリサイド膜や、タングステン(W)などの高融点金属を用いてもよい。ただし、高融点金属を用いる場合は、金属の拡散を防止する窒化チタン(TiN)、窒化タングステン(WN_2)や窒化(TaN)等のバリアメタルを用いる必要がある。また、上記のシリサイド膜や高融点金属を使用した場合、縦型トランジスタの下側のドレイン・ソースを形成するため、リン(P)、ヒ素(As)等の不純物を注入する必要がある。

20

【0046】

その後、HDP-CVD法により、厚さ500nm程度のシリコン酸化膜16bを形成し、トレンチ14内にシリコン酸化膜16bを埋め込む。さらに、フィールド窒化膜12をストッパーとして、フィールド窒化膜12上のシリコン酸化膜16bをCMPにより除去し、平坦化する。こうして、図17に示すように、シリコン酸化膜16a、16bからなる素子分離領域16及び埋め込み配線21が完成する。

30

【0047】

ところで、上記プロセスのみではDRAMにおける周辺回路領域の活性領域を作成することが出来ない。そこで、周辺回路領域の活性領域を形成する場合は、上記の状態、フォトリソグラフィ技術とドライエッチング技術を用いて、250nm程度の素子分離領域用のトレンチを形成し、トレンチの内壁に10nm程度のシリコン酸化膜を熱酸化により形成した後、HDP-CVD法等によりシリコン酸化膜を埋め込み、CMPにより平坦化を行うことで、周辺回路領域のトランジスタを形成するための活性領域を作成すればよい。

【0048】

その後、図18に示すように、素子分離領域16を構成するシリコン酸化膜16bの上面と半導体基板10の上面との高さの差が50nm程度となるように、シリコン酸化膜16bのウェットエッチングを行った後、約160の熱リン酸を用いたウェットエッチングを行い、CMPストッパーとして使用したフィールド窒化膜12を除去する。このとき、パッド酸化膜11は除去されない。

40

【0049】

次に、図19に示すように、基板全面にシリコン窒化膜23を形成する。このシリコン窒化膜23は、後述するスリットを形成する際のマスクとなるものである。シリコン窒化膜23の厚さとしては、活性領域10fの幅の半分以下に設定する必要があり、例えば約25nmに設定される。こうしてシリコン窒化膜23の適切な厚さとすることにより、素子分離領域16、16間にはシリコン窒化膜23による凹部24が形成される。

50

【 0 0 5 0 】

続いて、図 2 0 に示すように、基板全面に厚さ 1 0 0 n m 程度のシリコン酸化膜 2 5 を形成した後、シリコン窒化膜 2 3 をストッパーとして C M P を行う。これにより、シリコン窒化膜 2 3 の凹部 2 4 内にシリコン酸化膜 2 5 が埋め込まれた状態となる。

【 0 0 5 1 】

次に、図 2 1 に示すように、フォトリソグラフィ技術を利用して、ゲート電極を形成すべき領域及びチャネルとして使用する領域に開口 2 7 を持つようにパターンニングされたフォトレジスト 2 6 を形成する。

【 0 0 5 2 】

そして、図 2 2 に示すように、フォトレジスト 2 6 をマスクとしてシリコン窒化膜 2 3 をドライエッチングにより除去する。これにより、素子分離領域 1 6 上に形成されたシリコン窒化膜 2 3 の一部が除去され、シリコン酸化膜 2 5 と共にシリコン酸化膜 1 6 b が露出した状態となる。また、半導体基板 1 0 上に形成されたシリコン窒化膜 2 3 のうち、段差部分に形成されたシリコン窒化膜 2 3 の一部も除去され、シリコン窒化膜 2 3 の膜厚に応じたスリット 2 8 が形成される。スリット 2 8 の底部においては、パッド酸化膜 1 1 が露出した状態になる。シリコン窒化膜 2 3 をエッチングした後に残ったフォトレジスト 2 6 は、ドライエッチングにより除去する。

10

【 0 0 5 3 】

次に、図 2 3 に示すように、シリコン酸化膜 1 6 b 及びシリコン酸化膜 2 5 をマスクとして、半導体基板 1 0 を異方性ドライエッチングし、半導体基板 1 0 上の活性領域 1 0 f 内に深さ約 1 2 5 n m 程度のスリット 2 9 を形成する。なお、エッチングを行う前に、半導体基板 1 0 を露出させるために、シリコン酸化膜のエッチングを行い、表面に露出しているパッド酸化膜 1 1 を除去しておく必要がある。

20

【 0 0 5 4 】

次に、フッ酸を含んだ溶液を用いたウェットエッチングを行ってシリコン酸化膜 1 6 b 及びシリコン酸化膜 2 5 を除去し、その後、スリット 2 9 内に厚さ 5 n m 程度のシリコン酸化膜（犠牲酸化膜）を熱酸化により形成する（図示しない）。そして、約 1 6 0 の熱リン酸を用いたウェットエッチングによりシリコン窒化膜 2 3 を除去する。さらに、パッド酸化膜 1 1 が残存している状態で半導体基板 1 0 を熱酸化して、パッド酸化膜 1 1 を厚膜化し、不純物注入時のスルー酸化膜を形成する。その後、メモリセル領域の及び周辺回路領域のトランジスタのためのウェル形成及びチャネル形成のための不純物注入を行い、活性化のための熱処理を行う。不純物の注入後、前記スルー酸化膜（パッド酸化膜 1 1 ）及びスリット 2 9 内に形成されたシリコン酸化膜（犠牲酸化膜）を、再度、フッ酸を含んだ溶液を用いて除去する。以上により、半導体基板 1 0 の主面は図 2 4 に示すようにほぼ平坦な状態となる。

30

【 0 0 5 5 】

次に、図 2 5 に示すように、厚さ 6 ~ 7 n m 程度のシリコン酸化膜からなるゲート絶縁膜 3 0 を熱酸化により形成する。

【 0 0 5 6 】

次に、図 2 6 に示すように、第 1 及び第 2 のゲート電極 3 4 , 3 5 a、ダミーゲート電極 3 5 b を形成する。ゲート電極 3 4 , 3 5 a , 3 5 b の形成では、まず基板全面に厚さ 8 0 n m 程度のポリシリコン膜 3 1 を C V D 法により成膜する。ポリシリコン膜 3 1 は、リン（P）を多量に含んだものでもよく、ボロン（B）を多量に含んだものでもよい。ボロン（B）を多量に含んだポリシリコン膜を用いる場合は、ゲート絶縁膜 3 0 を窒化して、窒素を添加する必要がある。より具体的には、ポリシリコン膜 3 1 は、不純物としてリン（P）を $2 \cdot 2 \times 10^{20} \text{ cm}^{-3}$ 程度含んだものを使用することができる。このとき、ポリシリコン膜 3 1 は、拡散層を掘り込んで形成されたスリット 2 9 内にも埋め込まれ、この部分が第 1 のゲート電極 3 4 となる。

40

【 0 0 5 7 】

ポリシリコン膜 3 1 の形成後、メモリセルトランジスタのチャネル領域のためのボロン

50

注入を行う。注入条件は、 $50\text{ keV} / 4.0 \times 10^{12}\text{ cm}^{-2}$ 程度とする。

【0058】

その後、タングステンシリサイド (WSi) 膜、窒化タングステン (WN) 膜及びタングステン (W) 膜を積層した多層導電膜 32 を順次成膜する。特に限定されるものではないが、WSi 膜は 5 nm、WN 膜は 10 nm 程度、W 膜は 55 nm 程度とすることができる。続いて、ハードマスクとなるシリコン窒化膜 33 とシリコン酸化膜 (図示しない) を順次成膜する。特に限定されるものではないが、シリコン窒化膜 33 は 140 nm 程度、シリコン酸化膜は 80 nm 程度とすることができる。

【0059】

その後、フォトリソグラフィ技術とドライエッチング技術を用いてゲート電極 34 のパターンニングを行う。WN 膜及び W 膜のエッチング時に厚さ 80 nm 程度のシリコン酸化膜は完全になくなってしまい、シリコン窒化膜 33 の部分も 40 nm 程度なくなってしまう。また、図示のように、ポリシリコン膜 31 をエッチングする際、オーバーエッチングステップにて、スリット 29 内に埋め込まれているポリシリコン膜 31 を約 30 nm 程度エッチングして深く掘り込む。詳細は後述するが、この掘り込まれた部分にシリコン窒化膜からなるサイドウォールの一部を埋め込むことにより、上部コンタクト形成時のショート不良を防止することが可能となる。以上により、第 1 及び第 2 のゲート電極 34、35a 及びダミーゲート電極 35b が完成する。

10

【0060】

第 1 及び第 2 のゲート電極 34、35a 及びダミーゲート電極 35b の形成後、熱酸化を行い、ポリシリコン膜 31 の露出面と半導体基板 10 を数 nm 程度酸化させる (図示しない)。その後、イオン注入により、図示しない周辺トランジスタの LDD (Lightly Doped Drain) 領域を形成した後、図 27 に示すように、厚さ 5 nm 程度のシリコン酸化膜 (図示しない) と厚さ 20 nm 程度のシリコン窒化膜 36 を順次成膜する。このとき、スリット 29 の幅が 30 nm 程度であり、シリコン窒化膜 36 の成膜量の 2 倍よりも狭いため、スリット 29 内にシリコン窒化膜 36 が埋め込まれ、成膜終了時には、スリット 29 内においてポリシリコン膜 31 がオーバーエッチングされた部分もシリコン窒化膜 36 で完全に覆われる。

20

【0061】

さらに、図示はしないが、基板全面に厚さ 55 nm 程度の TEOS - NSG 膜を CVD 法により成膜する。その後、フォトリソグラフィ技術とドライエッチング技術を用いて、周辺トランジスタ領域のみレジストを開口させた後、異方性エッチングを用いて TEOS - NSG 膜のエッチバックを行い、周辺トランジスタのためのサイドウォールを形成する。この後、さらに、フォトリソグラフィ技術を利用して、セル内のみレジストを開口した状態で、セル内に残った TEOS - NSG 膜をウェット処理にて除去する。前記のセル内のみ開口したレジスト除去後、セルコンタクト孔形成時の SAC (Self Align Contact) マージン向上及び周辺回路領域のトランジスタの TEOS - NSG 膜上に成膜されるように、基板全面にシリコン窒化膜を 13 nm 程度形成する。

30

【0062】

その後、図 28 に示すように、第 1 の層間絶縁膜 37 を形成する。詳細には、厚さ 600 nm ~ 700 nm 程度の BPSG (Boronic Phosphoric Silicate Glass) 膜を成膜した後、800 程度のリフロート CMP により、ゲート電極間に BPSG 膜を埋め込むと共に、BPSG 膜の表面を平坦化する。次いで、この BPSG 膜上に厚さ 200 nm 程度の TEOS - NSG 膜を成膜し、BPSG 酸化膜と TEOS - NSG 膜からなる第 1 の層間絶縁膜 37 を形成する。

40

【0063】

さらに、図 28 に示すように、フォトリソグラフィ技術とドライエッチング技術を用いて、第 1 の層間絶縁膜 37 を貫通するコンタクトホール 38 を形成する。このコンタクトホール 38 の形成では、半導体基板 10 に達するまでエッチングを行い、コンタクト抵抗の低減のため、半導体基板 10 の表面を 10 nm 程度さらに削り込む。このエッチングは

50

、シリコン酸化膜とシリコン窒化膜のエッチング速度の差を利用した、SAC (Self Align Contact) を用いる。スリット 29 の上部にはシリコン窒化膜 36 が埋め込まれているため、コンタクトホール 38 を形成してもゲート電極とショートすることはない。

【0064】

コンタクトホール 38 の形成後、縦型トランジスタの上側のソース/ドレイン領域 (第 2 の拡散層領域 22b) を形成するために、リン (P) 又はヒ素 (As) を基板表面に注入する。例えば、不純物の注入量はリン (P) で $1.5 \text{ keV} / 5.0 \times 10^{12} \text{ cm}^{-3}$ 程度とする。ただし、不純物の注入は行わなくてもかまわない。

【0065】

その後、リン (P) をドーブしたポリシリコン膜をコンタクトホール 38 に充填すると共に、第 1 の層間絶縁膜 37 上に堆積する。そして、ドライエッチング技術を用いたエッチバックと CMP により、第 1 の層間絶縁膜 37 上のポリシリコン膜のみ除去することにより、図 28 に示すように、セルコンタクト 39 を形成する。特に限定されるものではないが、ポリシリコン膜の不純物濃度は、 $1.0 \times 10^{20} \sim 4.5 \times 10^{20} \text{ cm}^{-3}$ とすることができる。さらに、セルコンタクト 39 形成後、200 nm 程度のプラズマ酸化膜を成膜し (図示しない)、セルコンタクト 39 内の不純物を活性化させるための熱処理を行う。

10

【0066】

その後、埋め込みビット線の情報を取り出すためのコンタクトを形成する。図 29 に示すように、埋め込み配線 21 は十分に長い配線であるが、一対の埋め込み配線 21, 21 の終端部分は短絡されているので、E-E' 線に沿って短絡部分 21T を切断し、別々の配線として構成する必要がある。

20

【0067】

以上により、フィン構造のセルアレイトランジスタを有する半導体装置 1 が完成する。本実施形態の半導体装置 1 を DRAM のメモリセルアレイとして構成する場合には、さらに、既存の方法を用いて周辺トランジスタのコンタクト、全てのトランジスタや部位に電位を与えるビット線、キャパシタ C、配線 (Al, Cu) 等を形成する。こうして、図 5 に示すような DRAM のメモリセルが完成する。なお、キャパシタ C は、セルコンタクト 39 に直接形成してもよく、一度、他のコンタクトプラグ (例えば、ビット線の間を通す容量コンタクトプラグ等) を形成し、その上に形成してもよい。

30

【0068】

図 30 は、半導体装置 1 の変形例である半導体装置 2 の構造を示す平面図である。

【0069】

図 30 に示すように、本実施形態の半導体装置 2 は、第 2 のゲート電極 35a とダミーゲート電極 35b が交互に配列されているのではなく、2 本の第 2 のゲート電極 35a, 35a の間にダミーゲート電極 35b が挟まれており、セルトランジスタ TR はダミーゲート電極 35b を中心として対称なレイアウトを有している。2 本の第 2 のゲート電極 35a, 35a の間にダミー電極 35b が介在しない領域 (図 30 の中央部) は、チャンネルのための注入やソースドレイン用の注入を行わず、さらにコンタクトホールを置かないため素子分離できる。素子分離を確実にするため、ゲート電極形成後、この領域にインジウム (In)、アンチモン (Sb) 等の不純物を注入してもよい。第 1 の実施形態による半導体装置 1 では、図 1 に示すように対称なレイアウトとなる $8F^2$ セルを使用した。変形例による半導体装置 2 によれば、 $6F^2$ セルに変更することができ、さらなる微細化を行うことができる。

40

【0070】

次に、本発明の第 2 の実施形態について詳細に説明する。

【0071】

上記第 1 の実施形態では、埋め込み配線と縦型トランジスタを組み合わせた回路において、チャンネル領域の両側二面に第 1 のゲート電極 34 が配置された構造を提案した。しかし、さらなる微細化が進むと、チャンネル面積の減少によるトランジスタのオン電流の低下

50

が予想される。そこで、第2の実施形態では、オン電流対策として、チャンネル領域の周囲全体を第1のゲート電極34で囲んだ縦型トランジスタ構造を提案する。

【0072】

図31は、本発明の好ましい第2の実施形態による半導体装置3の構造を示す略平面図である。また、図32は、図31における活性領域10iのレイアウトを示す略平面図である。さらに、図33(a)は一つのMOSトランジスタの構造を説明するための模式的な斜視図であり、図33(b)は図33(a)から第2のゲート電極35aを削除した状態を示している。

【0073】

図31、図32及び図33(a)、(b)に示すように、本実施形態による半導体装置3は、半導体基板10に活性領域が設けられているが、Y方向に延在するフィン状の活性領域10fではなく、主面に対して垂直方向に突出する島状の活性領域10iを有している。つまり、第1の実施形態による半導体装置1と異なり、活性領域はセルトランジスタTRごとに個別に設けられている。そして、各セルトランジスタTRの形成位置において、島状の活性領域10iの周囲には、半導体基板10の主面に対してほぼ垂直に形成されたスリット29が形成されており、第1のゲート電極34はスリット29内に埋め込まれている。このため、第1のゲート電極34は、一つのセルトランジスタTRに対して4個(4面)割り当てられることになる。

【0074】

つまり、第1のゲート電極34は、チャンネル領域22の第1の側面を覆う第1の部分34aと、チャンネル領域22の第2の側面を覆う第2の部分34bと、第1及び第2の側面と直交する第3及び第4の側面を覆う第3及び第4の部分34c、34dによって構成され(図33(a)、(b)参照)、チャンネル領域22はこれら第1乃至第4の部分34a~34dに囲まれた構造となる。ここで、チャンネル領域22の第1及び第2の側面とは、第2のゲート電極35aの延在方向とほぼ直交する面を指し、第3及び第3の側面とは第2のゲート電極35aの延在方向とほぼ平行な面を指す。

【0075】

また、第2のゲート電極35aは、第1のゲート電極34に対して平面的にオフセットして配置されている。このため、第1のゲート電極34によって囲まれた領域は、第2のゲート電極35aによって覆われる部分と、第2のゲート電極35aによって覆われない部分によって構成され、第2のゲート電極35aによって覆われない部分の上面は露出している。この露出部分には上部電極であるセルコンタクトが接続され、これによってセルコンタクトと第2の拡散層領域22bが接続される。

【0076】

以上が本実施形態による半導体装置3の特徴部分である。その他の構成については第1の実施形態と同様であることから、同一の構成要素に同一の符号を付して詳細な説明を省略する。このように、本実施形態の半導体装置3においても、垂直方向に延在する第1のゲート電極34に対して、水平方向に延在する第2のゲート電極35aが平面的にオフセットして配置されていることから、第1のゲート電極34と第2のゲート電極35aとの接触を確保しつつ、チャンネル領域の上部を露出させることが可能となる。このため、縦型のMOSトランジスタのゲート電極を容易に形成することが可能となる。

【0077】

さらに、本実施形態の半導体装置3は、第1のゲート電極34がチャンネル領域22の周囲全面に形成されており、第1及び第2の部分34a、34bのみならず第3及び第4の部分34c、34dを有することから、より広いチャンネル面積を確保することができ、トランジスタのオン電流を増加させることができる。

【0078】

以下、本実施形態による半導体装置3の製造方法について説明する。

【0079】

図34~図43は、本発明の第2の実施形態による半導体装置3の製造方法を説明する

10

20

30

40

50

ための工程図であり、それぞれ (a) は図 3 1 に示す A - A ' 線に沿った略断面図、 (b) は図 3 1 に示す B - B ' 線に沿った略断面図、 (c) は図 3 1 に示す C - C ' 線に沿った略断面図、 (d) は図 3 1 に示す D - D ' 線に沿った略断面図、 (e) は略平面図である。

【 0 0 8 0 】

本実施形態による半導体装置 3 の製造では、まず、図 1 ~ 図 1 7 に示した第 1 の実施形態と同様の工程を経て、埋め込み配線 2 1 及び素子分離領域 1 6 を形成する。

【 0 0 8 1 】

次に、図 3 4 及び図 3 5 に示すように、既存の素子分離領域 1 6 と直交する追加の素子分離領域 4 6 を形成する。

10

【 0 0 8 2 】

追加の素子分離領域 4 6 の形成では、まずフォトリソグラフィ技術とドライエッチング技術を用いて、素子分離領域 4 6 を形成すべき領域のフィールド窒化膜 1 2 とパッド酸化膜 1 1 の一部をドライエッチング (異方性エッチング) により除去する。その後、全てのレジストをドライエッチングにより除去する。

【 0 0 8 3 】

次に、図 3 4 のように、素子分離領域 1 6 を構成するシリコン酸化膜 1 6 b とフィールド窒化膜 1 2 をマスクとして、半導体基板 1 0 をドライエッチングすることにより、深さ 1 5 0 n m 程度のトレンチ 4 4 を形成する。このとき、埋め込み配線 2 1 の抵抗上昇を防ぐため、トレンチ 4 4 が埋め込み配線 2 1 に達しないようにエッチング量を制御する必要がある。

20

【 0 0 8 4 】

次に、トレンチ 4 4 の内壁に厚さ 5 n m 程度のシリコン酸化膜 4 5 を熱酸化により形成する。その後、HDP - CVD法により、トレンチ 4 4 の内部を含む基板全面に 5 0 0 n m 程度のシリコン酸化膜 4 6 b を形成する。

【 0 0 8 5 】

その後、フィールド窒化膜 1 2 をストッパーとして、フィールド窒化膜 1 2 上のシリコン酸化膜 1 6 b をCMPにより除去し、平坦化する。こうして、図 3 5 に示すように、追加の素子分離領域 4 6 が完成する。

【 0 0 8 6 】

ところで、第 1 の実施形態と同様に本実施形態においても、上記プロセスのみではDRAMにおける周辺回路領域の活性領域を作成することが出来ない。そこで、周辺回路領域の拡散層を形成する場合は、上記の状態、フォトリソグラフィ技術とドライエッチング技術を用いて、250 n m 程度の素子分離領域用のトレンチを形成し、10 n m 程度のシリコン酸化膜を熱酸化により形成後、HDP - CVD法等によりシリコン酸化膜を埋め込み、CMPにより平坦化を行うことで、周辺回路領域のトランジスタを形成するための活性領域を作成すればよい。

30

【 0 0 8 7 】

その後、図 3 6 に示すように、素子分離領域 1 6 , 4 6 を構成するシリコン酸化膜 1 6 b , 4 6 b の上面と半導体基板 1 0 の上面との高さの差が 5 0 n m 程度となるように、シリコン酸化膜 1 6 b , 4 6 b のウェットエッチングを行った後、約 1 6 0 の熱リン酸を用いたウェットエッチングを行い、CMPストッパーとして使用したフィールド窒化膜 1 2 を除去する。このとき、パッド酸化膜 1 1 は除去されない。

40

【 0 0 8 8 】

次に、図 3 7 に示すように、基板全面にシリコン窒化膜 4 7 を形成する。このシリコン窒化膜 4 7 は、スリット 5 3 を形成する際のマスクとなるものである。シリコン窒化膜 4 7 の厚さとしては、活性領域 1 0 i の幅の半分以下に設定する必要がある、例えば約 2 5 n m に設定される。こうしてシリコン窒化膜 4 7 の適切な厚さとすることにより、素子分離領域 1 6 , 4 6 に囲まれた領域にはシリコン窒化膜 4 7 による凹部 4 8 が形成される。

【 0 0 8 9 】

50

続いて、図 3 8 に示すように、基板全面に厚さ約 1 0 0 n m 程度のシリコン酸化膜 4 9 を形成した後、シリコン窒化膜 4 7 をストッパーとして C M P を行う。これにより、シリコン窒化膜 4 7 の凹部 4 8 内にシリコン酸化膜 4 9 が埋め込まれた状態となる。

【 0 0 9 0 】

次に、図 3 9 に示すように、フォトリソグラフィ技術を利用して、ゲート電極を形成すべき領域及びチャネルとして使用する拡散層上に開口 5 1 を持つようにパターンニングされたフォトレジスト 5 0 を形成する。

【 0 0 9 1 】

そして、図 4 0 に示すように、フォトレジスト 5 0 をマスクとしてシリコン窒化膜 4 7 をドライエッチングにより除去する。これにより、素子分離領域 1 6 上に形成されたシリコン窒化膜 4 7 の一部が除去され、シリコン酸化膜 4 9 と共にシリコン酸化膜 1 6 b が露出した状態となる。なお、追加の素子分離領域 4 6 上に形成されたシリコン窒化膜 4 7 は、フォトレジスト 5 0 に覆われているので除去されない。また、半導体基板 1 0 上に形成されたシリコン窒化膜 4 7 のうち、段差部分に形成されたシリコン窒化膜 4 7 の一部も除去され、シリコン窒化膜 4 7 の膜厚に応じたスリット 5 2 が形成される。スリット 5 2 の底部においては、パッド酸化膜 1 1 が露出した状態になる。シリコン窒化膜 4 7 をエッチングした後に残ったフォトレジストは、ドライエッチングにより除去する。

【 0 0 9 2 】

次に、図 4 1 に示すように、シリコン酸化膜 1 6 b 及びシリコン酸化膜 4 9 をマスクとして、半導体基板 1 0 を異方性ドライエッチングし、半導体基板 1 0 上の活性領域 1 0 i 内に深さ約 1 2 5 n m 程度のスリット 5 3 を形成する。なお、エッチングを行う前に、半導体基板 1 0 を露出させるために、シリコン酸化膜のエッチングを行い、表面に露出しているパッド酸化膜 1 1 を除去しておく必要がある。

【 0 0 9 3 】

次に、フッ酸を含んだ溶液を用いたウェットエッチングを行ってシリコン酸化膜 1 6 b 及びシリコン酸化膜 4 9 を除去し、その後、スリット 5 3 内に厚さ 5 n m 程度のシリコン酸化膜（犠牲酸化膜）を熱酸化により形成する（図示しない）。そして、約 1 6 0 の熱リン酸を用いたウェットエッチングによりシリコン窒化膜 4 7 を除去する。さらに、パッド酸化膜 1 1 が残存している状態で半導体基板 1 0 を熱酸化して、パッド酸化膜 1 1 を厚膜化し、不純物注入時のスルー酸化膜を形成する。その後、メモリセル領域の及び周辺回路領域のトランジスタのためのウェル形成及びチャネル形成のための不純物注入を行い、活性化のための熱処理を行う。不純物の注入後、前記スルー酸化膜（パッド酸化膜 1 1 ）及びスリット 5 3 内に形成されたシリコン酸化膜（犠牲酸化膜）を、再度、フッ酸を含んだ溶液を用いて除去する。以上により、半導体基板 1 0 の主面は図 4 2 に示すようにほぼ平坦な状態となる。

【 0 0 9 4 】

その後の工程は第 1 の実施形態と同様であるため、簡単に説明する。まず、図 4 3 に示すように、ゲート絶縁膜 3 0、第 1 及び第 2 のゲート電極 3 4、3 5 a 及びダミーゲート電極 3 5 b を形成する。また、メモリセルトランジスタのチャネル領域のためのボロン注入を行う。ゲート電極を構成するポリシリコン膜 3 1 をエッチングする際、オーバーエッチステップにて、セルの溝ゲート部分に埋め込まれているポリシリコンを約 3 0 n m 程度エッチングして深く掘り込む点は第 1 の実施形態と同様である。

【 0 0 9 5 】

次いで、図 4 4 に示すように、シリコン酸化膜（図示しない）とシリコン窒化膜 3 6 を順次成膜する。さらに、セルコンタクト孔形成時の S A C（Self Align Contact）マージン向上及び周辺回路領域のトランジスタの T E O S - N S G 膜上に成膜されるように、ウェハ全面にシリコン窒化膜（図示しない）を 1 3 n m 程度形成する。

【 0 0 9 6 】

その後、図 4 5 に示すように、第 1 の層間絶縁膜 3 7 を形成する。さらに、第 1 の層間絶縁膜 3 7 を貫通するコンタクトホール 3 8 を S A C により形成し、ポリシリコン膜をコ

10

20

30

40

50

ンタクトホール 38 に充填することにより、セルコンタクト 39 を形成する。

【0097】

以上により、フィン構造のセルアレイトランジスタを有する半導体装置 3 が完成する。本実施形態の半導体装置 3 を DRAM のメモリセルアレイとして構成する場合には、さらに、既存の方法を用いて周辺トランジスタのコンタクト、全てのトランジスタや部位に電位を与えるビット線、キャパシタ、配線 (Al, Cu) 等を形成する。こうして図 5 に示すような DRAM のメモリセルが完成する。なお、キャパシタ C は、セルコンタクト 39 に直接形成しても良いし、一度、他のコンタクトプラグ (例えば、ビット線の間を通す容量コンタクトプラグ等) を形成した上に作製しても良い。

【0098】

図 46 は、半導体装置 3 の変形例である半導体装置 4 の構造を示す平面図である。

【0099】

図 46 に示すように、本実施形態の半導体装置 4 は、第 2 のゲート電極 35a とダミーゲート電極 35b が交互に配列されているのではなく、2 本の第 2 のゲート電極 35a, 35a の間にダミーゲート電極 35b が挟まれており、セルトランジスタ TR はダミーゲート電極 35b を中心として対称なレイアウトを有している。つまり、図 30 に示した半導体装置 2 と同様のレイアウトとなっている。第 2 の実施形態による半導体装置 3 では、図 31 に示すように対称なレイアウトとなる $8F^2$ セルを使用したのが、変形例による半導体装置 4 によれば、 $6F^2$ セルに変更することができ、さらなる微細化を行うことができる。さらに、第 1 のゲート電極 34 が拡散層を囲う構造となっているため、第 1 の実施形態の場合よりもオン電流の増加が期待できる。

【0100】

次に、DRAM の記憶素子であるキャパシタ C の代わりに相変化素子を用いた半導体装置のデバイス構造について説明する。

【0101】

図 47 は、本発明の好ましい他の実施形態による半導体装置のデバイス構造を示す略断面図である。

【0102】

図 47 に示すように、本実施形態の特徴は、図 2 に示したメモリセル MC の記憶素子として相変化素子 P c を用いる点にある。相変化素子 P c は、セルコンタクト 39 を介して第 2 の拡散層領域 22b に接続された下部電極 (ヒータープラグ) 91 と、プレート配線 PL に接続された上部電極 93 と、下部電極 91 と上部電極 93 との間に設けられた記録層 92 によって構成されている。

【0103】

記録層 92 には相変化材料が用いられる。相変化材料としては、2 以上の相状態を取り、且つ、相状態によって電気抵抗が異なる材料であれば特に制限されないが、いわゆるカルコゲナイド材料を選択することが好ましい。カルコゲナイド材料とは、ゲルマニウム (Ge)、アンチモン (Sb)、テルル (Te)、インジウム (In)、セレン (Se) 等の元素を少なくとも一つ以上含む合金を指す。一例として、GaSb、InSb、InSe、 Sb_2Te_3 、GeTe 等の 2 元系元素、 $Ge_2Sb_2Te_5$ 、InSbTe、GaSeTe、 $SnSb_2Te_4$ 、InSbGe 等の 3 元系元素、 $AgInSbTe$ 、 $(GeSn)SbTe$ 、 $GeSb(SeTe)$ 、 $Te_{8-1}Ge_{1-5}Sb_2S_2$ 等の 4 元系元素を挙げることができる。本実施形態においては特に、 $Ge_2Sb_2Te_5$ (GST) を選択することが好ましい。記録層 92 の膜厚は特に限定されないが、本実施形態では、例えば 10 ~ 200 nm に設定することができる。記録層 92 の成膜方法としては、スパッタリング法を用いることができる。

【0104】

下部電極 91 はヒータープラグとして用いられ、データの書き込み時において発熱体の一部となる。このため、下部電極 91 の材料としては、電気抵抗の比較的高い材料、例えば、メタルシリサイド、メタル窒化物、メタルシリサイドの窒化物など用いることが好ま

10

20

30

40

50

しい。特に限定されるものではないが、W、TiN、TaN、WN、TiAlNなどの高融点金属及びその窒化物、或いは、TiSiN、WSiNなどの高融点金属シリサイドの窒化物、さらには、TiCN等の材料を好ましく用いることができる。

【0105】

上部電極93は、記録層92のパターニング時に記録層92を保護する役割を果たす。また、上部電極93の材料としては、通電により生じた熱が逃げにくいよう、熱伝導性の比較的低い材料を用いることが好ましい。具体的には、下部電極91と同様、TiAlN、TiSiN、TiCN等の材料を好ましく用いることができる。

【0106】

以上のような構造を有する半導体装置は、図示しないワードドライバによって複数のワード線WLのいずれか1本を活性化し、この状態でビット線の少なくとも1本に電流を流すことによって、データの書き込み及び読み出しを行うことができる。つまり、対応するワード線が活性化しているメモリセルMCでは、セルトランジスタTRがオンするため、対応するビット線は、相変化素子Pcを介してビット線BLに接続された状態となる。したがって、この状態で所定のビット線BLに書き込み電流を流せば、相変化素子Pcに含まれる記録層92を結晶相又はアモルファス相に変化させることができる。また、ビット線BLに読み出し電流を流せば、相変化素子Pcに含まれる記録層92が結晶相であるかアモルファス相であるかによって電流値が異なることから、これに基づいてデータを読み出すことができる。

10

【0107】

図48は、本発明の好ましい実施形態による半導体装置を用いたデータ処理システム100の構成を示すブロック図であり、本実施形態による半導体装置がDRAMである場合を示している。

20

【0108】

図48に示すデータ処理システム100は、データプロセッサ120と、本実施形態による半導体装置(DRAM)130が、システムバス110を介して相互に接続された構成を有している。データプロセッサ120としては、例えば、マイクロプロセッサ(MPU)、デジタルシグナルプロセッサ(DSP)などを含まれるが、これらに限定されない。図48においては簡単のため、システムバス110を介してデータプロセッサ120とDRAM130とが接続されているが、システムバス110を介さずにローカルなバスによってこれらが接続されていても構わない。

30

【0109】

また、図48には、簡単のためシステムバス110が1組しか描かれていないが、必要に応じ、コネクタなどを介しシリアルないしパラレルに設けられていても構わない。また、図48に示すメモリシステムデータ処理システムでは、ストレージデバイス140、I/Oデバイス150、ROM160がシステムバス110に接続されているが、これらは必ずしも必須の構成要素ではない。

【0110】

ストレージデバイス140としては、ハードディスクドライブ、光学ディスクドライブ、フラッシュメモリなどが挙げられる。また、I/Oデバイス150としては、液晶ディスプレイなどのディスプレイデバイスや、キーボード、マウスなどの入力デバイスなどが挙げられる。また、I/Oデバイス150は、入力デバイス及び出力デバイスのいずれか一方のみであっても構わない。さらに、図48に示す各構成要素は、簡単のため1つずつ描かれているが、これに限定されるものではなく、1又は2以上の構成要素が複数個設けられていても構わない。

40

【0111】

以上、本発明の好ましい実施形態について説明したが、本発明は、上記の実施形態に限定されることなく、本発明の主旨を逸脱しない範囲で種々の変更が可能であり、それらも本発明の範囲内に包含されるものであることはいうまでもない。

【0112】

50

例えば、上記各実施形態では、コンタクトホール38形成後、リン(P)を多量に含んだポリシリコン膜をすぐに埋め込むことでセルコンタクト39を形成しているが、コンタクト抵抗低減のため、コンタクトホール38の形成後、まずシリコン膜を50nm程度エピタキシャル成長させ、このシリコン膜にリン(P)、ヒ素(As)等の不純物を高濃度(例えば、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 程度)に注入した後、ポリシリコン膜をさらに埋め込んでよい。

【0113】

また、コンタクトホール38を埋め込む材料はポリシリコン膜に限定されず、セルコンタクト39の低抵抗化のために、例えばタングステンシリサイド(WSi_2)、コバルトシリサイド(CoSi_2)等のシリサイド膜や、タングステン(W)などの高融点金属を用いてもよい。ただし、高融点金属を用いる場合は、金属の拡散を防止する窒化チタン(TiN)、窒化タングステン(WN_2)や窒化(TaN)等のバリアメタルを用いる必要がある。上記のシリサイド膜や高融点金属を使用した場合、コンタクト抵抗低減のため、コンタクトホール38の形成後、まずシリコン膜を50nm程度エピタキシャル成長させ、このシリコン膜にリン(P)、ヒ素(As)等の不純物を高濃度(例えば、 $1.0 \times 10^{15} \text{ cm}^{-3}$ 程度)に注入することが好ましい。

【図面の簡単な説明】

【0114】

【図1】図1は、本発明の好ましい第1の実施形態による半導体装置1の構造を示す略平面図である。

【図2】図2(a)は図1に示すA-A'線に沿った略断面図であり、図2(b)は図1に示すB-B'線に沿った略断面図であり、図2(c)は図1に示すC-C'線に沿った略断面図であり、図2(d)は図1に示すD-D'線に沿った略断面図である。

【図3】図3(a)は一つのMOSトランジスタの構造を説明するための模式的な斜視図であり、図3(b)は図3(a)から第2のゲート電極35aを削除した状態を示している。

【図4】図4は、DRAMのメモリセルMCの基本構造を示す回路図である。

【図5】図5は、上記セルトランジスタTRを用いたDRAMのメモリセル構造を示す略断面図である。

【図6】図6は、本発明の第1の実施形態による半導体装置1の製造方法を説明するための工程図(パッド酸化膜11及びフィールド窒化膜12の形成)である。

【図7】図7は、本発明の第1の実施形態による半導体装置1の製造方法を説明するための工程図(パッド酸化膜11及びフィールド窒化膜12のパターニング)である。

【図8】図8は、本発明の第1の実施形態による半導体装置1の製造方法を説明するための工程図(トレンチ14の形成)である。

【図9】図9は、本発明の第1の実施形態による半導体装置1の製造方法を説明するための工程図(犠牲酸化膜15及びシリコン酸化膜16aの形成)である。

【図10】図10は、本発明の第1の実施形態による半導体装置1の製造方法を説明するための工程図(犠牲酸化膜15及びシリコン酸化膜16aの部分的な除去)である。

【図11】図11は、本発明の第1の実施形態による半導体装置1の製造方法を説明するための工程図(SOG膜17の形成)である。

【図12】図12は、本発明の第1の実施形態による半導体装置1の製造方法を説明するための工程図(SOG膜17の部分的な除去)である。

【図13】図13は、本発明の第1の実施形態による半導体装置1の製造方法を説明するための工程図(シリコン酸化膜18の形成)である。

【図14】図14は、本発明の第1の実施形態による半導体装置1の製造方法を説明するための工程図(SOG膜17の除去)である。

【図15】図15は、本発明の第1の実施形態による半導体装置1の製造方法を説明するための工程図(空洞20の形成)である。

【図16】図16は、本発明の第1の実施形態による半導体装置1の製造方法を説明する

10

20

30

40

50

ための工程図（埋め込み配線 2 1 の形成）である。

【図 1 7】図 1 7 は、本発明の第 1 の実施形態による半導体装置 1 の製造方法を説明するための工程図（シリコン酸化膜 1 6 b の形成）である。

【図 1 8】図 1 8 は、本発明の第 1 の実施形態による半導体装置 1 の製造方法を説明するための工程図（フィールド窒化膜 1 3 の除去）である。

【図 1 9】図 1 9 は、本発明の第 1 の実施形態による半導体装置 1 の製造方法を説明するための工程図（シリコン窒化膜 2 3 の形成）である。

【図 2 0】図 2 0 は、本発明の第 1 の実施形態による半導体装置 1 の製造方法を説明するための工程図（シリコン酸化膜 2 5 の埋め込み）である。

【図 2 1】図 2 1 は、本発明の第 1 の実施形態による半導体装置 1 の製造方法を説明するための工程図（フォトレジスト 2 6 の形成）である。

【図 2 2】図 2 2 は、本発明の第 1 の実施形態による半導体装置 1 の製造方法を説明するための工程図（スリット 2 8 の形成）である。

【図 2 3】図 2 3 は、本発明の第 1 の実施形態による半導体装置 1 の製造方法を説明するための工程図（スリット 2 9 の形成）である。

【図 2 4】図 2 4 は、本発明の第 1 の実施形態による半導体装置 1 の製造方法を説明するための工程図（基板表面の平坦化）である。

【図 2 5】図 2 5 は、本発明の第 1 の実施形態による半導体装置 1 の製造方法を説明するための工程図（ゲート絶縁膜 3 0 の形成）である。

【図 2 6】図 2 6 は、本発明の第 1 の実施形態による半導体装置 1 の製造方法を説明するための工程図（第 1 及び第 2 のゲート電極 3 4 , 3 5 の形成）である。

【図 2 7】図 2 7 は、本発明の第 1 の実施形態による半導体装置 1 の製造方法を説明するための工程図（シリコン窒化膜 3 6 の形成）である。

【図 2 8】図 2 8 は、本発明の第 1 の実施形態による半導体装置 1 の製造方法を説明するための工程図（第 1 の層間絶縁膜 3 7 及びセルコンタクト 3 9 の形成）である。

【図 2 9】図 2 9 は、埋め込み配線（埋め込みビット線）2 1 の構造を示す平面図である。

【図 3 0】図 3 0 は、半導体装置 1 の変形例である半導体装置 2 の構造を示す平面図である。

【図 3 1】図 3 1 は、本発明の好ましい第 2 の実施形態による半導体装置 3 の構造を示す略平面図である。

【図 3 2】図 3 2 は、図 3 1 における活性領域 1 0 i のレイアウトを示す略平面図である。

【図 3 3】図 3 3 (a) は一つの M O S トランジスタの構造を説明するための模式的な斜視図であり、図 3 3 (b) は図 3 (a) から第 2 のゲート電極 3 5 a を削除した状態を示している。

【図 3 4】図 3 4 は、本発明の第 2 の実施形態による半導体装置 3 の製造方法を説明するための工程図（トレンチ 4 4 の形成）である。

【図 3 5】図 3 5 は、本発明の第 2 の実施形態による半導体装置 3 の製造方法を説明するための工程図（犠牲酸化膜 4 5 及びシリコン酸化膜 4 6 b の形成）である。

【図 3 6】図 3 6 は、本発明の第 2 の実施形態による半導体装置 3 の製造方法を説明するための工程図（フィールド窒化膜 1 2 の除去）である。

【図 3 7】図 3 7 は、本発明の第 2 の実施形態による半導体装置 3 の製造方法を説明するための工程図（シリコン窒化膜 4 7 の形成）である。

【図 3 8】図 3 8 は、本発明の第 2 の実施形態による半導体装置 3 の製造方法を説明するための工程図（シリコン酸化膜 4 9 の埋め込み）である。

【図 3 9】図 3 9 は、本発明の第 2 の実施形態による半導体装置 3 の製造方法を説明するための工程図（フォトレジスト 5 0 の形成）である。

【図 4 0】図 4 0 は、本発明の第 2 の実施形態による半導体装置 3 の製造方法を説明するための工程図（スリット 5 3 の形成）である。

10

20

30

40

50

【図４１】図４１は、本発明の第２の実施形態による半導体装置３の製造方法を説明するための工程図（スリット５４の形成）である。

【図４２】図４２は、本発明の第２の実施形態による半導体装置３の製造方法を説明するための工程図（基板表面の平坦化）である。

【図４３】図４３は、本発明の第２の実施形態による半導体装置３の製造方法を説明するための工程図（ゲート絶縁膜３０、第１及び第２のゲート電極３４、３５の形成）である。

【図４４】図４４は、本発明の第２の実施形態による半導体装置３の製造方法を説明するための工程図（シリコン窒化膜３６の形成）である。

【図４５】図４５は、本発明の第２の実施形態による半導体装置３の製造方法を説明するための工程図（半導体装置３の完成）である。

【図４６】図４６は、半導体装置３の変形例である半導体装置４の構造を示す平面図である。

【図４７】図４７は、本発明の好ましい他の実施形態による半導体装置のデバイス構造を示す略断面図である。

【図４８】図４８は、本発明の好ましい実施形態による半導体装置を用いたデータ処理システム１００の構成を示すブロック図であり、本実施形態による半導体装置がＤＲＡＭである場合を示している。

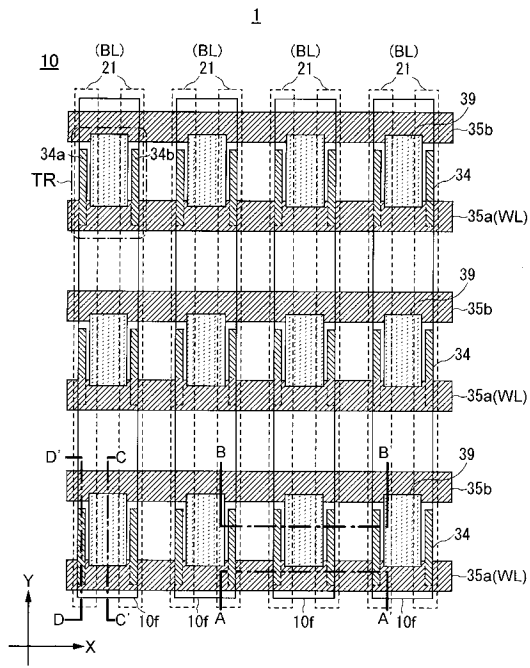
【符号の説明】

【０１１５】

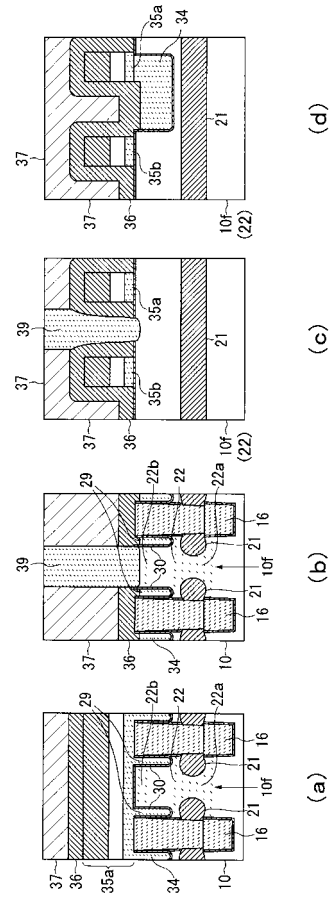
1	半導体装置	
2	半導体装置	
3	半導体装置	
4	半導体装置	
10	半導体基板（シリコンウェハー）	
10f	フィン状の活性領域	
10i	島状の活性領域	
11	シリコン酸化膜（パッド酸化膜）	
12	シリコン窒化膜（フィールド窒化膜）	
13	開口パターン	30
14	トレンチ	
15	犠牲酸化膜	
16a	シリコン酸化膜	
16b	シリコン酸化膜	
16	素子分離領域	
17	SOG膜	
18	シリコン酸化膜	
19	露出面	
20	空洞	
21	埋め込み配線（下部電極）	40
22	チャネル領域	
22a	第１の拡散層領域	
22b	第２の拡散層領域	
23	シリコン窒化膜	
24	凹部	
25	シリコン酸化膜	
26	フォトレジスト	
27	フォトレジストの開口	
28	スリット	
29	スリット	50

2 9	ポリシリコンプラグ	
3 0	ゲート絶縁膜	
3 1	ポリシリコン膜	
3 1	開口	
3 2	多層導電膜	
3 3	シリコン窒化膜	
3 4	第 1 のゲート電極	
3 4 a	第 1 のゲート電極の第 1 の部分	
3 4 b	第 1 のゲート電極の第 2 の部分	
3 4 c	第 1 のゲート電極の第 3 の部分	10
3 4 d	第 1 のゲート電極の第 4 の部分	
3 5 a	第 2 のゲート電極	
3 5 b	ダミーゲート電極	
3 6	シリコン窒化膜	
3 7	層間絶縁膜	
3 8	コンタクトホール	
3 9	セルコンタクト	
4 4	トレンチ	
4 6	追加の素子分離領域	
4 5	シリコン酸化膜	20
4 6	シリコン酸化膜	
4 7	シリコン窒化膜	
4 8	凹部	
4 9	シリコン酸化膜	
5 0	フォトレジスト	
5 1	フォトレジストの開口	
5 2	スリット	
5 3	スリット	
6 0	層間絶縁膜	
6 0 a	空洞	30
6 1	下部電極	
6 2	容量絶縁膜	
6 3	上部電極	
9 1	下部電極	
9 2	記録層	
9 3	上部電極	
1 0 0	データ処理システム	
1 1 0	システムバス	
1 2 0	データプロセッサ	
1 4 0	ストレージデバイス	40
1 5 0	I/O デバイス	
B L	ビット線	
C	セルキャパシタ	
M C	メモリセル	
P c	相変化素子	
P L	プレート配線	
T R	セルトランジスタ	
W D	ワードドライバ	
W L	ワード線	

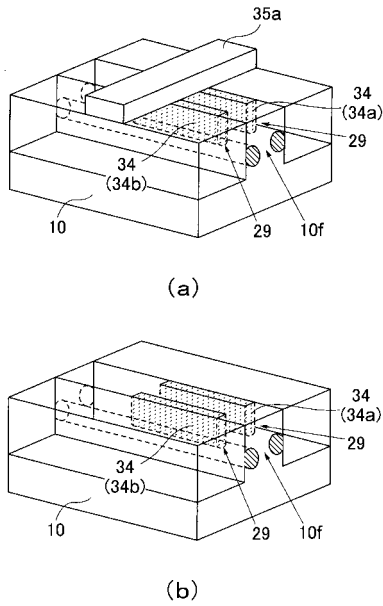
【 図 1 】



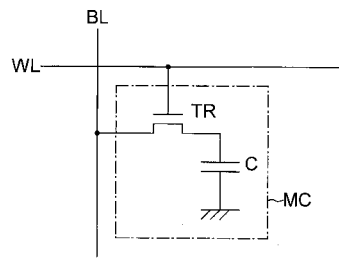
【 図 2 】



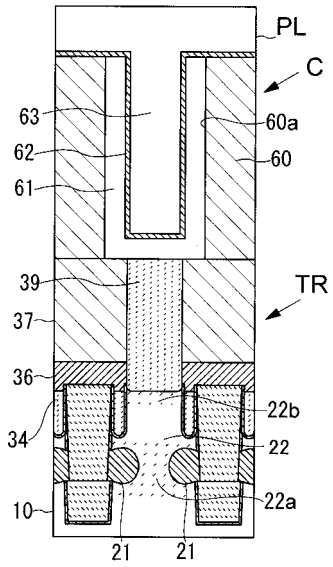
【 図 3 】



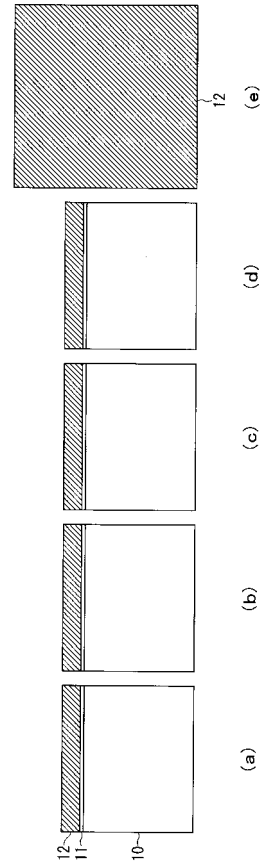
【 図 4 】



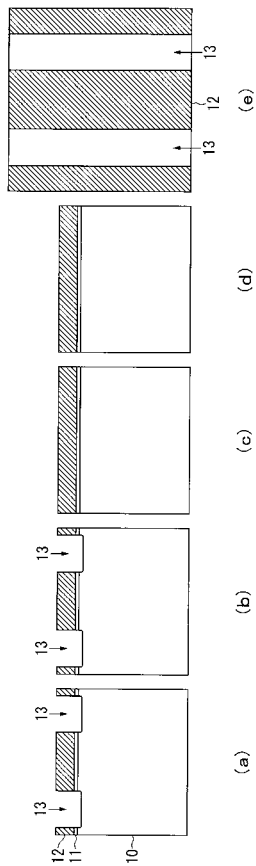
【 図 5 】



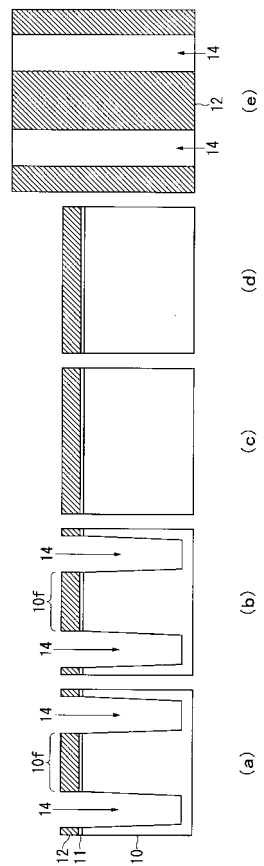
【 図 6 】



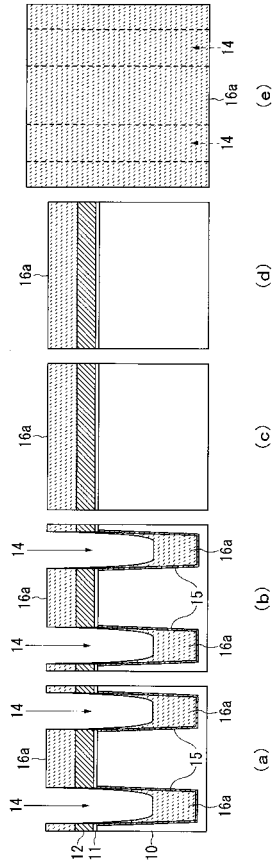
【 図 7 】



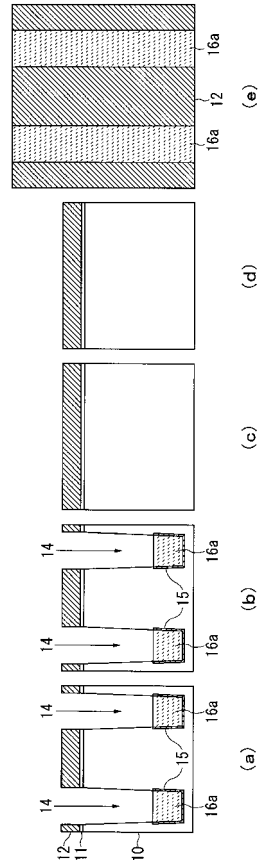
【 図 8 】



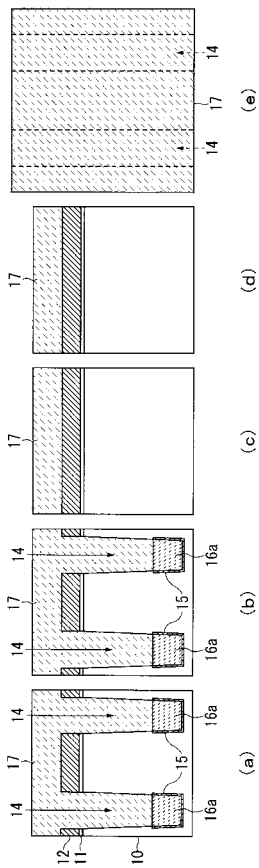
【 図 9 】



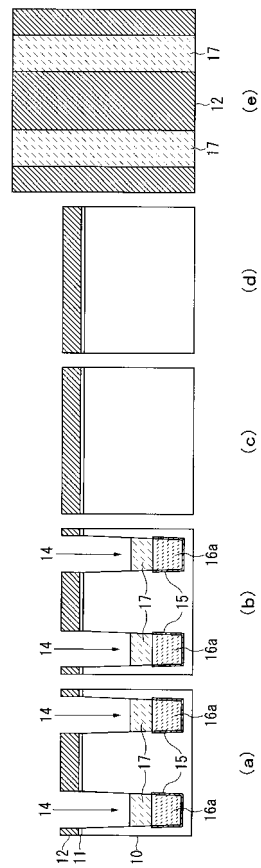
【 図 10 】



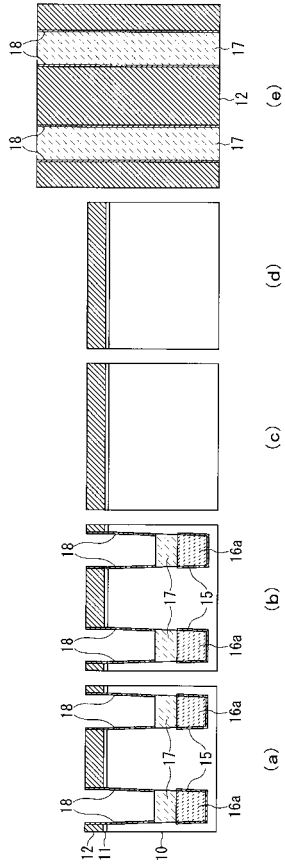
【 図 11 】



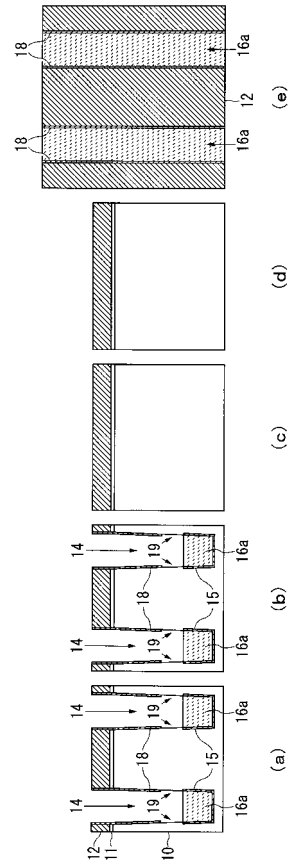
【 図 12 】



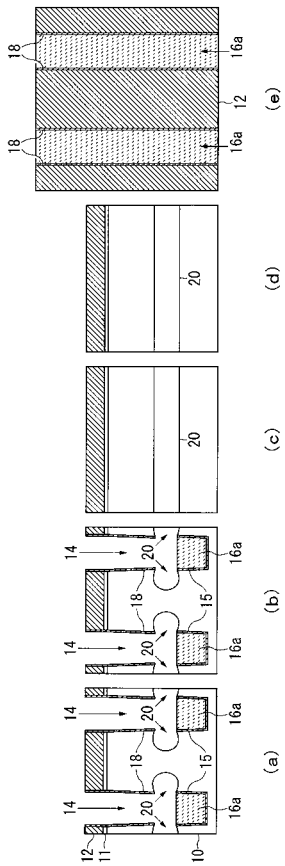
【 図 1 3 】



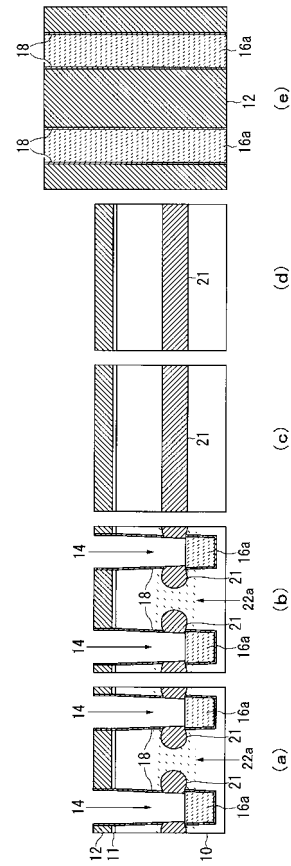
【 図 1 4 】



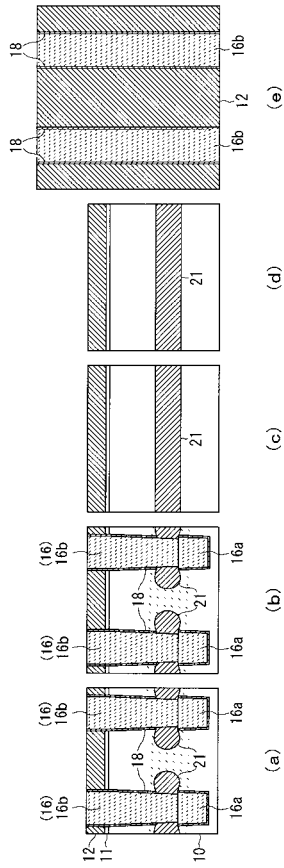
【 図 1 5 】



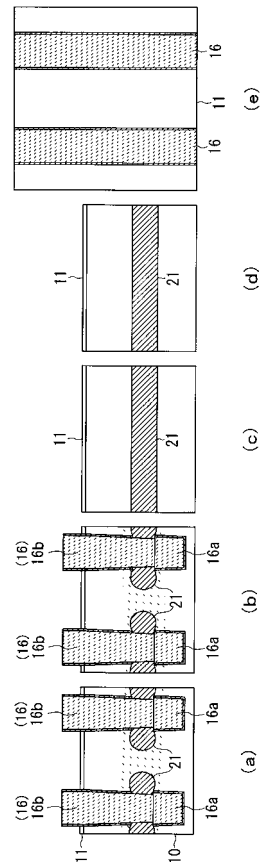
【 図 1 6 】



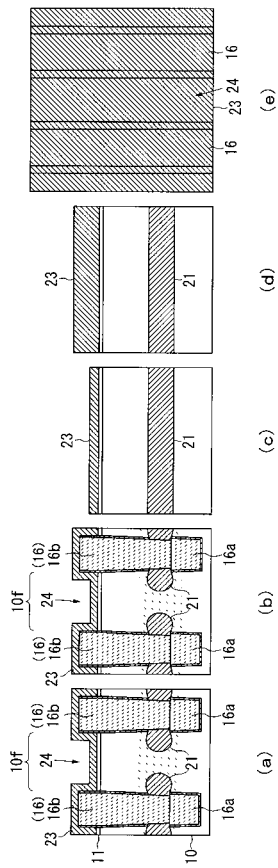
【 図 17 】



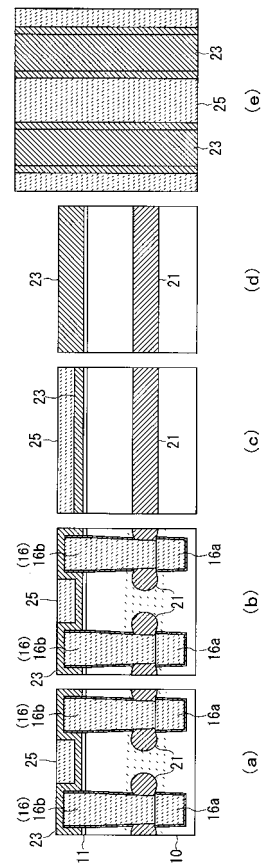
【 図 18 】



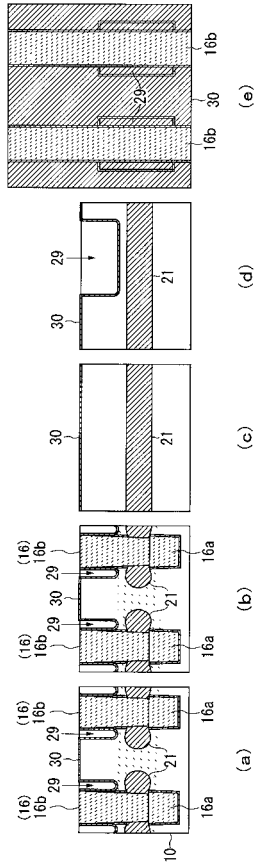
【 図 19 】



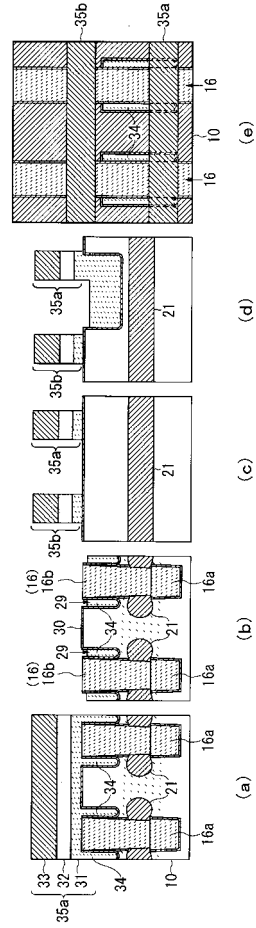
【 図 20 】



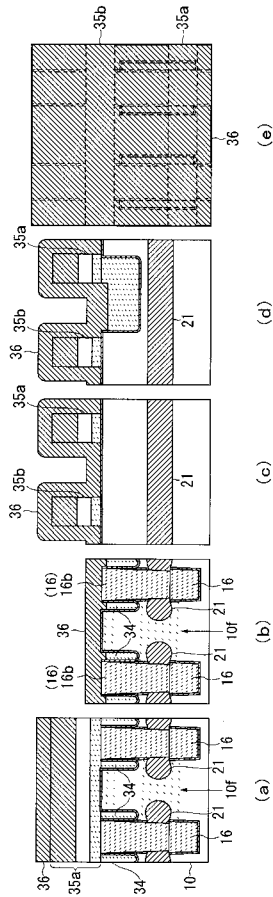
【 図 2 5 】



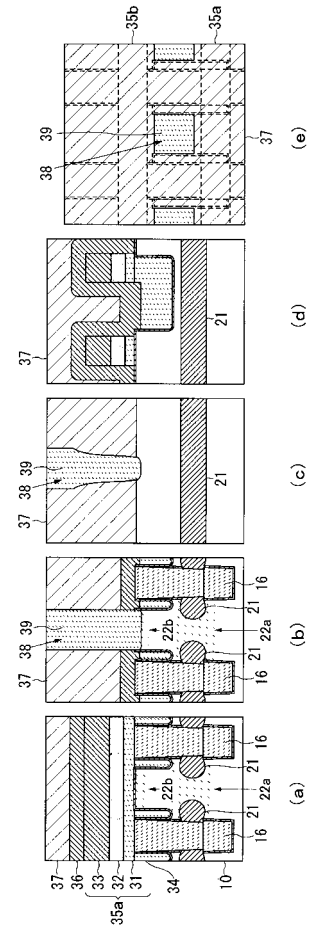
【 図 2 6 】



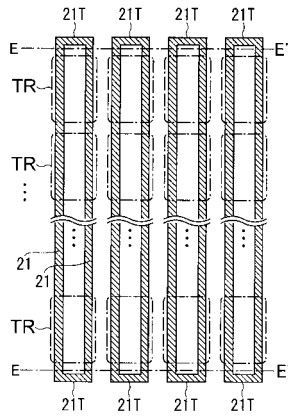
【 図 2 7 】



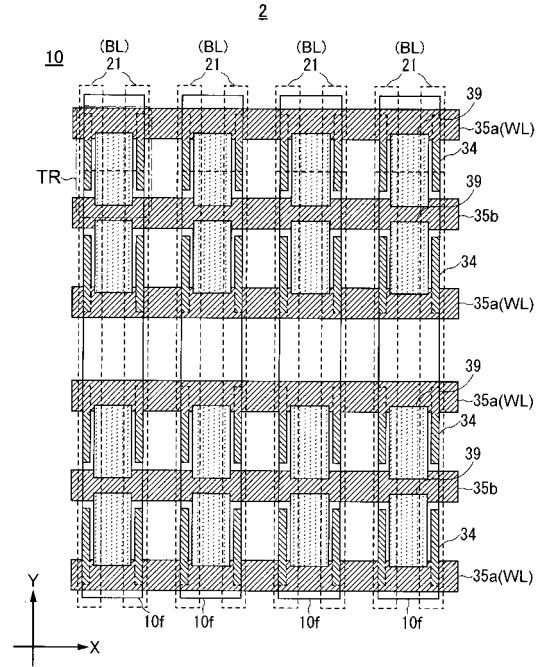
【 図 2 8 】



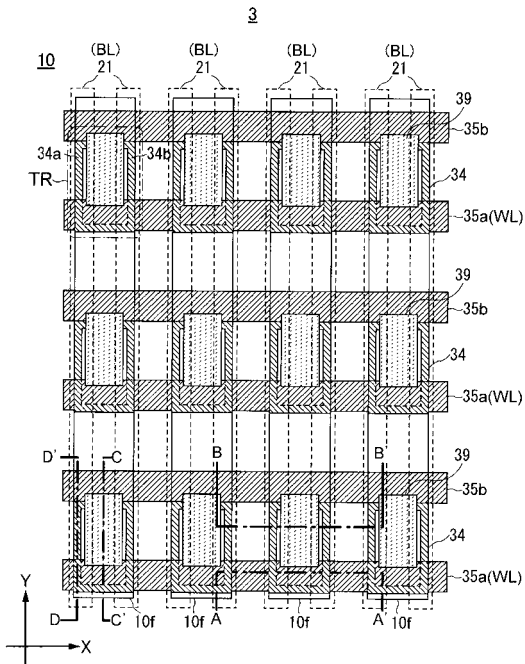
【 図 2 9 】



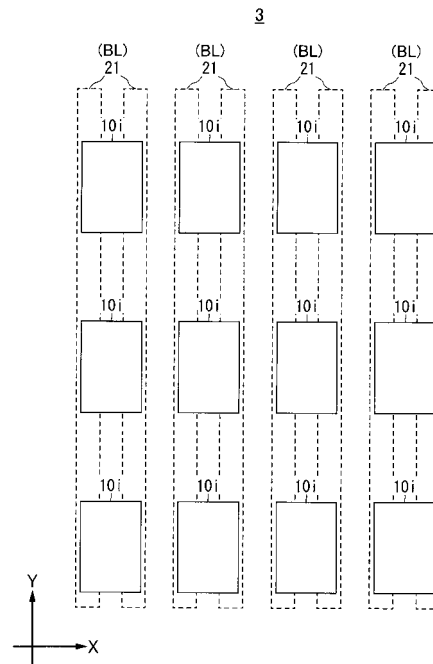
【 図 3 0 】



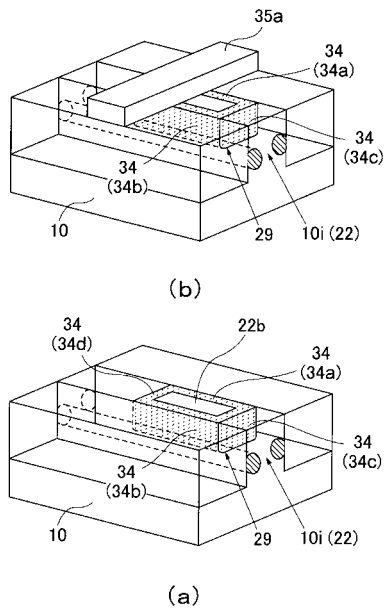
【 図 3 1 】



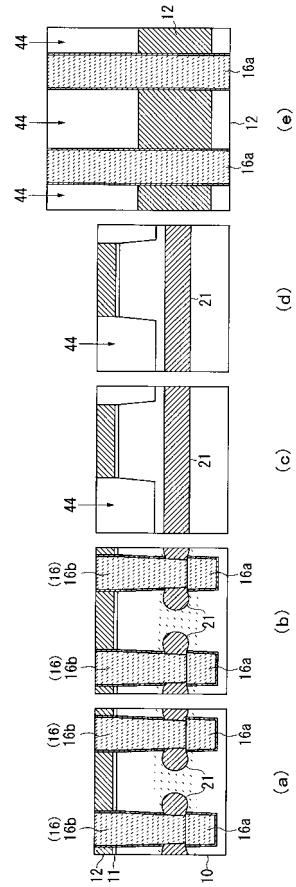
【 図 3 2 】



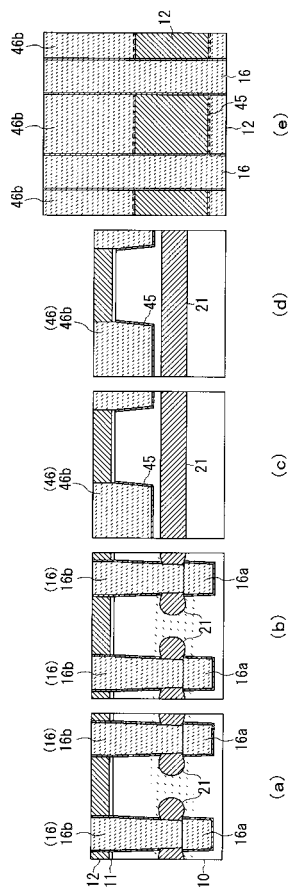
【 図 3 3 】



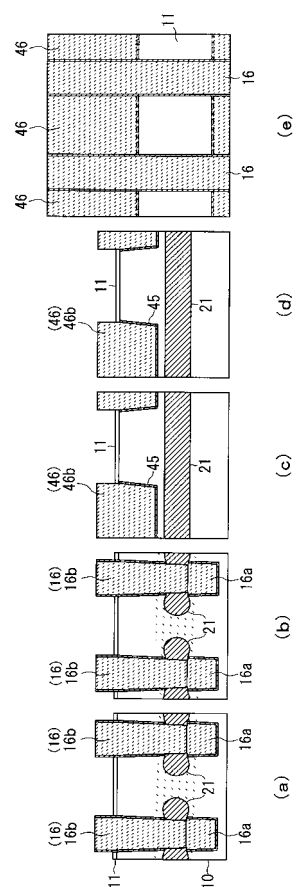
【 図 3 4 】



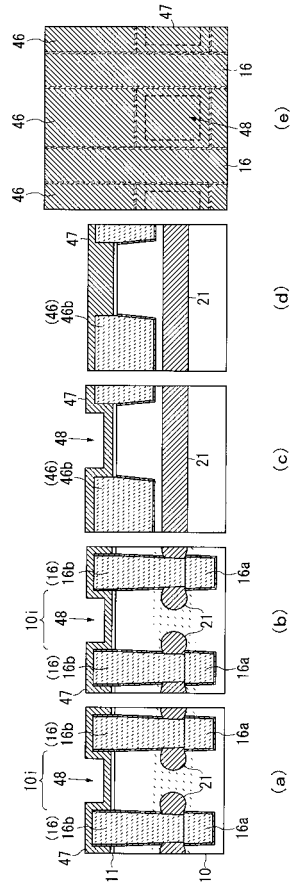
【 図 3 5 】



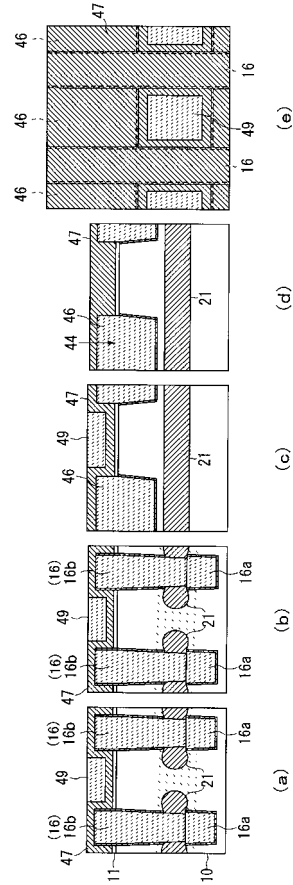
【 図 3 6 】



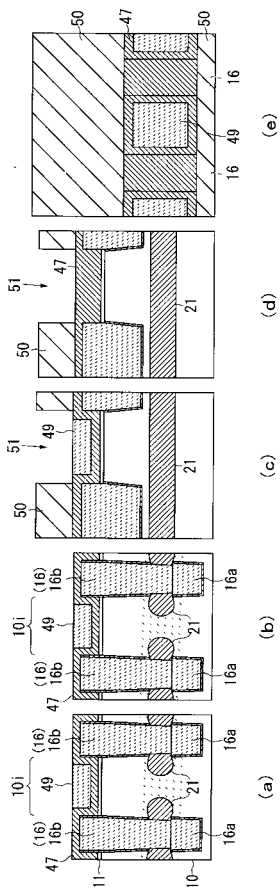
【 図 3 7 】



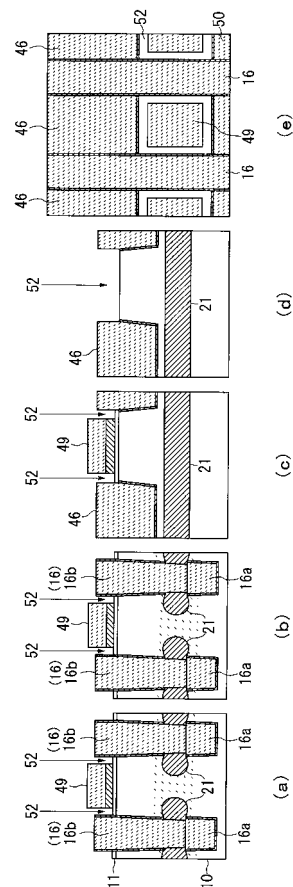
【 図 3 8 】



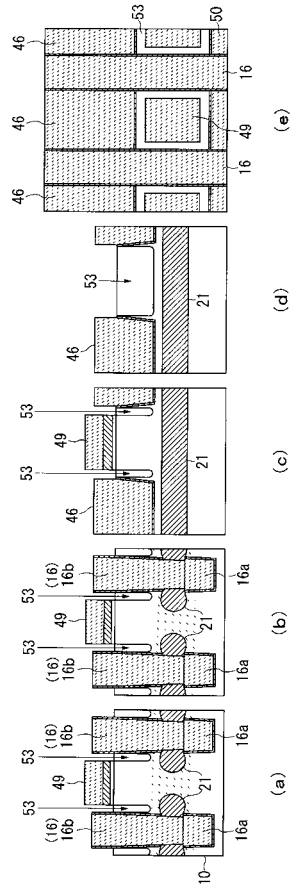
【 図 3 9 】



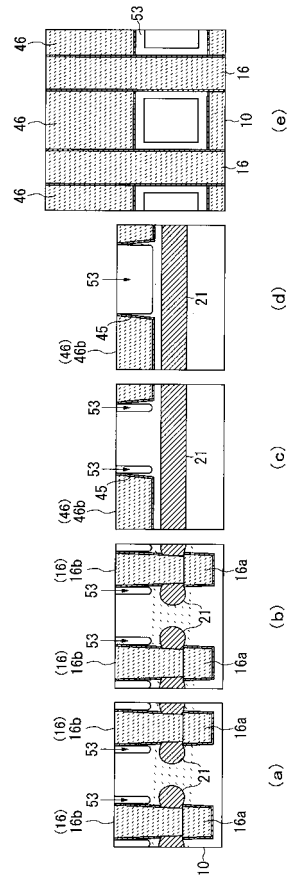
【 図 4 0 】



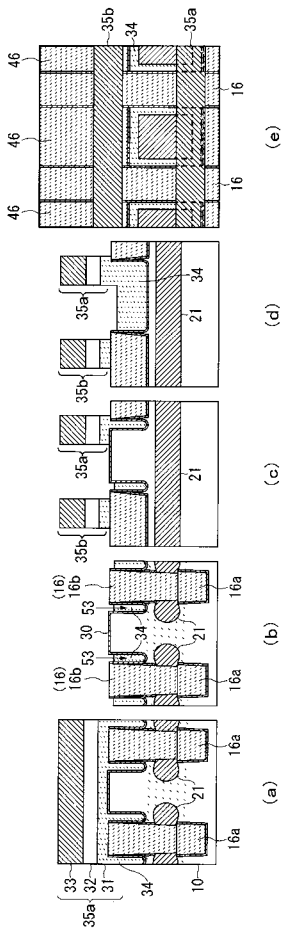
【 図 4 1 】



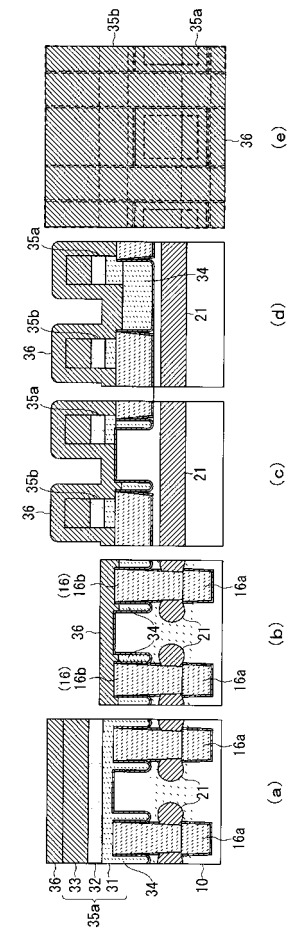
【 図 4 2 】



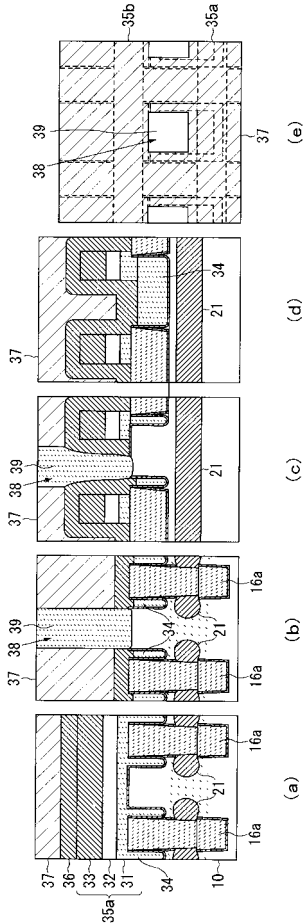
【 図 4 3 】



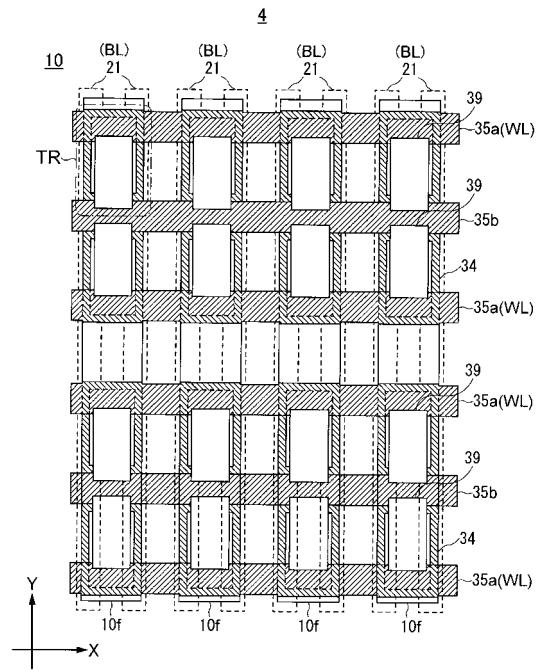
【 図 4 4 】



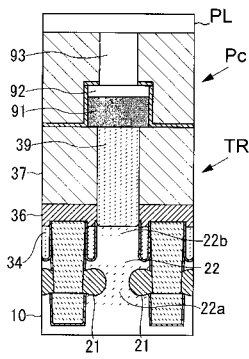
【 図 4 5 】



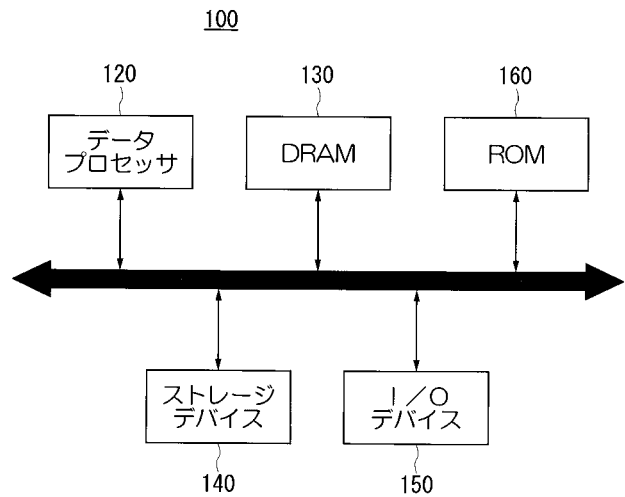
【 図 4 6 】



【 図 4 7 】



【 図 4 8 】



フロントページの続き

(51)Int.Cl.	F I	テーマコード(参考)
H 0 1 L 21/8234 (2006.01)	H 0 1 L 45/00	A
H 0 1 L 27/088 (2006.01)	H 0 1 L 27/08	1 0 2 E
	H 0 1 L 27/08	1 0 2 H

Fターム(参考)	5F083	AD03	AD04	AD24	AD49	FZ10	GA06	GA09	GA10	GA27	JA35
		JA36	JA37	JA39	JA40	JA56	JA60	KA07	KA08	LA01	LA12
		LA16	LA19	MA02	MA06	MA17	MA19	MA20	NA01	PR03	PR05
		PR06	PR29	PR33	PR36	PR40	PR42	PR52	ZA06	ZA28	
	5F140	AA39	AA40	AB01	AC23	AC32	BA01	BB04	BD17	BE07	BE08
		BF04	BF18	BF22	BF27	BF30	BF43	BG28	BG31	BG38	BG39
		BH05	BH13	BH15	BH26	BH28	BH30	BH49	BJ04	BJ07	BJ08
		BJ27	BK09	BK12	BK13	BK16	BK27	BK38	CB04	CB08	CC07
		CC20	CE06	CE07							