

(12) 특허협력조약에 의하여 공개된 국제출원

(19) 세계지식재산권기구
국제사무국

(43) 국제공개일
2019년 5월 9일 (09.05.2019)



(10) 국제공개번호
WO 2019/088563 A1

- (51) 국제특허분류:
H05K 3/28 (2006.01) *H01L 23/498* (2006.01)
H05K 1/14 (2006.01)
- (21) 국제출원번호: PCT/KR2018/012687
- (22) 국제출원일: 2018년 10월 25일 (25.10.2018)
- (25) 출원언어: 한국어
- (26) 공개언어: 한국어
- (30) 우선권정보:
10-2017-0145443 2017년 11월 2일 (02.11.2017) KR
- (71) 출원인: 엘지이노텍 주식회사 (**LG INNOTEK CO., LTD.**) [KR/KR]; 04637 서울시 중구 후암로 98, Seoul (KR).
- (72) 발명자: 임준영 (**LIM, Jun Young**); 04637 서울시 중구 후암로 98, Seoul (KR). 윤형규 (**YOON, Hyung Kyu**); 04637 서울시 중구 후암로 98, Seoul (KR). 채성민 (**CHAE, Sung Min**); 04637 서울시 중구 후암로 98, Seoul (KR).
- (74) 대리인: 허용록 (**HAW, Yong Noke**); 06252 서울시 강남구 역삼로 114 현죽빌딩 6층, Seoul (KR).
- (81) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JO, JP, KE, KG, KH, KN, KP, KW, KZ,

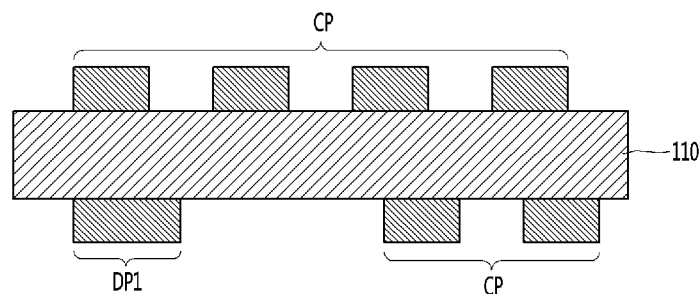
LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.

- (84) 지정국 (별도의 표시가 없는 한, 가능한 모든 종류의 국내 권리의 보호를 위하여): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 유라시아 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 유럽 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

공개:
— 국제조사보고서와 함께 (조약 제21조(3))

(54) Title: FLEXIBLE CIRCUIT BOARD AND CHIP PACKAGE COMPRISING SAME

(54) 발명의 명칭: 연성 회로기판 및 이를 포함하는 칩 패키지



(57) Abstract: A flexible circuit board according to an embodiment of the present invention comprises: a substrate; a first wiring pattern layer disposed on a first surface of the substrate; a second wiring pattern layer disposed on a second surface opposite the first surface of the substrate; a first dummy pattern part disposed on the second surface of the substrate on which the second wiring pattern layer is not disposed; a first protection layer disposed on the first wiring pattern layer; and a second protection layer disposed on the second wiring pattern layer and the first dummy pattern part, wherein at least a part of the first dummy pattern part overlaps with the first wiring pattern layer in a vertical direction.

(57) 요약서: 본 발명의 실시 예에 따른 연성 회로기판은 기판; 상기 기판의 제 1 면 상에 배치되는 제 1 배선 패턴층; 상기 기판의 상기 제 1 면과 반대되는 제 2 면 상에 배치되는 제 2 배선 패턴층; 상기 제 2 배선 패턴층이 배치되지 않은 상기 기판의 상기 제 2 면 상에 배치되는 제 1 더미 패턴부; 상기 제 1 배선 패턴층 상에 배치되는 제 1 보호층; 및 상기 제 2 배선 패턴층 및 상기 제 1 더미 패턴부 상에 배치되는 제 2 보호층을 포함하고, 상기 제 1 더미 패턴부의 적어도 일부는, 상기 제 1 배선 패턴층과 수직 방향으로 중첩된다.



WO 2019/088563 A1

명세서

발명의 명칭: 연성 회로기판 및 이를 포함하는 칩 패키지 기술분야

- [1] 실시 예는 올인원 칩 온 필름용 연성 회로기판 및 이를 포함하는 칩 패키지에 관한 것이다.
- [2] 자세하게, 실시 예는 서로 다른 종류의 칩을 하나의 기판상에 실장할 수 있는 연성 회로기판 및 이를 포함하는 칩 패키지일 수 있다.

배경기술

- [3] 최근 다양한 전자 제품이 얇고, 소형화, 경량화되고 있다. 이에 따라, 전자 디바이스의 좁은 영역에 고밀도로 반도체 칩을 실장하기 위한 다양한 연구가 진행되고 있다.
- [4] 그 중에서도, COF(Chip On Film) 방식은 플렉서블 기판을 사용하기 때문에, 평판 디스플레이 및 플렉서블 디스플레이에 모두 적용될 수 있다. 즉, COF 방식은 다양한 웨어러블 전자기기에 적용될 수 있다는 점에서 각광받고 있다. 또한, COF 방식은 미세한 피치를 구현할 수 있기 때문에, 화소수의 증가에 따른 고해상도(QHD)의 디스플레이를 구현하는데 사용될 수 있다.
- [5] COF(Chip On Film)는 반도체 칩을 얇은 필름 형태의 연성 회로기판에 장착하는 방식이다. 예를 들어, 반도체 칩은 직접회로(Integrated Circuit, IC) 칩 또는 대규모 직접회로(Large Scale Integrated circuit, LSI) 칩일 수 있다.
- [6] 한편, 최근 전자 제품의 소형화, 박형화 및 경량화 추세에 대응하기 위하여, 고밀도 반도체 칩 실장 기술로서, 플렉서블 기판을 이용한 다양한 칩 온 필름 패키지 기술들이 제안되고 있다.

발명의 상세한 설명

기술적 과제

- [7] 실시 예는, 복수의 칩을 하나의 기판에 실장할 수 있는 올인원 칩 온 필름용 연성 회로기판 및 이를 포함하는 칩 패키지, 및 이를 포함하는 전자 디바이스를 제공하고자 한다.
- [8] 실시 예는, 솔더 레지스트 인쇄시에 발생하는 핀-홀을 제거할 수 있는 올인원 칩 온 필름용 연성 회로기판 및 이를 포함하는 칩 패키지, 및 이를 포함하는 전자 디바이스를 제공하고자 한다.
- [9] 실시 예는, 솔더 레지스트의 인쇄 공정을 고려하여 제품 디자인을 설계할 수 있는 올인원 칩 온 필름용 연성 회로기판 및 이를 포함하는 칩 패키지, 및 이를 포함하는 전자 디바이스를 제공하고자 한다.
- [10] 제안되는 실시 예에서 이루고자 하는 기술적 과제들은 이상에서 언급한 기술적 과제들로 제한되지 않으며, 언급되지 않은 또 다른 기술적 과제들은 아래의 기재로부터 제안되는 실시 예가 속하는 기술분야에서 통상의 지식을 가진

자에게 명확하게 이해될 수 있을 것이다.

과제 해결 수단

- [11] 본 발명의 실시 예에 따른 연성 회로기판은 기판; 상기 기판의 제 1 면 상에 배치되는 제 1 배선 패턴층; 상기 기판의 상기 제 1면과 반대되는 제 2 면 상에 배치되는 제 2 배선 패턴층; 상기 제 2 배선 패턴층이 배치되지 않은 상기 기판의 상기 제 2 면 상에 배치되는 제 1 더미 패턴부; 상기 제 1 배선 패턴층 상에 배치되는 제 1 보호층; 및 상기 제 2 배선 패턴층 및 상기 제 1 더미 패턴부 상에 배치되는 제 2 보호층을 포함하고, 상기 제 1 더미 패턴부의 적어도 일부는, 상기 제 1 배선 패턴층과 수직 방향으로 중첩된다.
- [12] 또한, 상기 제 1 배선 패턴층이 배치되지 않은 상기 기판의 상기 제 1 면 상에 배치되며, 적어도 일부가 상기 제 2 배선 패턴층과 수직 방향으로 중첩되는 제 2 더미 패턴부를 더 포함한다.
- [13] 또한, 상기 제 1 더미 패턴부는, 상기 제 1 배선 패턴층과 동일한 폭을 가지고, 일단이 상기 제 1 배선 패턴층의 일단과 동일 수직 선상에 배치된다.
- [14] 또한, 상기 제 1 더미 패턴부는, 상기 제 1 배선 패턴층보다 넓은 폭을 가지며, 일단이 상기 제 1 배선 패턴층의 일단보다 상기 기판의 단부로부터 가깝다.
- [15] 또한, 상기 제 1 면은, 상기 기판의 상면이고, 상기 제 2 면은, 상기 기판의 하면이며, 상기 제 1 더미 패턴부는, 상기 제 1 배선 패턴층 중 좌측에 배치된 제 1 배선 패턴층보다 더 좌측에 배치된다.
- [16] 또한, 상기 제 2 더미 패턴부는, 상기 제 2 배선 패턴층 중 최우측에 배치된 제 2 배선 패턴층보다 더 우측에 배치된다.
- [17] 또한, 상기 제 1 배선 패턴층 상에 배치되는 주식(Sn)을 포함하는 제 1 도금층; 및 상기 제 2 배선 패턴층 상에 배치되는 주식(Sn)을 포함하는 제 2 도금층을 더 포함하고, 상기 제 1 더미 패턴부는, 상기 제 2 배선 패턴층에 대응하는 제 1 더미 패턴층과, 상기 제 2 도금층에 대응하는 제 2 더미 패턴층을 포함하고, 상기 제 2 더미 패턴부는, 상기 제 1 배선 패턴층에 대응하는 제 3 더미 패턴층과, 상기 제 1 도금층에 대응하는 제 4 더미 패턴층을 포함한다.
- [18] 한편, 실시 예에 따른 패키지는, 올인원 칩 온 필름용 연성 회로기판은, 기판; 상기 기판 상에 배치되는 전도성 패턴부; 상기 기판 상에 배치되는 더미 패턴부; 및 상기 전도성 패턴부 상의 일 영역 및 상기 더미 패턴부 상에 배치되는 보호부;를 포함하고, 상기 전도성 패턴부는 상기 기판의 제 1 면 상에 배치되는 제 1 배선 패턴층과, 상기 제 1 배선 패턴층 상에 배치되는 제 1 도금층과, 상기 기판의 상기 제 1면과 반대되는 제 2 면 상에 배치되는 제 2 배선 패턴층과, 상기 제 2 배선 패턴층 상에 배치되는 제 2 도금층을 포함하고, 상기 보호층의 제 1 오픈 영역에서 상기 도금층의 주식(Sn)의 함량은 상기 보호층의 제 2 오픈 영역에서 상기 도금층의 주식(Sn)의 함량보다 많고, 상기 제 1 오픈 영역에 배치되는 제 1 칩과, 상기 제 2 오픈 영역에 배치되는 제 2 칩을 포함하며, 상기

더미 패턴부는, 상기 제 2 배선 패턴층이 배치되지 않은 상기 기판의 상기 제 2 면 상에 배치되고, 적어도 일부가 상기 제 1 배선 패턴층과 수직 방향으로 중첩되는 제 1 더미 패턴부와, 상기 제 1 배선 패턴층이 배치되지 않은 상기 기판의 상기 제 1 면 상에 배치되며, 적어도 일부가 상기 제 2 배선 패턴층과 수직 방향으로 중첩되는 제 2 더미 패턴부를 포함한다.

- [19] 또한, 상기 제 1 면은, 상기 기판의 상면이고, 상기 제 2 면은, 상기 기판의 하면이며, 상기 제 1 더미 패턴부는, 상기 제1 배선 패턴층 중 좌측에 배치된 제 1 배선 패턴층보다 더 좌측에 배치되고, 상기 제 2 더미 패턴부는, 상기 제2 배선 패턴층 중 우측에 배치된 제 2 배선 패턴층보다 더 우측에 배치된다.
- [20] 또한, 상기 제 1 칩은 구동 IC 칩(Drive IC chip)이고, 상기 제 2 칩은 다이오드 칩, 전원 IC 칩, 터치센서 IC 칩, MLCC 칩, BGA 칩, 칩 콘덴서 중 적어도 하나인 것을 포함하는 올인원 칩 온 필름용 연성회로기판을 포함한다.
- [21] 한편, 본 발명의 실시 예에 따른 전자 디바이스는, 기판; 상기 기판 상에 배치되는 전도성 패턴부; 상기 기판 상에 배치되는 더미 패턴부; 및 상기 전도성 패턴부 상의 일 영역에 부분적으로 배치되는 보호부;를 포함하고, 상기 전도성 패턴부는 상기 기판의 제 1 면 상에 배치되는 제 1 배선 패턴층과, 상기 제 1 배선 패턴층 상에 배치되는 제 1 도금층과, 상기 기판의 상기 제 1면과 반대되는 제 2 면 상에 배치되는 제 2 배선 패턴층과, 상기 제 2 배선 패턴층 상에 배치되는 제 2 도금층을 포함하고, 상기 보호층의 제 1 오픈 영역에서 상기 도금층의 주석(Sn)의 함량은 상기 보호층의 제 2 오픈 영역에서 상기 도금층의 주석(Sn)의 함량보다 많은 것을 포함하는 올인원 칩 온 필름용 연성회로기판; 상기 올인원 연성 회로기판의 일단과 연결되는 디스플레이 패널; 및 상기 올인원 연성 회로기판의 상기 일단과 반대되는 타단과 연결되는 메인보드;를 포함하며, 상기 더미 패턴부는, 상기 제 2 배선 패턴층이 배치되지 않은 상기 기판의 상기 제 2 면 상에 배치되고, 적어도 일부가 상기 제 1 배선 패턴층과 수직 방향으로 중첩되는 제 1 더미 패턴부와, 상기 제 1 배선 패턴층이 배치되지 않은 상기 기판의 상기 제 1 면 상에 배치되며, 적어도 일부가 상기 제 2 배선 패턴층과 수직 방향으로 중첩되는 제 2 더미 패턴부를 포함한다.
- [22] 또한, 상기 전도성 패턴부 상의 상기 일 영역과 다른 영역 상에 각각 제 1 접속부 및 제 2 접속부가 배치되고, 상기 제 1 접속부 상에 제 1 칩이 배치되고, 상기 제 2 접속부 상에 제 2 칩이 배치된다.
- [23] 또한, 상기 디스플레이 패널 및 상기 메인보드는 서로 마주보며 배치되고, 상기 올인원 연성 회로기판은 상기 디스플레이 패널과 상기 메인보드의 사이에서 절곡되며 배치되는 것을 포함한다.

발명의 효과

- [24] 본 발명에 따른 실시 예에 의하면, 서로 다른 종류의 제 1 칩 및 제 2 칩을 하나의 연성회로기판에 실장할 수 있어, 향상된 신뢰성을 가지는 올인원 칩 온 필름용

연성 회로기판 칩 패키지를 제공할 수 있다.

- [25] 또한, 본 발명에 따른 실시 예에 의하면, 하나의 올인원 칩 온 필름용 연성 회로기판으로 디스플레이 패널과 메인보드를 직접 연결하여, 디스플레이 패널로부터 발생하는 신호를 메인보드까지 전달하기 위한 연성 회로기판의 크기 및 두께를 감소할 수 있으며, 이에 따른 다른 부품의 공간 및/또는 배터리 공간을 확장시킬 수 있다.
- [26] 또한, 본 발명에 따른 실시 예에 의하면 복수의 인쇄회로기판의 연결이 요구되지 않으므로, 공정의 편의성 및 전기적인 연결의 신뢰성이 향상될 수 있으며, 이에 따른 고해상도의 디스플레이부 가지는 전자디바이스에 적합한 올인원 칩 온 필름용 연성 회로기판을 제공할 수 있다.
- [27] 또한, 본 발명에 따른 실시 예에 의하면, 기판의 제 1 면에 배치된 회로 패턴에 대응하게 상기 기판의 제 2 면에 더미 패턴을 배치하고, 상기 기판의 제 2 면에 배치된 회로 패턴에 대응하게 상기 기판의 제 1 면에 더미 패턴을 배치함으로써, 상기 기판의 상기 제 1 면 또는 상기 제 2 면의 솔더 레지스트의 인쇄시에 발생하는 솔더 레지스트 미도포 문제나 핀-홀(pinhole) 문제를 해결할 수 있다.

도면의 간단한 설명

- [28] 도 1a는 기존의 인쇄회로기판을 포함하는 디스플레이부를 구비한 전자디바이스의 단면도이다.
- [29] 도 1b는 도 1a에 따른 인쇄회로기판이 절곡된 형태에서의 단면도이다.
- [30] 도 1c는 도 1a에 따른 인쇄회로기판이 절곡된 형태에서의 평면도이다.
- [31] 도 2a는 실시예에 따른 올인원 칩 온 필름용 연성 회로기판을 포함하는 디스플레이부를 구비한 전자디바이스의 단면도이다.
- [32] 도 2b는 도 2a에 따른 올인원 칩 온 필름용 연성 회로기판이 절곡된 형태에서의 단면도이다.
- [33] 도 2c는 도 2a에 따른 올인원 칩 온 필름용 연성 회로기판이 절곡된 형태에서의 평면도이다.
- [34] 도 3a는 실시 예에 따른 양면 올인원 칩 온 필름용 연성 회로기판을 포함하는 칩 패키지의 단면도이다.
- [35] 도 3b는 실시 예에 따른 양면 올인원 칩 온 필름용 연성 회로기판을 포함하는 칩 패키지의 다른 단면도이다.
- [36] 4a는 비교 예에 따른 더미 패턴부를 포함하지 않는 연성 회로 기판의 단면도이다.
- [37] 도 4b는 본 발명의 실시 예에 따른 하부 더미 패턴부(DP1)를 포함하는 연성회로기판의 단면도이다.
- [38] 도 5a 내지 도 5d는 도 4b에 도시된 하부 더미 패턴부(DP1)의 다양한 변형 예를 나타낸 도면이다.
- [39] 도 6은 본 발명의 실시 예에 따른 상부 더미 패턴부(DP2)를 나타낸 도면이다.

- [40] 도 7a는 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기판의 다른 단면도이다.
- [41] 도 7b는 도 7a에 따른 양면 올인원 칩 온 필름용 연성 회로기판을 포함하는 칩 패키지의 단면도이다.
- [42] 도 8은 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기판을 포함하는 칩 패키지의 또 다른 단면도이다.
- [43] 도 9는 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기판의 일 영역을 확대한 단면도이다.
- [44] 도 10은 도 7a에 따른 양면 올인원 칩 온 필름용 연성 회로기판의 평면도이다.
- [45] 도 11은 도 7a에 따른 양면 올인원 칩 온 필름용 연성 회로기판의 저면도이다.
- [46] 도 12는 도 7b에 따른 양면 올인원 칩 온 필름용 연성 회로기판을 포함하는 칩 패키지의 개략적인 평면도이다.
- [47] 도 13 내지 도 15는 도 7a에 따른 양면 올인원 칩 온 필름용 연성 회로기판을 도 7b에 따른 양면 올인원 칩 온 필름용 연성 회로기판을 포함하는 칩 패키지로 제조하는 공정을 나타내는 도면들이다.
- [48] 도 16은 도 15에 따른 양면 올인원 칩 온 필름용 연성 회로기판을 포함하는 칩 패키지의 단면도이다.
- [49] 도 17 내지 도 21은 올인원 칩 온 필름용 연성 회로기판을 포함하는 다양한 전자 디바이스의 도면들이다.

발명의 실시를 위한 최선의 형태

- [50] 실시예들의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 “상/위(on)”에 또는 “하/아래(under)”에 형성된다는 기재는, 직접(directly) 또는 다른 층을 개재하여 형성되는 것을 모두 포함한다. 각 층의 상/위 또는 하/아래에 대한 기준은 도면을 기준으로 설명한다.
- [51] 또한, 어떤 부분이 다른 부분과 "연결"되어 있다고 할 때, 이는 "직접적으로 연결"되어 있는 경우뿐 아니라, 그 중간에 다른 부재를 사이에 두고 "간접적으로 연결"되어 있는 경우도 포함한다. 또한 어떤 부분이 어떤 구성요소를 "포함"한다고 할 때, 이는 특별히 반대되는 기재가 없는 한 다른 구성요소를 제외하는 것이 아니라 다른 구성요소를 더 구비할 수 있다는 것을 의미한다.
- [52] 도면에서 각 층(막), 영역, 패턴 또는 구조물들의 두께나 크기는 설명의 명확성 및 편의를 위하여 변형될 수 있으므로, 실제 크기를 전적으로 반영하는 것은 아니다.
- [53] 이하, 첨부한 도면을 참조하여 본 발명의 실시예를 상세하게 설명하면 다음과 같다.
- [54]
- [55] 도 1a 내지 도 1c를 참조하여, 비교 예에 따른 인쇄회로기판을 설명한다.
- [56] 디스플레이부를 가지는 전자 디바이스는 디스플레이 패널의 신호를

- 메인보드까지 전달하기 위해서 적어도 2개의 인쇄회로기판이 요구된다.
- [57] 비교 예에 따른 디스플레이부를 포함하는 전자디바이스에 포함되는 인쇄회로기판은 적어도 2개일 수 있다.
- [58] 비교 예에 따른 디스플레이부를 포함하는 전자디바이스는 제 1 인쇄회로기판(10) 및 제 2 인쇄회로기판(20)을 포함할 수 있다.
- [59] 상기 제 1 인쇄회로기판(10)은 연성 인쇄회로기판일 수 있다. 자세하게, 상기 제 1 인쇄회로기판(10)은 칩 온 필름(COF, Chip on Film)용 연성 인쇄회로기판일 수 있다. 상기 제 1 인쇄회로기판(10)은 제 1 칩(C1)이 실장되는 COF용 연성 인쇄회로기판일 수 있다. 더 자세하게, 상기 제 1 인쇄회로기판(10)은 구동 IC 칩(Drive IC chip)을 배치하기 위한 COF용 연성 인쇄회로기판일 수 있다.
- [60] 상기 제 2 인쇄회로기판(20)은 연성 인쇄회로기판일 수 있다. 자세하게, 상기 제 2 인쇄회로기판(20)은 상기 제 1 칩(C1)과 서로 다른 종류의 제 2 칩(C2)을 배치하기 위한 연성 인쇄회로기판(FPCB, Flexible Printed Circuit Board)일 수 있다. 여기에서, 상기 제 2 칩(C2)은 구동 IC 칩(Drive IC chip) 이외의 것으로서, 구동 IC 칩(Drive IC chip)을 제외한 다른 칩, 반도체 소자, 소켓 등 연성 인쇄회로기판 상에 전기적 연결을 위해 배치되는 다양한 칩을 의미할 수 있다. 상기 제 2 인쇄회로기판(20)은 복수 개의 제 2 칩(C2)을 배치하기 위한 연성 인쇄회로기판(FPCB, Flexible Printed Circuit Board)일 수 있다. 예를 들어, 상기 제 2 인쇄회로기판(20)은 서로 다른 종류의 복수 개의 제 2 칩(C2a, C2b)을 배치하기 위한 연성 인쇄회로기판일 수 있다.
- [61] 상기 제 1 인쇄회로기판(10) 및 상기 제 2 인쇄회로기판(20)은 서로 다른 두께를 가질 수 있다. 상기 제 2 인쇄회로기판(20)의 두께는 상기 제 1 인쇄회로기판(10)의 두께보다 작을 수 있다. 예를 들어, 상기 제 1 인쇄회로기판(10)은 약 $20\mu\text{m}$ 내지 $100\mu\text{m}$ 의 두께일 수 있다. 상기 제 2 인쇄회로기판(20)은 약 $100\mu\text{m}$ 내지 $200\mu\text{m}$ 의 두께일 수 있다. 예를 들어, 상기 제 1 인쇄회로기판(10) 및 상기 제 2 인쇄회로기판의 총 두께($t1$)는 $200\mu\text{m}$ 내지 $250\mu\text{m}$ 일 수 있다.
- [62] 비교 예에 따른 디스플레이부를 구비한 전자 디바이스는 디스플레이 패널과 메인보드 사이에 제 1 및 제 2 인쇄회로기판이 요구되기 때문에, 전자 디바이스의 전체적인 두께가 증가할 수 있다. 자세하게, 비교예에 따른 디스플레이부를 구비한 전자 디바이스는 상, 하로 적층되는 제 1 및 제 2 인쇄회로기판이 요구되기 때문에, 전자 디바이스의 전체적인 두께가 증가할 수 있다.
- [63] 상기 제 1 인쇄회로기판(10) 및 상기 제 2 인쇄회로기판(20)은 서로 다른 공정으로 형성될 수 있다. 예를 들어, 상기 제 1 인쇄회로기판(10)은 롤-투-롤(roll to roll) 공정에 의해서 제조될 수 있다. 상기 제 2 인쇄회로기판(20)은 시트(sheet) 방식으로 제조될 수 있다.
- [64] 상기 제 1 인쇄회로기판(10) 및 상기 제 2 인쇄회로기판(20) 상에는 각각 서로

다른 종류의 칩이 배치되며, 각각의 칩과 연결되기 위한 전도성 패턴부의 간격(pitch)이 서로 다를 수 있다. 예를 들어, 상기 제 2 인쇄회로기판(20) 상에 배치되는 전도성 패턴부의 간격(pitch)은 상기 제 1 인쇄회로기판(10) 상에 배치되는 전도성 패턴부의 간격(pitch)보다 클 수 있다. 예를 들어, 상기 제 2 인쇄회로기판(20) 상에 배치되는 전도성 패턴부의 간격(pitch)은 $100\mu\text{m}$ 이상이고, 상기 제 1 인쇄회로기판(10) 상에 배치되는 전도성 패턴부의 간격(pitch)은 $100\mu\text{m}$ 미만일 수 있다.

- [65] 자세하게, 미세한 간격(fine pitch)으로 배치되는 전도성 패턴부를 가지는 상기 제 1 인쇄회로기판(10)은 롤투롤 공정을 통해 제조하는 것이 공정 효율적이며 공정 비용을 저감시킬 수 있다. 한편, $100\mu\text{m}$ 이상의 간격으로 배치되는 전도성 패턴부를 가지는 상기 제 2 인쇄회로기판(20)은 롤투롤 공정으로 다루는 것이 어렵기 때문에, 시트 공정을 사용하는 것이 일반적이었다.
- [66] 비교 예에 따른 제 1, 제 2 인쇄회로기판은 각각 서로 다른 공정으로 형성되므로, 공정 효율이 저하될 수 있다.
- [67] 또한, 비교 예에 따른 연성회로기판을 포함하는 칩 패키지는 서로 다른 종류의 칩을 하나의 기판 상에 배치하는 공정의 난이성이 있으므로, 별도의 제 1 및 제 2 인쇄회로기판이 요구된다.
- [68] 또한, 비교 예에 따른 연성회로기판을 포함하는 칩 패키지는 서로 다른 종류의 칩을 하나의 기판 상에서 접속시키기 어려운 문제점이 있다.
- [69] 또한, 비교 예에 따른 연성 회로 기판은, 상부 회로 패턴이나 하부 회로 패턴이 각각의 신호 전달 특성만을 고려하여 디자인된다. 다시 말해서, 상기 비교 예에 따른 연성 회로 기판은, 기판의 최외곽층에 배치되는 보호층(예를 들어, 솔더레지스트)의 인쇄 공정에 대한 신뢰성을 고려하지 않은 상태에서 상기 상부 회로 패턴이나 하부 회로 패턴을 디자인한다. 따라서, 비교 예에 따른 연성 회로 기판은 상기 보호층은 인쇄 공정에서 상기 상부 회로 패턴과 상기 하부 회로 패턴 사이의 위치 차이에 의한 편-홀이 발생하는 문제점이 있다.
- [70]
- [71] 한편, 기존의 디스플레이 패널과 메인보드 사이에는 제 1 및 제 2 인쇄회로기판이 배치될 수 있다.
- [72] 디스플레이 패널(30)로부터 발생하는 R,G,B 신호를 제어, 처리 또는 전달하기 위하여 제 1 인쇄회로기판(10)은 디스플레이 패널(30)과 연결되고, 제 1 인쇄회로기판(10)은 다시 제 2 인쇄회로기판(20)과 연결되고, 제 2 인쇄회로기판(20)은 메인보드(40)에 연결될 수 있다.
- [73] 상기 제 1 인쇄회로기판(10)의 일단은 디스플레이 패널(30)과 연결될 수 있다. 디스플레이 패널(30)은 접착층(50)에 의해서 상기 제 1 인쇄회로기판(10)과 연결될 수 있다.
- [74] 상기 제 1 인쇄회로기판(10)의 상기 일단과 반대되는 타단은 제 2 인쇄회로기판(20)과 연결될 수 있다. 상기 제 1 인쇄회로기판(10)은 상기

접착층(50)에 의해서 상기 제 2 인쇄회로기판(20)과 연결될 수 있다.

[75] 상기 제 2 인쇄회로기판(20)의 일단은 상기 제 1 인쇄회로기판(10)과 연결되고, 상기 제 2 인쇄회로기판(20)의 상기 일단과 반대되는 타단은 메인보드(40)와 연결될 수 있다. 상기 제 2 인쇄회로기판(20)은 상기 접착층(50)에 의해서 메인보드(40)와 연결될 수 있다.

[76] 비교예에 따른 디스플레이부를 구비한 전자 디바이스는 상기 디스플레이 패널(30)과 상기 제 1 인쇄회로기판(10)의 사이, 상기 제 1 인쇄회로기판(10)과 상기 제 2 인쇄회로기판(20)의 사이, 상기 제 2 인쇄회로기판(20)과 상기 메인보드(40)의 사이에 각각 별도의 접착층(50)이 요구될 수 있다. 즉, 비교예에 따른 디스플레이부를 구비한 전자 디바이스는 다수 개의 접착층이 요구되므로, 접착층의 연결불량으로 인하여 전자 디바이스의 신뢰성이 저하될 수 있는 문제점을 가진다. 또한, 상, 하로 연결되는 상기 제 1 인쇄회로기판(10) 및 상기 제 2 인쇄회로기판(20)의 사이에 배치되는 접착층은 전자 디바이스의 두께를 증가시킬 수 있다.

[77]

[78] 도 1b 및 도 1c를 참조하여, 비교예에 따른 전자 디바이스 내에 하우징되는 제 1 인쇄회로기판(10), 제 2 인쇄회로기판(20), 디스플레이 패널(30), 및 메인보드(40)를 설명한다.

[79] 도 1b는 도 1a에 따른 인쇄회로기판이 절곡된 형태에서의 단면도이며, 도 1c는 도 1b의 하면에서의 평면도이다.

[80] 상기 디스플레이 패널(30) 및 상기 메인보드(40)는 대향되어 배치될 수 있다. 서로 마주보며 배치되는 상기 디스플레이 패널(30) 및 상기 메인보드(40)의 사이에는 절곡(bending) 영역을 포함하는 제 1 인쇄회로기판(10)이 배치될 수 있다.

[81] 상기 제 1 인쇄회로기판(10)은 일 영역이 절곡되고, 절곡되지 않는 영역에 상기 제 1 칩(C1)이 배치될 수 있다.

[82] 또한, 상기 제 2 인쇄회로기판(20)은 상기 디스플레이 패널(30)과 마주보며 배치될 수 있다. 상기 제 2 인쇄회로기판(20)의 절곡되지 않는 영역에 상기 제 2 칩(C2)이 배치될 수 있다.

[83] 도 1c를 참조하면, 비교예는 복수의 기판이 요구되므로, 일 방향에서의 길이(L1)는 각각의 상기 제 1 인쇄회로기판(10) 및 상기 제 2 인쇄회로기판(20)의 길이의 합일 수 있다. 상기 제 1 인쇄회로기판(10) 및 상기 제 2 인쇄회로기판(20)의 일 방향에서의 길이(L1)는 상기 제 1 인쇄회로기판(10)의 단변의 길이 및 상기 제 2 인쇄회로기판(20)의 단변의 길이의 합일 수 있다. 일례로, 상기 제 1 인쇄회로기판(10) 및 상기 제 2 인쇄회로기판(20)의 일 방향에서의 길이(L1)는 30mm 내지 40mm일 수 있다. 다만, 실장하기 위한 칩의 종류, 전자 디바이스의 종류에 따라 상기 제 1 인쇄회로기판(10) 및 상기 제 2 인쇄회로기판(20)의 일 방향에서의 길이(L1)는 다양한 크기일 수 있다.

- [84] 비교예에 따른 전자 디바이스는 복수의 인쇄회로기판이 요구됨에 따라, 다른 부품을 실장하기 위한 공간 또는 배터리(60)를 배치하기 위한 공간이 축소될 수 있다.
- [85] 최근 스마트 폰과 같은 전자 디바이스는 사용자의 편의성 내지 보안을 강화하기 위하여 다양한 기능을 가지는 부품이 추가되고 있다. 예를 들어, 스마트 폰, 스마트 워치 등의 전자 디바이스에는 여러 개의 카메라 모듈(듀얼 카메라 모듈, dual camera module)이 탑재되거나, 홍채 인식, 가상 현실(VR, Virtual Reality)과 같은 다양한 기능을 가지는 부품이 추가되고 있다. 이에 따라, 추가되는 부품을 실장하기 위한 공간의 확보가 중요하다.
- [86] 또한, 웨어러블 디바이스를 비롯한 다양한 전자 디바이스는 사용자의 편의성 향상을 위해서, 배터리 공간의 확대가 요구된다.
- [87] 따라서, 기존의 전자 디바이스에 사용된 복수의 인쇄회로기판을 하나의 인쇄회로기판으로 대체함에 따라, 새로운 부품을 실장하기 위한 공간 확보 또는 배터리 크기의 확대를 위한 공간 확보의 중요성이 대두된다.
- [88]
- [89] 비교 예에 따른 전자 디바이스는 서로 다른 종류의 제 1 칩 및 제 2 칩이 각각 별도의 제 1 인쇄회로기판(10) 및 제 2 인쇄회로기판(30)에 배치될 수 있다. 이에 따라, 제 1 인쇄회로기판(10) 및 제 2 인쇄회로기판(30)의 사이의 접착층(50)의 두께 및 상기 제 2 인쇄회로기판(30)의 두께는 전자 디바이스의 두께를 증가시키는 문제점이 있었다.
- [90] 또한, 상기 제 2 인쇄회로기판(30)의 크기만큼 배터리 공간 내지 다른 부품을 실장하기 위한 공간이 축소되는 문제점이 있었다.
- [91] 또한, 제 1 및 제 2 인쇄회로기판의 접합불량은 전자 디바이스의 신뢰성을 저하시키는 문제점이 있었다.
- [92]
- [93] 실시 예는 이러한 문제점을 해소하기 위해서, 복수의 칩을 하나의 기판에 실장할 수 있는 새로운 구조의 올인원 칩 온 필름용 연성 회로기판 및 이를 포함하는 칩 패키지, 및 이를 포함하는 전자 디바이스를 제공할 수 있다. 실시 예와 비교 예의 동일한 도면 부호는 동일한 구성요소를 나타내며, 앞서 설명한 비교 예와 중복되는 설명은 제외한다.
- [94]
- [95] 도 2a 내지 도 2c를 참조하여, 실시예에 따른 올인원 칩 온 필름용 연성 회로기판을 포함하는 전자 디바이스를 설명한다.
- [96] 실시예에 따른 전자 디바이스는 디스플레이 패널의 신호를 메인보드까지 전달하기 위해서 하나의 인쇄회로기판을 사용할 수 있다. 실시예에 따른 디스플레이부를 포함하는 전자디바이스에 포함되는 인쇄회로 기판은 하나의 연성 인쇄회로기판일 수 있다. 이에 따라, 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)은 서로 대향되는 디스플레이부와

메인보드 사이에서 절곡(bending)되어 디스플레이부 및 메인보드를 연결할 수 있다.

[97] 자세하게, 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기관(100)은 서로 다른 종류의 복수 개의 칩을 배치하기 위한 하나의 기관일 수 있다.

[98] 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기관(100)은 서로 다른 종류의 제 1 칩(c1) 및 제 2 칩(c2)을 배치하기 위한 기관일 수 있다.

[99]

[100] 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기관(100)의 두께(t2)는 $20\mu\text{m}$ 내지 $100\mu\text{m}$ 일 수 있다. 예를 들어, 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기관(100)의 두께(t2)는 $30\mu\text{m}$ 내지 $80\mu\text{m}$ 일 수 있다. 예를 들어, 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기관(100)의 두께(t2)는 $50\mu\text{m}$ 내지 $75\mu\text{m}$ 일 수 있다. 다만, 실장하기 위한 칩의 종류, 전자 디바이스의 종류에 따라 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기관(100)의 두께는 다양한 크기로 설계될 수 있다.

[101] 여기에서, 연성 회로기관(100)의 두께(t2)가 $20\mu\text{m}$ 미만인 경우, 연성 회로기관(100)이 굽혀질 때(또는 벤딩될 때) 끊어지는 문제가 발생할 수 있고, 실장되는 칩(Chip)에서 발생하는 열 등으로 인한 파손이 발생할 수 있다.

[102] 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기관(100)의 두께(t2)는 비교예에 따른 복수의 제 1 및 제 2 인쇄회로기관의 두께(t1)의 1/5 내지 1/2 수준의 두께를 가질 수 있다. 즉, 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기관(100)의 두께(t2)는 비교예에 따른 복수의 제 1 및 제 2 인쇄회로기관의 두께(t1)의 20% 내지 50%의 수준의 두께를 가질 수 있다. 예를 들어, 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기관(100)의 두께(t2)는 비교예에 따른 복수의 제 1 및 제 2 인쇄회로기관의 두께(t1)의 25% 내지 40%의 수준의 두께를 가질 수 있다. 예를 들어, 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기관(100)의 두께(t2)는 비교예에 따른 복수의 제 1 및 제 2 인쇄회로기관의 두께(t1)의 25% 내지 35%의 수준의 두께를 가질 수 있다.

[103] 실시예에 따른 디스플레이부를 구비한 전자 디바이스는 디스플레이 패널과 메인보드 사이에 오직 하나의 올인원 칩 온 필름(All in one chip on film)용 연성 회로기관(100)이 요구되기 때문에, 전자 디바이스의 전체적인 두께를 감소시킬 수 있다. 자세하게, 실시예에 따른 디스플레이부를 구비한 전자 디바이스는 단층의 인쇄회로기관이 요구되기 때문에, 전자 디바이스의 전체적인 두께가 감소할 수 있다.

[104] 또한, 실시예는 비교예에 포함된 제 1 인쇄회로기관 및 제 2 인쇄회로기관

사이의 접착층(50)을 생략할 수 있어, 올인원 칩 온 필름용 연성회로기판을 포함하는 칩 패키지 및 이를 포함하는 전자 디바이스의 전체적인 두께를 감소시킬 수 있다.

[105] 또한, 실시예는 제 1 인쇄회로기판과 제 2 인쇄회로기판 사이의 접착층(50)을 생략할 수 있어, 접착 불량에 의한 문제점을 해소할 수 있으므로, 전자 디바이스의 신뢰성을 향상시킬 수 있다.

[106] 또한, 복수 개의 인쇄회로기판의 접착 공정을 생략할 수 있어, 공정 효율이 증가되고, 공정 비용이 저감될 수 있다.

[107] 또한, 별도의 공정으로 관리되었던 기판을 하나의 공정으로 대체함에 따라, 공정 효율 및 제품 수율을 향상시킬 수 있다.

[108] 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)은 절곡 영역 및 비절곡 영역을 포함할 수 있다. 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)은 절곡 영역을 포함함에 따라, 서로 마주보며 배치되는 상기 디스플레이 패널(30) 및 상기 메인보드(40)을 서로 연결할 수 있다.

[109] 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)의 비절곡(non-bending) 영역은 디스플레이 패널(30)과 서로 마주보며 배치될 수 있다. 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)의 비절곡 영역 상에는 제 1 칩(C1) 및 제 2 칩(C2)이 배치될 수 있다. 이에 따라, 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)은 상기 제 1 칩(c1) 및 상기 제 2 칩(c2)의 안정적인 실장이 가능할 수 있다.

[110]

[111] 도 2c는 도 2b의 하면에서의 평면도이다.

[112] 도 2c를 참조하면, 실시 예는 하나의 기판이 요구되므로, 일 방향에서의 길이(L2)는 하나의 기판의 길이일 수 있다. 실시 예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)의 일 방향에서의 길이(L2)는 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)의 단변의 길이일 수 있다. 일례로, 실시 예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)의 일 방향에서의 길이(L2)는 10mm 내지 50mm일 수 있다. 예를 들어, 실시 예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)의 일 방향에서의 길이(L2)는 10mm 내지 30mm 일 수 있다. 예를 들어, 실시 예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)의 일 방향에서의 길이(L2)는 15mm 내지 25mm일 수 있다. 다만, 실시 예가 이에 제한되는 것은 아니며, 배치하기 위한 칩의 종류 및/또는 개수, 전자 디바이스의 종류에 따라 다양한 크기로 설계될 수 있음은 물론이다. 실시예와 같이 하나의 기판에 다수의 칩을 실장함으로써 인해 연성회로기판의 길이를 50mm이하로 줄일 수 있는 것이다. 연성회로기판의 길이가 10mm이하로 할 경우

실장되는 다수의 칩의 디자인 자유도가 떨어지며, 칩간의 간격이 좁아 상호 전기적인 특성에 영향을 줄 수 있다.

- [113] 실시 예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)의 일 방향에서의 길이(L2)는 비교 예에 따른 복수의 제 1 및 제 2 인쇄회로기판의 일 방향에서의 길이(L1)의 50% 내지 70% 수준의 길이를 가질 수 있다. 예를 들어, 실시 예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)의 일 방향에서의 길이(L2)는 비교 예에 따른 복수의 제 1 및 제 2 인쇄회로기판의 일 방향에서의 길이(L1)의 55% 내지 70% 수준의 길이를 가질 수 있다. 실시예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)의 일 방향에서의 길이(L2)는 비교예에 따른 복수의 제 1 및 제 2 인쇄회로기판의 일 방향에서의 길이(L1)의 60% 내지 70% 수준의 길이를 가질 수 있다.
- [114] 이에 따라, 실시 예는 전자 디바이스 내의 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)을 포함하는 칩 패키지의 크기가 감소될 수 있어, 배터리(60)를 배치하기 위한 공간이 확대될 수 있다. 또한, 실시 예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)을 포함하는 칩 패키지는 평면적이 감소될 수 있어, 다른 부품을 탑재시키기 위한 공간 확보가 가능할 수 있다.
- [115] 이하에서는, 도면을 참조하여 실시 예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100) 및 이의 칩 패키지를 설명한다.
- [116] 도 3a는 본 발명의 제 1 실시 예에 따른 연성 회로기판의 단면도이고, 도 3b는 도 3a의 연성 회로기판의 변형 예이며, 도 4a는 비교 예에 따른 더미 패턴부를 포함하지 않는 연성 회로기판의 단면도이고, 도 4b는 본 발명의 실시 예에 따른 하부 더미 패턴부(DP1)를 포함하는 연성회로기판의 단면도이며, 도 5a 내지 도 5d는 도 4b에 도시된 하부 더미 패턴부(DP1)의 다양한 변형 예를 나타낸 도면이고, 도 6은 본 발명의 실시 예에 따른 상부 더미 패턴부(DP2)를 나타낸 도면이고, 도 7a는 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기판의 다른 단면도이며, 도 7b는 도 7a에 따른 양면 올인원 칩 온 필름용 연성 회로기판을 포함하는 칩 패키지의 단면도이고, 도 8은 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기판을 포함하는 칩 패키지의 또다른 단면도이다.
- [117] 도 3a, 도 3b, 도 4a, 도 4b, 도 5a, 도 5b, 도 5c, 도 5d, 도 6, 도 7a, 도 7b, 도 8을 참조하면, 실시 예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)은 양면 상에 전극 패턴부를 가지는 양면 올인원 칩 온 필름용 연성 회로기판일 수 있다.
- [118] 실시 예에 따른 올인원 칩 온 필름(All in one chip on film)용 연성 회로기판(100)은 기판(110), 상기 기판(110) 상에 배치되는 배선 패턴층(120), 도금층(130), 상부 더미 패턴부(DP2), 하부 더미 패턴부(DP1) 및 보호층(140)을 포함할 수 있다.

- [119] 실시 예에 따른 기판(110)의 일면 상에 배선 패턴층(120), 도금층(130), 상부 더미 패턴부(DP2) 및 보호층(140)을 배치한 후, 상기 일면과 반대되는 타면 상에 배선 패턴층(120), 도금층(130), 하부 더미 패턴부(DP1) 및 보호층(140)을 배치할 수 있다.
- [120] 즉, 실시 예에 따른 기판(110)의 일면 상에 상부 배선 패턴층, 상부 도금층, 상부 더미 패턴부(DP2) 및 상부 보호층이 배치될 수 있고, 상기 일면과 반대되는 타면 상에 하부 배선 패턴층, 하부 도금층, 하부 더미 패턴부(DP1) 및 하부 보호층이 배치될 수 있다.
- [121] 상부 배선 패턴층은 하부 배선 패턴층과 서로 대응되는 금속 물질을 포함할 수 있다. 이에 따라, 공정 효율이 향상될 수 있다. 다만, 실시예는 이에 제한되지 않고, 다른 전도성 물질을 포함할 수 있음은 물론이다.
- [122] 상부 배선 패턴층의 두께는 하부 배선 패턴층의 두께와 서로 대응될 수 있다. 이에 따라, 공정 효율이 향상될 수 있다.
- [123] 상부 도금층은 하부 도금층과 서로 대응되는 금속 물질을 포함할 수 있다. 이에 따라, 공정 효율이 향상될 수 있다. 다만, 실시예는 이에 제한되지 않고, 다른 전도성 물질을 포함할 수 있음은 물론이다.
- [124] 상부 도금층의 두께는 하부 도금층의 두께와 서로 대응될 수 있다. 이에 따라, 공정 효율이 향상될 수 있다.
- [125] 상부 더미 패턴부(DP2)는, 상기 기판(110)의 상면 중 상기 기판(110)의 하면에 배치된 하부 배선 패턴층에 대응하는 위치에 배치되고, 하부 더미 패턴부(DP1)는 상기 기판의 하면 중 상기 기판(110)의 상면에 배치된 상부 배선 패턴층에 대응하는 위치에 배치될 수 있다. 이에 따라, 본 발명에서는 상부 보호층 또는 하부 보호층의 인쇄 공정에서 상기 기판(110)의 상하부의 높이 차이로 인해 발생하는 편-홀 문제를 해결할 수 있으며, 이에 따른 인쇄회로기판의 신뢰성을 향상시킬 수 있다.
- [126] 상기 기판(110)은 상기 배선 패턴층(120), 도금층(130) 및 보호층(140)을 지지하는 지지기판일 수 있다.
- [127] 상기 기판(110)은 절곡 영역 및 절곡 영역 이외의 영역을 포함할 수 있다. 즉, 상기 기판(110)은 절곡이 이루어지는 절곡 영역 및 절곡 영역 이외의 비절곡 영역을 포함할 수 있다.
- [128] 상기 기판(110)은 연성 기판일 수 있다. 이에 따라, 상기 기판(110)은 부분적인 절곡이 가능할 수 있다. 즉, 상기 기판(110)은 연성 플라스틱을 포함할 수 있다. 예를 들어, 상기 기판(110)은 폴리이미드(polyimide, PI) 기판일 수 있다. 다만, 실시예는 이에 제한되지 않고, 폴리에틸렌 테레프탈레이트(polyethylene terephthalate, PET), 폴리에틸렌 나프탈레이트(polyethylene naphthalate, PEN)과 같은 고분자 물질로 구성된 기판일 수 있다. 이에 따라, 상기 기판(110)을 포함하는 연성 회로기판은 곡선의 디스플레이 장치가 구비된 다양한 전자디바이스에 사용될 수 있다. 예를 들어, 상기 기판(110)을 포함하는 연성

회로기판은 플렉서블 특성이 우수함에 따라, 웨어러블 전자디바이스의 반도체 칩을 실장하는데 적합할 수 있다. 자세하게, 실시예는 곡면 디스플레이를 포함하는 전자 디바이스에 적합할 수 있다.

[129] 상기 기판(110)은 절연 기판일 수 있다. 즉, 상기 기판(110)은 다양한 배선 패턴들을 지지하는 절연 기판일 수 있다.

[130] 상기 기판(110)은 $20\mu\text{m}$ 내지 $100\mu\text{m}$ 의 두께를 가질 수 있다. 예를 들어, 상기 기판(110)은 $25\mu\text{m}$ 내지 $50\mu\text{m}$ 의 두께를 가질 수 있다. 예를 들어, 상기 기판(100)은 $30\mu\text{m}$ 내지 $40\mu\text{m}$ 의 두께를 가질 수 있다. 상기 기판(100)의 두께가 $100\mu\text{m}$ 초과인 경우에는 전체적인 연성 회로기판의 두께가 증가할 수 있다. 상기 기판(100)의 두께가 $20\mu\text{m}$ 미만인 경우에는 제 1 칩(C1) 및 제 2 칩(C2)을 동시에 배치하기 어려울 수 있다. 상기 기판(110)의 두께가 $20\mu\text{m}$ 미만인 경우에는, 다수의 칩을 실장 하는 공정에서 상기 기판(110)이 열/압력 등에 취약할 수 있어, 다수의 칩을 동시에 배치하기 어려울 수 있다. 상기 기판(110) 상에는 배선이 배치될 수 있다. 상기 배선은 패턴화된 복수 개의 배선일 수 있다. 예를 들어, 상기 기판(110) 상에서 상기 복수 개의 배선들은 서로 이격되어 배치될 수 있다. 즉, 상기 기판(110)의 일면 상에는 배선 패턴층(120)이 배치될 수 있다.

[131] 상기 기판(110)의 면적은 상기 배선 패턴층(120)의 면적보다 클 수 있다. 자세하게, 상기 기판(110)의 평면적은 상기 배선 패턴층(120)의 평면적보다 클 수 있다. 즉, 상기 기판(110) 상에는 상기 배선 패턴층(120)이 부분적으로 배치될 수 있다. 예를 들어, 상기 배선 패턴층(120)의 하면은 상기 기판(110)과 접촉하고, 상기 복수 개의 배선들 사이에는 상기 기판(110)이 노출될 수 있다. 상기 배선 패턴층(120)은 전도성 물질을 포함할 수 있다.

[132] 상기 기판(110)은 관통홀을 포함할 수 있다. 상기 기판(110)은 복수 개의 관통 홀을 포함할 수 있다. 상기 기판(110)의 복수 개의 관통 홀은 기계적인 공정 또는 화학적인 공정에 의해서 각각 또는 동시에 형성될 수 있다. 예를 들어, 상기 기판(110)의 복수 개의 관통 홀은 드릴 공정 또는 식각 공정에 의해서 형성될 수 있다. 일례로, 상기 기판의 관통 홀은 레이저를 통한 펀칭 및 디스미어 공정을 통해 형성될 수 있다. 상기 디스미어 공정은 상기 관통 홀의 내측면에 부착된 폴리이미드 스미어를 제거하는 공정일 수 있다. 상기 디스미어 공정에 의해, 상기 폴리이미드 기판의 내측면은 직선과 유사한 경사면을 가질 수 있다.

[133] 상기 기판(110) 상에는 배선 패턴층(120), 도금층(130), 더미 패턴부(DP1, DP2) 및 보호층(140)이 배치될 수 있다. 자세하게, 상기 기판(110)의 양면 상에는 배선 패턴층(120), 도금층(130), 더미 패턴부(DP1, DP2) 및 보호층(140)이 각각 차례대로 배치될 수 있다. 이때, 상기 더미 패턴부(DP1, DP2)는 상기 배선 패턴층(120) 및 상기 도금층(130)에 대응되는 높이를 가진다. 바람직하게, 본 발명의 제 1 실시 예에서의 상기 더미 패턴부(DP1, DP2)는 상기 배선 패턴층(120)과 동일한 금속 물질로 형성되며, 상기 배선 패턴층(120)보다 큰 두께를 가질 수 있다. 바람직하게, 상기 더미 패턴부(DP1, DP2)는 상기 배선

- 패턴층(120)의 두께와 상기 도금층(130)의 두께를 합한 두께를 가질 수 있다.
- [134] 상기 배선 패턴층(120)은 증착(evaporation), 도금(plating), 스퍼터링(sputtering) 중 적어도 하나의 방법으로 형성될 수 있다.
- [135] 일례로, 회로를 형성하기 위한 배선층은 스퍼터링 후 전해도금에 의하여 형성될 수 있다. 일례로, 회로를 형성하기 위한 배선층은 무전해 도금에 의해 형성된 구리 도금층일 수 있다. 또는, 상기 배선층은 무전해 도금에 및 전해 도금에 의해 형성된 구리 도금층일 수 있다.
- [136] 다음으로, 상기 배선층 상에 드라이필름을 라미네이션한 다음, 노광, 현상 및 에칭 공정을 통해, 연성회로기판의 양면, 즉 상면과 하면에 패턴화된 배선층을 형성할 수 있다. 이에 따라, 상기 배선 패턴층(120)을 형성할 수 있다.
- [137] 예를 들어, 상기 배선 패턴층(120)은 전기 전도성이 우수한 금속 물질을 포함할 수 있다. 더 자세하게, 상기 배선 패턴층(120)은 구리(Cu)를 포함할 수 있다. 다만, 실시예가 이에 제한되는 것은 아니고, 구리(Cu), 알루미늄(Al), 크롬(Cr), 니켈(Ni), 은(Ag), 몰리브덴(Mo), 금(Au), 티타늄(Ti) 및 이들의 합금 중 적어도 하나의 금속을 포함할 수 있음은 물론이다.
- [138] 상기 배선 패턴층(120)은 $1\mu\text{m}$ 내지 $15\mu\text{m}$ 의 두께로 배치될 수 있다. 예를 들어, 상기 배선 패턴층(120)은 $1\mu\text{m}$ 내지 $10\mu\text{m}$ 의 두께로 배치될 수 있다. 예를 들어, 상기 배선 패턴층(120)은 $2\mu\text{m}$ 내지 $10\mu\text{m}$ 의 두께로 배치될 수 있다.
- [139] 상기 배선 패턴층(120)의 두께가 $1\mu\text{m}$ 미만인 경우에는 상기 배선 패턴층의 저항이 증가할 수 있다. 상기 배선 패턴층(120)의 두께가 $10\mu\text{m}$ 초과인 경우에는 미세패턴을 구현하기 어려울 수 있다.
- [140] 상기 기판(110)을 관통하는 비아홀(V1, V2, V3)의 내부에는 전도성 물질이 채워질 수 있다. 비아홀의 내부에 채워지는 전도성 물질은 상기 배선 패턴층(120)과 서로 대응되거나 서로 다른 전도성 물질일 수 있다. 예를 들어, 비아홀의 내부에 채워지는 전도성 물질은 구리(Cu), 알루미늄(Al), 크롬(Cr), 니켈(Ni), 은(Ag), 몰리브덴(Mo), 금(Au), 티타늄(Ti) 및 이들의 합금 중 적어도 하나의 금속을 포함할 수 있다. 상기 기판(110)의 상면의 전도성 패턴부(CP)의 전기적인 신호는 상기 비아홀에 채워진 전도성 물질을 통해서 상기 기판(110)의 하면의 전도성 패턴부(CP)에 전달될 수 있다.
- [141] 그 다음으로, 상기 배선 패턴층(120) 상에는 도금층(130)이 형성될 수 있다. 상기 도금층(130)은 제 1 도금층(131) 및 제 2 도금층(132)을 포함할 수 있다.
- [142] 상기 배선 패턴층(120) 상에는 제 1 도금층(131)이 배치되고, 상기 제 1 도금층(131) 상에는 상기 제 2 도금층(132)이 배치될 수 있다. 상기 제 1 도금층(131) 및 상기 제 2 도금층(132)은 위스커(whisker - kr00000374075b1) 형성의 방지를 위해, 상기 배선 패턴층(120) 상에 2 층으로 형성될 수 있다. 이에 따라, 상기 배선 패턴층(120)의 패턴들 사이의 단락을 방지할 수 있다. 또한, 상기 배선 패턴층(120) 상에는 두 층의 도금층이 배치됨에 따라, 칩과의 본딩 특성이 향상될 수 있다. 상기 배선 패턴층이 구리(Cu)를 포함하는 경우에는, 상기 배선

패턴층이 제 1 칩(C1)과 직접 본딩될 수 없고, 별도로 접착을 위한 처리가 요구될 수 있다. 반면, 상기 배선 패턴층 상에 배치되는 상기 도금층이 주석(Sn)을 포함하는 경우에는, 상기 도금층의 표면이 순수 주석층일 수 있어, 제 1 칩(C1)과 본딩이 용이할 수 있다. 이때, 제 1 칩(C1)과 연결되는 와이어는 순수 주석층과 열과 압력만으로 쉽게 연결될 수 있어, 칩 와이어 본딩의 정확성 및 제조 공정의 편의성을 향상시킬 수 있다.

- [143] 상기 제 1 도금층(131)이 배치되는 영역은 상기 제 2 도금층(132)이 배치되는 영역과 대응될 수 있다. 즉, 상기 제 1 도금층(131)이 배치되는 면적은 상기 제 2 도금층(132)이 배치되는 면적과 대응될 수 있다.
- [144] 상기 도금층(130)은 주석(Sn)을 포함할 수 있다. 예를 들어, 상기 제 1 도금층(131) 및 상기 제 2 도금층(132)은 주석(Sn)을 포함할 수 있다.
- [145] 일례로, 상기 배선 패턴층(120)을 구리(Cu)로 배치하고, 상기 제 1 도금층(131) 및 상기 제 2 도금층(132)을 주석(Sn)으로 배치할 수 있다. 상기 도금층(130)이 주석을 포함하는 경우에는, 주석(Sn)의 내식성이 우수하기 때문에, 상기 배선 패턴층(120)의 산화를 방지할 수 있다.
- [146] 한편, 상기 도금층(130)의 물질은 상기 배선 전극층(120)의 물질보다 전기 전도도가 낮을 수 있다. 상기 도금층(130)은 상기 배선 전극층(120)과 전기적인 접촉이 가능할 수 있다.
- [147] 상기 제 1 도금층(131) 및 상기 제 2 도금층(132)은 동일한 주석(Sn)으로 형성되나, 별도의 공정으로 형성될 수 있다.
- [148] 실시예에 따른 연성 회로기판의 제조 공정에 열경화와 같은 열처리 공정이 포함되는 경우에는, 상기 배선 패턴층(120)의 구리(Cu) 또는 상기 도금층(130)의 주석(Sn)의 확산 작용이 일어날 수 있다. 자세하게, 상기 보호층(140)의 경화를 통해, 상기 배선 패턴층(120)의 구리(Cu) 또는 상기 도금층(130)의 주석(Sn)의 확산 작용이 일어날 수 있다.
- [149] 이에 따라, 상기 제 1 도금층(131)에서 상기 제 2 도금층(132)의 표면으로 갈수록 구리(Cu)의 확산 농도가 낮아짐에 따라, 구리(Cu)의 함량이 연속적으로 작아질 수 있다. 한편, 상기 제 1 도금층(131)에서 상기 제 2 도금층(132)의 표면으로 갈수록 주석(Sn)의 함량은 연속적으로 커질 수 있다. 이에 따라, 상기 도금층(130)의 최상부는 순수한 주석을 포함할 수 있다.
- [150] 즉, 상기 배선 패턴층(120) 및 상기 도금층(130)은 적층 계면에서의 화학작용에 의해, 상기 도금층(130)의 적어도 일부는 주석 및 구리의 합금일 수 있다. 상기 배선 패턴층(120) 상에 상기 도금층(130)을 형성한 후의 주석 및 구리의 합금의 두께보다, 상기 도금층(130) 상에 상기 보호층(140)을 경화시킨 후에 주석 및 구리의 합금의 두께는 증가할 수 있다.
- [151] 상기 도금층(130)의 적어도 일부에 포함된 주석 및 구리의 합금은 Cu_xSn_y 의 화학식을 가지고, $0 < x+y < 12$ 일 수 있다. 예를 들어, 상기 화학식에서, x 와 y 의 합은 $4 \leq x+y \leq 11$ 일 수 있다. 예를 들어, 상기 도금층(130)에 포함된 주석 및 구리의

합금은 Cu_3Sn 및 Cu_6Sn_5 중 적어도 하나를 포함할 수 있다. 자세하게, 상기 제 1 도금층(131)은 주석 및 구리의 합금층일 수 있다.

[152] 또한, 상기 제 1 도금층(131) 및 상기 제 2 도금층(132)은 주석 및 구리의 함량이 서로 다를 수 있다. 상기 구리 배선 패턴층과 직접 접촉하는 상기 제 1 도금층(131)은 상기 제 2 도금층(132)보다 구리의 함량이 클 수 있다.

[153] 상기 제 2 도금층(132)은 상기 제 1 도금층(131)보다 주석의 함량이 클 수 있다. 상기 제 2 도금층(132)은 순수 주석을 포함할 수 있다. 여기에서, 순수 주석이란 주석(Sn)의 함량이 50 원자% 이상인 것, 70 원자% 이상인 것, 90 원자% 이상인 것을 의미할 수 있다. 이때, 주석 이외의 원소는 구리일 수 있다. 예를 들어, 상기 제 2 도금층(132)은 주석(Sn)의 함량이 50 원자% 이상일 수 있다. 예를 들어, 상기 제 2 도금층(132)은 주석(Sn)의 함량이 70 원자% 이상일 수 있다. 예를 들어, 상기 제 2 도금층(132)은 주석(Sn)의 함량이 90 원자% 이상일 수 있다. 예를 들어, 상기 제 2 도금층(132)은 주석(Sn)의 함량이 95 원자% 이상일 수 있다. 예를 들어, 상기 제 2 도금층(132)은 주석(Sn)의 함량이 98 원자% 이상일 수 있다.

[154] 실시예에 따른 도금층은 Cu/Sn의 확산현상으로 인해, 전기화학적 마이그레이션(Electrochemical Migration Resistance)을 방지하여, 금속 성장으로 인한 합선 불량을 차단할 수 있다.

[155] 다만, 실시예는 이에 제한되지 않고, 상기 도금층(130)은 Ni/Au 합금, 금(Au), 무전해 니켈 금 도금(electroless nickel immersion gold, ENIG), Ni/Pd 합금, 유기화합물 도금(Organic Solderability Preservative, OSP) 중 어느 하나를 포함할 수 있음은 물론이다.

[156] 상기 제 1 도금층(131)은 상기 제 2 도금층(132)은 서로 대응되거나, 서로 다른 두께를 가질 수 있다. 상기 제 1 도금층(131) 및 상기 제 2 도금층(132)의 전체 두께는 $0.3\mu\text{m}$ 내지 $1\mu\text{m}$ 일 수 있다. 상기 제 1 도금층(131) 및 상기 제 2 도금층(132)의 전체 두께는 $0.3\mu\text{m}$ 내지 $0.7\mu\text{m}$ 일 수 있다. 상기 제 1 도금층(131) 및 상기 제 2 도금층(132)의 전체 두께는 $0.3\mu\text{m}$ 내지 $0.5\mu\text{m}$ 일 수 있다. 상기 제 1 도금층(131) 및 상기 제 2 도금층(132) 중 어느 하나의 도금층은 $0.05\mu\text{m}$ 내지 $0.15\mu\text{m}$ 이하의 두께일 수 있다. 예를 들어, 상기 제 1 도금층(131) 및 상기 제 2 도금층(132) 중 어느 하나의 도금층은 $0.07\mu\text{m}$ 내지 $0.13\mu\text{m}$ 이하의 두께일 수 있다.

[157] 그 이후에는, 전도성 패턴부(CP) 상에 보호부(PP)을 스크린 인쇄할 수 있다.

[158] 상기 보호층(140)은 상기 배선 패턴층(120) 상에 부분적으로 배치될 수 있다. 예를 들어, 상기 보호층(140)은 상기 배선 패턴층(120) 상의 상기 도금층(130) 상에 배치될 수 있다. 상기 보호층(140)은 상기 도금층(130)을 덮을 수 있어, 상기 배선 패턴층(120) 및 상기 도금층(130)의 산화에 의한 손상 또는 탈락을 방지할 수 있다.

[159] 상기 보호층(140)은 상기 배선 패턴층(120) 및/또는 상기 도금층(130)이 디스플레이 패널(30), 메인보드(40), 제 1 칩(C1) 또는 제 2 칩(C2)과 전기적으로 연결되기 위한 영역을 제외한 영역에 부분적으로 배치될 수 있다.

- [160] 이에 따라, 상기 보호층(140)은 상기 배선 패턴층(120) 및/또는 상기 도금층(130)와 부분적으로 중첩될 수 있다.
- [161] 상기 보호층(140)의 면적은 기판(110)의 면적보다 작을 수 있다. 상기 보호층(140)은 기판의 끝단을 제외한 영역에 배치되며, 복수 개의 오픈 영역을 포함할 수 있다.
- [162] 상기 보호층(140)은 홀과 같은 형상의 제 1 오픈 영역(OA1)을 포함할 수 있다. 상기 제 1 오픈 영역(OA1)은 상기 배선 패턴층(120) 및/또는 상기 도금층(130)이 제 1 칩(C1)과 전기적으로 연결되기 위한 상기 보호층(140)의 비배치 영역일 수 있다.
- [163] 상기 보호층(140)은 홀과 같은 형상의 제 2 오픈 영역(OA2)을 포함할 수 있다. 상기 제 2 오픈 영역(OA2)은 상기 배선 패턴층(120) 및/또는 상기 도금층(130)이 제 2 칩(C2)과 전기적으로 연결되기 위한 상기 보호층(140)의 비배치 영역일 수 있다. 이에 따라, 상기 제 2 오픈 영역(OA2)에서, 상기 도금층(130)은 외부로 노출될 수 있다.
- [164] 상기 제 2 오픈 영역(OA2)에서, 상기 도금층(130)의 구리의 함량은 50 원자% 이상일 수 있다. 예를 들어, 상기 도금층(130)에서의 구리의 함량은 60 원자% 이상일 수 있다. 예를 들어, 상기 도금층(130)에서의 구리의 함량은 60 원자% 내지 80 원자% 일 수 있다. 자세하게, 상기 제 2 오픈 영역(OA2)에서 측정된 상기 제 1 도금층(131)의 구리의 함량은 60 원자% 내지 80 원자% 일 수 있다.
- [165] 상기 보호층(140)은 상기 메인보드(40) 또는 상기 디스플레이 패널(30)과 전기적으로 연결되기 위한 전도성 패턴부 상에 배치되지 않을 수 있다. 실시예는 상기 메인보드(40) 또는 상기 디스플레이 패널(30)과 전기적으로 연결되기 위한 전도성 패턴부 상의 상기 보호층(140)의 비배치 영역인 제 3 오픈 영역(OA3)을 포함할 수 있다. 이에 따라, 상기 제 3 오픈 영역(OA3)에서, 상기 도금층(130)은 외부로 노출될 수 있다.
- [166] 상기 제 3 오픈 영역(OA3)에서, 상기 도금층(130)의 구리의 함량은 50 원자% 이상일 수 있다. 또는, 상기 제 3 오픈 영역(OA3)에서, 상기 도금층(130)의 구리의 함량은 50 원자% 미만일 수 있다. 상기 제 3 오픈 영역(OA3)은 상기 제 1 오픈 영역(OA1)보다 기판의 외곽에 위치할 수 있다. 또한, 상기 제 3 오픈 영역(OA3)은 상기 제 2 오픈 영역(OA2)보다 기판의 외곽에 위치할 수 있다.
- [167] 상기 제 1 오픈 영역(OA1) 및 상기 제 2 오픈 영역(OA2)은 상기 제 3 오픈 영역(OA3)보다 기판의 중앙 영역에 위치할 수 있다.
- [168] 상기 보호층(140)은 절곡 영역에 배치될 수 있다. 이에 따라, 상기 보호층(140)은 절곡시 발생할 수 있는 응력을 분산시킬 수 있다. 따라서, 실시예에 따른 올인원 칩 온 필름용 연성 회로기판의 신뢰성을 향상시킬 수 있다.
- [169] 상기 보호층(140)은 절연성 물질을 포함할 수 있다. 상기 보호층(140)은 전도성 패턴부의 표면을 보호하기 위해 도포된 후 가열하여 경화될 수 있는 다양한 물질을 포함할 수 있다. 상기 보호층(140)은 레지스트(resist)층일 수 있다. 예를

들어, 상기 보호층(140)은 유기고분자 물질을 포함하는 솔더 레지스트층일 수 있다. 일례로, 상기 보호층(140)은 에폭시 아크릴레이트 계열의 수지를 포함할 수 있다. 자세하게, 상기 보호층(140)은 수지, 경화제, 광개시제, 안료, 용매, 필러, 첨가제, 아크릴 계열의 모노머 등을 포함할 수 있다. 다만, 실시예는 이에 제한되지 않고, 상기 보호층(140)은 포토솔더 레지스트층, 커버레이(cover-layer) 및 고분자 물질 중 어느 하나일 수 있음은 물론이다.

- [170] 상기 보호층(140)의 두께는 $1\mu\text{m}$ 내지 $20\mu\text{m}$ 일 수 있다. 상기 보호층(140)의 두께는 $1\mu\text{m}$ 내지 $15\mu\text{m}$ 일 수 있다. 예를 들어, 상기 보호층(140)의 두께는 $5\mu\text{m}$ 내지 $20\mu\text{m}$ 일 수 있다. 상기 보호층(140)의 두께가 $20\mu\text{m}$ 초과인 경우에는 올인원 칩 온 필름용 연성 회로기판의 두께가 증가할 수 있다. 상기 보호층(140)의 두께가 $1\mu\text{m}$ 미만인 경우에는 올인원 칩 온 필름용 연성 회로기판에 포함된 전도성 패턴부의 신뢰성이 저하될 수 있다.
- [171] 다시 말해서, 실시 예에 따른 단면 올인원 칩 온 필름용 연성 회로기판(100)은 기판(110), 기판의 일면 상에 배치되는 전도성 패턴부(CP), 더미 패턴부(DP1, DP2) 및 상기 더미 패턴부(DP1, DP2)와 상기 전도성 패턴부(CP) 상의 일 영역에 부분적으로 보호층(140)이 배치되어 형성되는 보호부(PP)를 포함할 수 있다.
- [172] 상기 전도성 패턴부(CP)는 상기 배선 패턴층(120) 및 상기 도금층(130)을 포함할 수 있다.
- [173] 상기 전도성 패턴부(CP) 상의 일 영역과 다른 영역 상에는 상기 보호부(PP)가 배치되지 않을 수 있다.
- [174] 그리고, 상기 더미 패턴부(DP1, DP2) 상에는 상기 보호부(PP)가 배치될 수 있다.
- [175] 이에 따라, 상기 전도성 패턴부(CP) 상의 일 영역과 다른 영역 상에는 상기 전도성 패턴부(CP) 및 이격된 상기 전도성 패턴부(CP)사이의 기판(110)이 노출될 수 있다. 상기 전도성 패턴부(CP) 상의 일 영역과 다른 영역 상에는 제 1 접속부(70) 및 제 2 접속부(80)가 각각 배치될 수 있다. 자세하게, 상기 보호부(PP)가 배치되지 않는 상기 전도성 패턴부(CP)의 상면에는 제 1 접속부(70) 및 제 2 접속부(80)가 각각 배치될 수 있다.
- [176] 상기 제 1 접속부(70) 및 상기 제 2 접속부(80)는 서로 다른 형상을 가질 수 있다. 예를 들어, 상기 제 1 접속부(70)는 육면체 형상일 수 있다. 자세하게, 상기 제 1 접속부(70)의 단면은 사각형 형상을 포함할 수 있다. 더 자세하게, 상기 제 1 접속부(70)의 단면은 직사각형 또는 정사각형 형상을 포함할 수 있다. 예를 들어, 상기 제 2 접속부(80)는 구형 형상을 포함할 수 있다. 상기 제 2 접속부(80)의 단면은 원형 형상을 포함할 수 있다. 또는, 상기 제 2 접속부(80)는 부분적으로, 또는 전체적으로 라운드진 형상을 포함할 수 있다. 일례로, 상기 제 2 접속부(80)의 단면 형상은 일 측면에서 평면이고, 상기 일 측면과 반대되는 타 측면에서 곡면인 것을 포함할 수 있다.
- [177] 상기 제 1 접속부(70) 및 상기 제 2 접속부(80)는 서로 다른 크기를 가질 수 있다. 상기 제 1 접속부(70)는 상기 제 2 접속부(80)보다 작을 수 있다.

- [178] 상기 제 1 접속부(70) 및 상기 제 2 접속부(80)의 폭은 서로 다를 수 있다. 예를 들어, 하나의 제 1 접속부(70)의 양 측면 사이의 폭(D1)은 하나의 제 2 접속부(80)의 양 측면 사이의 폭(D2)보다 작을 수 있다.
- [179] 상기 제 1 접속부(70) 상에는 상기 제 1 칩(C1)이 배치될 수 있다. 상기 제 1 접속부(70)는 전도성 물질을 포함할 수 있다. 이에 따라, 상기 제 1 접속부(70)는 상기 제 1 접속부(70)의 상면에 배치되는 상기 제 1 칩(C1) 및 상기 제 1 접속부(70)의 하면에 배치되는 상기 전도성 패턴부(CP)를 전기적으로 연결할 수 있다.
- [180] 상기 제 2 접속부(80) 상에는 상기 제 2 칩(C2)이 배치될 수 있다. 상기 제 2 접속부(80)는 전도성 물질을 포함할 수 있다. 이에 따라, 상기 제 2 접속부(80)는 상기 제 2 접속부(80)의 상면에 배치되는 상기 제 2 칩(C2) 및 상기 제 2 접속부(80)의 하면에 배치되는 상기 전도성 패턴부(CP)를 전기적으로 연결할 수 있다.
- [181] 실시예에 따른 단면 올인원 칩 온 필름용 연성 회로기판(100)의 동일한 일면 상에는 서로 다른 종류의 제 1 칩(C1) 및 제 2 칩(C2)이 배치될 수 있다. 자세하게, 실시예에 따른 단면 올인원 칩 온 필름용 연성 회로기판(100)의 동일한 일면 상에는 하나의 상기 제 1 칩(C1) 및 복수 개의 제 2 칩(C2)이 배치될 수 있다. 이에 따라, 칩 패키징 공정의 효율을 향상시킬 수 있다.
- [182] 상기 제 1 칩(C1)은 구동 IC 칩(Drive IC chip)을 포함할 수 있다.
- [183] 상기 제 2 칩(C2)은 구동 IC 칩(Drive IC chip) 이외의 칩을 의미할 수 있다. 상기 제 2 칩(C2)은 구동 IC 칩(Drive IC chip) 이외의 소켓 또는 소자를 포함하는 다양한 칩을 의미할 수 있다. 예를 들어, 상기 제 2 칩(C2)은 다이오드 칩, 전원 IC 칩, 터치센서 IC 칩, MLCC 칩, BGA 칩, 칩 콘덴서 중 적어도 하나인 것을 포함할 수 있다.
- [184] 올인원 칩 온 필름용 연성 회로기판(100) 상에 배치되는 복수 개의 제 2 칩(C2)은 다이오드 칩, 전원 IC 칩, 터치센서 IC 칩, MLCC 칩, BGA 칩, 칩 콘덴서 중 적어도 하나가 여러 개 배치되는 것을 의미할 수 있다. 일례로, 올인원 칩 온 필름용 연성 회로기판(100) 상에는 여러 개의 MLCC 칩이 배치될 수 있다.
- [185] 또한, 상기 제 2 칩(C2)은 다이오드 칩, 전원 IC 칩, 터치센서 IC 칩, MLCC 칩, BGA 칩, 칩 콘덴서 중 적어도 둘을 포함할 수 있다. 즉, 올인원 칩 온 필름용 연성 회로기판(100) 상에는 서로 다른 종류의 복수 개의 제 2 칩(C2a, C2b)이 배치될 수 있다. 예를 들어, 올인원 칩 온 필름용 연성 회로기판(100) 상에는 다이오드 칩, 전원 IC 칩, 터치센서 IC 칩, MLCC 칩, BGA 칩, 칩 콘덴서 중 어느 하나의 제 2 칩(C2a) 및 다이오드 칩, 전원 IC 칩, 터치센서 IC 칩, MLCC 칩, BGA 칩, 칩 콘덴서 중 상기 어느 하나와 다른 하나의 제 2 칩(C2b)을 포함할 수 있다.
- [186] 자세하게, 올인원 칩 온 필름용 연성 회로기판(100) 상에는 다이오드 칩, 전원 IC 칩, 터치센서 IC 칩, MLCC 칩, BGA 칩, 칩 콘덴서 중 어느 하나의 제 2 칩(C2a)이 복수 개로 배치될 수 있고, 다이오드 칩, 전원 IC 칩, 터치센서 IC 칩,

MLCC 칩, BGA 칩, 칩 콘텐서 중 상기 어느 하나와 다른 하나의 제 2 칩(C2b)이 복수 개로 배치되는 것을 포함할 수 있다. 일례로, 올인원 칩 온 필름용 연성 회로기판(100) 상에는 복수 개의 MLCC 칩(C2a) 및 복수 개의 전원 IC 칩(C2b)을 포함할 수 있다. 일례로, 올인원 칩 온 필름용 연성 회로기판(100) 상에는 복수 개의 MLCC 칩(C2a) 및 복수 개의 다이오드 칩(C2b)을 포함할 수 있다. 일례로, 올인원 칩 온 필름용 연성 회로기판(100) 상에는 복수 개의 MLCC 칩(C2a) 및 복수 개의 BGA 칩(C2b)을 포함할 수 있다.

- [187] 실시 예에서 상기 제 2 칩의 종류가 2개로 제한되는 것은 아니며, 구동 IC 칩을 제외한 다양한 칩이 모두 제 2 칩에 포함될 수 있음은 물론이다.
- [188] 상기 올인원 칩 온 필름용 연성 회로기판(100)의 일단은 디스플레이 패널(30)과 연결될 수 있다. 상기 올인원 칩 온 필름용 연성 회로기판(100)의 일단은 디스플레이 패널(30)과 접착층(50)에 의해서 연결될 수 있다. 자세하게, 상기 접착층(50)의 상면에는 상기 디스플레이 패널(30)이 배치되고, 상기 접착층(50)의 하면에는 상기 올인원 칩 온 필름용 연성 회로기판(100)이 배치될 수 있다. 이에 따라, 상기 디스플레이 패널(30) 및 상기 올인원 칩 온 필름용 연성 회로기판(100)은 상기 접착층(50)을 사이에 두고 상, 하로 합착될 수 있다.
- [189] 상기 올인원 칩 온 필름용 연성 회로기판(100)의 상기 일단과 반대되는 타단은 메인보드(40)와 연결될 수 있다. 상기 올인원 칩 온 필름용 연성 회로기판(100)의 상기 일단과 반대되는 타단은 메인보드(40)와 접착층(50)에 의해서 연결될 수 있다. 자세하게, 상기 접착층(50)의 상면에는 메인보드(40)가 배치되고, 상기 접착층(50)의 하면에는 상기 올인원 칩 온 필름용 연성 회로기판(100)이 배치될 수 있다. 이에 따라, 상기 메인보드(40) 및 상기 올인원 칩 온 필름용 연성 회로기판(100)은 상기 접착층(50)을 사이에 두고 상, 하로 합착될 수 있다.
- [190] 상기 접착층(50)은 전도성 물질을 포함할 수 있다. 상기 접착층(50)은 전도성 입자가 접착 물질 내에 분산된 것일 수 있다. 예를 들어, 상기 접착층(50)은 이방성 전도성 필름(ACF)일 수 있다.
- [191] 이에 따라, 상기 접착층(50)은 디스플레이 패널(30), 상기 올인원 칩 온 필름용 연성 회로기판(100) 및 상기 메인보드(40) 사이의 전기적인 신호를 전달함과 별도의 구성요소를 안정적으로 연결할 수 있다.
- [192] 한편, 상기 기판(110) 상에는 상기 설명한 바와 같은 더미 패턴부(DP1, DP2)가 배치된다. 즉, 상부 더미 패턴부(DP2)는 상기 기판(110)의 상면에 배치되고, 상기 하부 더미 패턴부(DP1)는 상기 기판(110)의 하면에 배치된다.
- [193] 상기 상부 더미 패턴부(DP2)는 상기 기판(110)의 상면 중 상기 상부 배선 패턴층이 배치되지 않은 영역에 배치될 수 있다. 바람직하게, 상부 더미 패턴부(DP2)는 상기 기판(110)의 하면에 배치된 하부 배선 패턴층과 수직으로 중첩된 상기 기판의 상면 중 상기 상부 배선 패턴층이 배치되지 않은 영역 상에 배치될 수 있다.
- [194] 상기 하부 더미 패턴부(DP1)는 상기 기판(110)의 하면 중 상기 하부 배선

패턴층이 배치되지 않은 영역에 배치될 수 있다. 바람직하게, 하부 더미 패턴부(DP1)는 상기 기관(110)의 상면에 배치된 상부 배선 패턴층과 수직으로 중첩된 상기 기관의 하면 중 상기 상부 배선 패턴층이 배치되지 않은 영역 상에 배치될 수 있다.

- [195] 즉, 상기 기관(110)에 배치되는 상기 상부 배선 패턴층과 상기 하부 배선 패턴층의 위치는 상호 대응되지 않고, 각각이 가지는 기능 및 신호 배선 라인의 수에 따라 디자인되어 상기 기관(110)의 각각의 표면 상에 배치된다.
- [196] 따라서, 상기 상부 배선 패턴층 및 상기 상부 도금층이 배치된 영역과 수직으로 중첩된 상기 기관(110)의 하면에는 상기 하부 배선 패턴층과 하부 도금층이 배치되지 않을 수 있다. 또한, 상기 하부 배선 패턴층 및 상기 하부 도금층이 배치된 영역과 수직으로 중첩된 상기 기관(110)의 상면에는 상기 상부 배선 패턴층 및 상기 상부 도금층이 배치되지 않을 수 있다.
- [197] 이때, 상기 기관(110) 상에는 인쇄 공정에 의해 상기 보호층(140)이 배치된다. 상기 보호층(140)은 기관(110)의 일면에 대해 우선적으로 인쇄되고, 상기 일면에 대한 인쇄 공정이 종료된 후에 상기 기관(110)의 타면에 대한 인쇄 공정이 진행된다.
- [198] 여기에서, 상기 기관의 일면 및 타면 중 상기 보호층(140)이 먼저 인쇄되는 면에 대해서는, 그의 반대 면에 배선 패턴층/도금층이 배치되지 않은 영역과, 배선 패턴층/도금층이 배치된 영역이 공존함에 따라 단차가 발생하게 된다. 이때, 상기 보호층(140)이 인쇄되는 면과 반대되는 반대면에 상기 단차가 존재하게 되면, 상기 보호층(140)의 인쇄 공정에서 보호층(140)이 배치되지 않는 문제나 편-홀 문제가 발생하게 되며, 이는 인쇄회로기판의 신뢰성에 큰 영향을 준다.
- [199] 따라서, 본 발명에서는 상기와 같은 문제를 해결하기 위하여, 상기 단차가 존재하지 않도록, 상기 보호층(140)이 인쇄되는 면의 반대면에 상기와 같은 더미 패턴부(DP1, DP2)를 형성한다.
- [200] 이때, 상기 기관(110)의 양면 중 상면에 대해 우선적으로 상기 보호층(140)의 인쇄 공정이 진행되는 경우, 상기 더미 패턴부(DP1, DP2)는 하부 더미 패턴부(DP1)만을 포함할 수 있다. 즉, 상기 기관(110)의 상면에서 상기 보호층(140)이 인쇄되는 경우, 상기 기관(110)의 하면에 배치된 상기 하부 더미 패턴부(DP1)에 의해 패턴 단차가 해결되며, 이에 따라 상기 기관(110)의 상면에는 균일한 높이를 가지는 보호층(140)이 배치될 수 있다.
- [201] 그리고, 상기 기관(110)의 상면에 대한 보호층(140)의 인쇄 공정이 종료된 후에 상기 기관(110)의 하면에 대한 보호층(140)의 인쇄 공정이 진행되는 경우, 상기 기관(110)의 상면에 형성된 상기 보호층(140)이 상기 상부 배선 패턴층/상부 도금층 간의 단차가 해결되며, 이에 따라 상기 기관(110)의 하면에 대해서는 균일한 보호층(140)이 형성될 수 있다.
- [202] 다만, 상기 기관(110)의 일면 및 타면 중 상기 보호층(140)이 먼저 인쇄되는 면은 상기 인쇄회로기판의 제조 환경에 따라 수시로 변하게 된다. 따라서, 본

발명에서는 상기와 같은 인쇄회로기판의 제조 환경을 고려하여, 상기 기판(110)의 상면에는 상기 하부 배선 패턴층과 상기 하부 도금층에 대응하는 위치에 상부 더미 패턴부(DP2)를 형성하고, 상기 기판(110)의 하면에는 상기 상부 배선 패턴층과 상기 상부 도금층에 대응하는 위치에 하부 더미 패턴부(DP1)를 형성한다. 여기에서, 상기 대응하는 위치는, 기판(110)의 일면 상에 배치된 배선 패턴층 및 도금층과 수직으로 중첩되는 기판의 타면 상의 위치를 의미한다.

- [203] 상기 더미 패턴부(DP1, DP2)는 단일층으로 구성될 수 있다. 바람직하게, 상기 더미 패턴부(DP1, DP2)는 더미 패턴층만을 포함할 수 있다. 상기 더미 패턴층은 상기 배선 패턴층과 동일한 금속 물질을 포함할 수 있다. 그러나, 본 발명은 이에 한정되지 않고, 상기 더미 패턴층은 상기 배선 패턴층과 다른 물질을 포함할 수 있다. 예를 들어, 상기 더미 패턴층은 비금속 물질을 포함할 수 있다.
- [204] 또한, 이와 다르게 도 3b에 도시된 바와 같이, 상기 더미 패턴부(DP1, DP2)는 제 1 더미 패턴층(151), 제 2 더미 패턴층(152) 및 제 3 더미 패턴층(153)을 포함할 수 있다.
- [205] 상기 제 1 더미 패턴층(151)은 상기 배선 패턴층(120)에 대응한다. 상기 제 1 더미 패턴층(151)은 상기 배선 패턴층(120)과 동일한 금속 물질을 포함한다. 상기 제 1 더미 패턴층(151)은 상기 배선 패턴층(120)의 일부일 수 있다. 다시 말해서, 상기 기판(110)의 표면에는 칩과 전기적으로 연결되며 신호 전달을 위한 배선 패턴층(120)이 배치된다. 이때, 상기 배선 패턴층(120)과 함께 상기 제 1 더미 패턴층(151)을 형성할 수 있다. 즉, 상기 기판(110) 상에는 패턴층이 형성되며, 이는 상기 전기적 신호 전달을 위한 배선 패턴층(120)과 상기 제 1 더미 패턴층(151)을 포함하게 된다. 상기 제 1 더미 패턴층(151)은 상기 배선 패턴층(120)과는 다르게 전기적 신호를 전달하지 않으며, 이에 따라 상기 배선 패턴층(120)과 전기적으로 연결되지 않는다. 즉, 상기 제 1 더미 패턴층(151)은 상기 기판(110)의 표면 중에서 상기 배선 패턴층(120)이 배치되지 않은 영역 상에, 상기 배선 패턴층(120)과 연결되지 않으며 독립적으로 배치될 수 있다.
- [206] 상기 제 2 더미 패턴층(152)은 상기 제 1 더미 패턴층(151) 위에 배치된다. 상기 제 2 더미 패턴층(152)은 상기 제 1 도금층(131)의 일부일 수 있다. 상기 제 3 더미 패턴층(152)은 상기 제 2 더미 패턴층(152) 위에 배치된다. 상기 제 3 더미 패턴층(153)은 상기 제 2 도금층(132)의 일부일 수 있다.
- [207] 다시 말해서, 본 발명에서의 더미 패턴부(DP1, DP2)는 상기 전도성 패턴부(CP)가 가지는 층 구조와는 다르게 단일층으로 형성될 수 있다. 또한, 상기 더미 패턴부(DP1, DP2)는 상기 전도성 패턴부(CP)가 가지는 층 구조와 동일하게 3층으로 구성될 수 있다.
- [208] 한편, 상기 더미 패턴부(DP1, DP2) 상에는 상기 보호층(140)이 배치된다. 즉, 상기 보호층(140)은 오픈되어야 하는 상기 전도성 패턴부(CP)의 일부 표면을 노출한다. 그리고, 상기 더미 패턴부(DP1, DP2)는 외부로 노출되지 않아도 되며,

- 이에 따라 상기 더미 패턴부(DP1, DP2) 위에는 상기 보호층(140)이 배치된다.
- [209] 한편, 도 3a를 참조하면, 상기 배선 패턴층(120)의 면적은 상기 도금층(130)과 서로 대응될 수 있다. 상기 제 1 도금층(131)의 면적은 상기 제 2 도금층(132)의 면적과 서로 대응될 수 있다.
- [210] 도 7을 참조하면, 상기 배선 패턴층(120)의 면적은 상기 도금층(130)과 서로 다를 수 있다. 상기 배선 패턴층(120)의 면적은 상기 제 1 도금층(131)의 면적과 대응될 수 있다. 상기 제 1 도금층(131)의 면적은 상기 제 2 도금층(132)의 면적과 서로 다를 수 있다. 예를 들어, 상기 제 1 도금층(131)의 면적은 상기 제 2 도금층(132)의 면적보다 클 수 있다.
- [211] 도 8를 참조하면, 상기 배선 패턴층(120)의 면적은 상기 도금층(130)과 서로 다를 수 있다.
- [212] 도 9를 참조하면, 상기 기판(110)의 일면에서 상기 배선 패턴층(120)의 면적은 상기 도금층(130)과 서로 다르고, 상기 기판(110)의 타면에서 상기 배선 패턴층(120)의 면적은 상기 도금층(130)과 서로 대응될 수 있다.
- [213] 상기 보호층(140)은 상기 기판(110) 상에 직접 접촉하며 배치되거나, 상기 배선 패턴층(120) 상에 직접 접촉하며 배치되거나, 상기 제 1 도금층(131) 상에 직접 접촉하며 배치되거나, 상기 제 2 도금층(132) 상에 직접 접촉하며 배치될 수 있다. 또한, 상기 보호층(140)은 상기 더미 패턴부(DP1, DP2)와 직접 접촉하며 배치될 수 있다.
- [214] 도 3a 및 도 3b를 참조하면, 상기 배선 패턴층(120) 상에 상기 제 1 도금층(131)이 배치되고, 상기 제 1 도금층(131) 상에 상기 제 2 도금층(132)이 형성되고, 상기 제 2 도금층(132) 상에 부분적으로 상기 보호층(140)이 배치될 수 있다. 또한, 상기 더미 패턴부(DP1, DP2) 상에 전체적으로 상기 보호층(140)이 배치될 수 있다.
- [215] 도 7a, 도 7b를 참조하면, 상기 배선 패턴층(120) 상에 상기 제 1 도금층(131)이 배치되고, 상기 제 1 도금층(131) 상에 부분적으로 상기 보호층(140)이 배치될 수 있다. 상기 제 2 도금층(132)은 상기 도금층(131) 상의 상기 보호층(140)이 배치된 영역 이외의 영역에 배치될 수 있다.
- [216] 상기 보호층(140)의 하면이 접촉하는 상기 제 1 도금층(131)은 구리 및 주석의 합금층일 수 있다. 상기 보호층(140)의 측면과 접촉하는 상기 제 2 도금층(132)은 순수 주석을 포함할 수 있다. 이에 따라, 상기 보호층(140)과 상기 제 1 도금층(131) 사이에 공동부가 형성됨에 따른 보호층의 탈막을 방지할 수 있고, 위스커의 형성을 방지할 수 있어, 보호층의 밀착력을 높일 수 있다. 따라서, 실시 예에는 2층의 도금층을 포함할 수 있어, 신뢰성이 높은 전자 디바이스를 제공할 수 있다.
- [217] 또한, 상기 배선 패턴층(120) 상에 단일층의 주석 도금층(131)만을 배치하고, 하나의 주석 도금층(131) 상에 보호층(140)을 배치하는 경우에는 보호층(140)의 열 경화시에 상기 주석 도금층(131)이 가열됨에 따라, 상기 주석 도금층(131)

내에 구리가 확산될 수 있다. 이에 따라, 상기 주석 도금층(131)은 주석 및 구리의 합금층이 될 수 있으므로, 골드 범프를 가지는 제 1 칩의 실장이 견고하게 이루어질 수 없는 문제점이 있다. 따라서, 실시 예에 따른 도금층(130)은 기관으로부터 멀어질수록 주석의 농도가 연속적으로 증가할 수 있는 제 1 도금층(131) 및 제 2 도금층(132)이 요구된다.

[218] 그리고, 도 7a에서와 같이, 상기 더미 패터부(DP1, DP2)는 상기 배선 패터층(120)과 상기 제 1 도금층(131)에 대응하는 단일층의 더미 패터층을 포함할 수 있다.

[219] 또한, 도 7b에서와 같이, 상기 더미 패터부(DP1, DP2)는 상기 배선 패터층(120)에 대응하는 제 1 더미 패터층(151), 상기 제 1 도금층(131)에 대응하는 제 2 더미 패터층(152), 그리고 상기 제 2 도금층(132)에 대응하는 제 3 더미 패터층(153)을 포함할 수 있다.

[220] 도 8을 참조하면, 상기 배선 패터층(120) 상에 상기 제 1 도금층(131)이 배치되고, 상에 상기 제 1 도금층(131) 상에 부분적으로 상기 보호층(140)이 배치될 수 있다. 상기 제 2 도금층(132)은 상기 도금층(131) 상의 상기 보호층(140)이 배치된 영역 이외의 영역에 배치될 수 있다.

[221] 이때, 상기 배선 패터층(120)은 제 1 배선 패터층(121) 및 제 2 배선 패터층(122)을 포함할 수 있다. 즉, 상기 기관 상에는 복수 개의 배선 패터층이 배치될 수 있다.

[222] 또한, 도면에는 도시하지 않았으나, 상기 기관(110)과 상기 제 1 배선 패터층(121) 사이에는 상기 기관(110)과 상기 제 1 배선 패터층(121)의 밀착력을 향상하기 위한 금속 시드층을 더 포함할 수 있다. 이때, 금속 시드층은 스퍼터링에 의해 형성할 수 있다. 금속 시드층은 구리를 포함할 수 있다.

[223] 상기 제 1 배선 패터층(121) 및 상기 제 2 배선 패터층(122)은 서로 대응되거나 서로 다른 공정으로 형성될 수 있다.

[224] 상기 제 1 배선 패터층(121)은 $0.1\mu\text{m}$ 내지 $0.5\mu\text{m}$ 두께로 구리를 스퍼터링하여 형성될 수 있다. 상기 제 1 배선 패터층(121)은 기관의 상부, 하부 및 관통홀의 내측면에 배치될 수 있다. 이때, 상기 제 1 배선 패터층(121)의 두께가 얇기 때문에, 관통홀의 내측면은 서로 이격될 수 있다.

[225] 다음으로, 상기 제 2 배선 패터층(122)은 상기 제 1 배선 패터층(121) 상에 배치될 수 있다. 또한, 상기 제 2 배선 패터층(122)은 도금에 의하여 관통홀의 내부에 전체적으로 채워질 수 있다.

[226] 상기 제 1 배선 패터층(121)은 스퍼터링에 의하여 형성되기 때문에, 상기 기재(110) 또는 상기 금속 시드층과의 밀착력이 우수한 장점을 가지지만, 제조 비용이 높기 때문에, 상기 제 1 배선 패터층(121) 상에 다시, 도금에 의한 상기 제 2 배선 패터층(122)을 형성함으로써, 제조 비용을 저감시킬 수 있다. 또한, 별도로 기관의 관통홀에 전도성 물질을 채우지 않고, 상기 제 1 배선 패터층(121) 상에 상기 제 2 배선 패터층(122)을 배치함과 동시에 비아홀 내에 구리가 충전될 수

있으므로, 공정 효율이 향상될 수 있다. 또한, 비아홀 내에 보이드가 형성되는 것을 방지할 수 있어, 신뢰성이 높은 올인원 칩 온 필름용 연성 회로기판 및 이를 포함하는 전자 디바이스를 제공할 수 있다.

- [227] 그리고, 더미 패턴부(DP1, DP2)는 상기 제 1 배선 패턴층(121)에 대응하는 제 1 더미 패턴층(151)과, 상기 제 2 배선 패턴층(122)에 대응하는 제 2 더미 패턴층(152)과, 상기 제 1 도금층(131)에 대응하는 제 3 더미 패턴층(153)과, 상기 제 2 도금층(132)에 대응하는 제 4 더미 패턴층(154)을 포함할 수 있다.
- [228] 도 9를 참조하면, 상기 기판의 일면에는 복수 개의 보호층(140)이 배치될 수 있다. 상기 보호층은 제 1 보호층(141) 및 제 2 보호층(142)을 포함할 수 있다.
- [229] 예를 들어, 상기 기판의 일면 상에 제 1 보호층(141)이 부분적으로 배치되고, 상기 보호층(141)이 배치되는 영역 이외의 영역 상에 상기 배선 패턴층(120)이 배치될 수 있다.
- [230] 상기 보호층(141) 상에는 상기 제 2 보호층(142)이 배치될 수 있다. 상기 제 2 보호층(142)은 상기 제 1 보호층(141) 및 상기 배선 패턴층(120)을 덮으며, 상기 제 1 보호층(141)보다 큰 영역에 배치될 수 있다.
- [231] 상기 보호층(142)은 상기 제 1 보호층(141)의 상면을 감싸면서 상기 보호층(141)과 대응되는 영역 상에 배치될 수 있다. 상기 제 2 보호층(142)의 폭은 상기 보호층(141)보다 클 수 있다. 이에 따라, 상기 제 2 보호층(142)의 하면은 상기 배선 패턴층(120) 및 상기 제 1 보호층(141)과 접촉할 수 있다. 이에 따라, 상기 제 2 보호층(142)은 상기 제 1 보호층(141)과 상기 배선 패턴층(120)의 계면에서 응력이 집중되는 것을 완화할 수 있다. 따라서, 실시예에 따른 올인원 칩 온 필름용 연성 회로기판의 벤딩시 발생할 수 있는 탈막 또는 크랙의 발생을 낮출 수 있다.
- [232] 상기 제 2 보호층(142)이 배치되는 영역 이외의 영역에는 상기 도금층(130)이 배치될 수 있다. 자세하게, 상기 제 2 보호층(142)이 배치되는 영역 이외의 영역에서, 상기 배선 패턴층(120) 상에 상기 제 1 도금층(131)이 배치되고, 상에 상기 제 1 도금층(131) 상에 상기 제 2 도금층(132)이 차례대로 배치될 수 있다.
- [233] 상기 기판의 상기 일면과 반대되는 타면 상에는 배선 패턴층(120)이 배치될 수 있다. 배선 패턴층(120) 상에는 상기 도금층(130)이 배치될 수 있다. 상기 도금층(130) 상에는 부분적으로 보호층(140)이 배치될 수 있다.
- [234] 상기 기판의 일면에 배치되는 보호층과 상기 기판의 타면에 배치되는 보호층의 폭은 서로 대응되거나 서로 다를 수 있다.
- [235] 도면에서는 기판의 일면에만 복수 개의 보호층이 배치되는 것을 도시하였으나, 실시예는 이에 제한되지 않고, 상기 기판의 양면에 각각 복수 개의 보호층을 포함할 수 있음은 물론이다. 또한, 기판의 일면에만 복수 개 또는 하나의 보호층이 배치될 수 있음은 물론이다.
- [236] 또한, 상기 기판의 일면 또는 양면의 구조는 도 3a, 도 3b, 도 7a, 도 7b, 도 8, 도 9 중 적어도 하나에 따른 전도성 패턴부, 보호부의 구조를 조합하여 다양하게

배치할 수 있음은 물론이다.

[237]

[238] 도 4a 및 도 4b를 참조하면, 비교 예에 따른 연성 회로 기판은, 기판(110)의 상면에 상부 전도성 패턴부(CP)가 배치되고, 상기 기판(110)의 하면에 하부 전도성 패턴부(CP)가 배치된다. 이때, 상기 상부 전도성 패턴부(CP) 및 상기 하부 전도성 패턴부(CP)는 보호층(140)의 인쇄 공정이 고려되지 않은 상태에서 설계가 된다. 따라서, 상기 기판(110)의 상면에는 상기 상부 전도성 패턴부(CP)가 존재하지만, 상기 기판(110)의 하면에는 하부 전도성 패턴부(CP)가 존재하지 않는 영역을 포함할 수 있다. 다시 말해서, 상기 상부 전도성 패턴부(CP)가 배치된 면과 수직으로 중첩된 기판(110)의 하면에는 상기 하부 전도성 패턴부(CP)가 배치되지 않는 영역이 존재한다.

[239] 이때, 상기 비교 예에 따른 연성 회로 기판은, 최 하면이 상기 하부 전도성 패턴부(CP)가 존재하는 영역에서는 상기 하부 전도성 패턴부(CP)의 하면이 되고, 상기 하부 전도성 패턴부(CP)가 존재하지 않는 영역에서는 상기 기판(110)의 하면이 된다.

[240] 그리고, 상기 기판(110)의 상면에 보호층(140)을 인쇄하는 공정에서, 상기 하부 전도성 패턴부(CP)가 배치되지 않는 영역과 수직으로 중첩되는 영역에 대해서는 상기 최하면이 상기 기판(110)의 하면으로 동일하며, 이에 따른 핀 홀 현상이 발생하지 않는다. 이때, 상기 하부 전도성 패턴부(CP)가 존재하지 않는 영역에 대해 상기 보호층(140)을 인쇄하는 상태에서, 상기 하부 전도성 패턴부(CP)가 갑자기 나타나게 되면, 상기 하부 전도성 패턴부(CP)의 단부와 수직으로 중첩된 상기 기판(110)의 상부 영역에서 갑작스런 단차 발생에 따른 튼 현상이 발생하게 된다. 이에 따라, 종래에서는 상기 하부 더미 패턴부(DP1)가 처음으로 배치되는 단부 영역에서 상기 튼 현상이 발생하게 되며, 이에 따라 상기 보호층(140)이 미배치되는 핀-홀 문제가 발생하게 된다.

[241] 한편, 도 4b에 도시된 바와 같이, 본 발명에서는 상기 상부 전도성 패턴부(CP)가 배치된 영역과 수직으로 중첩된 상기 기판(110)의 하면에 상기 하부 더미 패턴부(DP1)를 배치함으로써, 상기 단차 발생을 제거하였으며, 이에 따른 균일한 보호층(140)을 형성할 수 있다.

[242] 그리고, 상기 하부 더미 패턴부(DP1)는 상기 상부 전도성 패턴부(CP)의 각각에 대응하게 배치될 수 있다. 다시 말해서, 도 4b에서와 같이, 상기 하부 전도성 패턴부(CP)가 배치되지 않는 영역과 수직으로 중첩되는 상기 기판(110)의 상면에는 3개의 상부 전도성 패턴부(CP)가 배치되어 있음을 확인할 수 있다. 이에 따라, 상기 기판(110)의 하면에는 상기 3개의 상부 전도성 패턴부(CP)의 각각에 대응하게 제 1 하부 더미 패턴부(DP1), 제 2 하부 더미 패턴부(DP1) 및 제 3 하부 더미 패턴부(DP1)가 각각 배치될 수 있다.

[243] 한편, 상기와 같은 보호층(140)의 핀-홀 현상은, 보호층(140)의 인쇄되는 기판(110)의 상면 상에서 최초의 상부 전도성 패턴부(CP)가 시작되는 위치와,

상기 기관의 하면 상에서 최초의 하부 전도성 패턴부(CP)가 시작되는 위치가 서로 다르기 때문이다. 바람직하게, 기관의 좌측단을 기준으로 상기 최초의 상부 전도성 패턴부(CP)가 시작되는 위치보다 상기 하부 전도성 패턴부(CP)가 시작되는 위치가 더 멀기 때문이다.

[244] 따라서, 핀-홀 현상은 상기 최초의 상부 전도성 패턴부(CP)가 시작되는 위치와 상기 하부 전도성 패턴부(CP)가 시작되는 위치를 동일하게 하여 해결할 수도 있다.

[245] 즉, 도 5a에 도시된 바와 같이, 도 3a의 A 영역을 확대하면, 상기 기관(110)의 상면에는 좌측단을 중심으로 4개의 상부 전도성 패턴부(CP)가 배치되어 있음을 확인할 수 있다. 그리고, 상기 기관(110)의 하면에는 좌측단을 중심으로 2개의 하부 전도성 패턴부(CP)가 배치되어 있음을 확인할 수 있다. 즉, 상기 4개의 상부 전도성 패턴부(CP) 중 세 번째 위치한 상부 전도성 패턴부(CP)의 위치에서 상기 하부 전도성 패턴부(CP)가 최초 시작됨을 확인할 수 있다.

[246] 따라서, 본 발명에서는 상기 기관(110)의 하면 중 상기 첫 번째 상부 전도성 패턴부(CP)와 수직으로 중첩되는 영역 상에 하부 더미 패턴부(DP1)를 배치한다. 이때, 상기 첫 번째 상부 전도성 패턴부의 좌측단과, 상기 하부 더미 패턴부(DP1)의 좌측단은 서로 동일 수직 선상에 위치할 수 있다. 즉, 상기 기관(110)의 상면 및 하면 상에서, 상기 첫 번째 상부 전도성 패턴부(CP)의 시작 위치와 상기 하부 더미 패턴부(DP1)의 시작 위치를 동일하게 하였다. 그리고, 두 번째 상부 전도성 패턴부(CP)와 수직으로 중첩되는 영역 상에는 상기 하부 전도성 패턴부(CP)나 상기 하부 더미 패턴부(DP1)가 배치되지 않을 수 있다.

[247] 즉, 상기 첫 번째 상부 전도성 패턴부(CP)의 시작 위치와 중첩되는 상기 기관(110)의 하면 상에 하부 전도성 패턴부(CP)가 배치되지 않은 경우, 상기 첫 번째 상부 전도성 패턴부(CP)의 시작 위치와 중첩되는 상기 기관(110)의 하면 상에만 상기 하부 더미 패턴부(DP1)를 배치하여 상기 핀-홀 현상을 해결할 수 있다.

[248] 다만, 상기 하나의 하부 더미 패턴부(DP1)를 이용하여 상기 핀-홀 현상을 완벽하게 해결하기 위해서, 상기 하부 더미 패턴부(DP1)의 폭을 상기 첫 번째 상부 전도성 패턴부(CP)의 폭보다 크게 하는 것이 바람직하다.

[249] 이와 다르게, 도 5b에서와 같이, 상기 기관(110)의 하면 중 상기 첫 번째 상부 전도성 패턴부(CP)와 수직으로 중첩되는 영역 상에 하부 더미 패턴부(DP1)를 배치한다. 이때, 상기 첫 번째 상부 전도성 패턴부의 좌측단과, 상기 하부 더미 패턴부(DP1)의 좌측단은 서로 동일 수직 선상에 위치하지 않는다. 즉, 상기 기관(110)의 상면 및 하면 상에서, 상기 첫 번째 상부 전도성 패턴부(CP)의 시작 위치와 상기 하부 더미 패턴부(DP1)의 시작 위치가 동일하지 않을 수 있다. 이때, 상기와 같은 조건 상에서, 상기 핀-홀 현상을 해결하기 위해서는 상기 보호층(140)이 인쇄되는 면에서 최초 배치된 패턴(전도성 패턴부(CP) 및 더미 패턴부(DP1, DP2) 포함)의 시작 위치보다, 상기 인쇄되는 면의 반대면에 최초

배치된 패턴의 시작 위치가 빨라야 한다.

- [250] 따라서 본 발명에서는, 상기 첫 번째 상부 전도성 패턴부(CP)의 시작 위치보다 상기 기관(110)의 하면 상에 배치된 하부 더미 패턴부(DP1)의 시작 위치가 더 빠르도록 상기 첫 번째 상부 전도성 패턴부(CP)와 수직으로 중첩되는 상기 기관(110)의 하면 상에 상기 하부 더미 패턴부(DP1)를 형성한다.
- [251] 다시 말해서, 상기 기관(110)의 좌측단에서 상기 하부 더미 패턴부(DP1)의 좌측단까지의 거리가 상기 기관(110)의 좌측단에서 상기 첫 번째 상부 전도성 패턴부(CP)의 좌측단까지의 거리보다 가깝도록 한다.
- [252] 결론적으로, 상기 첫 번째 상부 전도성 패턴부(CP)의 좌측단으로부터 상기 하부 더미 패턴부(DP1)의 좌측단까지는 제 1 간격(a)만큼 차이가 날 수 있다. 그리고, 상기 첫 번째 상부 전도성 패턴부(CP)의 폭은 제 1 폭(b)을 가지며, 상기 하부 더미 패턴부(DP1)의 폭은 상기 제 1 폭(b)보다 넓은 제 2 폭(c)을 가지도록 한다.
- [253] 이에 따르면, 본 발명에서는 최소한의 더미 패턴부를 형성하는 것으로 상기 핀-홀 현상을 해결할 수 있다.
- [254] 또한, 도 5c에서와 같이, 상기 하부 더미 패턴부(DP1)는 제 3 폭(d)을 가질 수 있다. 이때, 상기 제 3 폭(d)은 상기 첫 번째 상부 전도성 패턴부(CP)의 폭, 상기 두 번째 상부 전도성 패턴부(CP)의 폭, 그리고 상기 첫 번째 상부 전도성 패턴부(CP)와 상기 두 번째 상부 전도성 패턴부(CP) 사이의 이격 폭을 모두 합한 폭에 대응될 수 있다.
- [255] 다시 말해서, 도 4b에서는 상기 첫 번째 상부 전도성 패턴부(CP)의 하부에 상기 첫 번째 상부 전도성 패턴부(CP)와 동일 폭을 가지는 제 1 하부 더미 패턴부(DP1)를 형성하였고, 두 번째 상부 전도성 패턴부(CP)의 하부에 상기 두 번째 상부 전도성 패턴부(CP)와 동일 폭을 가지는 제 2 하부 더미 패턴부(DP1)를 형성하였다.
- [256] 이와 다르게, 도 5c에서와 같이, 상기 첫 번째 상부 전도성 패턴부(CP)의 시작위치부터 상기 두 번째 상부 전도성 패턴부(CP)의 종료 위치에 대응하는 기관(110)의 하면에 하나의 전도성 패턴부(CP)만을 형성할 수 있다.
- [257]
- [258] 한편, 본 발명에서의 상기 더미 패턴부(DP1, DP2)는 다양한 형상을 가질 수 있다. 즉, 상기 더미 패턴부(DP1, DP2)는 상기 보호층(140)의 인쇄면의 하부에서 단차를 없애주기 위해 배치되는 것이기 때문에, 패턴부의 두께를 전도성 패턴부(CP)의 두께와 동일하게 유지해주시만 하면 된다. 따라서, 상기 더미 패턴부(DP1, DP2)는 도 5d의 (a)에서와 같이 수평으로 연장되는 바(bar) 형상을 가질 수 있고, (b)에서와 같이 수직으로 연장되는 바 형상을 가질 수 있으며, (c)에서와 같이 원형 형상을 가질 수 있고, (d)에서와 같이 중앙이 개방된 원형 형상(고리 형상)을 가질 수 있으며, (e)에서와 같이 중앙이 개방된 사각 형상(사다리 형상)을 가질 수 있다. 또한, 본 발명에서의 더미 패턴부(DP1,

DP2)의 형상은 이에 한정되지 않고, 타원 형상, 부채꼴 형상, 다각 형상, 삼각 형상과 같이 다양한 형상으로 변형 가능하다.

[259]

[260] 또한, 도 6에서와 같이, 도 3a의 B 영역을 확대하면, 상기 기관(110)의 상면에는 상부 더미 패턴부(DP2)가 배치된다. 상기 상부 더미 패턴부(DP2)의 형성 위치 및 조건은 상기 하부 더미 패턴부(DP1)의 형성 위치 및 조건과 동일하다. 즉, 상기 기관(110)의 우측단을 중심으로, 최초 위치한 하부 전도성 패턴부(CP)의 시작 위치보다 상기 상부 전도성 패턴부(CP)의 시작 위치가 낮은 경우, 상기 최초 위치한 하부 전도성 패턴부(CP)의 시작과 수직으로 중첩되는 상기 기관(110)의 상면에 상부 더미 패턴부(DP2)를 형성한다. 이때, 상기 상부 더미 패턴부(DP2)는 각각의 하부 전도성 패턴부(CP)에 대응되게 복수 개 배치될 수 있으며, 이와 다르게 최초 시작하는 하부 전도성 패턴부(CP)에 대응하게만 단일 개로 형성될 수도 있다.

[261]

[262] 도 3a, 도 3b, 도 7a, 도 7b, 도 8, 도 10 및 도 11을 참조하여, 실시 예에 따른 양면 올인원 칩 온 필름용 연성 회로기관(100) 상에 실장되는 제 1 칩(C1), 디스플레이 패널(30) 및 메인보드(40)와의 연결관계를 설명한다.

[263] 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기관(100)은 관통홀을 포함하는 기관(100); 상기 관통홀을 포함하는 기관의 양면 상에 각각 배치되는 배선 패턴층(120); 상기 배선 패턴층(120) 상에 배치되는 제 1 도금층(131); 상기 제 1 도금층(131) 상에 배치되는 제 2 도금층(132); 및 상기 배선 패턴층 상에 부분적으로 배치되는 보호층(140)을 포함할 수 있다.

[264] 상기 보호층(140)이 형성되는 상기 보호층(140)의 배치 영역은 상기 보호부(PP)일 수 있다. 상기 보호층이 형성되지 않는 상기 보호부(PP) 이외의 영역에서 상기 전도성 패턴부(CP)는 외부로 노출될 수 있다. 즉, 보호층의 오픈 영역 내지 전도성 패턴부 상에 보호부가 배치되지 않는 영역에서 상기 전도성 패턴부(CP)는 상기 제 1 칩(C1), 상기 디스플레이 패널(30) 및 상기 메인보드(40)와 전기적으로 연결될 수 있다.

[265] 실시예에 따른 올인원 칩 온 필름용 연성 회로기관의 리드 패턴부 및 테스트 패턴부는 보호부와 중첩되지 않을 수 있다. 즉, 상기 리드 패턴부 및 상기 테스트 패턴부는 보호층에 의해 덮여있지 않은 오픈 영역에 위치한 전도성 패턴부를 의미할 수 있고, 기능에 따라서 리드 패턴부 및 테스트 패턴부로 구별될 수 있다.

[266] 상기 리드 패턴부는 상기 제 1 칩, 상기 제 2 칩, 상기 디스플레이 패널 또는 상기 메인보드와 연결되기 위한 전도성 패턴부를 의미할 수 있다.

[267] 상기 테스트 패턴부는 실시예에 따른 올인원 칩 온 필름용 연성 회로기관 및 이를 포함하는 칩 패키지의 제품의 불량여부를 확인하기 위한 전도성 패턴부를 의미할 수 있다.

[268] 상기 리드 패턴부는 위치에 따라서 이너 리드 패턴부 및 아우터 리드 패턴부로

구별될 수 있다. 상기 제 1 칩(C1)과 상대적으로 가까이 놓여있고, 보호층에 의해 중첩되지 않는 전도성 패턴부의 일 영역은 이너 리드 패턴부로 표현될 수 있다. 상기 제 1 칩(C1)과 상대적으로 멀리 놓여있고, 보호층에 의해 중첩되지 않는 전도성 패턴부의 일 영역은 아우터 리드 패턴부로 표현될 수 있다.

[269]

[270] 도 3a, 도 3b, 도 7a, 도 7b, 도 8, 도 10 및 도 11을 참조하면, 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)은 제 1 이너 리드 패턴부(I1), 제 2 이너 리드 패턴부(I2), 제 3 이너 리드 패턴부(I3) 및 제 4 이너 리드 패턴부(I4)를 포함할 수 있다.

[271] 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)은 제 1 아우터 리드 패턴부(O1), 제 2 아우터 리드 패턴부(O2), 제 3 아우터 리드 패턴부(O3) 및 제 4 아우터 리드 패턴부(O4)를 포함할 수 있다.

[272] 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)은 제 1 테스트 패턴부(T1) 및 제 2 테스트 패턴부(T2)를 포함할 수 있다.

[273]

[274] 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)의 일면 상에는 상기 제 1 이너 리드 패턴부(I1), 상기 제 2 이너 리드 패턴부(I2), 상기 제 3 이너 리드 패턴부(I3), 상기 제 1 아우터 리드 패턴부(O1), 및 상기 제 2 아우터 리드 패턴부(O2)가 배치될 수 있다.

[275] 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)의 상기 일면과 반대되는 타면 상에는 상기 제 4 이너 리드 패턴부(I4), 상기 제 3 아우터 리드 패턴부(O3), 상기 제 4 아우터 리드 패턴부(O4), 상기 제 1 테스트 패턴부(T1) 및 상기 제 2 테스트 패턴부(T2)를 포함할 수 있다.

[276]

[277] 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)의 일면 상에 배치되는 상기 제 1 칩(C1)은 제 1 접속부(70)를 통해, 상기 제 1 이너 리드 패턴부(I1), 상기 제 2 이너 리드 패턴부(I2) 또는 상기 제 3 이너 리드 패턴부(I3)와 연결될 수 있다.

[278] 상기 제 1 접속부(70)는 위치 및/또는 기능에 따라, 제 1 서브 제 2 접속부(71), 제 2 서브 제 1 접속부(72) 및 제 3 서브 제 1 접속부(73)를 포함할 수 있다.

[279] 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)의 일면 상에 배치되는 상기 제 1 칩(C1)은 상기 제 1 서브 제 1 접속부(71)를 통해 상기 제 1 이너 리드 패턴부(I1)와 전기적으로 연결될 수 있다.

[280] 상기 제 1 이너 리드 패턴부(I1)는 상기 기판(110)의 상면을 따라 제 2 비아홀(V2)과 인접한 제 1 아우터 리드 패턴부(O1)까지 전기적인 신호를 전달할 수 있다. 상기 제 2 비아홀(V2) 및 상기 제 1 아우터 리드 패턴부(O1)는 전기적으로 연결될 수 있다. 즉, 상기 제 1 이너 리드 패턴부(I1) 및 상기 제 1 아우터 리드 패턴부(O1)는 일 방향으로 연장되는 전도성 패턴부의 일단 및 타단일 수 있다.

- [281] 예를 들어, 상기 제 1 아우터 리드 패턴부(O1) 상에는 상기 메인보드(40)가 접착층(50)을 통해 연결될 수 있다. 이에 따라, 상기 제 1 칩으로부터 전달되는 신호는 상기 제 1 이너 리드 패턴부(I1) 및 상기 제 1 아우터 리드 패턴부(O1)를 거쳐 상기 메인보드(40)에 까지 전달될 수 있다.
- [282] 또한, 상기 제 1 이너 리드 패턴부(I1)는 상기 기관(110)의 상면을 따라 제 2 비아홀(V2)까지 전기적으로 연결되고, 상기 제 2 비아홀(V2)에 충전된 전도성 물질을 통해 상기 기관(110)의 하면을 따라 상기 제 2 비아홀(V2)에 인접한 제 3 아우터 리드 패턴부(O3)까지 전기적인 신호를 전달 할 수 있다. 상기 제 2 비아홀(V2)은 상기 제 3 아우터 리드 패턴부(O3)와 전기적으로 연결될 수 있다. 따라서, 도면에는 도시하지 않았으나, 상기 제 3 아우터 리드 패턴부(O3) 상에 상기 메인보드(40)가 접착층(50)을 통해 전기적으로 연결될 수 있음은 물론이다.
- [283]
- [284] 실시예에 따른 올인원 칩 온 필름용 연성 회로기관(100)의 일면 상에 배치되는 상기 제 1 칩(C1)은 상기 제 2 서브 제 1 접속부(72)를 통해 상기 제 2 이너 리드 패턴부(I2)와 전기적으로 연결될 수 있다.
- [285] 상기 기관(110)의 상면에 배치되는 상기 제 2 이너 리드 패턴부(I2)는 상기 제 2 이너 리드 패턴부(I2)의 하부에 위치한 제 1 비아홀(V1)에 충전된 전도성 물질을 통해 상기 기관(110)의 하면을 따라 상기 제 1 비아홀(V1)과 인접한 제 4 이너 리드 패턴부(I4) 및 상기 제 1 테스트 패턴부(T1)에 전기적인 신호를 전달할 수 있다. 상기 제 1 비아홀(V1), 상기 제 1 테스트 패턴부(T1) 및 상기 제 4 이너 리드 패턴부(I4)는 기관의 하면에서 전기적으로 연결될 수 있다.
- [286] 상기 제 4 이너 리드 패턴부(I4) 및 제 4 아우터 리드 패턴부(O4)에는 디스플레이 패널(30)이 부착될 수 있다.
- [287] 상기 제 1 테스트 패턴부(T1)는 상기 제 1 비아홀(V1)을 통해 전달될 수 있는 전기적인 신호의 불량을 확인할 수 있다. 예를 들어, 상기 제 1 테스트 패턴부(T1)를 통해, 상기 제 4 이너 리드 패턴부(I4)에 전달되는 신호의 정확성을 확인할 수 있다. 자세하게, 상기 제 1 테스트 패턴부(T1)에서 전압 또는 전류를 측정함에 따라, 상기 제 1 칩과 상기 디스플레이 패널 사이에 위치하는 전도성 패턴부의 단락이나 쇼트의 발생여부 내지 발생 위치를 확인할 수 있어, 제품의 신뢰성을 향상시킬 수 있다.
- [288]
- [289] 실시예에 따른 올인원 칩 온 필름용 연성 회로기관(100)의 일면 상에 배치되는 상기 제 1 칩(C1)은 상기 제 3 서브 제 1 접속부(73)를 통해 상기 제 3 이너 리드 패턴부(I3)와 전기적으로 연결될 수 있다.
- [290] 상기 제 3 이너 리드 패턴부(I3)는 상기 기관(110)의 상면을 따라 제 3 비아홀(V3)과 인접한 제 2 아우터 리드 패턴부(O2)까지 전기적인 신호를 전달할 수 있다. 상기 제 3 비아홀(V3) 및 상기 제 2 아우터 리드 패턴부(O2)는 전기적으로 연결될 수 있다. 즉, 상기 제 3 이너 리드 패턴부(I3) 및 상기 제 2

아우터 리드 패턴부(O2)는 일 방향으로 연장되는 전도성 패턴부의 일단 및 타단일 수 있다.

- [291] 또한, 상기 제 3 이너 리드 패턴부(I3)는 상기 기관(110)의 상면을 따라 제 3 비아홀(V3)까지 전기적으로 연결되고, 상기 제 3 비아홀(V3)에 충전된 전도성 물질을 통해 상기 기관(110)의 하면을 따라 상기 제 3 비아홀(V3)에 인접한 제 4 아우터 리드 패턴부(O4) 및 상기 제 2 테스트 패턴부(T2)에 전기적인 신호를 전달할 수 있다.
- [292] 상기 제 2 비아홀(V2), 상기 제 4 아우터 리드 패턴부(O4) 및 상기 제 2 테스트 패턴부(T2)는 기관의 하면에서 전기적으로 연결될 수 있다.
- [293] 앞서 설명한 바와 같이, 상기 제 4 이너 리드 패턴부(I4) 및 제 4 아우터 리드 패턴부(O4) 상에는 상기 디스플레이 패널(30)이 접착층(50)을 통해 부착될 수 있다.
- [294] 상기 제 2 테스트 패턴부(T2)는 상기 제 3 비아홀(V3)을 통해 전달될 수 있는 전기적인 신호의 불량을 확인할 수 있다. 예를 들어, 상기 제 2 테스트 패턴부(T2)를 통해, 상기 제 4 아우터 리드 패턴부(O4)에 전달되는 신호의 정확성을 확인할 수 있다. 자세하게, 상기 제 2 테스트 패턴부(T2)에서 전압 또는 전류를 측정함에 따라, 상기 제 1 칩과 상기 디스플레이 패널 사이에 위치하는 전도성 패턴부의 단락이나 쇼트의 발생여부 내지 발생 위치를 확인할 수 있어, 제품의 신뢰성을 향상시킬 수 있다.
- [295] 실시 예에 따른 올인원 칩 온 필름용 연성 회로기관은 상기 제 1 칩(C1)이 배치되는 일면과 반대되는 타면에 상기 디스플레이 패널(30)을 배치할 수 있어, 설계의 자유도를 향상시킬 수 있다. 또한, 복수 개의 칩이 실장되는 일면과 반대되는 타면에 디스플레이 패널을 배치함에 따라, 효과적인 방열이 가능할 수 있다. 이에 따라, 실시예에 따른 올인원 칩 온 필름용 연성 회로기관의 신뢰성이 향상될 수 있다.
- [296]
- [297] 도 10은 도 7a의 평면도, 도 11은 도 7a의 저면도이다.
- [298] 도 10 및 도 11을 참조하면, 실시예의 올인원 칩 온 필름용 연성 회로기관(100)은 제작 또는 가공의 편의성을 위하여 길이방향의 양 쪽 외부에 스프로킷 홀을 구비할 수 있다. 따라서, 올인원 칩 온 필름용 연성 회로기관(100)은 롤투롤(Roll to Roll) 방식으로 스프로킷 홀에 의하여 감기거나 풀어질 수 있다.
- [299] 올인원 칩 온 필름용 연성 회로기관(100)은 점선으로 도시한 절단부를 기준으로 내부영역(IR) 및 외부영역(OR)으로 정의할 수 있다.
- [300] 올인원 칩 온 필름용 연성 회로기관(100)의 내부영역(IR)에는 1 칩, 제 2 칩, 디스플레이 패널 및 메인보드를 각각 연결하기 위한 전도성 패턴부가 배치될 수 있다.
- [301] 올인원 칩 온 필름용 연성 회로기관(100)의 스프로킷 홀이 형성된 부분을

절단하고, 기판 상에 칩을 배치함에 따라, 올인원 칩 온 필름용 연성 회로기판(100)을 포함하는 칩 패키지 및 이를 포함하는 전자 디바이스로 가공할 수 있다.

- [302] 도 11을 참조하면, 상기 올인원 칩 온 필름용 연성 회로기판(100)의 상면에서는 상기 보호층(140)의 제 1 오픈 영역(OA1)을 통해 전도성 패턴부(CP)의 일 영역인 상기 제 1 이너 리드 패턴부(I1), 상기 제 2 이너 리드 패턴부(I2) 및 상기 제 3 이너 리드 패턴부(I3)가 외부로 노출될 수 있다.
- [303] 또한, 상기 올인원 칩 온 필름용 연성 회로기판(100)의 상면에서는 상기 보호층(140)의 제 3 오픈 영역(OA3)을 통해 전도성 패턴부(CP)의 일 영역인 상기 제 1 아우터 리드 패턴부(O1)이 외부로 노출될 수 있다.
- [304] 상기 제 1 이너 리드 패턴부(I1) 및 상기 제 3 이너 리드 패턴부(I3)는 제 1 접속부를 통해 칩과 연결되기 위한 전도성 패턴부일 수 있다.
- [305] 상기 제 1 이너 리드 패턴부(I1)의 단부 및 상기 제 3 이너 리드 패턴부(I3)의 단부는 일렬로 배치될 수 있다. 예를 들어, 기판의 가로 방향(x축 방향)에서 복수 개의 상기 제 1 이너 리드 패턴부(I1)들은 서로 이격하고, 상기 제 1 이너 리드 패턴부(I1)의 단부들은 일렬로 배치될 수 있다. 예를 들어, 기판의 가로 방향(x축 방향)에서 복수 개의 상기 제 3 이너 리드 패턴부(I3)들은 서로 이격하고, 상기 제 3 이너 리드 패턴부(I3)의 단부들은 일렬로 배치될 수 있다. 이에 따라, 상기 제 1 이너 리드 패턴부(I1) 및 상기 제 3 이너 리드 패턴부(I3)는 제 1 접속부, 제 1 칩과의 본딩이 우수할 수 있다.
- [306] 기판의 가로 방향(x축 방향)에서 복수 개의 상기 제 2 비아홀(V2)들은 서로 이격하고, 일렬로 배치될 수 있다. 기판의 가로 방향(x축 방향)에서 복수 개의 상기 제 3 비아홀(V3)들은 서로 이격하고, 일렬로 배치될 수 있다.
- [307] 상기 제 1 이너 리드 패턴부(I1)의 단부는 상기 제 2 이너 리드 패턴부(I2)의 단부와 서로 이격될 수 있다.
- [308] 상기 제 2 이너 리드 패턴부(I2)는 제 1 칩과 본딩되지 않는 전도성 패턴일 수 있다. 상기 제 2 이너 리드 패턴부(I2)의 일단 및 타단 중 적어도 하나의 단부는 일렬로 배치되지 않을 수 있다.
- [309] 예를 들어, 기판의 가로 방향(x축 방향)에서 복수 개의 상기 제 2 이너 리드 패턴부(I2)들은 서로 이격할 수 있다. 또한, 상기 제 2 이너 리드 패턴부(I2)의 일단 및 타단 중 적어도 하나의 단부는 기판의 가로 방향(x축 방향)으로 갈수록 상기 제 1 이너 리드 패턴부(I1)의 단부와 이격거리가 감소할 수 있다. 상기 제 2 이너 리드 패턴부(I2)의 일단 및 타단 중 적어도 하나의 단부는 기판의 가로 방향(x축 방향)으로 갈수록 상기 제 1 이너 리드 패턴부(I1)의 단부와 이격거리가 증가할 수 있다.
- [310] 기판의 가로 방향(x축 방향)에서 복수 개의 상기 제 1 비아홀(V1)들은 서로 이격하고, 서로 다른 열로 배치될 수 있다.
- [311] 상기 제 2 이너 리드 패턴부(I2)의 일단 및 타단 사이의 길이는 기판의 가로

방향(x축 방향)으로 갈수록 점차 감소되는 상기 제 2 이너 리드 패턴부(I2)들의 제 1 세트부를 포함할 수 있다. 자세하게, 상기 제 2 이너 리드 패턴부(I2)의 일단 및 타단 사이의 길이는 제 1 길이로부터 기관의 가로 방향(x축 방향)으로 갈수록 점차 감소되어 제 2 길이가 되는 상기 제 2 이너 리드 패턴부(I2)들의 제 1 세트부를 포함할 수 있다. 이때, 제 1 길이는 제 2 길이보다 클 수 있다. 상기 기관(110) 상에는 복수 개의 제 1 세트들이 배치될 수 있다. 따라서, 상기 기관(110) 상에는 제 1 길이로부터 제 2 길이까지 점차적으로 길이가 감소되는 상기 제 2 이너 리드 패턴부(I2)들을 포함할 수 있다. 상기 제 2 길이를 가지는 상기 제 2 이너 리드 패턴부(I2)와 인접한 제 2 이너 리드 패턴부(I2)는 다시 제 1 길이를 가질 수 있다. 이에 따라, 기관의 가로 방향(x축 방향)으로 갈수록 제 1 길이로부터 제 2 길이까지 점차적으로 길이가 감소되는 상기 제 2 이너 리드 패턴부(I2)들의 제 1 세트부; 및 제 1 길이로부터 제 2 길이까지 점차적으로 길이가 감소되는 상기 제 2 이너 리드 패턴부(I2)들의 제 1 세트부가 반복적으로 배치될 수 있다.

- [312] 상기 제 2 이너 리드 패턴부(I2)의 일단 및 타단 중 적어도 하나의 단부는 기관의 가로 방향(x축 방향)으로 갈수록 상기 제 1 이너 리드 패턴부(I1)의 단부와와의 이격거리가 감소할 수 있다.
- [313] 복수 개의 상기 제 1 이너 리드 패턴부(I1)들은 제 1 간격으로 이격할 수 있다. 서로 이격하는 인접한 두 개의 상기 제 1 이너 리드 패턴부(I1)들 사이의 영역에는 상기 제 2 이너 리드 패턴부(I2)의 일단이 위치할 수 있다.
- [314] 상기 기관의 가로 방향에서, 상기 제 1 이너 리드 패턴부(I1)의 단부와 상기 제 2 이너 리드 패턴부(I2)의 일단은 교대로 배치될 수 있다.
- [315] 도 11을 참조하면, 상기 올인원 칩 온 필름용 연성 회로기관(100)의 하면에서는 상기 보호층(140)의 제 3 오픈 영역(OA3)을 통해 전도성 패턴부(CP)의 일 영역인 상기 제 4 이너 리드 패턴부(I4), 제 4 아우터 리드 패턴부(O4)가 외부로 노출될 수 있다.
- [316] 도 7b, 도 12 내지 도 16을 참조하여, 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기관(100) 상에 제 1 칩(C1) 및 제 2 칩(C2)을 포함하는 칩 패키지를 상세하게 설명한다.
- [317] 도 12는 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기관(100)을 포함하는 칩 패키지의 개략적인 평면도이다.
- [318] 도 12a, b를 참조하면, 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기관(100)은 동일한 일면 상에 제 1 칩(C1) 및 제 2 칩(C2)이 배치되는 것을 포함할 수 있다.
- [319] 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기관(100)은 가로 방향(x축 방향)의 길이가 세로 방향(y축 방향)의 길이보다 클 수 있다. 즉, 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기관(100)은 가로 방향의 2개의 장변과, 세로 방향의 2개의 단변을 포함할 수 있다.

- [320] 상기 제 1 칩(C1) 및 상기 제 2 칩(C2)은 각각 가로 방향(x축 방향)의 길이가 세로 방향(y축 방향)의 길이보다 클 수 있다. 즉, 상기 제 1 칩(C1) 및 상기 제 2 칩(C2)은 가로 방향의 2개의 장변과, 세로 방향의 2개의 단변을 포함할 수 있다.
- [321] 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기판(100)의 장변은 상기 제 1 칩(C1)의 장변 및 상기 제 2 칩(C2)의 장변과 각각 평행하게 배치될 수 있어, 복수 개의 칩들을 하나의 양면 올인원 칩 온 필름용 연성 회로기판(100) 상에 효율적으로 배치할 수 있다.
- [322] 상기 제 1 칩(C1)의 가로 방향의 길이(장변)는 상기 제 2 칩(C2)의 가로 방향의 길이(장변)보다 클 수 있다. 상기 제 1 칩(C1)의 세로 방향의 길이(단변)는 상기 제 2 칩(C2)의 세로 방향의 길이(단변)보다 작을 수 있다. 도 13a를 참조하면, 상기 제 1 칩(C1)의 하부에 상기 제 2 칩(C2)이 배치될 수 있다. 상기 제 1 칩(C1)의 장변과 상기 제 2 칩(C2)의 장변은 상, 하로 중첩될 수 있다.
- [323] 도 13b를 참조하면, 상기 제 1 칩(C1)의 측부에 상기 제 2 칩(C2)이 배치될 수 있다. 상기 제 1 칩(C1)의 장변과 상기 제 2 칩(C2)의 장변은 상, 하로 중첩되지 않을 수 있다.
- [324] 상기 제 1 칩(C1)은 구동 IC칩이고, 상기 제 2 칩(C2)은 다이오드 칩, 전원 IC 칩, 터치센서 IC 칩, MLCC 칩, BGA 칩, 칩 콘덴서 중 어느 하나의 제 2 칩(C2a) 및 다이오드 칩, 전원 IC 칩, 터치센서 IC 칩, MLCC 칩, BGA 칩, 칩 콘덴서 중 상기 어느 하나와 다른 하나의 제 2 칩(C2b)을 포함할 수 있다.
- [325] 도 13 내지 도 16을 참조하여, 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기판을 포함하는 칩 패키지의 제조단계를 설명한다.
- [326] 도 13은 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기판(100)의 평면도이다.
- [327] 도 13a 및 도 13b를 참조하면, 실시예에 따른 양면 올인원 칩 온 필름용 연성 회로기판(100)의 일면에 위치한 상기 보호층(140)은 복수 개의 홀을 포함할 수 있다. 즉, 상기 보호층(140)은 복수 개의 오픈 영역을 포함할 수 있다.
- [328] 상기 보호층의 제 1 오픈 영역(OA1)은 제 1 접속부(70)와 연결되기 위하여 노출되는 영역일 수 있다. 상기 보호층의 제 1 오픈 영역(OA1)에서 노출되는 전도성 패턴부(CP)는 제 1 접속부를 향한 표면이 순수 도금을 포함할 수 있다. 즉, 상기 보호층의 제 1 오픈 영역(OA1)에서 상기 전도성 패턴부(CP)에 포함되는 상기 제 2 도금층의 주석의 함량은 50 원자% 이상일 수 있다.
- [329] 상기 보호층의 제 2 오픈 영역(OA2)은 제 2 접속부(80)와 연결하기 위하여 노출되는 영역일 수 있다. 상기 보호층의 제 2 오픈 영역(OA2)에서 노출되는 전도성 패턴부(CP)는 제 2 접속부를 향한 표면이 구리 및 주석의 합금층을 포함할 수 있다. 즉, 상기 보호층의 제 2 오픈 영역(OA2)에서 상기 전도성 패턴부(CP)에 포함되는 상기 제 2 도금층의 주석의 함량은 50 원자% 미만일 수 있다.
- [330] 상기 제 1 오픈 영역(OA1)은 제 1 칩을 연결하기 위한 영역일 수 있다. 상기 제 3

오픈 영역(OA3)에 위치한 제 1 아우터 리드 패턴부(O1)로부터 연장되어 상기 제 1 오픈 영역(OA1)의 내부를 향하는 상기 제 1 이너 리드 패턴부(I1)는 서로 대응되거나 서로 다른 폭을 가질 수 있다. 예를 들어, 상기 제 1 아우터 리드 패턴부(O1)의 폭(W1)은 상기 제 1 이너 리드 패턴부(I1)의 폭(W2)과 서로 대응될 수 있다. 예를 들어, 상기 제 1 아우터 리드 패턴부(O1)의 폭(W1)은 상기 제 1 이너 리드 패턴부(I1)의 폭(W2)보다 클 수 있다. 자세하게, 상기 제 1 아우터 리드 패턴부(O1)의 폭(W1)은 상기 제 1 이너 리드 패턴부(I1)의 폭(W2)의 차이는 20% 이내일 수 있다.

- [331] 상기 제 1 오픈 영역(OA1)의 내부를 향해 연장되는 상기 제 1 이너 리드 패턴부(I1) 및 상기 제 3 이너 리드 패턴부(I3)는 서로 대응되는 폭을 가질 수 있다.
- [332] 상기 제 1 오픈 영역(OA1)으로부터 기판의 외곽을 향해 연장되는 상기 제 1 아우터 리드 패턴부(O1) 및 상기 제 2 아우터 리드 패턴부(O2)는 서로 대응되는 폭을 가질 수 있다. 이에 따라, 미세한 선폴을 가지며, 많은 개수의 제 1 접속부가 요구되는 제 1 칩과, 큰 선폴을 가지며, 작은 개수의 제 2 접속부가 요구되는 제 2 칩을 하나의 올인원 칩 온 필름용 연성회로기판(100)상에 모두 실장할 수 있다. 이때, 미세한 선폴은 상기 제 1 아우터 리드 패턴부(O1) 및 상기 제 2 아우터 리드 패턴부(O2) 중 어느 하나의 선폴이 제 5 아우터 리드 패턴부(O5) 및 제 6 아우터 리드 패턴부(O6) 중 어느 하나의 선폴보다 작은 것을 의미할 수 있다. 한편, 큰 선폴은 아우터 리드 패턴부(O5) 및 제 6 아우터 리드 패턴부(O6) 중 어느 하나의 선폴이 상기 제 1 아우터 리드 패턴부(O1) 및 상기 제 2 아우터 리드 패턴부(O2) 중 어느 하나의 선폴이 제 5 아우터 리드 패턴부(O5) 및 제 6 아우터 리드 패턴부(O6) 중 어느 하나의 선폴보다 상대적으로 큰 것을 의미할 수 있다.
- [333] 실시예의 올인원 칩 온 필름용 연성 회로기판(100)은 서로 다른 종류의 제 2 칩(C2a, C2b)을 각각 연결하기 위한 복수 개의 상기 제 2 오픈 영역(OA2)을 포함할 수 있다.
- [334] 하나의 상기 제 2 오픈 영역(OA2)은 하나의 제 2 칩(C2a)을 연결하기 위한 영역일 수 있다. 상기 제 2 오픈 영역(OA2) 내에 위치한 제 5 이너 리드 패턴부(I5)로부터 기판의 외곽을 향해 연장되는 제 5 아우터 리드 패턴부(O5)는 서로 다른 폭을 가질 수 있다. 예를 들어, 상기 제 5 이너 리드 패턴부(I5)의 폭(W3)은 상기 제 5 아우터 리드 패턴부(O5)의 폭(W4)보다 클 수 있다. 자세하게, 상기 제 5 이너 리드 패턴부(I5)의 폭(W3)은 상기 제 5 아우터 리드 패턴부(O5)의 폭(W4)보다 1.5배 이상 클 수 있다.
- [335] 다른 하나의 상기 제 2 오픈 영역(OA2)은 다른 하나의 제 2 칩(C2b)을 연결하기 위한 영역일 수 있다. 상기 제 2 오픈 영역(OA2) 내에 위치한 제 6 이너 리드 패턴부(I6)로부터 기판의 외곽을 향해 연장되는 제 6 아우터 리드 패턴부(O6)는 서로 다른 폭을 가질 수 있다. 예를 들어, 상기 제 6 이너 리드 패턴부(I6)의 폭(W5)은 상기 제 6 아우터 리드 패턴부(O6)의 폭(W6)보다 클 수 있다. 자세하게,

상기 제 6 이너 리드 패턴부(I6)의 폭(W5)은 상기 제 6 아우터 리드 패턴부(O6)의 폭(W6)보다 1.5배 이상 클 수 있다.

- [336] 상기 제 2 오픈 영역을 통해 노출되는 제 5 이너 리드 패턴부(I5)의 폭(W3) 및 상기 제 6 이너 리드 패턴부(I6)의 폭(W5) 중 어느 하나의 폭은 상기 제 1 오픈 영역을 통해 노출되는 상기 제 1 이너 리드 패턴부(I1)의 폭(W2)보다 클 수 있다. 이에 따라, 다양한 크기/형상의 제 1, 제 2 접속부에 대응하는 리드 패턴부를 형성할 수 있어, 디자인 자유도를 향상시킬 수 있다. 즉, 실시예는 서로 다른 종류의 제 1 칩, 제 2 칩에 적합한 다양한 크기의 이너 리드 패턴부, 다양한 형상의 이너 리드 패턴부를 포함할 수 있어, 최적의 칩 패키지가 가능할 수 있다.
- [337] 제 1 칩의 하부에 위치한 인 리드 패턴부의 형상은 제 2 칩의 하부에 위치한 인 리드 패턴부의 형상과 서로 다를 수 있다. 이에 따라, 실시예는 서로 다른 종류의 제 1 칩, 제 2 칩과 각각 우수한 밀착특성을 가질 수 있는 서로 다른 형상의 인 리드 패턴부를 포함할 수 있다. 따라서, 실시예에 따른 올인원 칩 온 필름용 연성회로기판은 제 1 칩 및 제 2 칩의 본딩 특성이 우수할 수 있다.
- [338] 즉, 서로 다른 형상의 인 리드 패턴부는 하나의 기판 상에 서로 다른 종류의 제 1 칩, 제 2 칩이 실장되어 일정한 접합상도를 확보하기 위한 최적의 패턴 설계일 수 있다.
- [339] 상기 제 1 이너 리드 패턴부(I1)의 평면에서의 형상은 사각 형상의 스트라이프 패턴일 수 있다. 자세하게, 상기 제 1 이너 리드 패턴부(I1)의 평면에서의 형상은 균일한 폭을 가지며 일 방향으로 연장되는 사각 형상의 스트라이프 패턴일 수 있다. 일례로, 상기 제 1 이너 리드 패턴부(I1)의 일단 및 타단의 폭은 서로 동일할 수 있다.
- [340] 예를 들어, 상기 제 5 이너 리드 패턴부(I5) 또는 상기 제 6 이너 리드 패턴부(I6)의 평면에서의 형상은 다각형, 원형, 타원형, 망치형상, T자 형상, 랜덤 형상 등의 다양한 형상의 돌출 패턴일 수 있다. 자세하게, 상기 제 5 이너 리드 패턴부(I5) 또는 상기 제 6 이너 리드 패턴부(I6)의 평면에서의 형상은 변동되는 폭을 가지며 상기 일 방향과 다른 방향으로 연장되는 다각형, 원형, 타원형, 망치형상, T자 형상, 랜덤 형상 등의 돌출 패턴일 수 있다. 일례로, 상기 제 5 이너 리드 패턴부(I5) 및 상기 제 6 이너 리드 패턴부(I6) 중 적어도 하나의 이너 리드 패턴부는 일단과 타단의 폭이 서로 다를 수 있다. 상기 제 5 이너 리드 패턴부(I5) 및 상기 제 6 이너 리드 패턴부(I6)의 보호층과 가까운 일단에서의 폭보다 보호층과 멀리 떨어진 단부인 타단의 폭이 클 수 있다. 다만, 실시예는 이에 제한되지 않고, 상기 제 5 이너 리드 패턴부(I5) 및 상기 제 6 이너 리드 패턴부(I6)의 보호층과 가까운 일단에서의 폭보다 보호층과 멀리 떨어진 단부인 타단의 폭이 작을 수 있음은 물론이다.
- [341] 일례로, 제 2 칩이 MLCC칩인 경우에 이너 리드 패턴부는 도 13b의 제 5 이너 리드 패턴부(I5)와 같은 T자 형상일 수 있다.
- [342] 일례로, 제 2 칩이 BGA 칩인 경우에 이너 리드 패턴부는 도 13a의 제 6 이너

리드 패턴부(I6)과 같은 원형 형상일 수 있다. 또는, 제 2 칩이 BGA 칩인 경우에 이너 리드 패턴부는 도 13b의 제 6 이너 리드 패턴부(I6)와 같은 반원 형상 또는 끝단이 라운드진 형상일 수 있다.

- [343] 상기 제 1 이너 리드 패턴부와 상기 제 1 접속부의 형상은 동일할 수 있다. 예를 들어, 상기 제 1 이너 리드 패턴부 및 상기 제 1 접속부의 평면 형상(top view)은 사각형 형상일 수 있다. 여기에서, 상기 제 1 이너 리드 패턴부와 상기 제 1 접속부의 형상이 동일하다는 것은 평면 형상이 동일한 다각형인 것을 의미하는 것이며, 크기가 다른 것을 포함할 수 있다.
- [344] 상기 제 5 이너 리드 패턴부와 상기 제 2 접속부의 형상은 서로 동일하거나 서로 다를 수 있다. 상기 제 6 이너 리드 패턴부와 상기 제 2 접속부의 형상은 서로 동일하거나 서로 다를 수 있다.
- [345] 도 13a 및 도 14a를 참조하면, 상기 제 5 이너 리드 패턴부(I5)의 평면 형상은 다각형 형상이고, 상기 제 2 접속부의 평면 형상은 원형 형상일 수 있다. 상기 제 6 이너 리드 패턴부(I6)의 평면 형상은 원형 형상이고, 상기 제 2 접속부는 원형 형상일 수 있다.
- [346] 도 13b 및 도 14b를 참조하면, 상기 제 5 이너 리드 패턴부(I5)의 평면 형상은 다각형 형상이고, 상기 제 2 접속부는 둥근 모서리를 가지는 사각형 형상 또는 타원형 형상일 수 있다. 상기 제 6 이너 리드 패턴부(I6)의 평면 형상은 긴 반원 형상이고, 상기 제 2 접속부는 원형 형상일 수 있다.
- [347] 상기 제 1 접속부(70)의 평면 형상은 가로 길이와 세로길이(종횡비)가 서로 대응되거나 서로 다를 수 있다. 예를 들어, 상기 제 1 접속부(70)의 평면 형상은 가로 길이와 세로길이(종횡비)가 서로 대응되는 정사각형 형상이거나, 가로 길이와 세로길이(종횡비)가 서로 다른 직사각형 형상일 수 있다.
- [348] 상기 제 2 접속부(80)의 평면 형상은 가로 길이와 세로길이(종횡비)가 서로 대응되거나 서로 다를 수 있다. 예를 들어, 상기 제 2 접속부(80)의 평면 형상은 가로 길이와 세로길이(종횡비)가 서로 대응되는 원형 형상이거나, 가로 길이와 세로길이(종횡비)가 서로 다른 타원형 형상일 수 있다.
- [349] 인접한 상기 제 1 아우터 리드 패턴부(O1)들 사이의 간격인 1 간격(pitch)은 인접한 상기 제 5 아우터 리드 패턴부(O5) 및 상기 제 6 아우터 리드 패턴부(O6) 중 적어도 하나의 아우터 리드 패턴부들 사이의 간격인 제 2 간격(pitch)보다 작을 수 있다. 이때, 상기 제 1 간격, 제 2 간격은 인접한 두 전도성 패턴부 사이의 평균 이격 간격을 의미할 수 있다.
- [350] 상기 제 1 간격(P1)은 $100\mu\text{m}$ 미만일 수 있다. 예를 들어, 상기 제 1 간격은 $30\mu\text{m}$ 미만일 수 있다. 예를 들어, 상기 제 1 간격은 $1\mu\text{m}$ 내지 $25\mu\text{m}$ 일 수 있다.
- [351] 상기 제 2 간격(P2)은 $100\mu\text{m}$ 이상일 수 있다. 예를 들어, 상기 제 2 간격은 $100\mu\text{m}$ 내지 $500\mu\text{m}$ 일 수 있다. 예를 들어, 상기 제 2 간격은 $100\mu\text{m}$ 내지 $300\mu\text{m}$ 일 수 있다.
- [352] 이에 따라, 제 1 칩, 제 2 칩에 각각 연결되는 전도성 패턴부들 사이의 신호의 간섭을 방지할 수 있고, 신호의 정확성을 향상시킬 수 있다.

- [353] 상기 제 1 오픈 영역(OA1)에서 상기 제 1 이너 리드 패턴부(I1)의 평면적은 제 1 접속부(70)과 서로 대응되거나, 서로 다를 수 있다.
- [354] 상기 제 1 이너 리드 패턴부(I1)의 폭과 상기 제 1 접속부(70)의 폭은 서로 동일하거나 20% 이내의 차이를 가질 수 있다. 이에 따라, 상기 제 1 이너 리드 패턴부(I1) 및 상기 제 1 접속부(70)는 안정적인 실장이 가능할 수 있다. 또한, 상기 제 1 이너 리드 패턴부(I1) 및 상기 제 1 접속부(70) 사이의 밀착특성이 향상될 수 있다.
- [355] 상기 제 2 오픈 영역(OA2)에서 상기 제 5 이너 리드 패턴부(I5) 및 상기 제 6 이너 리드 패턴부(I6) 중 어느 하나의 이너 리드 패턴부의 평면적은 제 2 접속부(80)와 대응되거나, 서로 다를 수 있다.
- [356] 일례로, 상기 제 2 접속부(80)의 폭은 상기 제 5 이너 리드 패턴부(I5) 및 상기 제 6 이너 리드 패턴부(I6) 중 어느 하나의 이너 리드 패턴부의 폭보다 1.5배 이상 클 수 있다. 이에 따라, 상기 제 2 접속부(80)의 폭은 상기 제 5 이너 리드 패턴부(I5) 및 상기 제 6 이너 리드 패턴부(I6) 중 어느 하나와 상기 제 2 접속부(80)는 밀착특성이 향상될 수 있다.
- [357] 도 14a, b를 참조하여, 실시예의 올인원 칩 온 필름용 연성 회로기관(100) 상에 제 1 접속부(70) 및 제 2 접속부(80)를 배치하는 단계를 설명한다.
- [358] 상기 제 1 오픈 영역(OA1)을 통해 노출되는 상기 제 1 이너 리드 패턴부(I1) 및 상기 제 3 이너 리드 패턴부(I3) 상에는 각각 제 1 접속부(70)가 배치될 수 있다. 예를 들어, 상기 제 1 접속부(70)는 상기 제 1 이너 리드 패턴부(I1) 및 상기 제 3 이너 리드 패턴부(I3)의 상면을 전체적으로 또는 부분적으로 덮을 수 있다.
- [359] 서로 이격되어 배치되는 복수 개의 상기 제 1 이너 리드 패턴부(I1) 및 서로 이격되어 배치되는 복수 개의 상기 제 3 이너 리드 패턴부(I3)의 총 개수는 상기 제 1 접속부(70)의 수와 대응될 수 있다.
- [360] 예를 들어, 도 15 a 및 도 15b를 참조하면, 서로 이격되어 배치되는 복수 개의 상기 제 1 이너 리드 패턴부(I1)의 수는 9개이고, 서로 이격되어 배치되는 복수 개의 상기 제 3 이너 리드 패턴부(I3)의 수는 9개이고, 상기 제 1 접속부(70)의 수는 상기 제 1 이너 리드 패턴부(I1)의 수 9 및 서로 이격되어 배치되는 복수 개의 상기 제 3 이너 리드 패턴부(I3)의 수는 9의 총 합인 18개 일 수 있다.
- [361] 상기 제 2 오픈 영역(OA2)을 통해 노출되는 상기 제 5 이너 리드 패턴부(I5) 및 상기 제 6 이너 리드 패턴부(I6) 상에는 각각 제 2 접속부(80)가 배치될 수 있다. 예를 들어, 상기 제 2 접속부(80)는 상기 제 5 이너 리드 패턴부(I5) 및 상기 제 6 이너 리드 패턴부(I6)의 상면을 전체적으로 또는 부분적으로 덮을 수 있다.
- [362] 서로 이격되어 배치되는 복수 개의 상기 제 5 이너 리드 패턴부(I5)의 수는 상기 제 5 이너 리드 패턴부(I5) 상에 배치되는 상기 제 2 접속부(80)의 수와 대응될 수 있다.
- [363] 예를 들어, 도 15 a 및 도 15b를 참조하면, 서로 이격되어 배치되는 복수 개의 상기 제 5 이너 리드 패턴부(I5)의 수는 2개이고, 상기 제 5 이너 리드 패턴부(I5)

- 상에 배치되는 상기 제 2 접속부(80)의 수는 2개 일 수 있다.
- [364] 서로 이격되어 배치되는 복수 개의 상기 제 6 이너 리드 패턴부(I6)의 수는 상기 제 6 이너 리드 패턴부(I6) 상에 배치되는 상기 제 2 접속부(80)의 수와 대응될 수 있다.
- [365] 예를 들어, 도 15a 및 15b를 참조하면, 서로 이격되어 배치되는 복수 개의 상기 제 6 이너 리드 패턴부(I6)의 수는 3개이고, 상기 제 6 이너 리드 패턴부(I6) 상에 배치되는 상기 제 2 접속부(80)의 수는 3개 일 수 있다.
- [366] 상기 제 2 접속부(80)는 상기 제 1 접속부(70)보다 클 수 있다. 상기 제 2 오픈 영역을 통해 노출되는 제 5 이너 리드 패턴부(I5) 또는 상기 제 6 이너 리드 패턴부(I6)의 폭이 상기 제 1 오픈 영역을 통해 노출되는 상기 제 1 이너 리드 패턴부(I1)의 폭보다 크기 때문에, 상기 제 2 접속부(80)는 상기 제 1 접속부(70)보다 클 수 있다.
- [367] 도 15a 및 15b를 참조하여, 실시예의 올인원 칩 온 필름용 연성 회로기판(100) 상에 제 1 칩(C1), 제 2 칩(C2a, C2b)을 배치하는 단계를 설명한다.
- [368] 상기 제 1 접속부(70) 상에는 제 1 칩(C1)이 배치될 수 있다.
- [369] 상기 제 2 접속부(80) 상에는 제 1 칩(C2)이 배치될 수 있다.
- [370] 상기 제 1 칩(C1) 및 상기 제 2 칩(C2)은 신호의 간섭, 또는 단선 등의 불량, 열에 의한 불량 등의 문제를 방지하기 위해서 일정한 거리로 이격하여 배치될 수 있다.
- [371] 도 16은 도 15a 및 15b에 따른 양면 올인원 칩 온 필름용 연성 회로기판을 포함하는 칩 패키지의 단면도이다.
- [372] 상기 제 1 칩(C1) 및 상기 제 2 칩(C2)은 동일한 일면 상에 서로 다른 크기로 배치될 수 있다. 예를 들어, 상기 제 2 칩(C2)은 상기 제 1 칩(C1)보다 클 수 있다.
- [373] 상기 제 1 칩(C1) 및 상기 제 2 칩(C2)의 하부에는 비아 홀이 배치될 수 있다. 즉, 상기 제 1 오픈 영역(OA1) 및 상기 제 2 오픈 영역(OA2)과 대응되는 영역의 기판(110)은 비아홀을 포함할 수 있다.
- [374] 상기 제 2 칩(C2)의 전기적인 신호는 제 4 비아홀(V4)에 배치되는 전도성 물질을 통해 기판의 상면에서 하면으로 전달될 수 있다. 이에 따라, 실시예는 많은 수의 전도성 패턴부를 하나의 기판 상에 포함할 수 있다.
- [375] 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)은 양면에 미세한 피치의 전도성 패턴부를 구현할 수 있어, 고해상도의 디스플레이부를 가지는 전자 디바이스에 적합할 수 있다.
- [376] 또한, 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)은 플렉서블 하며, 크기가 작고, 두께가 얇기 때문에, 다양한 전자 디바이스에 사용될 수 있다.
- [377] 예를 들어, 도 17을 참조하면, 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)은 베젤을 축소할 수 있으므로, 에지 디스플레이에 사용될 수 있다.
- [378] 예를 들어, 도 18을 참조하면, 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)은 휘어지는 플렉서블(flexible) 전자 디바이스에 포함될 수 있다.

따라서, 이를 포함하는 터치 디바이스 장치는 플렉서블 터치 디바이스 장치일 수 있다. 따라서, 사용자가 손으로 휘거나 구부릴 수 있다. 이러한 플렉서블 터치 윈도우는 웨어러블 터치 등에 적용될 수 있다.

- [379] 예를 들어, 도 19를 참조하면, 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)은 폴더블 디스플레이 장치가 적용되는 다양한 전자 디바이스에 적용될 수 있다. 도 19a 내지 도 19c를 참조하면, 폴더블 디스플레이 장치는 폴더블 커버 윈도우가 접힐 수 있다. 폴더블 디스플레이 장치는 다양한 휴대용 전자제품에 포함될 수 있다. 자세하게, 폴더블 디스플레이 장치는 이동식 단말기(휴대폰), 노트북(휴대용 컴퓨터) 등에 포함될 수 있다. 이에 따라, 휴대용 전자제품의 디스플레이 영역은 크게 하면서도, 보관이나 이동시에는 장치의 크기를 줄일 수 있어, 휴대성을 높일 수 있다. 따라서, 휴대용 전자제품 사용자의 편의를 향상시킬 수 있다. 그러나, 실시예가 이에 제한되는 것은 아니고, 폴더블 디스플레이 장치는 다양한 전자 제품에 사용될 수 있음은 물론이다.
- [380] 도 19a를 참조하면, 폴더블 디스플레이 장치는 화면 영역에서 하나의 접힘 영역을 포함할 수 있다. 예를 들어, 폴더블 디스플레이 장치는 접힌 상태에서 C형 형상을 가질 수 있다. 즉, 폴더블 디스플레이 장치는 일단 및 상기 일단과 반대되는 타단이 서로 포개어질 수 있다. 이때, 상기 일단과 상기 타단은 서로 가까이 배치될 수 있다. 예를 들어, 상기 일단과 상기 타단은 서로 마주보며 배치될 수 있다.
- [381] 도 19b를 참조하면, 폴더블 디스플레이 장치는 화면 영역에서 두 개의 접힘 영역을 포함할 수 있다. 예를 들어, 폴더블 디스플레이 장치는 접힌 상태에서 G형 형상을 가질 수 있다. 즉, 폴더블 디스플레이 장치는 일단 및 상기 일단과 반대되는 타단이 서로 대응되는 방향으로 접힘에 따라, 서로 포개어질 수 있다. 이때, 상기 일단과 상기 타단은 서로 이격하여 배치될 수 있다. 예를 들어, 상기 일단과 상기 타단은 서로 평행하게 배치될 수 있다.
- [382] 도 19c를 참조하면, 폴더블 디스플레이 장치는 화면 영역에서 두 개의 접힘 영역을 포함할 수 있다. 예를 들어, 폴더블 디스플레이 장치는 접힌 상태에서 S형 형상을 가질 수 있다. 즉, 폴더블 디스플레이 장치는 일단 및 상기 일단과 반대되는 타단이 서로 다른 방향으로 접힐 수 있다. 이때, 상기 일단과 상기 타단은 서로 이격하여 배치될 수 있다. 예를 들어, 상기 일단과 상기 타단은 서로 평행하게 배치될 수 있다.
- [383] 또한, 도면에는 도시하지 않았으나, 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)은 롤러블 디스플레이에 적용될 수 있음은 물론이다.
- [384] 도 20을 참조하면, 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)은 곡면 디스플레이를 포함하는 다양한 웨어러블 터치 디바이스에 포함될 수 있다. 따라서, 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)을 포함하는 전자 디바이스는 슬림화, 소형화 또는 경량화될 수 있다.
- [385] 도 21을 참조하면, 실시예에 따른 올인원 칩 온 필름용 연성 회로기판(100)은

TV, 모니터, 노트북과 같은 디스플레이 부분을 가지는 다양한 전자 디바이스에 사용될 수 있다.

- [386] 그러나, 실시예가 이에 한정되는 것은 아니고, 실시예에 따른 올인원 칩 온 필름용 연성 회로기관(100)은 평판 또는 곡선 형상의 디스플레이 부분을 가지는 다양한 전자 디바이스에 사용될 수 있음은 물론이다.
- [387] 본 발명에 따른 실시 예에 의하면, 서로 다른 종류의 제 1 칩 및 제 2 칩을 하나의 연성회로기관에 실장할 수 있어, 향상된 신뢰성을 가지는 올인원 칩 온 필름용 연성 회로기관 칩 패키지를 제공할 수 있다.
- [388] 또한, 본 발명에 따른 실시 예에 의하면, 하나의 올인원 칩 온 필름용 연성 회로기관으로 디스플레이 패널과 메인보드를 직접 연결하여, 디스플레이 패널로부터 발생하는 신호를 메인보드까지 전달하기 위한 연성 회로기관의 크기 및 두께를 감소할 수 있으며, 이에 따른 다른 부품의 공간 및/또는 배터리 공간을 확장시킬 수 있다.
- [389] 또한, 본 발명에 따른 실시 예에 의하면 복수의 인쇄회로기관의 연결이 요구되지 않으므로, 공정의 편의성 및 전기적인 연결의 신뢰성이 향상될 수 있으며, 이에 따른 고해상도의 디스플레이부 가지는 전자디바이스에 적합한 올인원 칩 온 필름용 연성 회로기관을 제공할 수 있다.
- [390] 또한, 본 발명에 따른 실시 예에 의하면, 기관의 제 1 면에 배치된 회로 패턴에 대응하게 상기 기관의 제 2 면에 더미 패턴을 배치하고, 상기 기관의 제 2 면에 배치된 회로 패턴에 대응하게 상기 기관의 제 1 면에 더미 패턴을 배치함으로써, 상기 기관의 상기 제 1 면 또는 상기 제 2 면의 솔더 레지스트의 인쇄시에 발생하는 솔더 레지스트 미도포 문제나 핀-홀(pinhole) 문제를 해결할 수 있다.
- [391] 상술한 실시예에 설명된 특징, 구조, 효과 등은 본 발명의 적어도 하나의 실시예에 포함되며, 반드시 하나의 실시예에만 한정되는 것은 아니다. 나아가, 각 실시예에서 예시된 특징, 구조, 효과 등은 실시예들이 속하는 분야의 통상의 지식을 가지는 자에 의하여 다른 실시예들에 대해서도 조합 또는 변형되어 실시 가능하다. 따라서 이러한 조합과 변형에 관계된 내용들은 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.
- [392] 또한, 이상에서 실시예들을 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 실시예의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다. 예를 들어, 실시예들에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부한 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

청구범위

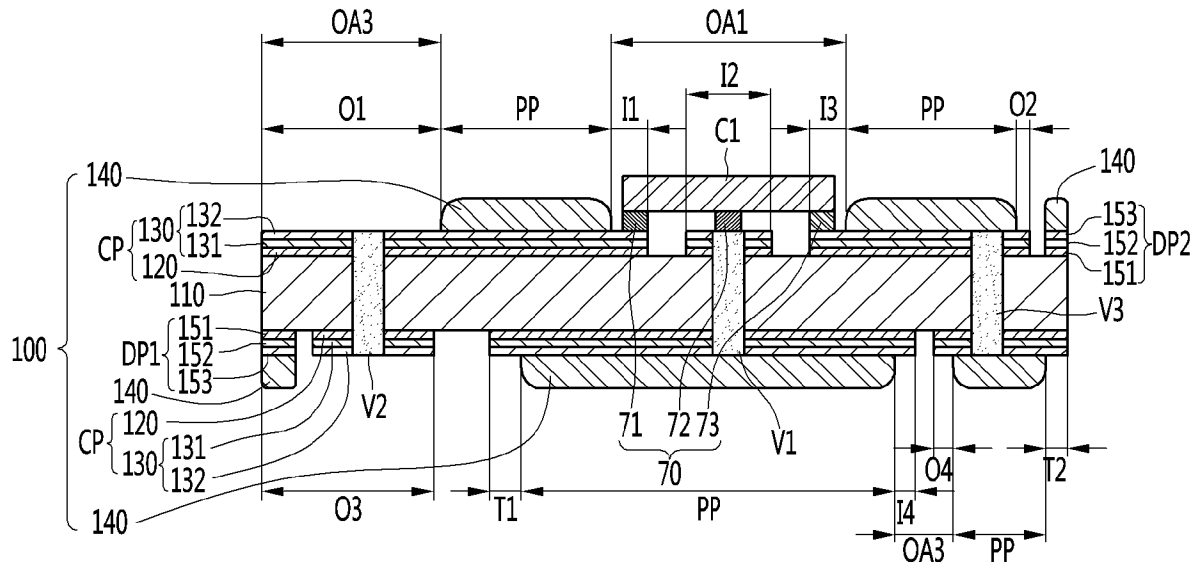
- [청구항 1] 기관;
 상기 기관의 제 1 면에 배치되는 제 1 배선 패턴층;
 상기 기관의 상기 제 1면과 반대되는 제 2 면에 배치되는 제 2 배선 패턴층;
 상기 기관의 상기 제2면 중 상기 제 2 배선 패턴층이 배치되지 않은 영역에 배치되는 제 1 더미 패턴부;
 상기 제 1 배선 패턴층 상에 배치되는 제 1 보호층; 및
 상기 제 2 배선 패턴층 및 상기 제 1 더미 패턴부 상에 배치되는 제 2 보호층을 포함하고,
 상기 제 1 더미 패턴부의 적어도 일부는,
 수직 방향 내에서 상기 제 1 배선 패턴층과 중첩되는 연성 회로기관.
- [청구항 2] 제 1항에 있어서,
 상기 기관의 상기 제1면 중 상기 제 1 배선 패턴층이 배치되지 않은 영역에 배치되며, 적어도 일부가 상기 제 2 배선 패턴층과 수직 방향 내에서 중첩되는 제 2 더미 패턴부를 더 포함하는 연성 회로기관.
- [청구항 3] 제 1항에 있어서,
 상기 제 1 더미 패턴부는,
 상기 제 1 배선 패턴층과 동일한 폭을 가지고, 일단이 상기 제 1 배선 패턴층의 일단과 동일 수직 선상에 배치되는 연성 회로기관.
- [청구항 4] 제 1항에 있어서,
 상기 제 1 더미 패턴부는,
 상기 제 1 배선 패턴층보다 넓은 폭을 가지며,
 일단이 상기 제 1 배선 패턴층의 일단보다 상기 기관의 단부로부터 가까운 연성 회로기관.
- [청구항 5] 제 2항에 있어서,
 상기 제 1 면은, 상기 기관의 상면이고,
 상기 제 2 면은, 상기 기관의 하면이며,
 상기 제 1 더미 패턴부는,
 상기 제1 배선 패턴층 중 좌측에 배치된 제 1 배선 패턴층보다 더 좌측에 배치되는 연성 회로기관.
- [청구항 6] 제 2항에 있어서,

- 상기 제 2 더미 패턴부는,
 상기 제2 배선 패턴층 중 최우측에 배치된 제 2 배선 패턴층보다 더
 우측에 배치되는
- [청구항 7] 제 2항에 있어서,
 상기 제 1 배선 패턴층 상에 배치되는 주식(Sn)을 포함하는 제 1 도금층;
 및
 상기 제 2 배선 패턴층 상에 배치되는 주식(Sn)을 포함하는 제 2 도금층을
 더 포함하고,
 상기 제 1 더미 패턴부는,
 상기 제 2 배선 패턴층에 대응하는 제 1 더미 패턴층과,
 상기 제 2 도금층에 대응하는 제 2 더미 패턴층을 포함하고,
 상기 제 2 더미 패턴부는,
 상기 제 1 배선 패턴층에 대응하는 제 3 더미 패턴층과,
 상기 제 1 도금층에 대응하는 제 4 더미 패턴층을 포함하는
 연성 회로 기판.
- [청구항 8] 올인원 칩 온 필름용 연성 회로기판은,
 기판;
 상기 기판 상에 배치되는 전도성 패턴부;
 상기 기판 상에 배치되는 더미 패턴부; 및
 상기 전도성 패턴부 상의 일 영역 및 상기 더미 패턴부 상에 배치되는
 보호부;를 포함하고,
 상기 전도성 패턴부는
 상기 기판의 제 1 면 상에 배치되는 제 1 배선 패턴층과,
 상기 제 1 배선 패턴층 상에 배치되는 제 1 도금층과,
 상기 기판의 상기 제 1면과 반대되는 제 2 면 상에 배치되는 제 2 배선
 패턴층과,
 상기 제 2 배선 패턴층 상에 배치되는 제 2 도금층을 포함하고,
 상기 보호층의 제 1 오픈 영역에서 상기 도금층의 주식(Sn)의 함량은 상기
 보호층의 제 2 오픈 영역에서 상기 도금층의 주식(Sn)의 함량보다 많고,
 상기 제 1 오픈 영역에 배치되는 제 1 칩과,
 상기 제 2 오픈 영역에 배치되는 제 2 칩을 포함하며,
 상기 더미 패턴부는,
 상기 제 2 배선 패턴층이 배치되지 않은 상기 기판의 상기 제 2 면 상에
 배치되고, 적어도 일부가 상기 제 1 배선 패턴층과 수직 방향으로
 중첩되는 제 1 더미 패턴부와,
 상기 제 1 배선 패턴층이 배치되지 않은 상기 기판의 상기 제 1 면 상에
 배치되며, 적어도 일부가 상기 제 2 배선 패턴층과 수직 방향으로
 중첩되는 제 2 더미 패턴부를 포함하는

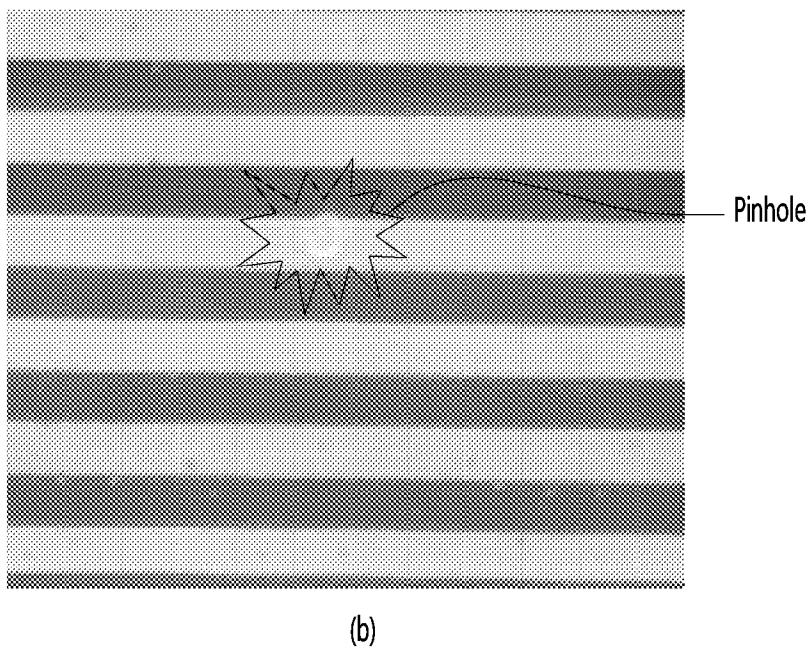
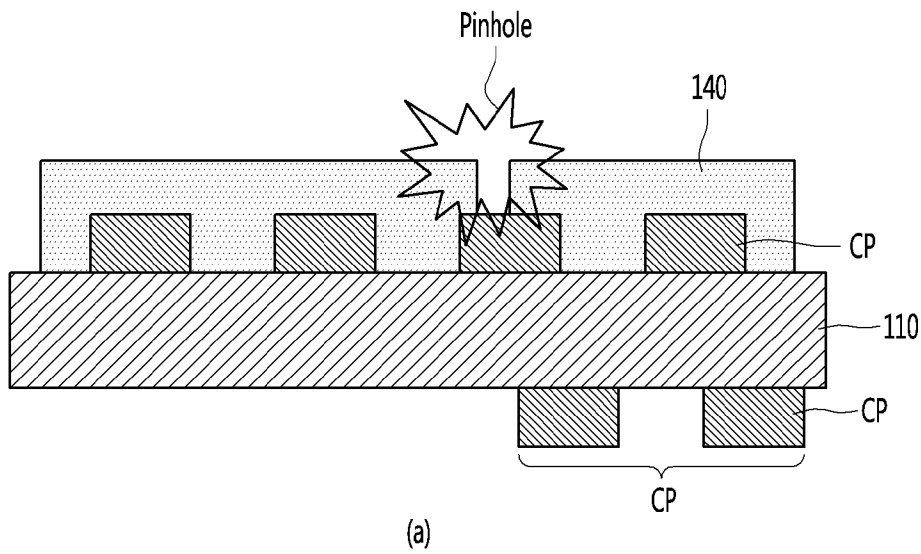
- 칩 패키지.
- [청구항 9] 제 8항에 있어서,
상기 제 1 면은, 상기 기판의 상면이고,
상기 제 2 면은, 상기 기판의 하면이며,
상기 제 1 더미 패턴부는,
상기 제1 배선 패턴층 중 최좌측에 배치된 제 1 배선 패턴층보다 더
좌측에 배치되고,
상기 제 2 더미 패턴부는,
상기 제2 배선 패턴층 중 최우측에 배치된 제 2 배선 패턴층보다 더
우측에 배치되는
칩 패키지.
- [청구항 10] 제 9항에 있어서,
상기 제 1 칩은 구동 IC 칩(Drive IC chip)이고,
상기 제 2 칩은 다이오드 칩, 전원 IC 칩, 터치센서 IC 칩, MLCC 칩, BGA
칩, 칩 콘덴서 중 적어도 하나인 것을 포함하는 올인원 칩 온 필름용
연성회로기판을 포함하는
칩 패키지.

A cross-sectional view of a semiconductor device. A substrate 30 is shown at the top. Below it is a gate electrode 50, which is a horizontal layer. A gate insulating film 100 is formed on the substrate 30 and the gate electrode 50. A gate contact 110 is formed on the gate insulating film 100, extending from the gate electrode 50. The gate contact 110 is divided into three regions: C1, C2a, and C2b. A bracket labeled C2 groups regions C2a and C2b.

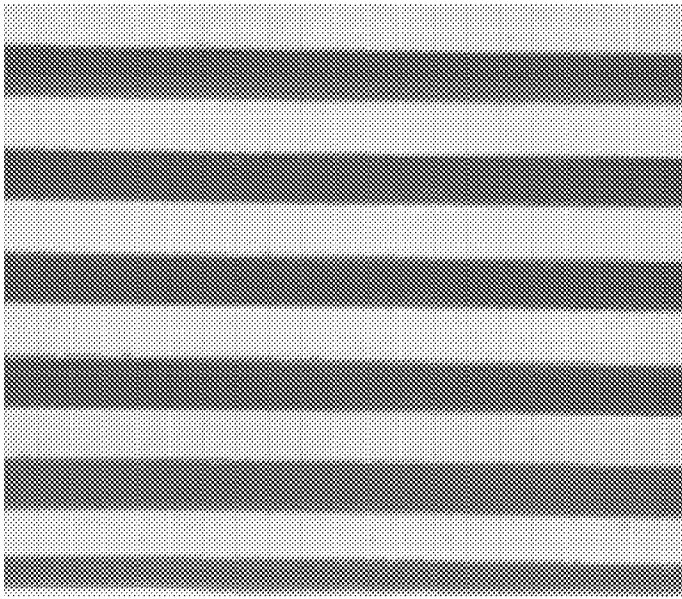
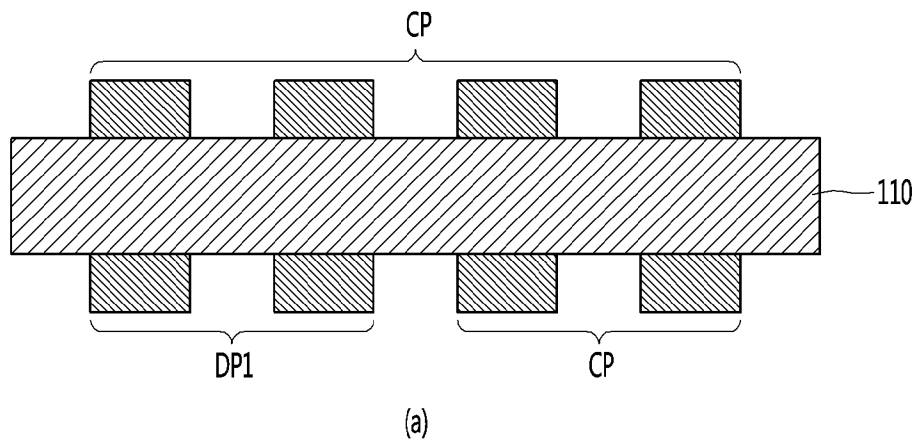
[도3b]



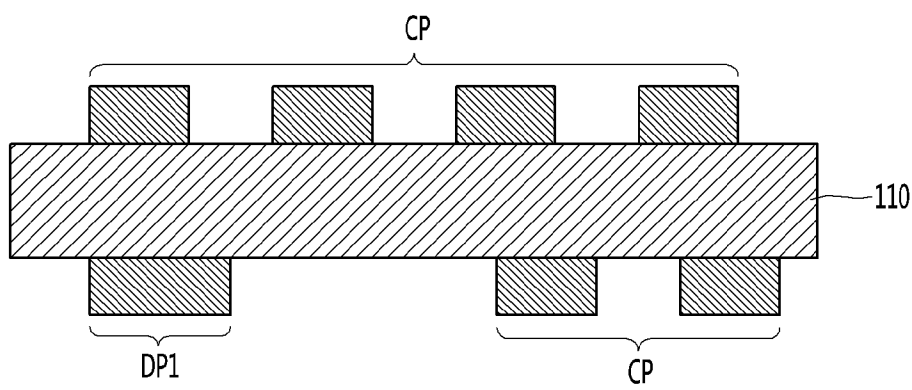
[도4a]



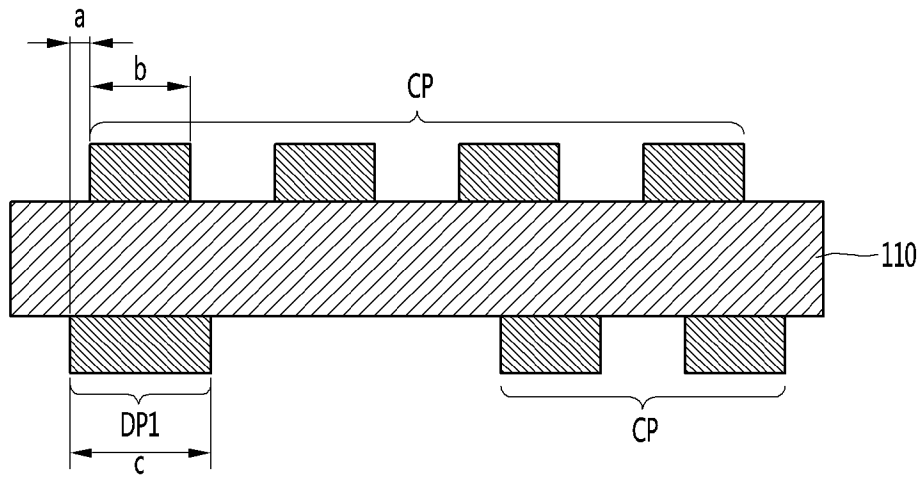
[도4b]



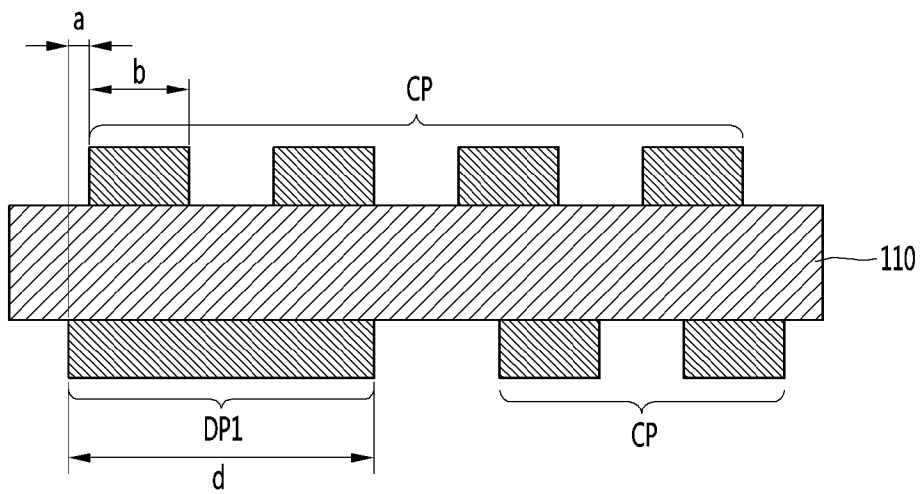
[도5a]



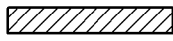
[도5b]



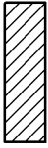
[도5c]



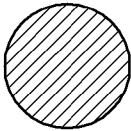
[도5d]



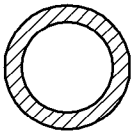
(a)



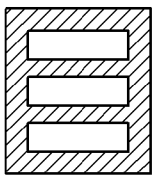
(b)



(c)

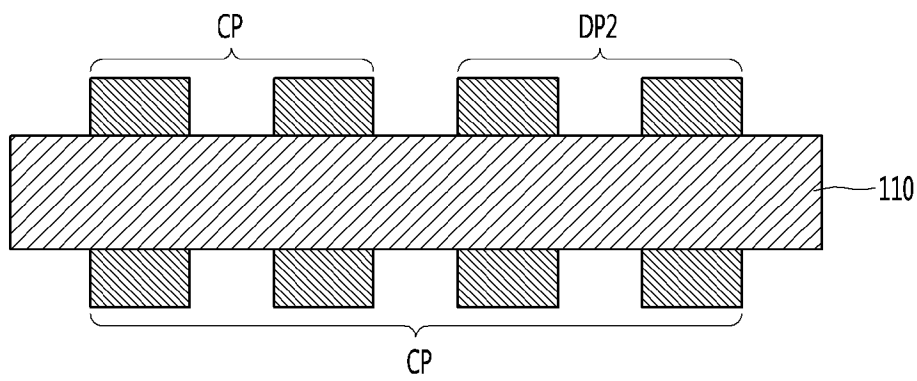


(d)

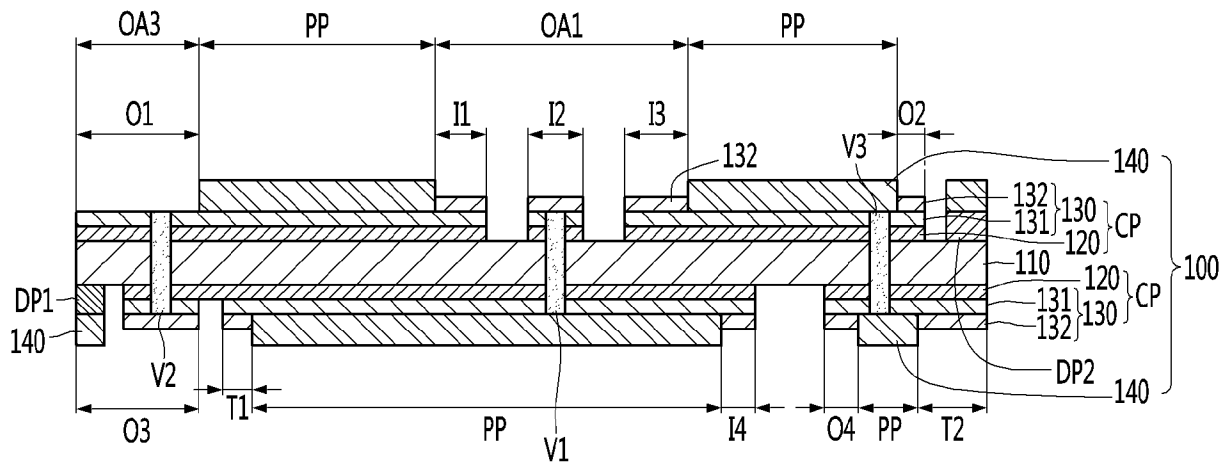


(e)

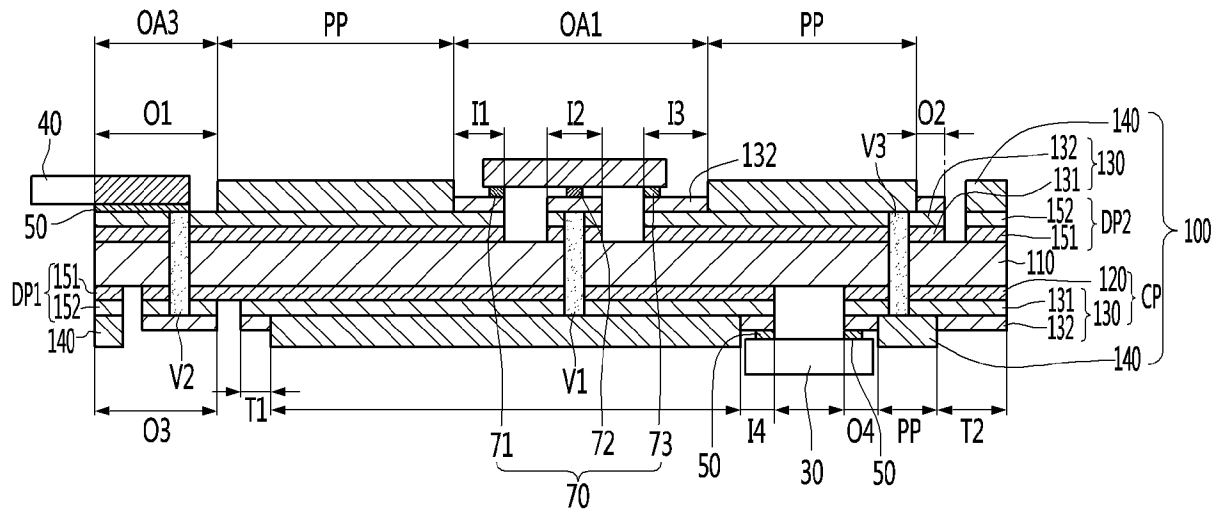
[도6]



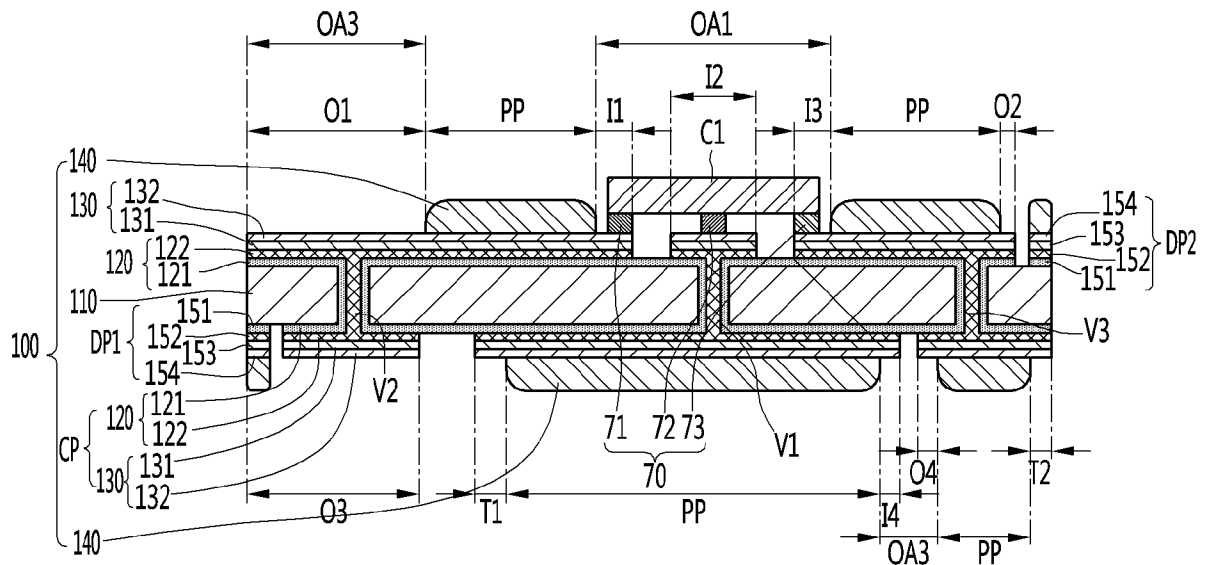
[도7a]



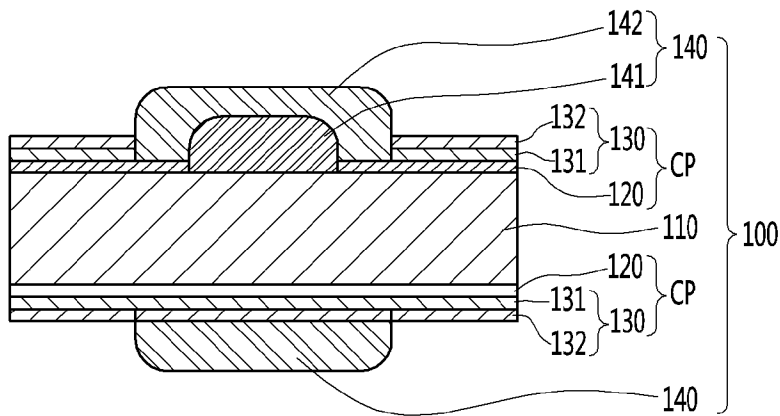
[도7b]



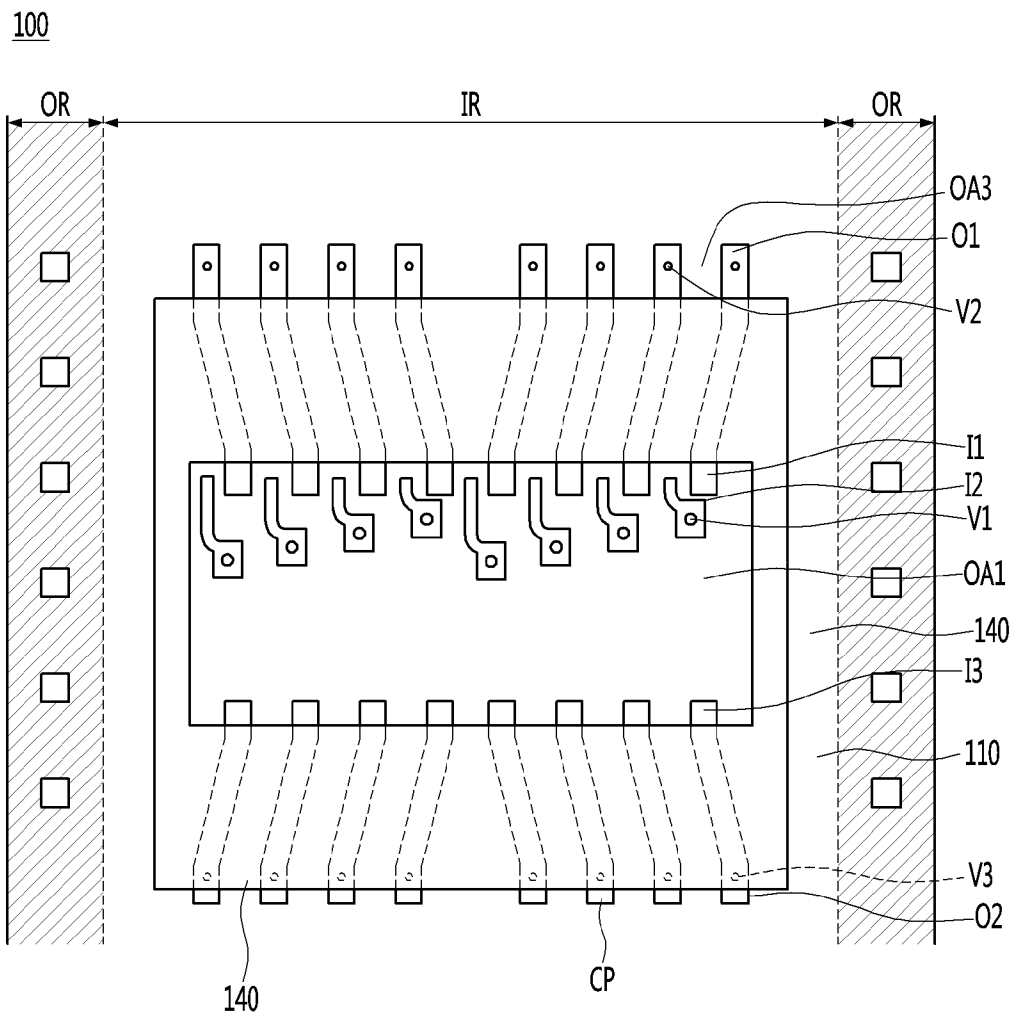
[도8]



[도9]

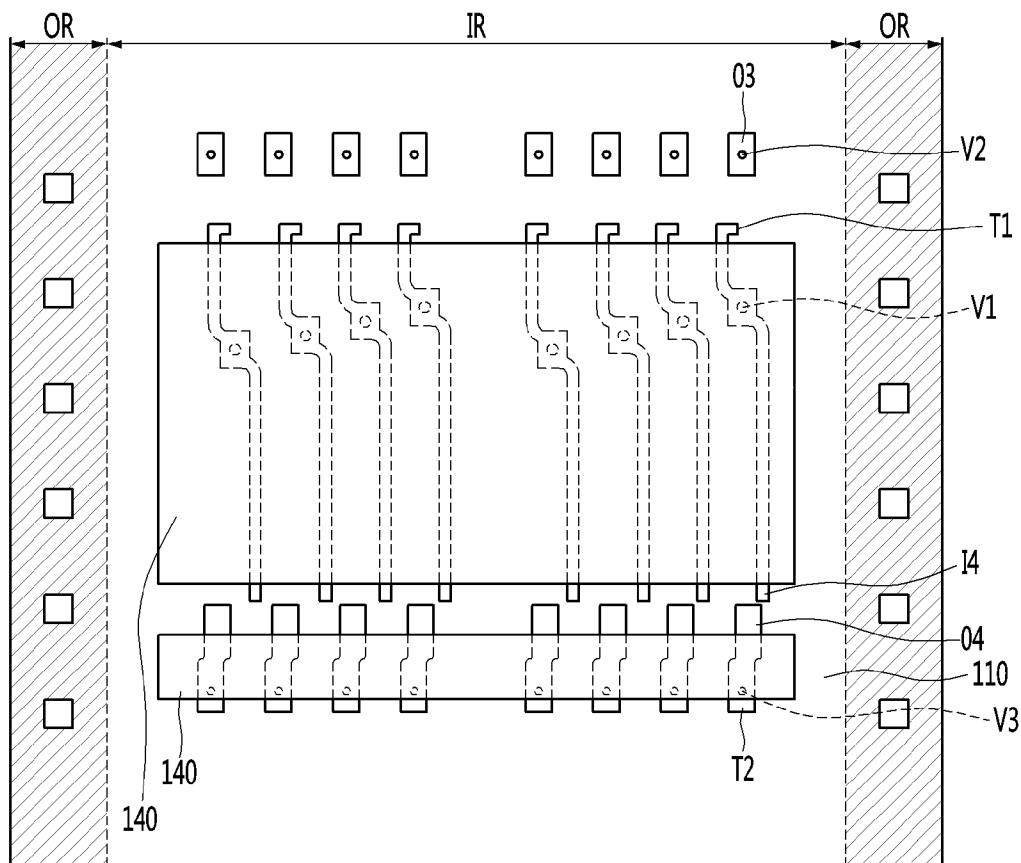


[도10]

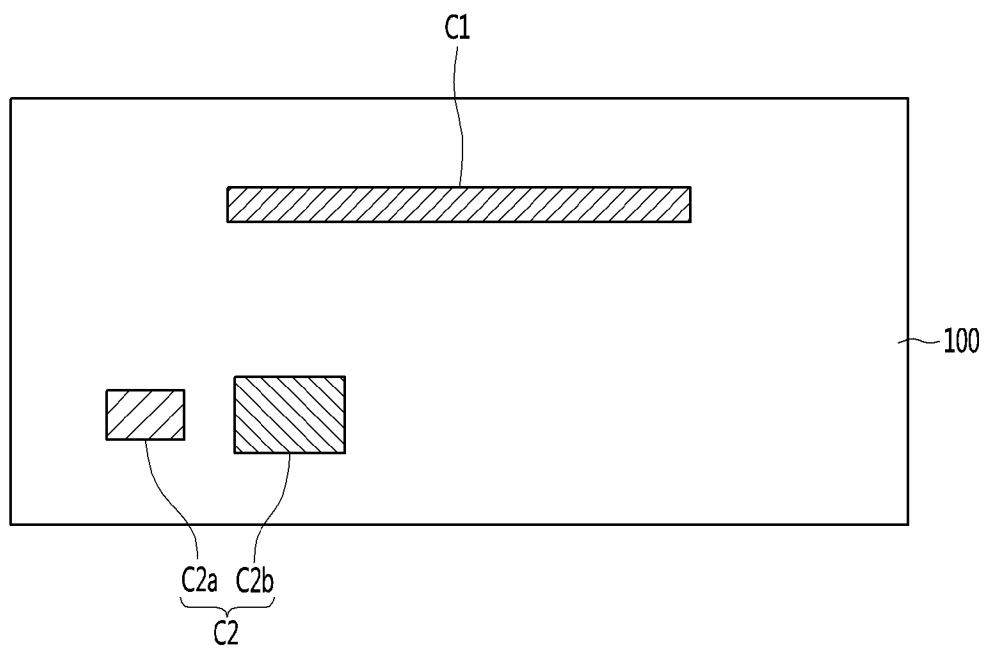


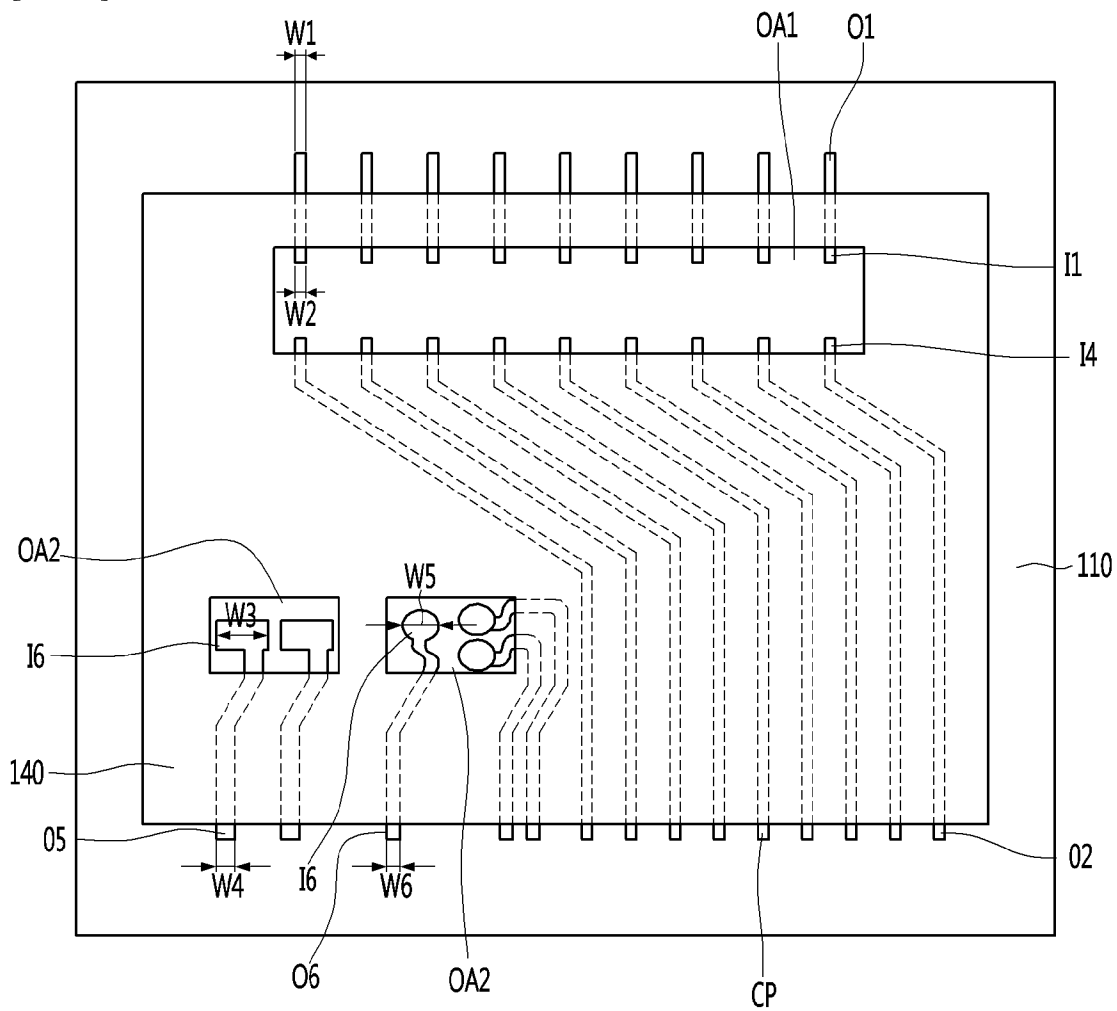
[도11]

100

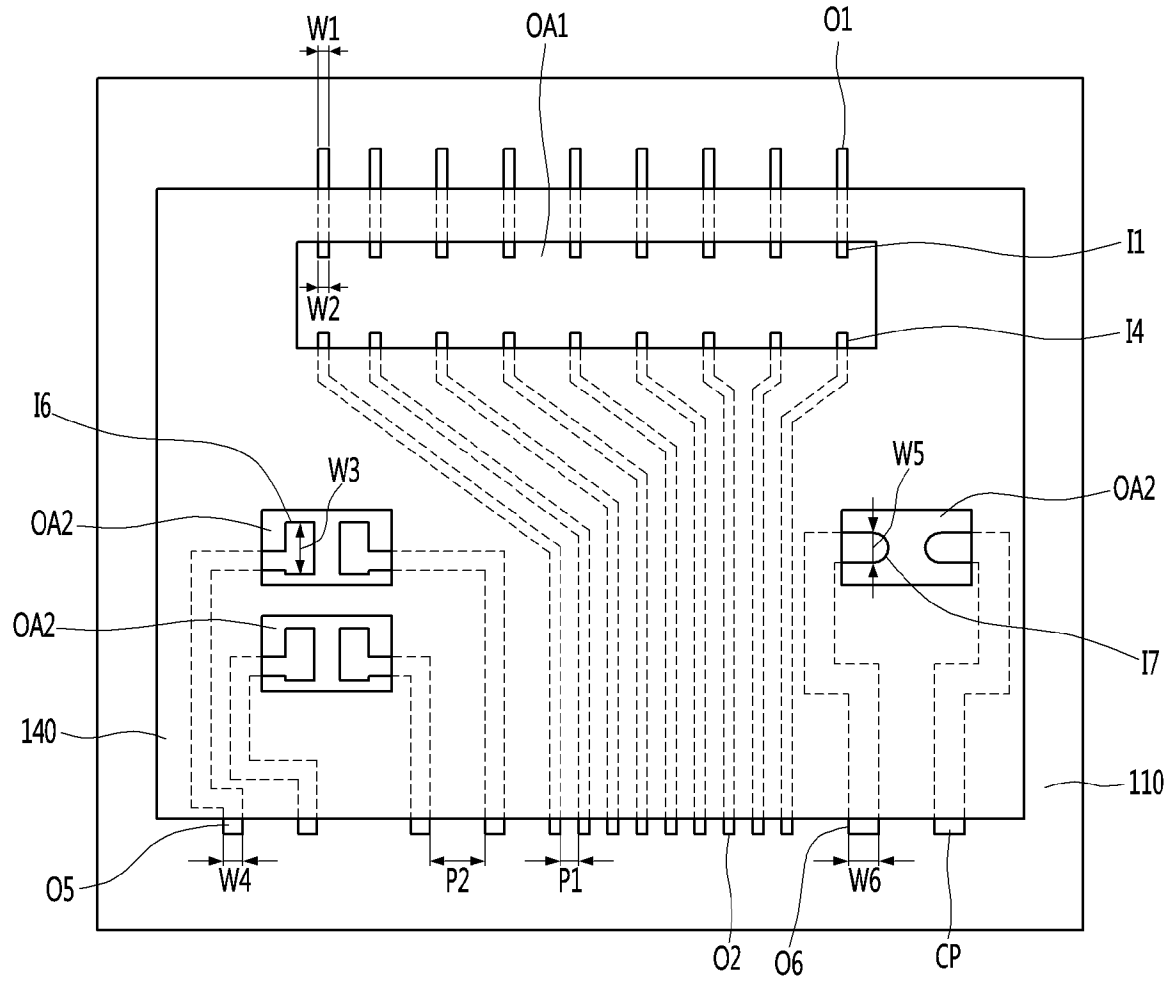


[도12a]

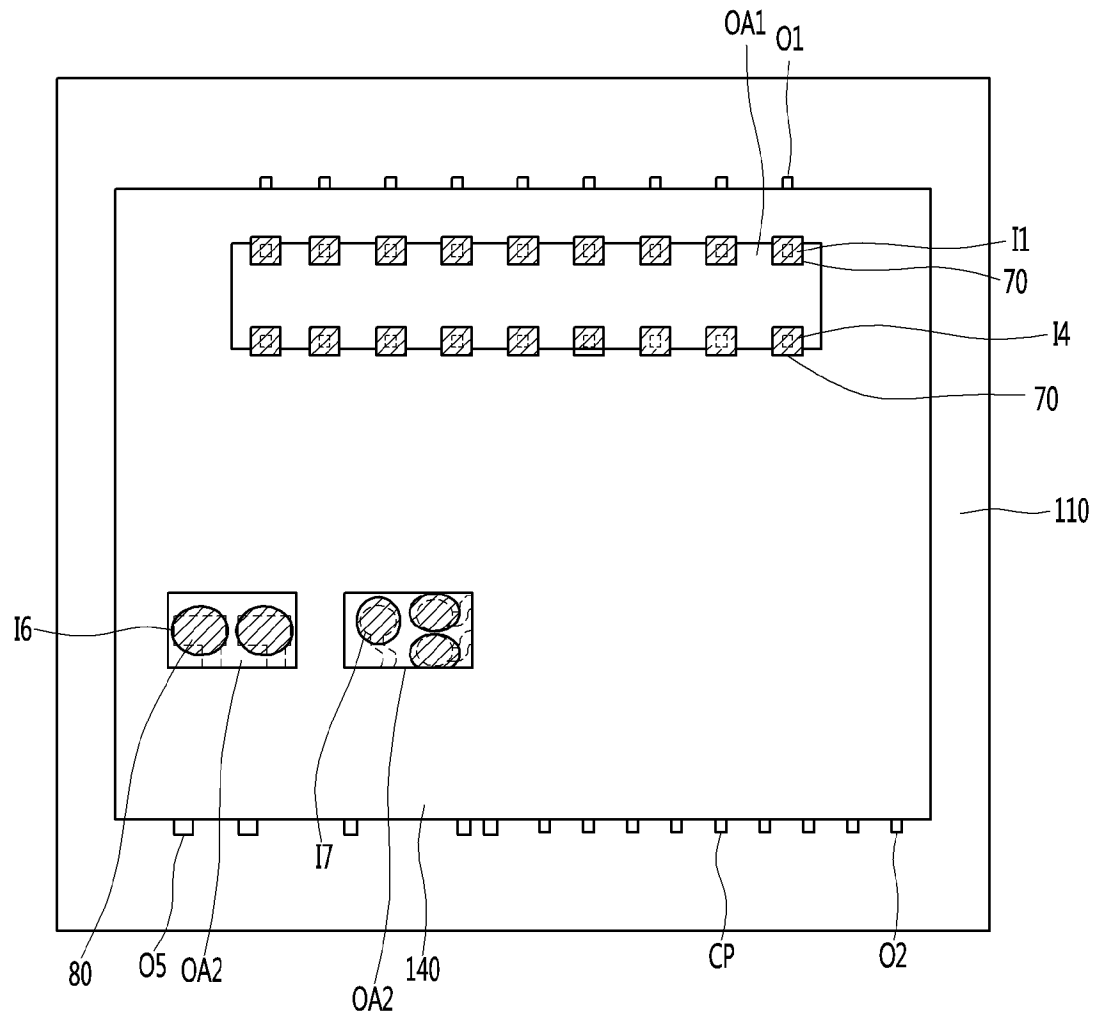




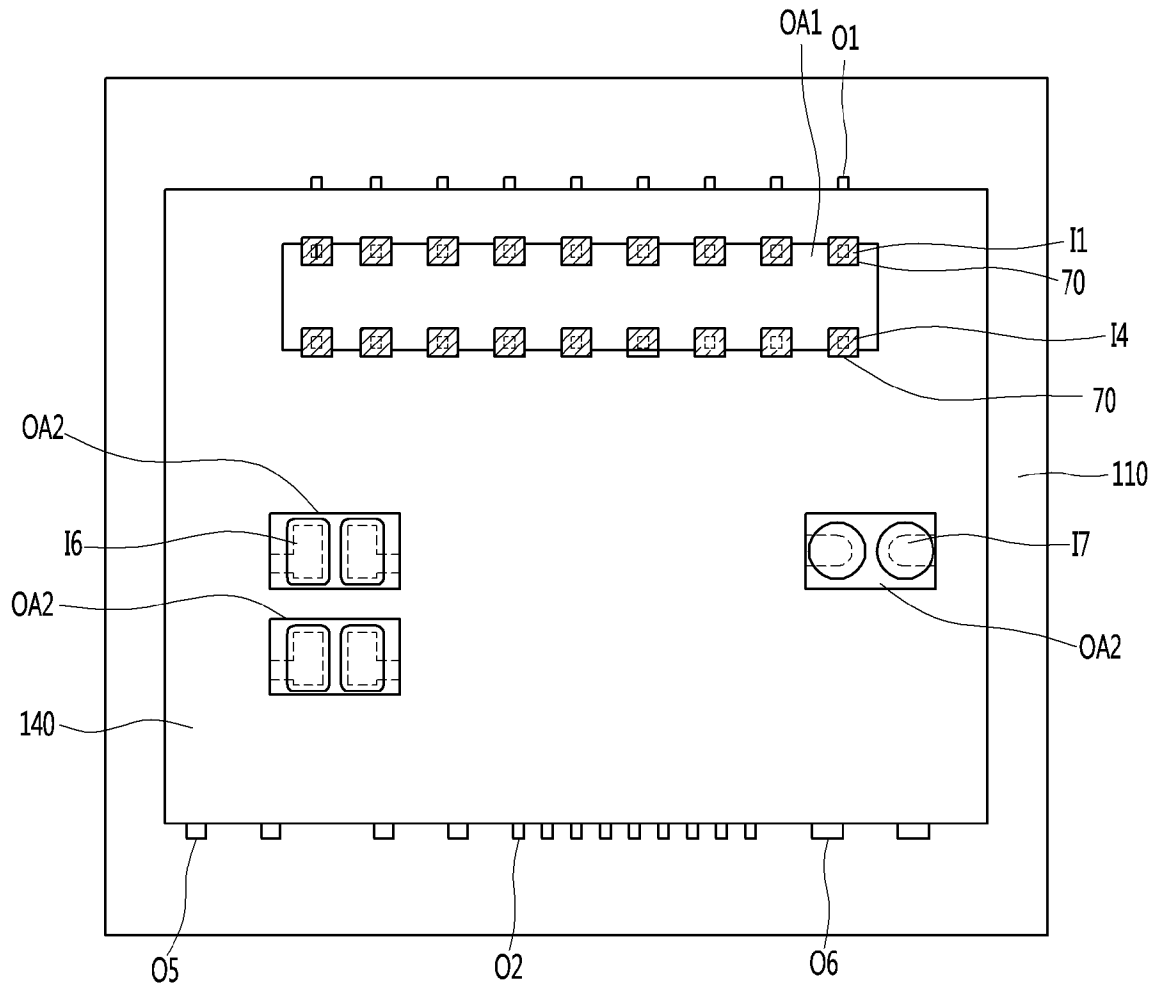
[도 13b]



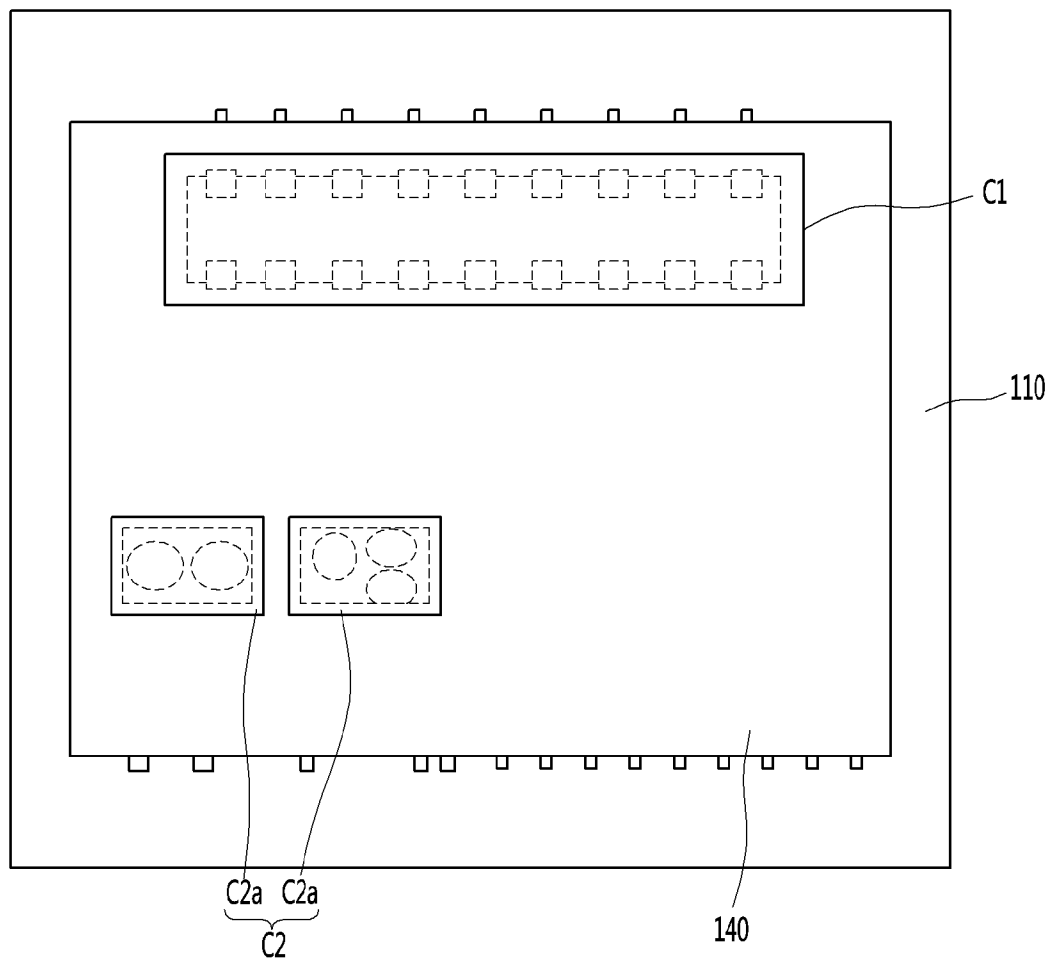
[도 14a]



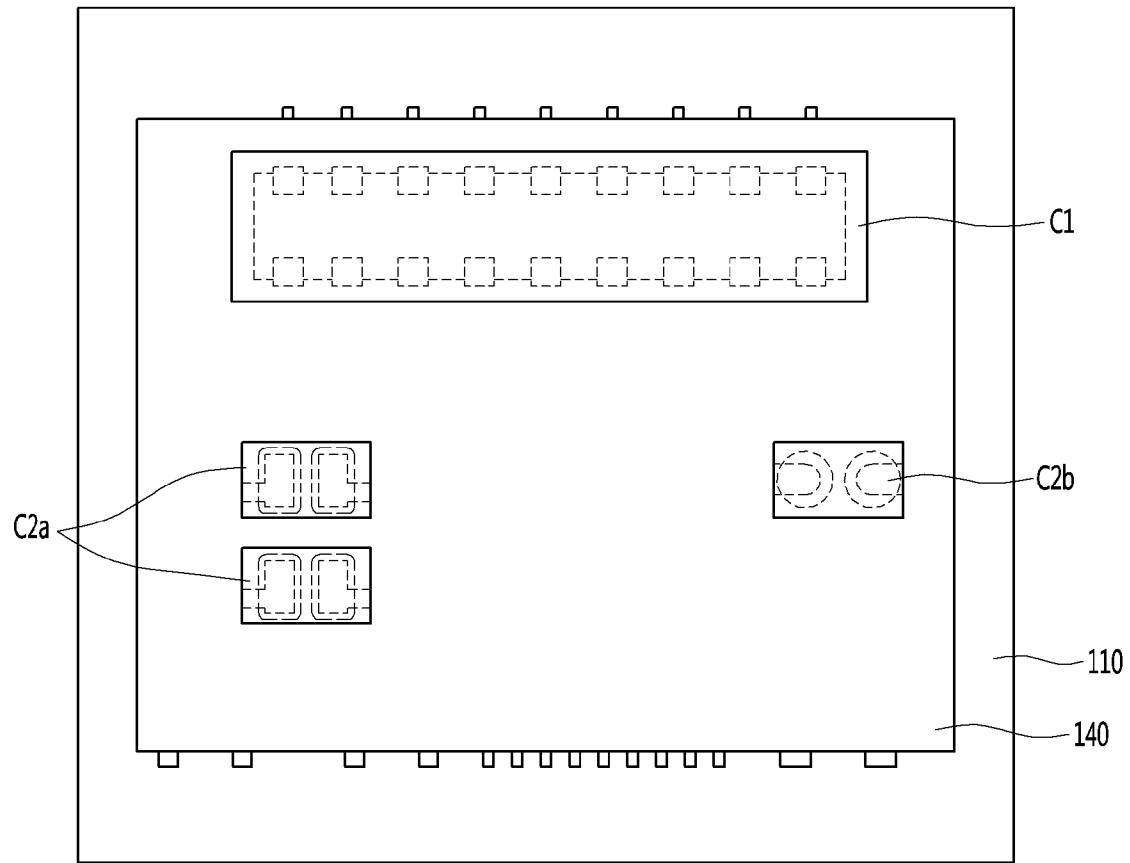
[도 14b]



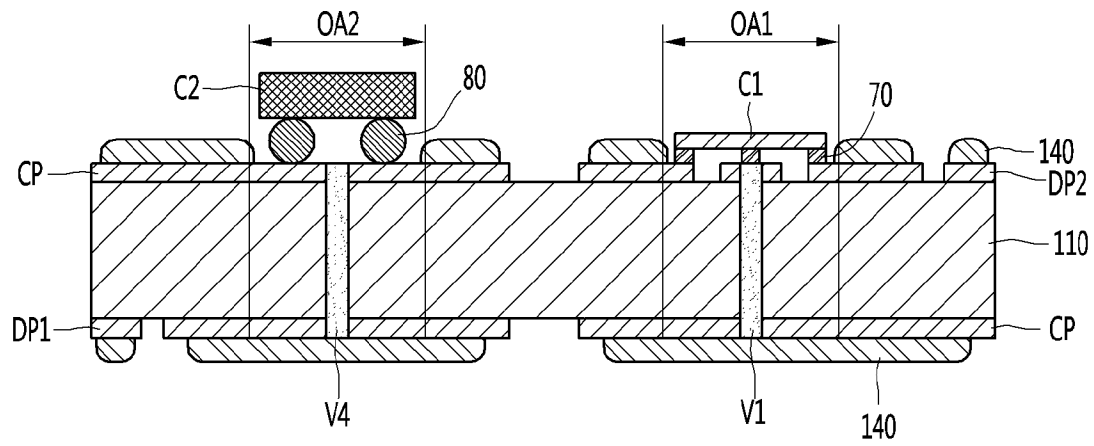
[도 15a]



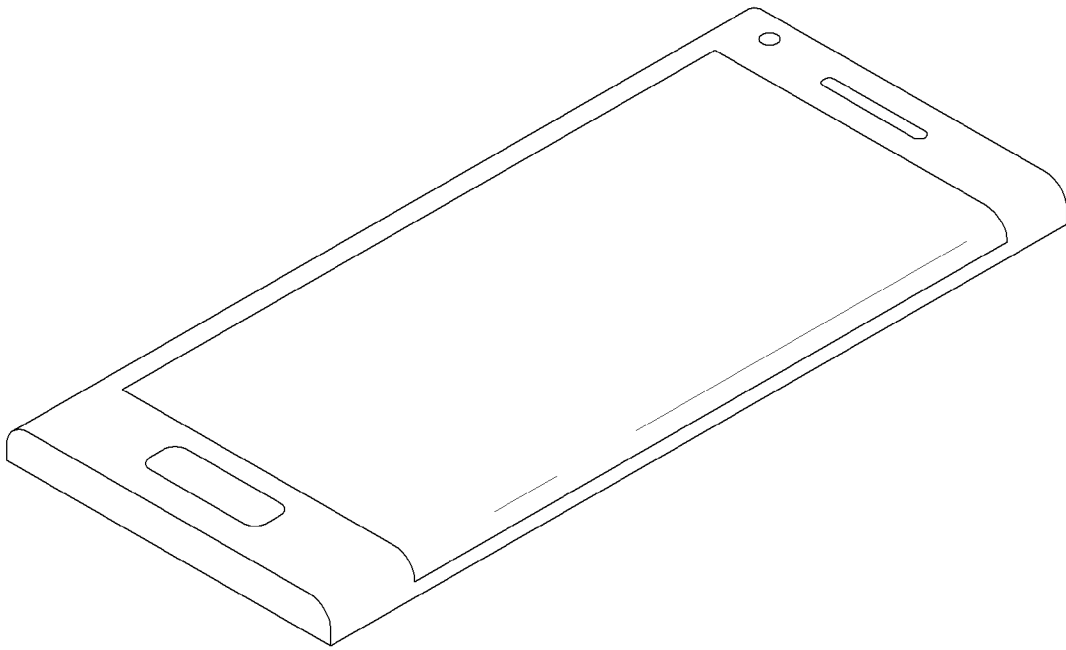
[도 15b]



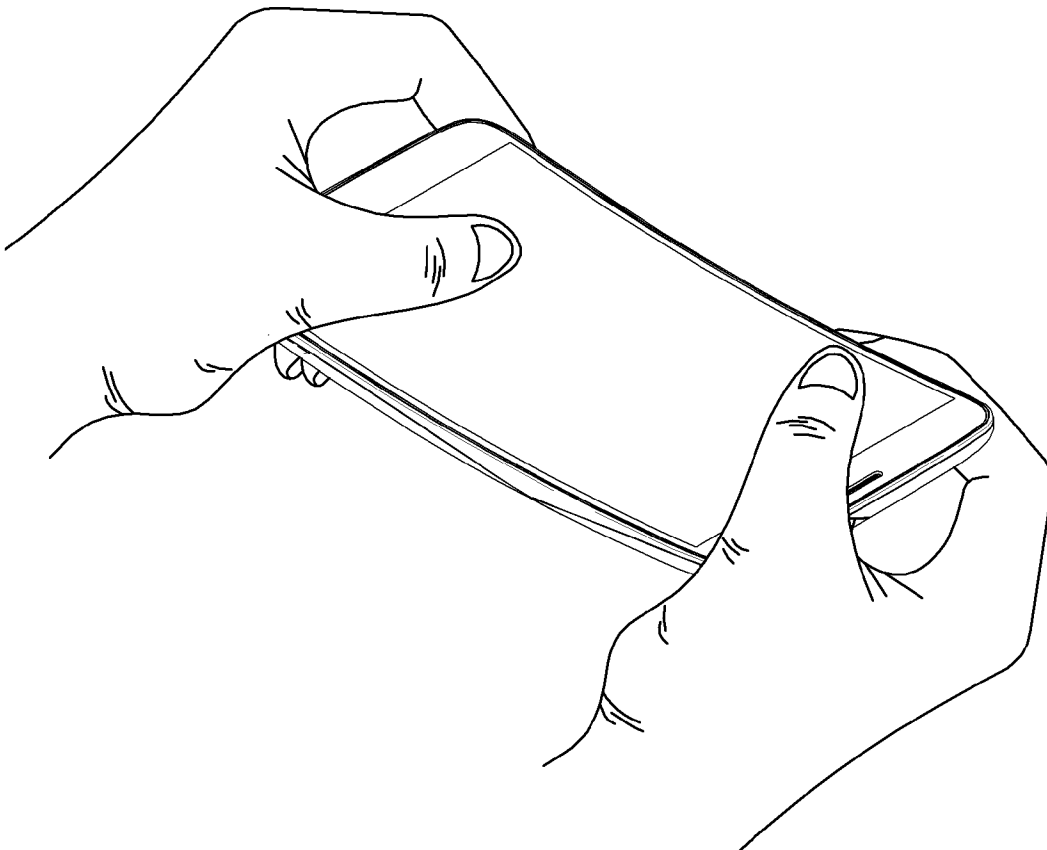
[도 16]



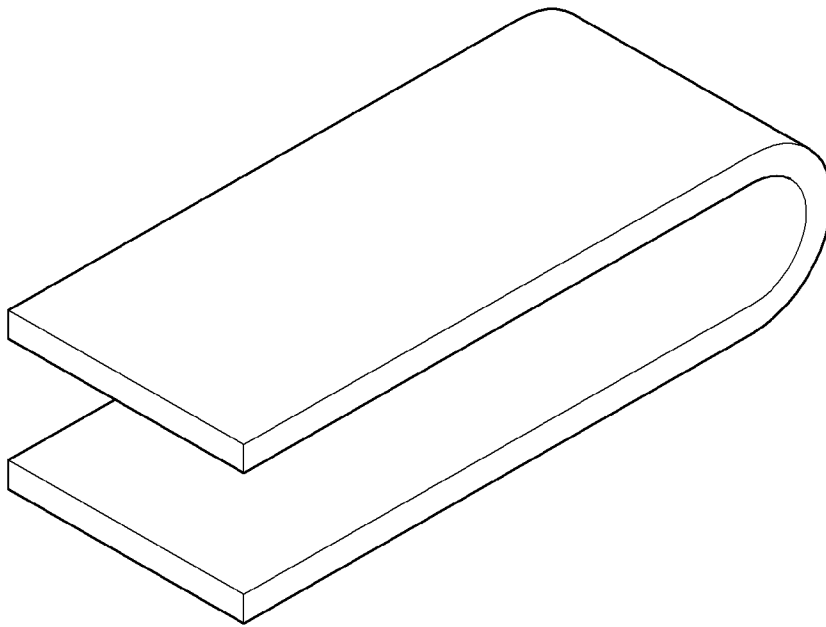
[도17]



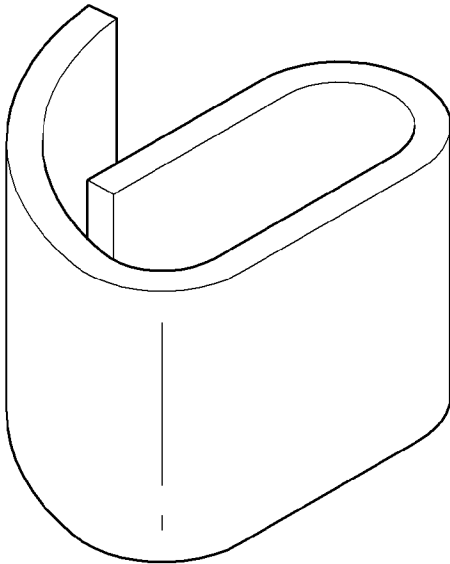
[도18]



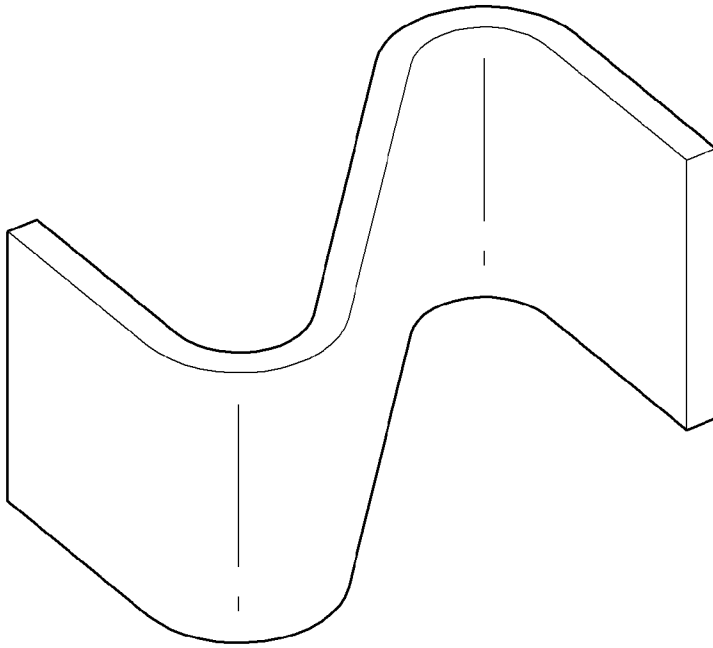
[도 19a]



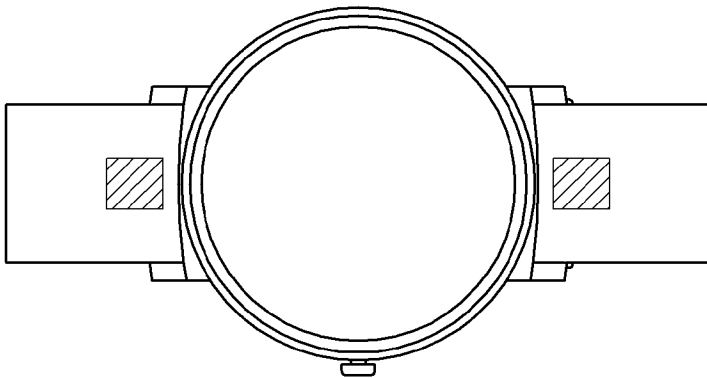
[도 19b]



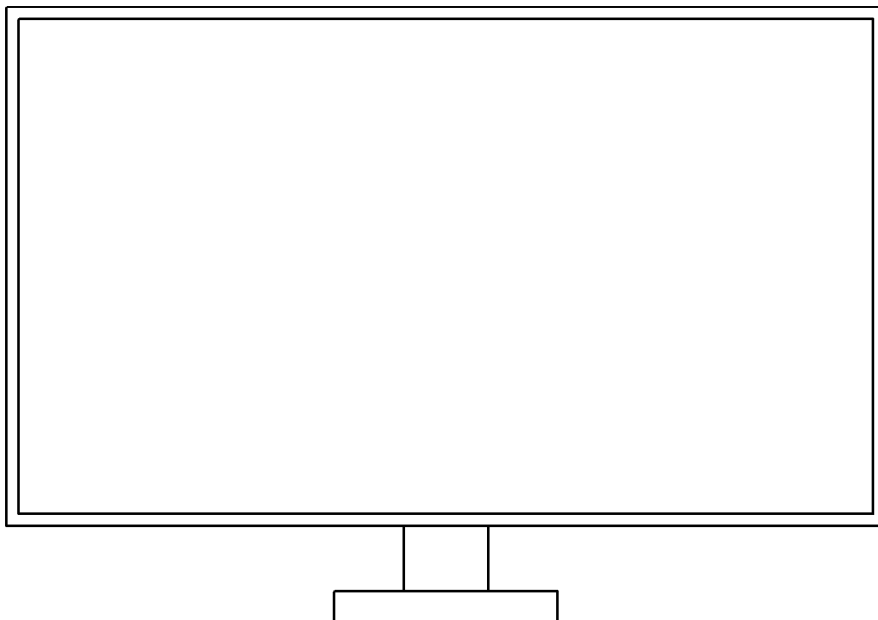
[도19c]



[도20]



[도21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/KR2018/012687

A. CLASSIFICATION OF SUBJECT MATTER

H05K 3/28(2006.01)i, H05K 1/14(2006.01)i, H01L 23/498(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H05K 3/28; H01L 21/60; H01L 23/12; H01L 23/34; H01L 51/50; H05B 33/02; H05K 1/18; H05K 3/10; H05K 3/46; H05K 1/14; H01L 23/498

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Korean Utility models and applications for Utility models: IPC as above

Japanese Utility models and applications for Utility models: IPC as above

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

eKOMPASS (KIPO internal) & Keywords: flexible printed circuit board, chip package, wiring pattern layer, dummy pattern unit, protective layer, plated layer, tin, open area, chip

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	KR 10-1396433 B1 (STEMCO CO., LTD.) 19 May 2014 See paragraphs [0018]-[0046] and figures 1-10.	1,3,4
A		2,5-10
A	KR 10-2000-0048249 A (SEIKO EPSON CORPORATION) 25 July 2000 See page 7 and figure 8.	1-10
A	KR 10-2014-0062607 A (MAGNACHIP SEMICONDUCTOR, LTD. et al.) 26 May 2014 See paragraphs [0026]-[0039] and figures 2a-2c.	1-10
A	KR 10-1369300 B1 (LG INNOTEK CO., LTD.) 06 March 2014 See paragraphs [0052]-[0063] and figures 6-8.	1-10
A	KR 10-2010-0040063 A (LG DISPLAY CO., LTD.) 19 April 2010 See paragraphs [0059]-[0066] and figure 5.	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

13 FEBRUARY 2019 (13.02.2019)

Date of mailing of the international search report

13 FEBRUARY 2019 (13.02.2019)

Name and mailing address of the ISA/KR

Korean Intellectual Property Office
Government Complex Daejeon Building 4, 189, Cheongsu-ro, Seo-gu,
Daejeon, 35208, Republic of Korea
Facsimile No. +82-42-481-8578

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/KR2018/012687

Patent document cited in search report	Publication date	Patent family member	Publication date
KR 10-1396433 B1	19/05/2014	KR 10-2014-0022210 A	24/02/2014
KR 10-2000-0048249 A	25/07/2000	CN 1199533 C	27/04/2005
		CN 1259007 A	05/07/2000
		JP 2000-294894 A	20/10/2000
		JP 2000-294895 A	20/10/2000
		TW 483291 A	11/04/2002
		US 6542374 B1	01/04/2003
KR 10-2014-0062607 A	26/05/2014	CN 103809314 A	21/05/2014
		TW 201426888 A	01/07/2014
		TW 1538074 B	11/06/2016
		US 2014-0131889 A1	15/05/2014
		US 9332649 B2	03/05/2016
KR 10-1369300 B1	06/03/2014	KR 10-2013-0121382 A	06/11/2013
KR 10-2010-0040063 A	19/04/2010	KR 10-1570530 B1	19/11/2015

A. 발명이 속하는 기술분류(국제특허분류(IPC))

H05K 3/28(2006.01)i, H05K 1/14(2006.01)i, H01L 23/498(2006.01)i

B. 조사된 분야

조사된 최소문헌(국제특허분류를 기재)

H05K 3/28; H01L 21/60; H01L 23/12; H01L 23/34; H01L 51/50; H05B 33/02; H05K 1/18; H05K 3/10; H05K 3/46; H05K 1/14; H01L 23/498

조사된 기술분야에 속하는 최소문헌 이외의 문헌

한국등록실용신안공보 및 한국공개실용신안공보: 조사된 최소문헌란에 기재된 IPC
일본등록실용신안공보 및 일본공개실용신안공보: 조사된 최소문헌란에 기재된 IPC

국제조사에 이용된 전산 데이터베이스(데이터베이스의 명칭 및 검색어(해당하는 경우))

eKOMPASS(특허청 내부 검색시스템) & 키워드: 연성 회로기판, 칩 패키지, 배선 패턴층, 더미 패턴부, 보호층, 도금층, 주석, 오픈 영역, 칩

C. 관련 문헌

카테고리*	인용문헌명 및 관련 구절(해당하는 경우)의 기재	관련 청구항
X	KR 10-1396433 B1 (스텍코 주식회사) 2014.05.19 단락 [0018]-[0046] 및 도면 1-10 참조.	1,3,4
A		2,5-10
A	KR 10-2000-0048249 A (세이코 엡슨 가부시카가이샤) 2000.07.25 페이지 7 및 도면 8 참조.	1-10
A	KR 10-2014-0062607 A (매그나칩 반도체 유한회사 등) 2014.05.26 단락 [0026]-[0039] 및 도면 2a-2c 참조.	1-10
A	KR 10-1369300 B1 (엘지이노텍 주식회사) 2014.03.06 단락 [0052]-[0063] 및 도면 6-8 참조.	1-10
A	KR 10-2010-0040063 A (엘지디스플레이 주식회사) 2010.04.19 단락 [0059]-[0066] 및 도면 5 참조.	1-10

☐ 추가 문헌이 C(계속)에 기재되어 있습니다.

☒ 대응특허에 관한 별지를 참조하십시오.

* 인용된 문헌의 특별 카테고리:

“A” 특별히 관련이 없는 것으로 보이는 일반적인 기술수준을 정의한 문헌

“T” 국제출원일 또는 우선일 후에 공개된 문헌으로, 출원과 상충하지 않으며 발명의 기초가 되는 원리나 이론을 이해하기 위해 인용된 문헌

“E” 국제출원일보다 빠른 출원일 또는 우선일을 가지나 국제출원일 이후에 공개된 선출원 또는 특허 문헌

“X” 특별한 관련이 있는 문헌. 해당 문헌 하나만으로 청구된 발명의 신규성 또는 진보성이 없는 것으로 본다.

“L” 우선권 주장에 의문을 제기하는 문헌 또는 다른 인용문헌의 공개일 또는 다른 특별한 이유(이유를 명시)를 밝히기 위하여 인용된 문헌

“Y” 특별한 관련이 있는 문헌. 해당 문헌이 하나 이상의 다른 문헌과 조합하는 경우로 그 조합이 당업자에게 자명한 경우 청구된 발명은 진보성이 없는 것으로 본다.

“O” 구두 개시, 사용, 전시 또는 기타 수단을 언급하고 있는 문헌

“&” 동일한 대응특허문헌에 속하는 문헌

“P” 우선일 이후에 공개되었으나 국제출원일 이전에 공개된 문헌

국제조사의 실제 완료일

2019년 02월 13일 (13.02.2019)

국제조사보고서 발송일

2019년 02월 13일 (13.02.2019)

ISA/KR의 명칭 및 우편주소



대한민국 특허청
(35208) 대전광역시 서구 청사로 189,
4동 (둔산동, 정부대전청사)

팩스 번호 +82-42-481-8578

심사관

최상원

전화번호 +82-42-481-8291



국제조사보고서에서 인용된 특허문헌	공개일	대응특허문헌	공개일
KR 10-1396433 B1	2014/05/19	KR 10-2014-0022210 A	2014/02/24
KR 10-2000-0048249 A	2000/07/25	CN 1199533 C	2005/04/27
		CN 1259007 A	2000/07/05
		JP 2000-294894 A	2000/10/20
		JP 2000-294895 A	2000/10/20
		TW 483291 A	2002/04/11
		US 6542374 B1	2003/04/01
KR 10-2014-0062607 A	2014/05/26	CN 103809314 A	2014/05/21
		TW 201426888 A	2014/07/01
		TW I538074 B	2016/06/11
		US 2014-0131889 A1	2014/05/15
		US 9332649 B2	2016/05/03
KR 10-1369300 B1	2014/03/06	KR 10-2013-0121382 A	2013/11/06
KR 10-2010-0040063 A	2010/04/19	KR 10-1570530 B1	2015/11/19