

(19) 日本国特許庁(JP)

(12) 特許公報(B2)

(11) 特許番号

特許第4806418号
(P4806418)

(45) 発行日 平成23年11月2日(2011.11.2)

(24) 登録日 平成23年8月19日(2011.8.19)

(51) Int.Cl. F I
G O 6 F 9/50 (2006.01) G O 6 F 9/46 4 6 5 B

請求項の数 9 (全 65 頁)

(21) 出願番号	特願2007-550531 (P2007-550531)	(73) 特許権者	507231943
(86) (22) 出願日	平成18年1月9日(2006.1.9)		クォーティックス インク
(65) 公表番号	特表2008-527545 (P2008-527545A)		米国、カリフォルニア州、92618、ア
(43) 公表日	平成20年7月24日(2008.7.24)		ーバイン、スイート250、アダパークウ
(86) 国際出願番号	PCT/US2006/000622		エイ1
(87) 国際公開番号	W02006/121472	(74) 代理人	100093687
(87) 国際公開日	平成18年11月16日(2006.11.16)		弁理士 富崎 元成
審査請求日	平成19年9月26日(2007.9.26)	(74) 代理人	100106770
(31) 優先権主張番号	60/642, 602		弁理士 円城寺 貞夫
(32) 優先日	平成17年1月10日(2005.1.10)	(74) 代理人	100139789
(33) 優先権主張国	米国 (US)		弁理士 町田 光信
		(72) 発明者	シャレジル アハメド
			米国、カリフォルニア州、92618、ア
			ーバイン、スイート250、アダパークウ
			エイ1

最終頁に続く

(54) 【発明の名称】 ビジュアルメディアの統合処理のための統合アーキテクチャ

(57) 【特許請求の範囲】

【請求項1】

命令に基づいて、テキスト、グラフィック、ビデオ、及び音声の中から選択される1種類以上のデータからなるメディアを処理するためのメディアプロセッサにおいて、

複数の処理レイヤ(105)と、

各前記処理レイヤ(105)は、少なくとも1つの処理ユニット(130)、少なくとも1つのプログラムメモリ(135)、及び少なくとも1つのデータメモリ(140)を有し、同じ前記処理レイヤ(105)内のそれぞれの前記処理ユニット(130)、前記プログラムメモリ(135)、及び、前記データメモリ(140)は互いに通信可能であり、

受信したデータの動き推定機能を行うために設計された少なくとも1つの前記処理レイヤ(105)内の少なくとも1つの前記処理ユニット(130)と、

前記受信したデータのエンコード又はデコード機能を行うために設計された少なくとも1つの前記処理レイヤ(105)内の少なくとも1つの前記処理ユニット(130)と、

前記メディアのソースから複数のタスクを受信し、前記タスクを前記処理レイヤ(105)に分散することができる処理レイヤコントローラ(107)と

からなることを特徴とするメディアプロセッサ。

【請求項2】

請求項1のメディアプロセッサにおいて、

更に、前記処理レイヤ(105)と外部メモリ(147)との間のデータ転送をハンド

ルすることができるダイレクトメモリアクセスコントローラ(110)とからなり、

アドレスを有する少なくとも1つの前記データメモリ(140)と、それぞれアドレスを有する複数の前記外部メモリ(147)との前記データ転送は、ダイレクトメモリアクセスコントローラ(110)が、前記データ転送のサイズ、及び、前記データメモリ(140)から前記外部メモリ(147)へ若しくは前記外部メモリ(147)から前記データメモリ(140)への前記データ転送の方向を利用して処理する

ことを特徴とするメディアプロセッサ。

【請求項3】

請求項2のメディアプロセッサにおいて、

少なくとも1つの前記データメモリ(140)と少なくとも1つの前記外部メモリ(147)との間の前記データ転送は、前記データメモリ(140)のアドレス、前記外部メモリ(147)のアドレス、前記データ転送のサイズ、及び前記データ転送の前記方向を利用して発生する

10

ことを特徴とするメディアプロセッサ。

【請求項4】

請求項1のメディアプロセッサにおいて、

外部メモリ(147)とのインターフェースを提供する外部メモリインターフェース(170)を備え、

前記処理レイヤコントローラ(107)は、外部メモリインターフェース(170)を介して、前記外部メモリ(147)と通信している

20

ことを特徴とするメディアプロセッサ。

【請求項5】

請求項1のメディアプロセッサにおいて、

前記メディアのデータを前記メディアのソースから、又は、前記ソースを制御するための制御信号を入力装置から受取り、及び、前記制御信号を前記ソースへ送信のためのインターフェースと

からなることを特徴とするメディアプロセッサ。

【請求項6】

請求項5のメディアプロセッサにおいて、

前記インターフェースは、イーザネット互換性のインターフェースからなる

ことを特徴とするメディアプロセッサ。

30

【請求項7】

請求項5のメディアプロセッサにおいて、

前記インターフェースは、TCP/IP互換性のインターフェースからなる

からなることを特徴とするメディアプロセッサ。

【請求項8】

請求項1のメディアプロセッサにおいて、

少なくとも1つの前記処理レイヤ(105)は、前記受信したデータの動き推定機能を行うために設計された前記処理ユニット(130)、及び、前記受信したデータの動きエンコード又はデコード機能を行うために設計された前記処理ユニット(130)を含み、

40

前記動き推定機能、及び、前記エンコード又はデコード機能は、パイプライン式で行われる

ことを特徴とするメディアプロセッサ。

【請求項9】

請求項1のメディアプロセッサにおいて、

少なくとも1つの前記処理レイヤ(105)は、データ中の高周波コンポーネントを取り除く機能を行う離散コサイン変換(DCT)、量子化(QT)、逆離散コサイン変換(IDCT)、逆量子化(IQT)、de-blockingフィルタ(DBF)、エンコーディング処理の再構築フェーズ中に動作補正機能を行う動き補正(MC)、及び違う種類のエンポート

50

ピーコーディングをする機能を行う算術符号化 (C A B A C) の内の 1 以上の前記処理ユニット (1 3 0) を有する

ことを特徴とするメディアプロセッサ。

【発明の詳細な説明】

【技術分野】

【 0 0 0 1 】

本発明は、一般的に、システムオンチップのアーキテクチャシステムに関し、詳しくは、複数の処理レイヤの分散処理ユニット及びメモリバンクを有する拡張可能なシステムオンチップアーキテクチャに関する。また、本発明は、音声、ビデオ、テキスト、及びグラフィックの暗号化及び復号化ための方法及びシステム、並びに、そのような新規の暗号化及び復号化の方式を利用するデバイスを対象にする。

10

【背景技術】

【 0 0 0 2 】

メディアの処理と通信用のデバイスは、回路交換網とパケット交換網を横断及びその間に、アナログ及びデジタル信号を実質的にシームレスな処理及び送信を可能にし、相互依存した処理を利用するハードウェアとソフトウェアのシステムからなる。例として、Voice over Packet Gatewayは、従来の公衆交換網からパケット交換網へ人間の音声の送信を可能にし、ファックス情報とモデムデータはできる限り同時にシングルパケットネットワーク線で伝送し、返信される。異なるメディアが異なるネットワークを横断した統合通信の利点は、改良された顧客サポート、及びもっと効率の良い個人生産ツール用のインター

20

【 0 0 0 3 】

そのようなメディアオーバーパケット通信デバイス（例えば、メディアゲートウェイ）は、回路交換網からパケット交換網へ、及び逆に効率的なデータ送信を可能にするために、高性能のソフトウェア制御とアプリケーションを有する実質的に、拡張可能な処理能力を要求する。典型的な製品は、テキサス・インスツルメンツ社提供の48チャンネルのデジタル信号処理チップ（DSPチップ）のような少なくとも1つの通信プロセッサを利用する。このDSPチップは、アダプティブ音声アクティビティ検知、アダプティブコンフォート雑音発生、アダプティブジッタバッファ、産業標準コーデック、エコキャンセル、

30

トーンの検知と生成、ネットワークマネジメントサポート、及びパケット化等の特徴の組み合わせを提供するTelogy社提供システムのようなソフトウェアアーキテクチャを装備したものである。

【 0 0 0 4 】

異なるネットワークをまたがった異なるメディアの通信を統合したことの利点に加えて、与えられた処理デバイス内に、テキスト、グラフィック、及びビデオ（総称して、「ビジュアルメディア」という。）のような、特定メディアの処理を統合する利点がある。これまでは、メディアゲートウェイ；通信デバイス；ノートブックコンピュータ、ラップトップコンピュータ、DVDプレイヤー若しくはレコーダー、セットトップボックス、テレビ、衛星通信受信機、デスクトップパーソナルコンピュータ、デジタルカメラ、ビデオカメラ、携帯電話器、若しくは個人情報端末等の任意の形態の計算デバイス；又は、ディスプレイ、モニタ、テレビ画面、若しくは、プロジェクタ(個別に、「メディア処理デバイス」と参照する。)等の各種形態の出力周辺器は、別々の処理システムのみを利用してビジュアルメディアを処理することができる。メディア処理デバイスには、ビデオとグラフィック/テキスト用に別々の入出力(I/O)ユニットが存在する。これらの別々のポートは、異なるデータに様々な通信リンクを要求する。従って、シングルメディア処理デバイスは、一方でグラフィック/テキスト、他方でビデオをハンドルする異なるI/Oと、それと連携した処理システムを備える。

40

【 0 0 0 5 】

図24に、従来のメディア処理圧縮/解凍システム2400の一部のブロックダイアグ

50

ラムを図示している。送信端のシステムは、メディア処理デバイス2401内に内蔵若しくは統合されたメディアソース、複数の前処理ユニット2402、2403、2404、ビデオエンコーダ2405、グラフィックエンコーダ2406、音声エンコーダ2407、多重器2408、及び制御ユニット2409からなる。メディア処理デバイス2401は、マルチメディアデータをデジタルフレームで（又はアナログソースからデジタル形式に変換して）キャプチャし、前処理ユニット2402、2403、2404へパスする。

【0006】

マルチメディアデータは、前処理ユニット2402、2403、2404で処理され、続いてエンコーディングのためにビデオエンコーダ2405、グラフィックエンコーダ2406、及び音声エンコーダ2407へ送信される。これらのエンコーダは、更に、多重器2408の機能の実現のために、制御ユニット2409をアタッチした多重器2408に接続されている。多重器2408は、ビデオエンコーダ2405、グラフィックエンコーダ2406、及び音声エンコーダ2407からのエンコードされたデータを結合し、シングルデータストリーム2420を形成する。これにより、マルチプルデータストリームは、適当なネットワーク2410の物理又はMACレイヤ上、一ヶ所から別の場所へシングルストリーム2420として伝送されることが可能になる。

【0007】

受信端では、そのシステムは分離器2411、ビデオデコーダ2413、グラフィックデコーダ2414、音声デコーダ2415、及び複数のポスト処理ユニット2416、2417、及び2418からなる。ネットワーク上のデータは、ハイデータレートストリームからオリジナルのローレートストリームに分解する分離器2411によって受信され、オリジナルのマルチプルストリームに変換される。マルチプルストリームは、ビデオデコーダ2413、グラフィックデコーダ2414、及び音声デコーダ2415等の異なるデコーダに送信される。各デコーダは、圧縮されたビデオ、グラフィック、及び音声のデータを、適当な解凍アルゴリズムに従って解凍し、これらをビデオ、グラフィック、及び音声又は更なる処理用のデータとして出力するためのポスト処理ユニットに供給する。

【0008】

プロセッサの例は、特許文献1～5に開示されている。これらの特許文献は、相互接続、及び、算術演算論理ユニット（ALU）のような一連の基本構成ブロックの機能を、再構成できるアダプティブ命令セットを有するハイブリッドのデジタル信号処理器（DSP）/RISCチップを対象にしている。また、動作中のアプリケーションの特定要求に合致して動的にカスタマイズされることが可能な命令セットアーキテクチャを提供し、よって、特定サイクル用の特定命令のカスタムパスを作る。

【0009】

発明者によれば、命令ストレージ用に、及びデータストレージと計算のために、このリソースからの分散用に、命令を分離し、並びに、製造時にシリコンリソースをこれらのリソース各々専用にとすることよりは、これらのリソースは統合されることができ、いったん統合されると、伝統的な命令と制御リソースは、計算リソースとともに分解でき、及びアプリケーションスペシフィックマナーで配置することができる。チップのキャパシティは、アプリケーションの必要性、利用できるハードウェアリソースに応じて、アクティブ計算を動的にサポート、又は、計算リソースの再利用を制御することに選択的に展開される。理論的には、これは、パフォーマンス改善の効果がある。

【特許文献1】米国特許第6 226 735号公報

【特許文献2】米国特許第6 122 719号公報

【特許文献3】米国特許第6 108 760号公報

【特許文献4】米国特許第5 956 518号公報

【特許文献5】米国特許第5 915 123号公報

【発明の開示】

【発明が解決しようとする課題】

10

20

30

40

50

【 0 0 1 0 】

上述の従来技術にもかかわらず、異なるネットワークを横断したメディア通信を実現するための改良された方法及びシステムが必要である。特に、グラフィック、テキスト、及びビデオ情報の処理に、シングルプロセッシングシステムの利用が好ましい。もっとコスト効率の良い及び効率的な処理システムの実現のために、全てのメディア処理デバイスは、このシングルプロセッシングアプローチを内蔵することが、更に好ましい。更に、シングルインターフェースを利用した総合的な圧縮解凍システムを提供することができるアプローチが必要である。更に詳しくは、新規の処理要求に合致して効率的に縮小され、高処理スループットと生産収率の向上を可能にするのに十分に分散されたシステムオンチップアーキテクチャが必要である。

10

【課題を解決するための手段】

【 0 0 1 1 】

本発明は、複数の処理レイヤを介して、拡張可能な分散処理及びメモリキャパビリティを有するシステムオンチップアーキテクチャに関する。本発明は、命令に基づいて、テキスト、グラフィック、ビデオ、及び音声の中から選択される1種類以上のデータからなるメディアを処理するためのメディアプロセッサに関する。

本発明のメディアプロセッサは、複数の処理レイヤ(105)と、各前記処理レイヤ(105)は、少なくとも1つの処理ユニット(130)、少なくとも1つのプログラムメモリ(135)、及び少なくとも1つのデータメモリ(140)を有し、同じ前記処理レイヤ(105)内のそれぞれの前記処理ユニット(130)、前記プログラムメモリ(135)、及び、前記データメモリ(140)は互いに通信可能であり、受信したデータの動き推定機能を行うために設計された少なくとも1つの前記処理レイヤ(105)内の少なくとも1つの前記処理ユニット(130)と、前記受信したデータのエンコード又はデコード機能を行うために設計された少なくとも1つの前記処理レイヤ(105)内の少なくとも1つの前記処理ユニット(130)と、前記メディアのソースから複数のタスクを受信し、前記タスクを前記処理レイヤ(105)に分散することができる処理レイヤコントローラ(107)とからなることを特徴とする。

20

本発明のメディアプロセッサは、更に、前記処理レイヤ(105)と外部メモリ(147)との間のデータ転送をハンドルすることができるダイレクトメモリアクセスコントローラ(110)とからなり、アドレスを有する少なくとも1つの前記データメモリ(140)と、それぞれアドレスを有する複数の前記外部メモリ(147)との前記データ転送は、ダイレクトメモリアクセスコントローラ(110)が、前記データ転送のサイズ、及び、前記データメモリ(140)から前記外部メモリ(147)へ若しくは前記外部メモリ(147)から前記データメモリ(140)への前記データ転送の方向を利用して処理することを特徴とする。

30

少なくとも1つの前記データメモリ(140)と少なくとも1つの前記外部メモリ(147)との間の前記データ転送は、前記データメモリ(140)のアドレス、前記外部メモリ(147)のアドレス、前記データ転送のサイズ、及び前記データ転送の前記方向を利用して発生すると良い。

また、本発明のメディアプロセッサは、外部メモリ(147)とのインターフェースを提供する外部メモリインターフェース(170)を備え、前記処理レイヤコントローラ(107)は、外部メモリインターフェース(170)を介して、前記外部メモリ(147)と通信していると良い。

40

更に、本発明のメディアプロセッサは、前記メディアのデータを前記メディアのソースから、又は、前記ソースを制御するための制御信号を入力装置から受理し、及び、前記制御信号を前記ソースへ送信のためのインターフェースとからなると良い。

前記インターフェースは、イーザネット互換性のインターフェースからなると良い。

前記インターフェースは、TCP/IP互換性のインターフェースからなると良い。

少なくとも1つの前記処理レイヤ(105)は、前記受信したデータの前記動き推定機能を行うために設計された前記処理ユニット(130)、及び、前記受信したデータの前

50

記エンコード又はデコード機能を行うために設計された前記処理ユニット(130)を含み、

前記動き推定機能、及び、前記エンコード又はデコード機能は、パイプライン式で行われると良い。

また、更に、本発明のメディアプロセッサは、少なくとも1つの前記処理レイヤ(105)は、データ中の高周波コンポネントを取り除く機能を行う離散コサイン変換(DCT)、量子化(QT)、逆離散コサイン変換(IDCT)、逆量子化(IQT)、de-blockingフィルタ(DBF)、エンコーディング処理の再構築フェーズ中に動作補正機能を行う動き補正(MC)、及び違う種類のエン트로ピーコーディングをする機能を行う算術符号化(CABC)の内の1以上の前記処理ユニット(130)を有すると良い。

10

好ましい実施の形態においては、分散処理レイヤプロセッサ(DPLP)は、通信データバスと処理レイヤインターフェースを介して、処理レイヤコントローラと中央ダイレクトメモリアクセスコントローラと、それぞれ通信している複数の処理レイヤからなる。各処理レイヤには、複数のプログラムメモリ及びデータメモリと通信する複数のパイプラインされた処理ユニット(PU)がある。

【0012】

各PUは、少なくとも一つのプログラムメモリと一つのデータメモリにアクセスすることができなければならない。処理レイヤコントローラは、タスクのスケジュールと、各処理レイヤへの処理タスクの分散をマネージする。DMAコントローラは、ローカルメモリバッファPU及びSDRAM等の外部メモリの間のデータ転送を、ハンドルするためのマルチチャンネルDMAユニットである。各処理レイヤには、処理タスクの定義済みセットを処理するために特別に設計された複数のパイプラインPUがある。

20

【0013】

この点で、PUは、一般目的のプロセッサではなく、任意の処理タスクを処理するために利用することができない。加えて、各処理レイヤには、命令セット、処理済み情報、及び、他のデータのローカルストレージを可能にする分散メモリバンクのセットがある。この他のデータは、割り当てられた処理タスクを処理するために要求されたものである。

【0014】

本発明の一つの応用は、回路交換網とパケット交換網にわたった、メディアの通信用に設計されたメディアゲートウェイである。前述の新規のゲートウェイのハードウェアシステムアーキテクチャは、複数のDPLPからなる。このDPLPは、ネットワークと通信しているホストプロセッサと交代して相互接続されたもので、メディアエンジンとして参照される。ネットワークは、非同期転送モード(ATM)物理デバイス又はギガビット・メディア・インデペンダント・インターフェース(GMII)物理デバイスであることが好ましい。メディアエンジンの処理レイヤ内の各PUは、回線エコキャンセル、データのエンコード、デコード、又はトーン信号等のメディア処理スペシフィックタスクのクラスを行うように特別に設計されている。

30

【0015】

本発明の第2の応用は、全てのビジュアルメディア用のシングル統合処理チップを利用して、ビデオとグラフィックの処理及び通信を可能にするように設計された新規のメディア処理デバイスである。メディアを命令に基づいて処理するためのこのメディアプロセッサは、

40

互いに通信している、少なくとも1つの処理ユニット、少なくとも1つのプログラムメモリ、及び少なくとも1つのデータメモリを各処理レイヤに有する複数の処理レイヤと、更に、受信したデータの動き推定機能を行うために設計されたもので、少なくとも1つの上述の処理レイヤ内の少なくとも一つの処理ユニットと、

受信したデータのエンコード又はデコード機能を行うために設計されたもので、少なくとも上述の処理レイヤ内の少なくとも一つの処理ユニットと、及び

ソースから複数のタスクを受信すること、かつ、上述のタスクを当該処理レイヤに分散することが可能なタスクスケジューラと、

50

からなる。

【発明を実施するための最良の形態】

【0016】

発明の詳細な説明

本発明は、複数の処理レイヤを通して拡張可能で、分散処理及びメモリキャパビリティを有するシステムオンチップアーキテクチャである。本発明の1つの実施の形態は、全てのビジュアルメディア用のシングル統合処理ユニティを用いた、メディアの処理と通信ができるように設計された新規のメディア処理デバイスである。本発明は、図面を参照して説明する。ヘッダは、明瞭の目的で利用されるものであり、ここで開示された内容を限定又は制限するものではない。図面中に利用された矢印は、当業者にあきらかなように、バス又は他の種類の通信チャンネルを介する要素及び/又はコンポーネント間の相互接続を意味する。

10

【0017】

図1に図示したように、例示の分散処理レイヤプロセッサ(DPLP)100のブロックダイアグラムが図示されている。DPLP100は、通信データバスを介して互いに通信し、及び処理レイヤコントローラ107及び中央ダイレクトメモリアクセス(DMA)コントローラ110と、通信データバスと処理レイヤインターフェース115を介して、通信する複数の処理レイヤ105からなる。各処理レイヤ105は、CPU104と交代で通信しているCPUインターフェース106と通信している。

【0018】

20

各処理レイヤ105内には、複数のパイプライン処理ユニット(PU)130が、複数のプログラムメモリ135及びデータメモリ140と、通信データバスを介して、通信している。各プログラムメモリ135及びデータメモリ140は、データバスを介して少なくとも1つのPU130によってアクセスされることが好ましい。各PU130、プログラムメモリ135、及びデータメモリ140は、通信データバスを介して外部メモリ147と通信している。

【0019】

好ましい実施の形態において、処理レイヤコントローラ107は、タスクのスケジューリング、及び各処理レイヤ105への処理タスクの分散をマネージする。処理レイヤコントローラ107は、ラウンドロビン方式で、プログラムメモリ135及びデータメモリ140へ、並びに、これらからのデータとプログラムコード転送要求を解決する。この解決に基づいて、処理レイヤコントローラ107は、データバスウェイを埋める。データバスウェイは、ユニットが、メモリ、すなわちDMAチャンネル(図示せず。)、にどのように直接アクセスしているかを定義したものである。

30

【0020】

処理レイヤコントローラ107は、命令をこのデータフローに従ってルーティングし、並びに、リード・イン要求、ライトバック要求、及び命令転送のステート等の全てのPU130用の要求ステートのトラックを維持するために、命令デコードを行うことができる。処理レイヤコントローラ107は、更に、DMAチャンネルのプログラミング、信号生成の開始、各処理レイヤ105内のPU130用のページステートの管理、スケジューラ命令のデコード、並びに、各PU130のタスクキューから及びヘデータの移動の管理等の機能に関連付けられたインターフェースを処理することができる。

40

【0021】

上述の機能を行うことによって、処理レイヤコントローラ107は、各処理レイヤ105内に存在するPU130を、複雑なステートマシンと関連付けする必要性を実質的に無くしている。DMAコントローラ110は、ローカルメモリバッファPUと、SDRAM等の外部メモリとの間のデータ転送をハンドルするためのマルチチャンネルDMAユニットである。各処理レイヤ105は、PUローカルメモリバッファへ及びからデータを転送するために割り当てられた独立したDMAチャンネルを有する。

【0022】

50

外部メモリへアクセスするためにDMA内のチャンネル間にラウンドロビン解決のシングルレベルのような解決プロセスがあることが好ましい。DMAコントローラ110は、PU130と処理レイヤ105をわたってラウンドロビン要求解決のためのハードウェアサポートを提供する。各DMAチャンネル機能は、互いに独立している。例示の動作としては、ローカルメモリのアドレス、外部メモリのアドレス、転送のサイズ、転送の方向を利用して、ローカルPUメモリと外部メモリとの間の転送を処理することが望まれる。

【0023】

すなわち、DMAチャンネルは、外部メモリからローカルメモリへ、又は逆に、データを転送しているか、及び各PU130にどのぐらいの転送が要求されているか、を処理することが望ましい。DMAコントローラ110は、プログラムコードフェッチ要求の優先順位を解決すること、リンクリスト巡回とDMAチャンネル情報生成を処理すること、及びDMAチャンネルのプリフェッチと完了信号生成を行うことができることが更に望ましい。

10

【0024】

処理レイヤコントローラ107とDMAコントローラ110は、制御情報とデータ送信が発生する毎に、複数の通信インターフェース160、190と通信している。DPLP100は、処理レイヤコントローラ107とDMAコントローラ110と通信し、かつ、外部メモリ147と通信している、外部メモリインターフェース(SDRAMインターフェース等)170を含むことが好ましい。

【0025】

各処理レイヤ105内には、処理タスクの定義済みセットを処理するために特別に設計された複数のパイプラインPU130がある。その点で、PUは、一般目的のプロセッサではなく、任意の処理タスクを処理するのに利用されない。特定機能ユニットの共通性で生じる特定処理タスクの調査と分析は、結合されたとき、それらの特殊処理タスクの存在を最適処理することができる特殊PUを生じる。各PUの命令セットアーキテクチャは、コンパクトコードをもたらす。コード密度の増加は、要求メモリの減少と、従って、要求エリア、パワー、及びメモリトラフィックの減少をもたらす。

20

【0026】

各処理レイヤ内に、PU130は、先入れ先出し(FIFO)のタスクキュー(図示せず。)で、処理レイヤコントローラ107によってスケジュールされたタスクで動作することが好ましい。パイプラインアーキテクチャは、パフォーマンスを改善する。パイプラインは、実行時に複数の命令がオーバーラップされる実施テクニックである。コンピュータパイプラインには、パイプラインの各ステップは、命令の一部を実行する。アセンブリラインのように、異なるステップは、異なる命令の異なる部分を並列に実行している。これらの各ステップは、パイプステージ又はデータセグメントと呼ばれる。このステージは、パイプを形成するために次のステージに接続されている。プロセッサ内には、命令は、パイプの一端から入り、ステージを通過して進行し、他端から出る。命令パイプラインのスループットは、パイプラインから命令が、どのぐらいの頻度で、出ているかによって決まる。

30

【0027】

追加して、各処理レイヤ105内は、命令セット、処理済みデータ、及び他のデータのローカルストレージを可能にする分散メモリバンク140のセットがある。この他のデータは、割り当てられた処理タスクを処理するのに要求されたものである。離散処理レイヤ105内に分散したメモリ140を有することは、DPLP100は柔軟になり、生産時、高い生産効率になる。メモリブロックが増加すると、悪いウェハ(メモリブロックの破損が原因)の確率も増加する理由で、従来から、シングルチップ上に9メガバイト以上のメモリを持つ特定DSPチップは生産されていない。

40

【0028】

本発明においては、DPLP100は、処理レイヤ105を余分に内蔵させることで、12メガバイト以上のメモリを有して生産されることが出来る。処理レイヤ105を余分に内蔵することでできることは、大きなメモリをもつチップの生産を可能にする。理由は

50

、メモリブロックのセットが悪かったら、チップ全体を捨てるより、見つかった損傷メモリユニットを有する離散処理レイヤの利用はやめ、他の処理レイヤはその代わりに利用される。複数の処理レイヤの拡張性の性質は、余分なものを許し、従って、高い生産効率を実現する。

【0029】

本発明のレイヤアーキテクチャは、処理レイヤの数を特定の数に限定にしない。しかしながら、特定の實務限定は、シングルDPLPに内蔵できる処理レイヤの数を制限しても良い。処理レイヤの実現可能な数を制限しているもので、システムを制限するトラフィックとバンド幅等の外部条件によってかけられる処理限定をどのように判定するかは、当業者にとって明らかである。

【0030】

応用の例

本発明は、新規のメディアゲートウェイの動作を可能にするために利用できる。この新規のゲートウェイのハードウェアシステムアーキテクチャは、メディアエンジンという複数のDPLPからなる。複数のDPLPは、データベースと通信しており、ネットワークへのインターフェースと交代で通信しているホストプロセッサ又はパケットエンジンに相互接続されている。このネットワークは、非同期転送モード(ATM)物理デバイス又はギガビット・メディア・インデペンデント・インターフェース(GMII)物理デバイスであることが好ましい。

【0031】

図2に図示したように、トップレベルのハードウェアシステムアーキテクチャの第1の実施の形態を図示している。データベース205aは、第1新規メディアエンジンタイプI215aと第2新規メディアエンジンタイプI220aに既存するインターフェース210aに接続されている。第1新規メディアエンジンタイプI215aと第2新規メディアエンジンタイプI220aは、通信バス225aの第2セットを通して、新規パケットエンジン230aに接続されている。新規パケットエンジン230aは、インターフェース235aを通して出力240a、245aに交代で接続されている。各メディアエンジンタイプI215a、220aは、SRAM246aとSDRAM247aと通信していることが好ましい。

【0032】

データベース205aは、時分割多重(TDM)バスであることが好ましい。TDMバスは、多数の別々の音声、ファックス、モデム、ビデオ、及び/又は他のデータ信号を、同時にシングル通信媒体で伝送するためのバスウェイである。この別々の信号が各信号の一部が互いにインターリーブして送信され、よって、1本の通信チャネルが複数の別々の送信をハンドリングすることを可能にし、別々の通信チャネルを各送信専用にすることを回避する。既存のネットワークは、一つの通信デバイスから他へデータを送信するときにTDMを利用している。第1新規メディアエンジンタイプI215aと第2新規メディアエンジンタイプI215aに既存するインターフェース210aは、H.100に準拠していることが更に好ましい。

【0033】

H.100は、ソフトウェア仕様から独立して、PCIコンピュータ筐体カードスロット用に、物理レイヤにCTバスインターフェースへ実装するのに、必要な情報を記述しているハードウェア仕様である。CTバスは、特定のPC筐体カードスロットのシングル等時間間隔通信のバスを定義し、コンポーネントの相対的・流動性のインター・オペレーションを可能にする。また、データベース205aから信号を受信するのに使われるもので、異なるハードウェア仕様による普遍のインターフェースであることは明らかである。

【0034】

後述したように、2つの新規メディアエンジンタイプI215a、220aそれぞれは、音声等の、処理メディア用の複数のチャネルをサポートすることができる。サポートされる特定数のチャネルは、エコキャンセルの拡張等の要求特徴、及び、サポートされた

10

20

30

40

50

コーデックの種類に依存する。G.711等の比較的到低処理能力を要求するコーデック用に、メディアエンジンタイプI215a、220aそれぞれは、約256以上の音声チャネルの処理をサポートすることができる。メディアエンジンタイプI215a、220aそれぞれは、通信バス225a、好ましくは周辺コンポーネントインターコネクタ(PCI)通信バス、を通してパケットエンジン230aと通信している。

【0035】

PCI通信バスは、メディアエンジンタイプIチップ215a、220aとパケットエンジンチップ230aとの間に制御データとデータ転送をするものである。メディアエンジンタイプIチップ215a、220aは、後述のメディアエンジンタイプIIに比べて低データ量の処理をサポートするために設計されているので、シングルPCI通信バスは、指定されたチップ間に制御及びデータの両方の転送を効率的にサポートすることができる。しかし、データトラフィックは極端に増大したとき、PCI通信バスは、第2のインターチップ通信バスで補完されなければならないことは明らかである。

10

【0036】

パケットエンジン230aは、2つのメディアエンジンタイプI215a、220aから、通信バス225aを介して処理済みデータを受信する。複数のメディアエンジンタイプIへ接続することは理論的に可能であると同時に、この実施の形態においては、パケットエンジン230aは2個までのメディアエンジンタイプI215a、220aと通信していることが好ましい。更に下記に説明されるように、パケットエンジン230aは、データチャネル、好ましい実施の形態において2016チャネル又は約2016チャネル、用にセルとパケットのカプセル化を提供、トラフィックマネジメント用にサービス機能の質を提供、差別化されたサービスとマルチプロトコルラベルスイッチング用にタグ付けを提供、及び、セルとパケットネットワークのブリッジを提供する。パケットエンジン230aを利用することが好ましいことであると同時に、上述のパケットエンジン230aの機能ができるように提供された異なるホストプロセッサに切り替えることができる。

20

【0037】

パケットエンジン230aは、ATM物理デバイス240aとGMII物理デバイス245aと通信している。ATM物理デバイス240aは、処理済み及びパケット化されたデータを、メディアエンジンタイプI215a、220aから通過したら、パケットエンジン230aを通して、受信し、及び、非同期転送モード(ATMネットワーク)で動作するネットワークにこれを送信することができる。当業者に明らかなように、ATMネットワークは、ネットワークキャパシティを、システムの必要性にあうように、自動的に調整し、音声、モデム、ファックス、ビデオ及び他のデータ信号をハンドルすることができる。

30

【0038】

各ATMデータセル、又はパケットは、5オクテットのヘッダフィールドと、48オクテットのユーザデータから構成される。ヘッダは、関連するセルを識別するデータ、ルーティングを識別するロジカルアドレス、ヘッダエラー訂正ビット、優先ハンドリングとネットワークマネジメント機能のための追加ビットを含む。ATMネットワークは、送信バンド幅の利用を比較的柔軟に許可したネットワークで、広帯域、低遅延、接続オリエンテッド、パケットライクスイッチングと多重化のネットワークである。GMII物理デバイス245aは、特定量のデータの受信と送信用の標準に基づき、メディアの種類に依存しないで動作する。

40

【0039】

図2に示した実施の形態は、Optical Carrier Level 1(OC-1)へ音声処理を配送することができる。OC-1は、毎秒51.840百万ビットを伝送できるもので、フレーム同期スクランブルを有する同期転送信号(STS-1)の直接電気-光学マッピングを提供する。高階層のOptical Carrier Levelは、OC-1の直接多重である。即ちOC-3はOC-1の3倍のレートである。下記に示すように、本発明の他の構成は、OC-12での音声処理をサポートするのに利用できる。

50

【 0 0 4 0 】

図 2 b に示すように、OC - 3 までのデータレートをサポートしている実施の形態が、図示されており、ここで OC - 3 タイル 2 0 0 b とする。データバス 2 0 5 a は、第 1 新規メディアエンジンタイプ II 2 1 5 b と第 2 新規メディアエンジンタイプ II 2 2 0 b に既存するインターフェース 2 1 0 b に接続されている。第 1 新規メディアエンジンタイプ II 2 1 5 b と第 2 新規メディアエンジンタイプ II 2 2 0 b は、通信バス 2 2 5 b、2 2 7 b の第 2 セットを通して、新規パケットエンジン 2 3 0 b に接続されている。新規パケットエンジン 2 3 0 b は、互いに、インターフェース 2 6 0 b、2 6 5 b を通して出力 2 4 0 b、2 4 5 b に、及びインターフェース 2 5 0 b を通してホストプロセッサ 2 5 5 b に接続されている。

10

【 0 0 4 1 】

以前に議論したように、データバス 2 0 5 b は、時分割多重 (TDM) バスであること、及び、第 1 新規メディアエンジンタイプ II 2 1 5 b と第 2 新規メディアエンジンタイプ II 2 2 0 b に既存するインターフェース 2 1 0 b はハードウェア仕様の H . 1 0 0 に準拠することが好ましい。異なるハードウェア仕様により不変であるインターフェースは、データバス 2 0 5 b からの信号を受信するのに利用できることも明らかである。

【 0 0 4 2 】

新規メディアエンジンタイプ II 2 1 5 a、2 2 0 b それぞれは、音声等のメディアの処理のために、複数のチャンネルをサポートすることができる。サポートされた特定数のチャンネルは、エコキャンセル等の要求特徴、及び実装されたコーデックの種類に依存する。G . 7 1 1 等の比較的到低処理の能力要求を有するコーデック用に、及び要求されたエコキャンセルの範囲は 1 2 8 ミリ秒のとき、各メディアエンジンタイプ II は、音声の約 2 0 1 6 チャンネルの処理をサポートすることができる。二つのメディアエンジンタイプ II は高処理能力を提供し、この構成は、OC - 3 のデータレートをサポートすることができる。

20

【 0 0 4 3 】

メディアエンジンタイプ II 2 1 5 b、2 2 0 b は G . 7 2 9 A 等の高い処理能力を要求するコーデックを実装するとき、サポートされるチャンネル数は減少する。例として、サポートされたチャンネルの数は、G . 7 1 1 をサポートするときの、メディアエンジンタイプ II 毎の 2 0 1 6 から、G . 7 2 9 A をサポートするとき、約 6 7 2 から 1 0 2 4 チャンネルに減少する。OC - 3 に合致するために、追加のメディアエンジンタイプ II が、パケットエンジン 2 3 0 b に、共通通信バス 2 2 5 b、2 2 7 b を介して、接続されることができる。

30

【 0 0 4 4 】

各メディアエンジンタイプ II 2 1 5 b、2 2 0 b は、通信バス 2 2 5 b、2 2 7 b、好ましくは周辺コンポーネントインターコネクト (PCI) 通信バス 2 2 5 b と UTOPIA II / POS II 通信バス 2 2 7 b、を通して、パケットエンジン 2 3 0 b と通信している。上述したように、データトラフィック量が所定の閾値を超えたとき、PCI 通信バス 2 2 5 b は、第 2 通信バス 2 2 7 b によって強化されなければならない。第 2 通信バス 2 2 7 b は、UTOPIA II / POS II バスで、メディアエンジンタイプ II 2 1 5 b、2 2 0 b とパケットエンジン 2 3 0 b との間のデータバスとして勤めることが好ましい。

40

【 0 0 4 5 】

POS (Packet over SONET) バスは、データを直接接続で送信する高スピード手段の代表であり、信号と制御情報の形式のオーバーヘッドがデータに意味あるレベルで追加されることなく、データの通過を元のフォーマットで許可する。UTOPIA (Universal Test and Operations Interface for ATM) とは、送信コンバージェンスと、物理レイヤの物理媒体依存サブレイヤとの間の電気インターフェースであり、ATM ネットワークに接続するデバイスのためのインターフェースとして振舞う。

【 0 0 4 6 】

物理インターフェースは、可変サイズデータフレーム転送用の POS - II モードで動

50

作するために構成されている。各パケットは、パケットの開始と終了を明確に示すために、POS-II制御信号を利用して転送される。図3に示すように、各パケット300は、複数の情報フィールドを有するヘッダ305と、ユーザデータ310を含む。好ましくは、各ヘッダ305は、パケット種類315（例えば、RTP、ロー・エンコードド・音声、AAL2）、パケット長320（情報フィールドを含むパケット全体の長さ）、及びチャンネル識別子325（物理チャンネル、即ちパケットがどこへ送られてか、又はどこから来たかを示すTDMスロット、を識別する。）を含む情報フィールドから構成される。メディアエンジンタイプII215b、220bとパケットエンジン230bの間にエンコードされたデータの転送を取り扱うとき、コーダノデコーダ種類330、シーケンス番号335、及びヘッダ305内の音声アクティビティ検知決定340を含むことが好ましい。

10

【0047】

パケットエンジン230bは、PCIターゲットインターフェース250bを通して、ホストプロセッサ255bと通信している。パケットエンジン230bは、PCI通信バス225bへのPCIインターフェース226bとPCIターゲットインターフェース250bとの間に、PCI-PCIブリッジ（図示せず。）を含むことが好ましい。このPCI-PCIブリッジは、ホストプロセッサ255bと2つのメディアエンジンタイプII215b、220bとの間にメッセージを通信するためのリンクとして勤める。

【0048】

新規パケットエンジン230bは、2つのメディアエンジンタイプII215b、220bそれぞれから、通信バス225b、227bを介して、処理済みデータを受信する。複数のメディアエンジンタイプIIと接続されることは理論的に可能であると同時に、パケットエンジン230bは、3個以下のメディアエンジンタイプII215b、220b（図2bに2個のみが図示されている。）と通信していることが好ましい。

20

【0049】

前述した実施の形態のように、パケットエンジン230bは、データチャンネル用にセルとパケットのカプセル化、G.711コーデックを実装しているとき2048までのチャンネル、トラヒックマネジメント用にサービス機能の質、サービスの差別化とマルチプロトコラベルスイッチング用のタグ付け、及び、セルとパケットネットワークのブリッジを提供する。パケットエンジン230bは、ATM物理デバイス240bとGMII物理デバイス245bと、UTOPIAII/POSII準拠インターフェース260b、GMII準拠のインターフェース265bそれぞれを通して、通信している。

30

【0050】

物理層のGMIIインターフェース265bに関して、以後は、PHY GMIIインターフェースと言い、パケットエンジン230bは、ネットワークのMAC層に他のGMIIインターフェース（図示せず。）をも有することが好ましく、以後、これをMAC GMIIインターフェースと言う。MACは、メディア特定アクセスコントロールプロトコルであり、産業標準のローカルエリアネットワーク仕様用のトポロジー依存性のアクセスコントロールプロトコルを定義するデータリンクレイヤの下半を定義する。

【0051】

後述の通り議論するように、パケットエンジン230bは、ATM-IPインターネットワークを可能にするように設計されている。通信サービスプロバイダは、ATM又はIPプロトコルを基にして動作する独立したネットワーク用に構築されている。ATM-IPインターネットワークを可能にすることは、実質的に全てのデジタルサービスの配達を、シングル・ネットワーク・インフラストラクチャーをわたって、サポートすることをサービスプロバイダに許可し、従って、サービスプロバイダのネットワーク全体を通して動作可能な複数のテクノロジー/プロトコルを有することによって導入される複雑性を低減する。そのため、パケットエンジン230bは、ATMモードとIPモードとの間のインターネットワークを提供することによって、コモン・ネットワーク・インフラストラクチャーを可能にするように設計されている。

40

50

【 0 0 5 2 】

もっと詳しくは、新規パケットエンジン 2 3 0 b は、特定 IP プロトコルへの、ATM AAL (ATM Adaptation Layers) のインターネットワーキングをサポートする。コンバージェンス・サブレイヤとセグメンテーション / 再アセンブリ・サブレイヤに分割され、AAL は、高階層レイヤのネーティブ・データ・フォーマットとサービス仕様を ATM レイヤへする変換を遂行する。データ・オリジネーティング・ソースからのデータに関して、処理は、オリジナルの大きなセットのデータを ATM セルのフォーマットとサイズへ変換するセグメンテーションを含む。ATM セルは、48 オクテットのペイロードと 5 オクテットのオーバーヘッドから構成される。受信サイドでは、AAL は、データの再アセンブリを遂行する。

10

【 0 0 5 3 】

AAL - 1 機能は、Class A トラフィックをサポートしている。Class A トラフィックは、接続オリエントの不変ビットレート (CBR) と、圧縮無しで、デジタル化された音声とビデオ等の時間依存トラフィックである。Class A トラフィックは、及びストリーム・オリエント及び、遅延の相対的なイントラントである。AAL - 2 機能は、Class B トラフィックをサポートしている。Class B トラフィックは、接続オリエントの可変ビットレート (VBR) の当時間間隔トラフィックであり、圧縮された音声とビデオ等の、ソースと受信側の間に相対的に正確なタイミングを要求するものである。AAL - 5 機能は、Class C トラフィックをサポートしている。Class C トラフィックは、可変ビットレート (VBR) で、遅延トレラントで、接続オリエントのデータ

20

トラフィックであり、信号と制御データ等の、比較的の最小のシーケンス、又はエラー検知のサポートを要求するものである。

【 0 0 5 4 】

この ATM AAL は、RTP、UDP、TCP 及び IP 等の、IP ネットワークで動作可能なプロトコルとインターネットワークする。インターネットプロトコル (IP) は、データパケットがソースから目的地までに複数のネットワークを横断することを可能にすると同時に、違うノードへのインターネットのアドレスのトラッキング、送信メッセージのルーチング、及び受信メッセージの識別をするソフトウェアを記述する。リアルタイム・トランスポート・プロトコル (RTP) は、インターネット上のパケット通信の、リアルタイムマルチメディアのストリーミング用の標準であり、パケット交換ネットワーク上にインタラクティブ・ビデオ及びビデオ等のリアルタイム・データのトランスポートをサポートする。

30

【 0 0 5 5 】

伝送制御プロトコル (TCP) は、リモート又はローカルユーザへ、バイトの、比較的の信頼性のある、シーケンスされた、重複されていない配送を提供するためプロトコルで、トランスポートレイヤ、接続オリエント、エンド・ツー・エンドのプロトコルである。ユーザ・データグラム・プロトコル (UDP) は、到達確認と到着保証を行わないでデータグラムの交換を提供し、トランスポートレイヤの無接続モードのプロトコルである。図 2 b に図示した好ましい実施の形態においては、ATM AAL - 1 は、RTP、UDP、及び IP プロトコルでインターネットワークし、AAL - 2 は、UDP と IP プロ

40

トコルでインターネットワークし、及び AAL - 5 は UDP 及び IP プロトコル、又は TCP 及び IP プロトコルでインターネットワークすることが好ましい。

【 0 0 5 6 】

図 2 b 示すようなマルチプル OC - 3 タイルは、高いデータレートをサポートするタイルを形成するために相互接続できる。図 4 に図示したように、4 つの OC - 3 タイル 405 は相互接続でき、又は OC - 12 タイル 400 を形成するために、一緒に「デージー・チェーン」することができる。「デージー・チェーン」は、信号がチェーンを通過して 1 つのデバイスから他方へパスするようにデバイスを連続に接続する方法である。「デージー・チェーン」を可能にすることで、本発明は、現在不可能なレベルであり、データ量のサポートとハードウェアの実装の拡張性を提供する。

50

【 0 0 5 7 】

ホストプロセッサ 4 5 5 は、通信バス 4 2 5、好ましくは P C I 通信バス、を介して、各 O C - 3 タイル 4 0 5 上の P C I インターフェース 4 3 5 に接続している。各 O C - 3 タイル 4 0 5 は、T D M インターフェース (図示せず。) から T D M 信号を受信するために、T D M 通信バス 4 6 5 を介して動作する T D M インターフェース 4 6 0 を備えている。各 O C - 3 タイル 4 0 5 は、更に、O C - 3 タイル 4 0 5 に U T O P I A I I / P O S I I インターフェース 4 7 0 を通して接続された通信バス 4 9 5 を通して、A T M 物理デバイス 4 9 0 と通信している。O C - 3 タイル 4 0 5 によって受信され、O C - 3 タイル 4 0 5 によって受信されたデータは、次の理由で処理されないとき、連続接続の次の O C - 3 タイル 4 0 5 に、P H Y G M I I インターフェース 4 1 0 を介して、送信される。

10

【 0 0 5 8 】

その理由は、例えば、データパケットは、特定パケットエンジンアドレスへ送信されるが、当該 O C - 3 タイル 4 0 5 には、そのアドレスが見つからない。そして、送信されたデータは、M A C G M I I インターフェース 4 1 3 を介して、次の O C - 3 タイルによって受信される。「デジター・チェーン」の実現は、統合を可能にするために、各 O C - 3 タイル上の G M I I インターフェースをインターフェースする外部統合機能の必要性を無くしている。最後の O C - 3 タイル 4 0 5 は、G M I I 物理デバイス 4 1 7 と、P H Y G M I I インターフェース 4 1 0 を介して、通信している。

【 0 0 5 9 】

上述のハードウェアアーキテクチャの実施の形態の動作は、メディア処理、信号、及びパケット処理ができるように設計された、複数の新規、統合ソフトウェアシステムである。図 5 に、ソフトウェアシステム 5 0 0 の論理分割を図示している。ソフトウェアシステム 5 0 0 は、メディア処理サブシステム 5 0 5、パケット化サブシステム 5 4 0、及び信号 / マネジメントサブシステム 5 7 0 の 3 つのサブシステムに分かれている。

20

【 0 0 6 0 】

各サブシステム 5 0 5、5 4 0、5 7 0 は、更に、メディアの処理と送信を達成するために、異なるタスクを行うように設計されたモジュール 5 2 0 のシリーズからなる。モジュール 5 2 0 は、実質的に分割不可能なシングルコアタスクを取り囲むために設計されたものであることが好ましい。例えば、例示のモジュールは、特に、エコキャンセル、コーデック実装、スケジューリング、I P ベースのパケット化、及び A T M ベースのパケット化を含む。本発明に実施されたモジュール 5 2 0 の性質と機能は、次に説明される。

30

【 0 0 6 1 】

図 5 の論理システムは、処理に依存し、そして、部分的に後述の新規のソフトウェアアーキテクチャに依存して多数の方法で物理的に実施されることができる。図 6 に示すように、図 5 に説明されたソフトウェアシステムの一つの物理的な実施の形態は、シングルチップ 6 0 0 上に実現されたものである。メディア処理ブロック 6 1 0、パケット化ブロック 6 2 0、及びマネジメントブロック 6 3 0 が、全て同じチップ上で動作可能で、メディア処理ブロック 6 0 0 上に動作する。もし、処理の必要性が増加すれば、メディア処理専用チップ能力をもっと要求し、ソフトウェアシステムは次のように物理的に実装されることができる。

40

【 0 0 6 2 】

図 7 に図示したように別のホストプロセッサ 7 3 5 上に動作するマネジメントブロック 7 3 0 と、データバス 7 7 0 を介して、通信している D S P 7 1 5 上に、メディア処理ブロック 7 1 0 及びパケット化ブロック 7 2 0 が動作する。図 8 に図示したように、同様に、処理の必要性が更に増加すれば、メディア処理ブロック 8 1 0 及びパケット化ブロック 8 2 0 は、別々の D S P 8 6 0、8 6 5 に実装でき、データバス 8 7 0 を介して互いに、及び別のホストプロセッサ 8 3 5 上に動作するマネジメントブロック 8 3 0 と通信することができる。各ブロックには、モジュールが、高いシステム拡張性を実現するために、異なるプロセッサへ物理的に分離されることができる。

【 0 0 6 3 】

50

好ましい実施の形態において、4つのOC-3タイルは、各OC-3タイルがメディア処理とパケット化タスクを行うように構成されたシングル集積回路(IC)カードへ結合されている。ICカードは、データバスと通信している4つのOC-3タイルを備えている。前に説明したように、OC-3タイルそれぞれは、インターチップ通信バスを介して、パケットエンジンプロセッサと通信している3つのメディアエンジンタイプIIプロセッサを有する。パケットエンジンプロセッサは、OC-3タイルへの外部通信用のMAC及びPHYインターフェースを備えている。第1OC-3タイルのPHYインターフェースは、第2OC-3タイルのMACインターフェースと通信している。

【0064】

同様に、第2OC-3タイルのPHYインターフェースは、第3OC-3タイルのMACインターフェースと通信し、第3OC-3タイルのPHYインターフェースは、第4OC-3タイルのMACインターフェースと通信している。第1OC-3タイルのMACインターフェースは、ホストプロセッサのPHYインターフェースと通信している。動作的に、各メディアエンジンIIプロセッサは、図5に参照番号505で示したように、本発明のメディア処理サブシステムを実装している。各パケットエンジンプロセッサは、図5に参照番号540で示したように、本発明のパケット化サブシステムを実装している。ホストプロセッサは、図5に参照番号570で示したように、マネジメントサブシステムを実装している。

【0065】

メディアエンジンタイプI、メディアエンジンタイプII、及びパケットエンジンを含むトップレベル・ハードウェアシステム・アーキテクチャのプライマリコンポーネントは、ここで詳細に説明する。更に、ソフトウェアアーキテクチャは、具体的な特徴とともに、詳細に説明される。

【0066】

メディアエンジン

メディアエンジンIとメディアエンジンIIの両方は、DPLP型のもので、従って、各レイヤがNチャンネルまでの音声、ファックス、モデム、又はレイヤの構成に依存する他のデータをエンコードとデコードするレイヤアーキテクチャから構成される。各レイヤは、特定のメディア処理機能を行うために、実質的に最適ハードウェアとソフトウェアパーティションを介して、特別に設計されたパイプライン処理ユニットのセットを実装している。この処理ユニットは、特定信号処理機能又は機能クラスを行うためにそれぞれ最適化された特定目的のデジタル信号プロセッサである。エコキャンセル又はコーデック実装等の、機能の明確なクラスの実行、かつ、それらをパイプラインアーキテクチャで入力できる処理ユニットを製作することで、本発明は、従来のアプローチより実施的に優れたパフォーマンスを有するメディア処理システム及び方法を提供する。

【0067】

図9に示すように、メディアエンジンI900のダイアグラムを図示されている。メディアエンジンI900は、それぞれ中央ダイレクトメモリアクセス(DMA)コントローラ910と、通信データバス920を介して、通信している複数のメディアレイヤ905からなっている。DMAアプローチを利用して、これ自身とシステムメモリの間にデータの直接伝送をハンドルするために、システム処理ユニットのバイパスを可能にする。各メディアレイヤ905は、更に、通信データバス920で相互接続されたDMAへのインターフェース925から構成される。交代で、DMAインターフェース925は、通信データバス920を介して複数のパイプライン処理ユニット(PU)930のそれぞれと、DMAインターフェース925と各PU930の間に位置する通信データバス920を介して複数のプログラムとデータメモリ940と通信している。

【0068】

プログラムとデータメモリ940は、データバス920を介して各PU930と通信している。各PU930は、少なくとも1つのプログラムメモリと少なくともデータメモリユニット940にアクセスできることが好ましい。更に、スケジュールされたタスクを受

10

20

30

40

50

信し、PU930による動作用にそれらをキューするために、少なくとも1つの先入れ先出し(FIFO)タスクキュー(図示せず。)を備えていることが好ましい。

【0069】

本発明のレイヤアーキテクチャは、メディアレイヤの特定の数を制限しないとき、特定の実務制限は、シングルメディアエンジンIへスタックできるメディアレイヤの数を限定することが可能である。メディアレイヤの数が増大すると、メモリとデバイス入出力バンド幅が、メモリ要求、ピンカウント、密度、及びパワー消費に悪影響するほどまでに、広がることが可能であり、応用又は経済的要求に両立しなくなる。しかし、それらの実務制限は、本発明の範囲と実態を制約しない。

【0070】

メディアレイヤ905は、通信バス920を介して、中央処理ユニットへのインターフェース(CPU IF)950と通信している。外部スケジューラ955、DMAコントローラ910、PCIインターフェース(PCI IF)960、SRAMインターフェース(SRAM IF)975、及びSDRAMインターフェース(SDRAM IF)970等の外部メモリへのインターフェース等からの制御信号と、データを、通信バス920を通して、CPU IF950が送信と受信する。PCI IF960は、制御信号に利用されることが好ましい。SDRAM IF970は、同期型ダイナミック・ランダム・アクセス・メモリ・モジュールへ接続され、ランダムアクセスメモリ(RAM)とCPUとの間のメモリフェッチングに関して、メモリアクセスサイクルは、待機時間を無くすために、CPUクロックに同期している。

【0071】

好ましい実施の形態において、SDRAM IF970は、133MHz同期型DRAMと非同期メモリをサポートするSDRAMを備えたプロセッサに接続される。SDRAM(64Mbit/256Mbitから最大256MB)の一つのバンクと、4つの非同期デバイス(8/16/32ビット)をサポートする。この非同期デバイスは、32ビットのデータバスと、未定義長と同様に固定長のブロック転送を備えている。Back-to-back転送に適応する。9つのトランザクションは、動作のためキューされることが可能である。SDRAM(図示せず。)は、PU930のステータスを含む。他の外部メモリの構成と種類は、SDRAMの代わりに選択されることができると、従って、他の種類のメモリインターフェースがSDRAM IF170の代わりに利用できることは好ましくないことは当業者に明らかである。

【0072】

SDRAM IF970は、更に、PCI IF960、DMAコントローラ910、及びCPU IF950、好ましくは通信バス920を通してSRAMインターフェース(SRAM IF)975と通信している。このSRAM(図示せず。)は、スタティックランダムアクセスメモリで、比較的的高速なメモリアクセスに推奨されるもので、常時リフレッシュしないでデータを保持するランダムアクセスメモリの一種である。SRAM IF975も、データバス920を介して、TDMインターフェース(TDM IF)980、CPU IF950、DMAコントローラ910、及びPCI IF960と通信している。

【0073】

好ましい実施の形態において、トランクサイド用のTDM IF980は、好ましくはH.100/H.110に準拠し、TDMバス981は8.192MHzで動作する。メディアエンジンI900が8データ信号を提供することを可能にすることで、従って、512フル2重チャンネルまでの容量を供給し、TDM IF980は次の好ましい特徴を有する。その特徴は、H.100/H.110準拠のスレーブ、フレームサイズは16又は20サンプルをセットでき、スケジューラは、特定バッファ又はフレームサイズ、最大チャンネル数用のプログラマブルスタaggerポイントを格納するためにTDM IF980をプログラムできる。

【0074】

好ましくは、TDM IFは、8000HzクロックのNサンプル毎の後に、スケジューラを中断させる。Nは、2, 4, 6, 及び8の値でプログラム可能な値である。音声のアプリケーションでは、TDM IF 980は、パルスコード変調(PCM)データをサンプル・バイ・サンプルに基づいてメモリへ伝送しないことが好ましいが、エンコーダ及びデコーダが利用しているフレームサイズに依存して、チャンネルの16又は20サンプルをバッファし、そして、そのチャンネル用の音声データをメモリへ伝送することが好ましい。

【0075】

PCI IF 960は、通信バス920を介してDMAコントローラ910とも通信している。外部接続は、TDM IF 980とTDMバス981の間の接続と、SRAM IF 975とSRAMバス976との間の接続、好ましくは32ビット133MHzで動作するSDRAM IF 970とSDRAMバス971の間の接続、及び好ましくは32ビット133MHzで動作するPCI IF 960とPCI 2.1バス961の間の接続からなる。

10

【0076】

外部エンジンIの外部において、スケジューラ955は、処理用にメディアレイヤ905へのチャンネルをマップする。スケジューラ955が新しいチャンネルを処理しているとき、レイヤ905毎の可能な処理リソースによるが、レイヤの一つへのチャンネルを割り当てる。処理が並列に行われ、かつ、処理が固定フレーム又はデータの部分に分割されるように、各レイヤ905は、複数のチャンネルの処理をハンドルする。スケジューラ955は、FIFOタスクキューへのデータ伝送を通じて、各メディアレイヤ905と通信している。

20

【0077】

FIFOタスクキューの各タスクは、特別チャンネル用に複数のデータ部分进行处理するための要求で、メディアレイヤ905への要求である。よって、各PU930を個別にプログラムするより、タスクをタスクキューに入れることによって、チャンネルからのデータの処理を開始することがスケジューラ955にとって好ましい。もっと詳しくは、特別PU930のタスクキューにタスクを入れ、かつ、データフローを次のPU930にマネージするメディアレイヤ905のパイプラインアーキテクチャを有することによって、チャンネルからのデータの処理を開始するスケジューラ955を備えることが好ましい。

30

【0078】

スケジューラ955は、各チャンネルが処理されることで、レートをマネージしななければならない。実施の形態において、各チャンネルはTms ecのフレームサイズを用いており、Mチャンネルからのデータの処理を受諾するように、メディアレイヤ905が要求され、そして、スケジューラ955は、Mチャンネルの各チャンネルの一つのフレームを各Tms ec間隔で処理することが好ましい。更に、好ましい実施の形態において、スケジューリングは、TDM IF 980からサンプルのユニットの形式で、周期的な中断に基づく。

【0079】

例として、中断周期が2サンプルの場合は、TDM IF 980は、全てのチャンネルから2つの新サンプルを集める度に、スケジューラを中断する。中断ごとにインクリメントしていたものが、通過したフレームサイズの同等の値になったとき、0にリセットされる「ティックカウント」をスケジューラが持つことが好ましい。時間スロットへのチャンネルのマッピングは固定されないことが好ましい。

40

【0080】

例えば、音声アプリケーションでは、チャンネル上にコールがスタートするときいつも、スケジューラは、用意されたタイムスロットチャンネルにレイヤを動的に割り当てる。TDMバッファからメモリへのデータ転送が処理データが入っているタイムスロットと調整されることが好ましく、従って、TDMからメモリへ異なるチャンネル用のデータ伝送をスタグゲリングし、異なるチャンネルの処理のスタグゲリングと等しくなるようにその逆にスタ

50

ッゲリングする。その結果、TDMのティックカウントと、スケジューラ955の間に多少の同期を取るように、TDM IF980はティックカウント変数を維持することが更に望ましい。上述した例示の実施の形態においては、ティックカウント変数は、バッファサイズによって2ミリ秒ごと又は2.5ミリ秒ごとに0に設定される。

【0081】

図10に示すように、メディアエンジンEI1000のブロックダイアグラムを図示している。メディアエンジンEI1000は、ここでメディアレイヤコントローラ1007と参照している処理レイヤコントローラ1007と、中央ダイレクトメモリアクセス(DMA)コントローラ1010それぞれと、通信データバスとインターフェース1015を介して、通信している複数のメディアレイヤ1005からなる。各メディアレイヤ1005は、CPU1004と通信しているCPUインターフェース1006と交代で通信している。各メディアレイヤ1005内は、複数のパイプライン処理ユニット(PU)1030は、複数のプログラムメモリ1035とデータメモリ1040と、通信データバスを介して、通信している。

10

【0082】

各PU1030は、少なくとも1つのプログラムメモリ1035と1つのデータメモリ1040にアクセスできる。各PU1030、プログラムメモリ1035、及びデータメモリ1040は、外部メモリ1047と、メディアレイヤコントローラ1007とDMAコントローラ1010を介して、通信している。好ましい実施の形態において、各メディアレイヤ1005は、シングルプログラムメモリ1035とデータメモリ1040と通信している4つのPU1030から構成され、各PU1031、1032、1033、1034は、メディアレイヤ1005内のそれぞれ他のPU1031、1032、1033、1034と通信している。

20

【0083】

図10aに示すように、メディアレイヤコントローラ、又はMLCのアーキテクチャの好ましい実施の形態が提供される。好ましくは512×64サイズのプログラムメモリ1005aは、データと命令を、好ましくは16×32サイズのデータレジスタファイル1017a、及び好ましくは4×12サイズのアドレスレジスタファイル1020aに配送するために、コントローラ1010aとデータメモリ1015aと連結して動作する。データレジスタファイル1017aとアドレスレジスタファイル1020aは、アッド/MAC 1025a、ロジカルユニット1027a、及びバレル・シフタ1030a等の機能ユニット、及び要求アービトレーション・ロジックユニット1033a及びDMAチャンネルバンク1035a等のユニットと通信している。

30

【0084】

図10に示すように、MLC1007は、プログラムメモリ1035及びデータメモリ1040へ及びからデータとプログラムコードの転送要求をラウンドロビン式で解決する。この解決に基づいて、MLC1007は、ユニットがメモリにどのように直接アクセスするかを定義したパスウェイ、すなわちDMAチャンネル(図示せず。)、を充填する。命令のデータフローに従って命令をルーチングするため、及びリードイン要求、ライトバック要求、及び転送指示のステート等の全てのPU1030用の要求ステートのトラックをキープするために、MLC1007は、命令デコードを行うことができる。

40

【0085】

MLC1007は、更に、DMAチャンネルのプログラミング、開始信号生成、各メディアレイヤ1005内のPU1030用のページステートのメンテナンス、スケジューラ命令のデコード、及び、各PU1030のタスクキューからの、及び、各PU1030のタスクキューへのデータの移動のマネジメント等のインターフェース関連機能を実行することができる。上述の機能を行うことにより、メディアレイヤコントローラ1007は、実質的に、複雑ステートマシンが各メディアレイヤ1005内に存在するPU1030と連携する必要性を無くす。

【0086】

50

DMAコントローラ1010は、ローカルメモリバッファPUと、SDRAM等の外部メモリとの間のデータ転送をハンドルするためのマルチチャンネルDMAユニットである。DMAチャンネルは、動的にプログラムされていることが好ましい。もっと詳しくは、PU1030は、それぞれが優先レベルと結びついた独立要求を生成し、読み出しと書き込みするためにそれらをMLC1007に送信する。特定のPU1030によって配達された優先要求に基づいて、MLC1007は、DMAチャンネルをそれに応じてプログラムする。外部メモリにアクセスするためにDMA内のチャンネル間、ラウンドロビン解決のシングルレベル等の解決処理があることが好ましい。DMAコントローラ1010は、PU1030及びメディアレイヤ1005をわたって、ラウンドロビン要求解決のためのハードウェアサポートを提供する。

10

【0087】

例示動作において、ローカルメモリのアドレス、外部メモリのアドレス、転送のサイズ、転送の方向を利用することで、すなわち、DMAチャンネルが、データを外部メモリからローカルメモリへ、又は逆に、転送したか、及び、各PU用にどのぐらいの転送が要求されたかを利用して、ローカルPUメモリと外部メモリの間に転送を処理することが好ましい。この好ましい実施の形態において、DMAチャンネルは生成され、この情報を、DMA内に存在する32ビットの2つのレジスタから受信する。3番目のレジスタは、DMAと各PUの間に、DMA転送の現在ステータスを含む制御情報を交換する。

【0088】

好ましい実施の形態において、アービトレーションは特に次の要求を行う。この要求は、各メディアレイヤから1つのストラクチャー読み込み、4つのデータ読み込み、及び4データ書き込みの要求、合計で約90のデータ要求、及び各メディアレイヤから4つのプログラムコードフェッチ要求、合計で約40のプログラムコードフェッチ要求である。DMAコントローラ1010は、更に、プログラムコードフェッチ要求のための優先度を解決できること、リンクリスト巡回とDMAチャンネル情報生成を処理すること、及びDMAチャンネルプレフェッチと完了信号生成を行うことが好ましい。

20

【0089】

MLC1007とDMAコントローラ1010は、通信バスを通してCPU IF1006と通信している。PCI IF1060は、通信バスを介して、外部メモリインターフェース(SDRAM IF等)とCPU IF1006と通信している。外部メモリインターフェース1070は、更に、通信バスを通して、MLC1007とDMAコントローラ1010とTDM IF1080と通信している。SDRAM if(1070)は、UTOPIA II/POS 互換性インターフェース(U2/POS IF)等のパッケージプロセッサインターフェース1090と、通信データバスを介して通信している。U2/POS IF 1090は、CPU IF1006と通信していることが好ましい。

30

【0090】

しかし、PCI IFとSDRAM IFの好ましい実施の形態は、メディアエンジンIと似ており、TDM IF1080は、実行される計32シリアルデータ信号を有し、よって、少なくとも2048フル2重チャンネルをサポートすることが好ましい。外部接続は、TDM IF1080とTDM バス1081の間の接続、外部メモリ1070とメモリバス1071の間の、好ましく64ビット@133MHzの、接続、PCI IF1060とPCI 2.1バス1061の間の、また好ましくは32 bit @ 133 MHzで動作する、の間の接続、及びU2/POS IF 1090とUTOPIA II/POS接続1091の間の、好ましくは、毎秒622メガビットで動作可能な、接続からなる。好ましい実施の形態において、メディアエンジンIとの関係に前に議論したように、トランクサイドのためのTDM IF1080は、好ましくは、H.100/H.110互換性で、TDMバス1081は8.192MHzで動作する。

40

【0091】

各メディアレイヤ内のメディアエンジンIとメディアエンジンIIの両方のための、本発明は、特に、処理タスクの定義済みセットを処理するように設計された、パイプライン

50

された複数のPUを利用する。その点で、PUは、一般目的プロセッサではなく、任意の処理タスクを処理するように利用されない。特定機能ユニットの共通性で生じる特定処理タスクの調査と分析は、結合されたとき、それらの特殊処理タスクの存在を最適処理することができる特殊PUを生じる。各PUの命令セットアーキテクチャは、コンパクトコードをもたらす。コード密度の増加は、要求メモリの減少と、従って、要求エリア、パワー、及びメモリトラフィックの減少をもたらす。

【0092】

パイプラインアーキテクチャは、また、パフォーマンスを向上させる。パイプラインは、マルチプル命令が実行時オーバーラップされる実行テクニックである。コンピュータパイプラインに、パイプラインの各ステップは、命令の一部を実行する。アセンブリラインのように、異なるステップは、異なる命令の異なる部分を並列に実行する。これらのステップの各ステップは、パイプステージ又はデータセグメントと呼ばれる。ステージは、パイプを形成するために次のステージに接続される。プロセッサ内に、命令は、パイプの一端から入り、ステージを通過して処理され、他端から出る。命令パイプラインのスループットは、命令がパイプラインからどの程度出ているかで定義される。

10

【0093】

もっと詳しくは、1つのタイプのPU(以下、EC PUという。)は、エコキャンセル(EC)、音声アクティビティ検出(VAD)、及びトーン信号機能(TS)等の複数のメディア処理機能を行うように、パイプラインアーキテクチャに特別に設計されたものである。エコキャンセルは、入力信号の発信元への変調入力信号の反射及び/又は再伝送の結果として起こり得るエコを、信号から、除去する。一般に、スピーカから発振し、受信されてマイクロフォンを通して再伝送された(音声エコ)とき、又は、ハイブリッド線によって伝送される過程で発生した遠端信号の反射(電線エコ)のときに、エコが起きる。

20

【0094】

好ましくないが、エコパスの時間遅延は相対的に短いように提供されたとき、エコは、電話システムにおいて許容される。しかし、長いエコ遅延は、遠端スピーカの注意をそらし、又は混乱させることができる。音声アクティビティ検出は、入力信号は、意味のある信号か雑音か判定する。トーン信号は、トーン形式の、回路又はネットワーク上の監督、アドレス、及び警報の信号の処理からなる。回線が使用中、アイドル、又はサービス要求しているかを判定するために、監督信号は、回線又は回路のステータスを監視する。警報信号は、着信コールの着信を表す。アドレス化の信号は、ルーチングとあて先の情報から構成される。

30

【0095】

LEC、VAD、及びTSの機能は、アドレス生成ユニットと命令デコーダと一緒に動作する、複数のシングルサイクル積和演算(MAC)ユニットを有するPUを利用して、効率的に実行されることが出来る。各MACユニットは、圧縮器、サム・アンド・キャリア・レジスタ、アッダ、及びサチュレーション・アンド・ラウンディング・ロジックユニットを含む。好ましい実施の形態において、図11に図示するように、このPU1100は、シングルアドレス生成ユニット(AGU)1105及び命令デコーダ1106を持つロード・ストア・アーキテクチャから構成される。AGU1105は、ゼロ・オーバー・ヘッド・ルーピング、及び遅延スロットの分散をサポートする。複数のMACユニット1110は、2つの16ビットオペランド上に並列に動作し、次の機能を行う。

40

【0096】

Acc += a*b

繰り返しMAC動作を促進するために、ガードビットは、サム・アンド・キャリア・レジスタに加えらる。スケールユニットは、アキュムレータ・オーバーフローから防止する。各MACユニット1110は、ラウンド動作を自動的に行うようにプログラムされることが可能である。加えて、20ビット値の入力オペランドと、16ビット値の出力オペランドの両方を有する条件付きサム・アッダーとして加減算ユニット(図示せず。)を有

50

することが好ましい。

【0097】

動作的に、ECPUは、パイプライン式でタスクを行う。第1パイプラインステージは、命令がプログラムメモリから命令レジスタへフェッチされる、フェッチ命令から構成される。第2パイプラインステージは、命令がデコードレジスタにデコードされ、格納される、命令デコードとオペランドフェッチから構成される。ハードウェアループマシンは、このサイクルで初期化される。データレジスタファイルからのオペランドは、オペランドレジスタに格納される。AGUは、このサイクルの間に動作する。このアドレスは、データメモリアドレスバスに位置する。ストア動作の場合は、データは、また、データメモリデータバスに位置する。ポストインクリメントとデクリメント命令のために、アドレスは、アドレスバス上に位置されてからインクリメント又はデクリメントされる。

10

【0098】

結果は、アドレスレジスタファイルへ書き込みされる。第3パイプラインステージは、実行ステージであり、加減算ユニットとMACユニットによってフェッチされたオペランド上のオペレーションから構成される。ステータスレジスタは、アップデータされ、及び、計算結果、又はメモリからロードされたデータは、データ/アドレスレジスタファイルに格納される。各メディアレイヤ内に前に示したように、ECPUオペレーションのために要求されたステータスと履歴情報は、マルチチャネルDMAインターフェースを通してフェッチされる。ECPUは、DMAコントローラレジスタを直接構成する。ECPUは、DMAチェーンポインタを、チェーンリンクのヘッドのメモリロケーションと一緒にロードする。

20

【0099】

パイプラインステージを通して同時に異なるデータストリームを移動させることを可能にすることによって、ECPUは、音声等の着信媒体の処理のための待ち時間を減少させる。図12に示すように、タイムスロット1 1205に、チャンネル1 1250からのデータの処理用に、命令フェッチタスク(IF)が行なわれる。タイムスロット2 1206において、命令デコード及びオペランドフェッチ(IDOF)は、チャンネル1 1250からのデータの処理用に同時に行なわれる間に、チャンネル2 1255からのデータの処理用に、IFタスクが行なわれる。

【0100】

チャンネル2 1255からのデータの処理用に、命令デコード及びオペランドフェッチ(IDOF)が行なわれ、及び、チャンネル1 1250からデータの処理用に、実行(EX)タスクが同時に行なわれる間に、タイムスロット3 1207において、IFタスクがチャンネル3 1260からのデータの処理用に行なわれる。チャンネルは動的に生成されるので、チャンネルの番号付けは、実際のロケーションとタスクの割り当てを反映しないことが当該者には明らかである。チャンネルの番号付けは、マルチチャネルを横断するパイプラインの概念をただ表すように使われ、実際のタスクロケーションを表さない。

30

【0101】

第2タイプのPU(以下、CODEC PUという。)は、特定の標準とプロトコルに従って信号をエンコーディング及びデコーディングする複数のメディア処理機能を行うように、また、コンフォート雑音生成(CNG)と不連続伝送(DTX)機能を行うように特別にパイプラインアーキテクチャに設計されている。特定の標準とプロトコルは、特に、G.711, G.723.1, G.726, G.728, G.729A/B/Eを含む音声標準、及びV.17, V.34, V.90を含むデータモデム標準等の国際電気通信連合(ITU)が推進する標準(以下、コーデックという。)である。これらの様々コーデックは、異なる複雑さと結果品質の音声信号をエンコードとデコードするのに利用される。CNGは、接続が生きていて、切断されていないことをユーザに知らせるためのバックグラウンド雑音の生成である。DTX機能は、受信されたフレームは、音声伝送にかえてサイレンスから構成されるように実施されるものである。

40

【0102】

50

コーデック、CNG、及びDTX機能は、算術演算論理ユニット(ALU)、MACユニット、バレル・シフタ、及び規格化ユニットを有するPUを利用して効率的に実行されることができる。好ましい実施の形態においては、図13に示すように、CODEC PU 1300は、シングルアドレス生成ユニット(AGU) 1305及び命令デコーダ1306を持つロード・ストア・アーキテクチャから構成される。AGU 1305は、ゼロ・オーバー・ヘッド・ルーピング、及び遅延スロットの分散をサポートする。

【0103】

好ましい実施の形態において、各MACユニット1310は、圧縮器、サム・アンド・キャリーレジスタ、アッダ、及びサチュレーション・アンド・ラウンディング・ロジックユニットを含む。MACユニット1310は、蓄積用の圧縮ツリーへのフィードバックを有する圧縮器として実施される。MAC 1310の一つの好ましい実施の形態は、1サイクルのスループットに、約2サイクルの待ち時間を有する。MAC 1310は、符号付又は符号無しの2つの17ビットオペランド上に動作する。中間結果は、サム・アンド・キャリーレジスタにキープされる。繰り返しMAC動作に、ガードビットは、サム・アンド・キャリー・レジスタに加えらる。サチュレーション・ロジックは、サム・アンド・キャリーの結果を32ビット値に変換する。ラウンディング・ロジックは、32ビットを16ビット番号にラウンドする。分割ロジックは、MACユニット1310にまた実装される。

10

【0104】

例示の実施の形態において、ALU 1320は、加算、アッド・ウィズ・キャリー、減算、サブトラクト・ウィズ・ボロー、否定、AND、OR、XOR及びNOTを含む複数のオペレーションを行うことができる32ビットアッダーと32ビットロジック回路を含む。ALU 1320への入力の一つは、32ビットオペランド上に動作するXORアレーを有する。絶対ユニット、ロジックユニット、及び加減算ユニットからなり、ALU 1320の絶対ユニットはこのアレーを駆動する。絶対ユニットの出力により、入力オペランド上に否定を行うために、入力オペランドは1又は0でXORされる。

20

【0105】

例示の実施の形態において、バレル・シフタ1330は、ALU 1320の列に位置し、シフトオペレーションを要求し、任意のALUオペレーションに続くオペランドへのプレシフタとして動作する。好ましいバレル・シフタの一つのタイプは、16ビット又は32ビットオペランド上に、左へ最大9ビット、又は右へ26ビットの算術シフトを行うことができる。このバレル・シフタの出力は、ALU 1320の両方の入力にアクセス可能な32ビット値ある。

30

【0106】

例示の実施の形態において、規格化ユニット1340は、番号の重複符号ビットをカウントする。これは、2の補数の16ビット番号で動作する。重複符号ビットを計算するために、負の番号が反転される。規格化される番号は、XORアレーへ送り込まれる。番号の符号ビットから他の入力がある。処理されているメディアが音声のとき、EC PUへのインターフェースを有することが好ましい。受信したフレームがサイレンス又はスピーチから構成されているかを判定するために、EC PUは、VADを利用する。コーデック又はDTX機能が実装されているか否かを判定することができるように、VAD判定は、CODEC PUと通信していることが好ましい。

40

【0107】

動作的に、CODEC PUは、パイプライン式でタスクを行う。第1パイプラインステージは、命令がプログラムメモリから命令レジスタへフェッチされる命令フェッチから構成される。同時に、次のプログラムカウンタ値は、計算され、プログラムカウンタに格納される。加えて、ループと分散決断は、同じサイクルで行なわれる。第2パイプラインステージは、命令がデコードされ、デコードレジスタに格納される、命令デコードとオペランドフェッチから構成される。命令デコード、レジスタ読み込み、分散決断は、命令デコードステージに起こる。

50

【0108】

第3パイプラインステージにおいては、Execute 1ステージ、パレル・シフタ及びM A C 圧縮器ツリーは、それらの計算を完成する。データメモリへのアドレスは、このステージにある。第4パイプラインステージにおいては、Execute 2 ステージ、A L U、規格化ユニット、及びM A C アッダは、それらの計算を完成する。レジスタ・ライトバック及びアドレスレジスタは、Execute-2ステージの最後にアップデータされる。C O D E C P U オペレーション用に要求されたステータスと履歴情報は、前に各メディアレイヤに示したように、マルチチャンネルD M A インターフェースを通してフェッチされる。

【0109】

異なるデータストリームをパイプラインされたステージを通して同時に移動させることを可能にすることで、C O D E C P U は、音声等の到着メディア処理のための待ち時間を減少させる。図13aに示すように、タイムスロット1 1305a内、チャンネル1 1350aからのデータを処理するために、命令フェッチタスク(I F)が行なわれる。命令デコードとオペランドフェッチ(I D O F)が、チャンネル1 1350aからのデータを処理するために行われている間に、タイムスロット2 1306a内、I F タスクが、チャンネル2 1355aからのデータを処理するために、同時に行なわれる。

【0110】

命令デコードとオペランドフェッチ(I D O F)が、チャンネル2 1355aからのデータを処理するために行われ、及び、Execute 1 (E X 1) タスクが、チャンネル1 1350aからのデータ処理のために行われている間に、タイムスロット3 1307a内、I F タスクが、チャンネル3 1360aからのデータを処理するために、同時に行なわれる。命令デコードとオペランドフェッチ(I D O F)が、チャンネル3 1360aからのデータを処理するために、行なわれ、Execute 1 (E X 1) タスクが、チャンネル2 1355aからのデータを処理するために、行なわれ、及び、Execute 2 (E X 2) タスクが、チャンネル1 1350aからのデータを処理するために、行なわれている間に、タイムスロット4 1308a内、I F タスクが、チャンネル4 1370aからのデータを処理するために、同時に行なわれる。チャンネルは動的に生成されるため、チャンネル番号付けは、実際のロケーションとタスクの割り当てを反映しないことは、当該者にとって明らかである。チャンネル番号付けは、ここで、複数のチャンネルを横断してパイプライン化する概念を単に表示するために利用され、実施のタスクロケーションを表さない。

【0111】

本発明のパイプラインアーキテクチャは、P U 内の命令処理に限定されないが、P U からP U へのアーキテクチャレベルにも存在する。図13bに図示したように、各タスクが複数のステップから構成される複数のタスクの処理を完成させるために複数のP U は、データセットN上にパイプライン式で動作することが可能である。第1P U 1305bは、タスクAとラベルされたエコキャンセル機能を行うことが可能である。第2P U 1310bは、タスクBとラベルされたトーン信号機能を行うことが可能である。第3P U 1315bは、タスクCとラベルされたエンコード機能の第1セットを行うことが可能である。第4P U 1320bは、タスクDとラベルされたエンコード機能の第2セットを行うことが可能である。

【0112】

タイムスロット1350bにおいて、第1P U 1305bは、データセットN上にタスクA 1 1380bを行う。タイムスロット2 1355bにおいて、第1P U 1305bは、データセットN上にタスクA 2 1381bを行い、及び、第2P U 1310bは、データセットN上にタスクB 1 1387bを行う。タイムスロット3 1360bにおいて、第1P U 1305bは、データセットN上にタスクA 3 1382bを行い、第2P U 1310bは、データセットN上にタスクB 2 1388bを行い、及び、第3P U 1315bは、データセットN上にタスクC 1 1394bを行う。タイムスロット4 1365bにおいて、第1P U 1305bは、データセットN上にタスクA 4 1383bを行い、第2P U 1310bは、データセットN上にタスクB 3 1389bを行い

10

20

30

40

50

、第3PU1315bは、データセットN上にタスクC2 1395bを行い、及び、第4PU1320bは、データセットN上にタスクD1 1330を行う。

【0113】

タイムスロット5 1370bにおいて、第1PU1305bは、データセットN上にタスクA5 1384bを行い、第2PU1310bは、データセットN上にタスクB4 1390bを行い、第3PU1315bは、データセットN上にタスクC3 1396bを行い、及び、第4PU1320bは、データセットN上にタスクD2 1331を行う。タイムスロット6 1375bにおいて、第1PU1305bは、データセットN上にタスクA5 1385bを行い、第2PU1310bは、データセットN上にタスクB4 1391bを行い、第3PU1315bは、データセットN上にタスクC3 1397bを行い、及び、第4PU1320bは、データセットN上にタスクD3 1332bを行う。パイプライン処理は次にどのように行われるかは、当業者にとって明らかである。

10

【0114】

この例示の実施の形態において、パイプラインアーキテクチャを有する特殊化したPUの組み合わせは、シングルメディアレイヤ上により多くのチャンネルの処理を可能にする。各チャンネルはG.711コーデックと、DTMF検出/生成、音声アクティビティ検出(VAD)、コンフォルト雑音生成(CNG)、及びコール識別を有するエコテルキャンセルの128msを実装しているとき、メディアエンジンレイヤは、チャンネル当たり1.95MHzで動作する。結果チャンネル電力消費は、0.13μ標準のセルテクノロジーを利用して、チャンネル当たり6mW、又は約6mWである。

20

【0115】

パケットエンジン

本発明のポケットエンジンは通信プロセッサである。好ましい実施の形態において、通信プロセッサは、回路交換ネットワーク、パケットベースIPネットワーク、及びセルベースATMネットワークの間のメディアゲートウェイ処理システムに利用される、多数のインターフェースとプロトコルをサポートする。限定されないが、セルとパケットのカプセル化、トラヒックマネジメントと、他のサービスとマルチプロトコルラベルスイッチングの配達用のタグ付け用のサービス機能の品質、及びセルとパケットネットワークのブリッジを含むメディア処理を可能にするための複数の機能を提供することができる独特のアーキテクチャからパケットエンジンが構成される。

30

【0116】

図14に示すように、パケットエンジン1400の例示のアーキテクチャを提供している。図示されたこの実施の形態では、パケットエンジン1400は、OC-12まで、又は、およそOC-12のデータレートをハンドルするように構成される。データハンドリングのレートをOC-12を超えて増加させるために、基本アーキテクチャに修正を入れることが当業者にとって明らかである。パケットエンジン1400は、複数のプロセッサ1405、ホストプロセッサ1430、ATMエンジン1440、インバウンドDMAチャンネル1450、アウトバウンドDMAチャンネル1455、複数のネットワークインターフェース1460、複数のレジスタ1470、メモリ1480、外部メモリインターフェース1490、及び制御及び信号情報の受信手段1495からなる。

40

【0117】

プロセッサ1405は、内部キャッシュ1407、中央処置ユニットインターフェース1409、及びデータメモリ1411からなる。好ましい実施の形態において、プロセッサ1405は、16Kbの命令キャッシュと12Kbローカルメモリを有する32ビット縮小命令セットコンピューティング(RISC)プロセッサからなる。中央処置ユニットインターフェース1409は、プロセッサ1405が他の内部メモリ、外部メモリ、及びパケットエンジン1400と通信することを可能にする。プロセッサ1405は、インバウンドとアウトバウンド通信トラヒックの両方がハンドルできることが好ましい。

【0118】

50

好ましい実装は、一般的に、プロセッサの半分は、インバウンドトラヒックをハンドルする間、他の半分はアウトバウンドトラヒックをハンドルする。パケットエンジン 1400 の特殊要素は、メモリ 1411 に、競合無しで独立にアクセスでき、よって、全体のスループットを増加させるように、プロセッサ 1405 内のメモリ 1411 は、複数のバンクに分割されていることが好ましい。好ましい実施の形態において、アウトバウンド DMA チャンネルがメモリバンク 3 からの処理済みパケットの伝送をしている間と、プロセッサがメモリバンク 2 からのデータ処理している間に、インバウンド DMA チャンネルがメモリバンク 1 に書き込みできるように、メモリは 3 つのバンクに分割される。

【0119】

ATM エンジン 1440 は、2 つのプライマリサブコンポーネントからなり、ここで ATM R x エンジンと ATM M x エンジンという。ATM R x エンジンは、入ってくる ATM セルヘッダを処理し、内部メモリ内又は、システムへの外部のとき他のセルマネージャ内に処理して、対応する AAL プロトコル、特に AAL 1、AAL 2、AAL 5、に従ってセルを転送する。ATM T x エンジンは、出力の ATM セルを処理し、UTOPIA II / POS II インターフェース等の特定のインターフェースヘッダ転送をアウトバウンド DMA チャンネルに要求する。データ交換用のローカルメモリの独立ブロックがあることが好ましい。

10

【0120】

ATM エンジン 1440 は、AAL チャンネル、すなわち AAL 2、を、TDM バス（パケットエンジン 1400 がメディアエンジンの接続されているところ）上の対応チャンネルに、又は、IP と ATM システム間のインターネットワーキングが要求される対応 IP チャンネル識別器にマップするデータメモリ 1483 の組み合わせで動作する。内部メモリ 1480 は、仮想バス識別器（VPI）、仮想チャンネル識別器（VCI）、及び互換性の識別器（CID）を有するチャンネル識別器の比較及び / 又は関連用に、複数のテーブルを維持するために、独立ブロックを利用する。

20

【0121】

VPI は、ルーチングされるセルを示す仮想バスを表す、ATM セルヘッダ内の 8 ビットフィールドである。VCI は、デバイス間のセッションのコース中に、セルのどのストリームがトラベルするかを示す仮想チャンネルを示し、ATM セルヘッダ内の 16 ビットフィールドで定義された独特の番号タグから構成された仮想チャンネルのアドレス又はラベルである。複数のテーブルは、ホストプロセッサ 1430 によってアップデータされ、ATM R x と ATM T x エンジンに共有されることが好ましい。

30

【0122】

ホストプロセッサ 1430 は、命令キャッシュ 1431 を有する RICS プロセッサであることが好ましい。ホストプロセッサ 1430 は、PCI バス等のバスをオーバーしてメディアエンジンと、PCI - PCI ブリッジを通して信号ホスト等のホストと通信できる CPU インターフェース 1432 を通して他のハードウェアブロックと通信する。

【0123】

ホストプロセッサ 1430 は、CPU インターフェース内の中断ハンドラー 1433 によってハンドルされるそれらの中断伝送を通して、他のプロセッサ 1405 によって中断されることができる。ホストプロセッサ 1430 は、次の機能ができることが更に好ましい。1) フラッシュメモリから外部メモリへコードのロードと実行の開始を含むブートアップ処理、インターフェースと内部レジスタの初期化、PCI ホストとしての振る舞い、及び、それらを適当に構成し、信号ホスト、パケットエンジン自身、及びメディアエンジン間のインタープロセッサ通信のセットアップ。2) DMA の構成。3) 特定ネットワークマネジメント機能。4) 不明アドレス、断片化したパケット、又は、不正ヘッダのパケットの解決等の例外ハンドリング。4) システムシャットダウン時のテーブルの中間格納を提供。5) IP スタックの実装。及び 6) 特に、パケットエンジンの外部のユーザ、及び制御と信号手段を通してパケットエンジンとの通信のために、メッセージに基づいたインターフェースの提供。

40

【0124】

50

好ましい実施の形態において、データバスを介して異なるメモリ間のデータ交換のために2つのDMAチャンネルが提供される。図14に示すように、インバウンドDMAチャンネル1450は、パケットエンジン1400への入力トラヒックのデータ処理要素をハンドルするために利用され、アウトバウンドDMAチャンネル1455は、複数のネットワークインターフェース1460への出力トラヒックをハンドルするために利用される。インバウンドDMAチャンネル1450は、パケットエンジン1400へ入力される全てのデータをハンドルする。

【0125】

データを受信してATMとIPネットワークへ伝送するために、パケットエンジン1400は、ネットワーク上に互換通信するのにパケットエンジンを許可する複数のネットワークインターフェース1460を有する。図15に示すように、好ましい実施の形態において、データを受信と伝送するために、622Mbps ATM/SONET接続1568と通信をしている、ネットワークインターフェースは、GMII PHYインターフェース1562、GMII MACインターフェース1564、及び2つのUTOPIAII/POSIIインターフェース1566から構成される。

10

【0126】

IPベーストラヒック用に、パケットエンジン(図示せず。)は、MACをサポートし、IEEE 802.3に規定されたようにイーサネット(登録商標。)インターフェースのPHYレイヤをエミュレートする。ギガビットイーサネットMAC1570は、FIFO1503と制御ステートマシン1525からなる。伝送と受信のFIFO1503は、ギガビットイーサネットMAC1570とバスチャンネルインターフェース1505との間にデータ交換するために提供される。バスチャンネルインターフェース1505はアウトバウンドDMAチャンネル1515とインバウンドDMAチャンネル1520とバスチャンネルを通して通信している。GMII MACインターフェース1564からIPデータが受信されているとき、MAC1570は、データ移動のために、DMA1520へ要求を送信することが好ましい。

20

【0127】

この要求を受信したら、DMA1520は、MACインターフェース1564内のタスクキュー(図示せず。)をチェックし、キューパケットを転送することが好ましい。好ましい実施の形態において、MACインターフェース内のタスクキューは、データ長、ソースアドレス、及びあて先アドレスから構成されるデータ構造を含む64ビットレジスタのセットである。DMA1520が複数のあて先(図示せず。)用の書き込みポイントを維持するとき、あて先アドレスは利用されない。DMA1520は、データをバスチャンネルで、プロセッサ内に位置するメモリへ移動させ、予め定義されたロケーションにタスクの数を書き込む。全てのタスクを書き込み終わったら、DMA1520は、メモリページへ転送されたタスクの合計数を書き込む。

30

【0128】

プロセッサは、受信データを処理し、DMAのアウトバウンドチャンネル用のタスクキューを書き込むアウトバウンドDMAチャンネル1515は、タスクキューを読み込みした後、メモリロケーションに存在するフレームの数をチェックし、データをメディアエンジンタイプI又はIIのPOSIIインターフェース、又はIP-ATMブリッジが行なわれている外部メモリロケーションへ移動する。

40

【0129】

ATMのみ又はATMとIPトラヒックの組み合わせのために、パケットエンジンは、IP/ATMトラヒック用のPHYと上部レイヤの間のインターフェースを提供する、2つの構成可能なUTOPIAII/POSIIインターフェース1566をサポートする。UTOPIAII/POSII1580は、FIFO1504と、制御ステートマシン1526から構成される。伝送と、受信FIFOs1504は、UTOPIAII/POSII1580とバスチャンネルインターフェース1506との間のデータ交換のために提供されている。バスチャンネル1506はアウトバウンドDMAチャンネル1515と、インバウンドDMAチャンネル1520とバスチ

50

チャネルを通して通信している。

【0130】

UTOPIAII/POSIIインターフェース1566は、UTOPIA level II又はPOS level II モード内に構成されることが可能である。UTOPIAII/POSIIインターフェース1566上にデータが受信されると、データは、存在するタスクをタスクキューにプッシュし、データ移動用にDMA1520を要求する。DMA1520は、データ長、ソースアドレス、及びインターフェース種類から構成されるデータストラクチャを含むタスクキューを、UTOPIAII/POSIIインターフェース1566から読み取る。インターフェース、例えば、POS又はUTOPIA、の種類に依存して、インバウンドDMAチャネル1520は、データを、複数のプロセッサ(図示せず。)又はATMRxエンジン(図示せず。)へ送信する。

10

【0131】

ATMRxメモリにデータが書き込まれた後、ATMエンジンで処理され、対応するAALレイヤへパスされる。送信側において、データはATMTxエンジン(図示せず。)の内部メモリへ、対応するAALレイヤによって、移動される。ATMTxエンジンは、希望のATMヘッダを、セルの最初に挿入し、データの長さソースアドレスのデータストラクチャのタスクキューを有するUTOPIAII/POSIIインターフェース1566ヘデータを移動するように、アウトバウンドDMAチャネル1515に要求する。

【0132】

図16に示すように、制御と信号機能を容易にするために、パケットエンジン1600は、図14に参照番号1495で示された複数のPCIインターフェース1605、1606を有する。好ましい実施の形態において、信号ホスト1610は、初期化部1612を通して、通信バス1617を介して、PCIターゲット1605へ、パケットエンジン1600によって受信されるメッセージを送信する。PCIターゲットは、PCI-PCIBリッジ1620を通して、PCI初期化部1606へこれらのメッセージと通信する。PCI初期化部1606は、通信バス1618を通して、メモリキュー1665と一緒のメモリ1660をそれぞれが有する複数のメディアエンジン1650へメッセージを送信する。

20

【0133】

ソフトウェアアーキテクチャ

前に議論したように、前述したハードウェアアーキテクチャの実施の形態上に動作するものは、メディア処理、信号、及びパケット処理を可能にするために設計された、複数の新規、統合されたソフトウェアシステムである。この新規ソフトウェアアーキテクチャは、処理の必要性に依存し、多数の方法で物理的に図示されたロジカルシステム、図5に示された、を可能にする。

30

【0134】

ソフトウェアシステムの任意の2つのモジュール、又はコンポーネントの間の通信は、アプリケーションプログラムインターフェース(API)によって容易にされている。ソフトウェアコンポーネントがハードウェア素子上に、又は複数のハードウェア素子を横断して常駐しているにもかかわらず、実質的に不変及び一貫したアプリケーションプログラムインターフェースである。これは、異なる処理素子へコンポーネントをマッピングすることを許可し、よって、個々のコンポーネントに同時に変更をすることなく、物理インターフェースを変更する。

40

【0135】

例示の実施の形態において、図17に図示したように、第1コンポーネント1705は、第2コンポーネント1710及び第3コンポーネント1715と、それぞれ第1インターフェース1720と第2インターフェース1725を通して、連動して動作する。全ての3コンポーネント1705、1710、1715は、同じ物理プロセッサ1700上に実行しているので、第1インターフェース1720と第2インターフェース1725は、3コンポーネント1705、1710、1715の各APIを介して処理されたマッピング機能を通して、インターフェースタスクを行う。

50

【 0 1 3 6 】

図 1 7 a に示すように、第 1 コンポネント 1 7 0 5 a、第 2 コンポネント 1 7 1 0 a、及び第 3 コンポネント 1 7 1 5 a は、それぞれ別々のハードウェア素子 1 7 0 0 a、1 7 0 1 a、1 7 0 2 a、例えば別々のプロセッサ又は処理素子上、に常駐するとき、第 1 インターフェース 1 7 2 0 a と第 2 インターフェース 1 7 2 5 a は、共有メモリ内にキュー 1 7 2 1 a、1 7 2 6 a を通ってインターフェースタスクを実装する。インターフェース 1 7 2 0 a、1 7 2 5 a はマッピングとメッセージング機能へ限定されることがないとき、コンポネント 1 7 0 5 a、1 7 1 0 a、1 7 1 5 a は、インターコンポネント通信を処理するために、同じ A P I の利用を継続する。コンポネント自身に必要及び変更無しするとき、変更されたインターフェース又はドライバに頼って、標準 A P I の一貫した利用は、分散処理環境の異なるハードウェアアーキテクチャへ、様々なコンポネントの移植を可能にする。

10

【 0 1 3 7 】

図 1 8 に今度示すように、ソフトウェアシステム 1 8 0 0 の論理分割を図示している。ソフトウェアシステム 1 8 0 0 は、メディア処理サブシステム 1 8 0 5、パケット化サブシステム 1 8 4 0、及び信号化/マネジメントサブシステム(以下、信号サブシステムとする。) 1 8 7 0 の 3 つのサブシステムに分割されている。メディア処理サブシステム 1 8 0 5 は、エンコードされたデータをパケット化サブシステム 1 8 4 0 へ、カプセル化と、ネットワーク送信のために、送信し、デコードされと再生されるネットワークデータをパケット化サブシステム 1 8 4 0 から受信する。信号サブシステム 1 8 7 0 は、特に、伝送されたパケットの数等のステータス情報を取得、サービスの品質を監視、特定チャネルのモードを制御するために、パケット化サブシステム 1 8 4 0 と通信する。

20

【 0 1 3 8 】

コールの開始と終了用にパケット化セッションの設定と破棄を制御するために、信号サブシステム 1 8 7 0 は、パケット化サブシステム 1 8 4 0 とも通信する。各サブシステム 1 8 0 5、1 8 4 0、1 8 7 0 は、更に、メディアの処理と伝送をもたらすために、異なるタスクを行うように設計されたコンポネント 1 8 2 0 の一列からなる。各コンポネント 1 8 2 0 は、A P I を通して、任意の他のモジュール、サブシステム、又はシステムとの通信を処理し、前に議論したように、1 個のハードウェア素子上に又は複数のハードウェア素子を横断して常駐するコンポネントにもかかわらず、実質的に不変及び一貫して残る。

30

【 0 1 3 9 】

図 1 9 に図示した例示の実施の形態において、メディア処理サブシステム 1 9 0 5 は、システム A P I コンポネント 1 9 0 7、メディア A P I コンポネント 1 9 0 9、リアルタイムメディアカーネル 1 9 1 0、及び音声処理コンポネントからなる。この音声処理コンポネントは、回線エコキャンセルコンポネント 1 9 1 1 と、音声アクティビティ検出用専用コンポネント 1 9 1 3、コンフォート雑音生成 1 9 1 5 用の専用コンポネント、及び不連続伝送マネジメント 1 9 1 7 用の専用コンポネントと、二重トーン(D T M F / M F)、コール・プログレス、コール待機、及びコーラー識別等のトーン信号機能をハンドルする専用のコンポネント 1 9 1 9、及び、音声 1 9 2 7、ファックス 1 9 2 9、及び他のデータ 1 9 3 1 用のメディアのエンコード化とデコード化機能用のコンポネントとを含む。

40

【 0 1 4 0 】

システム A P I コンポネント 1 9 0 7 は、システムワイドマネジメントの提供と、外部アプリケーションと個々のコンポネントの間の通信確立を含む個々のコンポネントの密着相互関係の実現、ランタイムコンポネントの追加と削除、中央サーバーからコードのダウンロード、及び、他のコンポネントから要求するコンポネントの M I B へのアクセスができなければならない。メディア A P I コンポネント 1 9 0 9 は、リアルタイムメディアカーネル 1 9 1 0 と個別音声処理コンポネントと相互作用する。リアルタイムメディアカーネル 1 9 1 0 は、メディア処理リソースの割り当てをし、各メディア処理素子上のリソースの利用を監視し、及び実質的に最大密度と効率のロードバランスを行う。

50

【 0 1 4 1 】

音声処理コンポーネントは、マルチ処理素子を横断して分散していることができる。信号エコから削除するために、回線エコキャンセルコンポーネント 1 9 1 1 は、アダプティブ・フィルタ・アルゴリズムを有効にする。信号エコは、入力信号の発信元へ変調入力信号が反射及び / 又は再伝送された結果として起こりえるものである。好ましい実施の形態において、回線エコキャンセルコンポーネント 1 9 1 1 は、次のフィルタ化アプローチを実装するようにプログラムされている。フィルタ化アプローチは、長さ N のアダプティブフィニットインパルスレスポンス (F I R) フィルタは、最小二乗平均アプローチ等のコンバージェンス・プロセスを利用し集中したものである。受信パス上の遠端信号の個別サンプルを取得し、計算されたフィルタ係数でこのサンプルを畳み込み、及び、そして、送信チャネル上の受信信号から結果エコ推定値を適当な時間で差し引くことで、このアダプティブフィルタは、フィルタされた出力を生成する。

10

【 0 1 4 2 】

畳み込みが完了すると、フィルタは、ARMA-Levinsonアプローチの生成を利用して、無限インパルス応答 (I I R) フィルタへ、変換される。動作の間に、データが、入力ソースから受信され、LMSアプローチを利用し、ポールを固定して、IIRフィルタのゼロをアダプトするのに使われる。この適応処理は、畳み込みされたフィルタ係数のセットを生成し、これの係数は、データをフィルタするのに使われる変調信号を作成するために、入力信号に連続して応用される。変調信号と実際の受信信号の間のエラーは、モニタされ、IIRフィルタのゼロをアダプトするのに更に利用される。測定されたエラーは、予め設定された閾値より大きい場合、畳み込みは、FIR畳み込みステップへ戻って再初期化される。

20

【 0 1 4 3 】

音声アクティビティ検出コンポーネント 1 9 1 3 は、到着データを受信し、音声か、その他の種類の信号、例えば雑音、が受信データに存在するかを、特定データパラメータの分析に基づいて判定する。伝送から受信したバックグラウンド雑音に対応する雑音を生成させるように、デコーダを可能にする情報を含むサイレンス挿入ディスクリプタ (S I D) を送信するために、コンフォート雑音生成コンポーネント 1 9 1 5 は動作する。目立たない可聴ノイズのオーバーレイは、接続が生きているか切断されているかの識別に関してユーザを手助けし役立つものである。SIDフレームは、例えば、G.729Bコーデック仕様による約 15 ビットと、一般的に小さい。好ましくは、アップデートされたSIDフレームは、バックグラウンド雑音に十分な変更があるときデコーダに送信される。

30

【 0 1 4 4 】

D T M F / M F の認識、コール進行、コール待機、及びコーラー識別を含むトーン信号コンポーネント 1 9 1 9 は、2 ステージダイヤルの処理 (D T M F トーンの場合)、音声メールの検索、及び到着コールの受理 (コール待機の場合) 等特定のアクティビティ又はイベントの信号であるトーンを遮断するように動作し、知的マナーのアクティビティ又はイベントの本質を受信デバイスへ通信し、よって、音声ストリーム中の他の素子としてのトーン信号をエンコード化することを回避する。

【 0 1 4 5 】

実施の形態において、トーン信号コンポーネント 1 9 1 9 は、複数のトーンを認識することができ、よって、一つのトーンが受信されると、トーンの長さ等の他の識別部と一緒にトーンを識別する複数の R T P パケットを送信する。識別されたトーンの発生で、RTPパケットは、このトーンと関連されたイベントを受信ユニットへ運ぶ。2 つ目の実施の形態において、トーン信号コンポーネント 1 9 1 9 は、周波数、量、及び継続時間等のトーンの性質の詳細を示す動的 R T P プロファイルを生成することができる。トーンの性質の詳細によって、RTPパケットは、トーンを受信ユニットへ伝達し、受信ユニットがトーンを翻訳することを許可し、従って、イベント又はアクティビティがこれに関連する。

40

【 0 1 4 6 】

音声 1 9 2 7、ファックス 1 9 2 9、及び他のデータ 1 9 3 1 用のメディアのエンコー

50

ドとデコード機能用のコンポネント、ここでコーデックと参照されたもの、は、音声、ファックス、及び他のデータのエンコードとデコード用のG.711等の国際電気通連合（ITU）の標準仕様に従って考案されたものである。音声、データ、及びファックス通信のコーデックの例は、ITU標準G.711であり、いつもパルスコード変調と参照されている。G.711は、サンプルレート8000Hzの波形コーデックである。同一の量子化では、96kbpsのビットレートの結果として、信号レベルは、一般的に、サンプル当たりに、少なくとも12ビットを要求する。

同一ではない量子化では、一般的なように、信号レベルは、64kbpsレートに至って、サンプル当たりに、約8ビットを要求する。

【0147】

他の音声コーデックは、ITU標準G.723.1、G.726、及びG.729A/B/Eを含むことは、当業者に明らかである。他のITU標準は、ファックスメディア処理コンポネント1929によってサポートされ、T.38と、V.17、V.90、及びV.34等のV.x.x標準を含むことが好ましい。ファックス用の例示コーデックは、ITU標準T.4とT.30を含む。ファックスマシンがどのように書類をスキャンしたか、スキャン線のコーディング、利用された変調、及び利用された伝送スキームを明確にすることで、T.4は、ファックスイメージのフォーマット、送信者から受信者へのその伝送を取り扱う。他のコーデックは、ITU標準T.38を含む。

【0148】

図20に示すように、例示の実施の形態において、パケット化サブシステム2040は、システムAPIコンポネント2043、パケット化APIコンポネント2045、POSIX API 2047、リアルタイムオペレーティングシステム（RTOS）2049、バッファとトラヒックマネジメントとしてサービス機能の品質を行う専用のコンポネント2050、IP通信を実現するコンポネント2051、ATM通信を実現するコンポネント2053、リソース予約プロトコル（RSVP）用のコンポネント2055、及びマルチプロトコルラベルスイッチング（MPLS）用のコンポネント2057からなる。

【0149】

パケット化サブシステム2040は、ATMとIPネットワークへの伝送用に、エンコードされた音声/データをパケットへカプセル化することを容易にし、パケット遅延、パケット損失、及びジッタマネジメントを含むサービス素子の特定品質をマネージし、及び、制御ネットワークトラヒックヘトラヒックシェーピングを実装する。メディア処理サブシステム（図示せず。）と信号サブシステム（図示せず。）と通信することで、パケット化APIコンポネント2045は、パケット化サブシステム2040へのアクセスを容易にする外部アプリケーションを提供する。POSIX API 2047レイヤは、オペレーティングシステムを、コンポネントから分離し、一貫したOS APIを有するコンポネントを提供し、よって、ソフトウェアが他のOSプラットフォームに移植されたとき、このレイヤ上のコンポネントが変更されないことを保証する。RTOS 2049は、ハードウェア命令へソフトウェアコードの実装を容易にするOSとして振舞う。

【0150】

IP通信コンポネント2051は、TCP/IP、UDP/IP、及びRTP/RTCPプロトコル用のパケット化をサポートする。ATM通信コンポネント2053は、AAL1、AAL2、及びAAL5プロトコル用のパケット化をサポートする。パケットエンジンのRISCプロセッサ上に、RTP/UDP/IPスタックが実装されていることが好ましい。ATMスタックの一部は、RISCプロセッサ上に実装され、ATMスタックの計算集中する部分がATMエンジン上に実装されていることも好ましい。

【0151】

RSVP 2055用のコンポネントは、IPネットワーク用のリソース予約テクニックを指定する。RSVPプロトコルは、メディアを参加者間に交換する任意の試みの前に、リソースが特定セッション（又は複数のセッション）用に予約されることができるようになる。サービスの2レベルは、一般的に、実現される。この2レベルは、従来の回路交換

10

20

30

40

50

ネットワークによって達成された品質をエミュレートする保証レベルと、及びベストエフォートアンドノード条件のネットワークで達成したサービスのレベルと実質的に等しい、制御されたロードを含む。動作中、送信ユニットは、P A T Hメッセージを受信ユニットへ複数のルータを介して発行する。

【 0 1 5 2 】

P A T Hメッセージは、送信者が送信するために予定しているもので、バンド幅要求とパケットサイズを含むデータについて詳細を提供するトラフィック仕様 (T s p e c) を含む。伝送パスに従った各 R S V P 有効ルータは、P A T Hメッセージ (前のルータ) の前のソースアドレスを含むパスステートを確立する。受信ユニットは、T s p e c と、コントロールされたロード又は保証されたサービス等の要求された予約サービスの種類について 10 の情報を有するフロー仕様を含む予約要求 (R E S V) に反応する。R E S V メッセージは、同じルータパスウェイに沿って送信ユニットへ戻る。各ルータで、リソースが利用可能であり、かつ、受信者は要求する権利を有するように提供された要求リソースは、割り当てられる。R E S V は、送信ユニットに、必要な、必須のリソースが予約されたことを示す確認と一緒に最終的に到着する。

【 0 1 5 3 】

ソースから目的地へのパスに次のルータを判定する目的のために、MPLS 2 0 5 7 用のコンポーネントは、ネットワークへの入力でトラフィックをマークするように動作する。もっと詳しくは、M P L S 2 0 5 7 コンポーネントは、I P ヘッダのフロント内のパケットへパケットを転送するのにルータが必要とする全ての情報を含むラベルを添付する。ラベルの 20 値は、パス内の次のホップと、次のルータへパケットを転送するための基礎を調べるのに利用される。従来のIPルーティングは、従来I P ルーティングのような最長マッチではなく、的確なマッチ用に探すMPLSプロセス以外、同様に動作する。

【 0 1 5 4 】

図 2 1 に示すように、例示の実施の形態において、信号サブシステム 2 1 7 0 は、ユーザアプリケーション A P I コンポーネント 2 1 7 3、システム A P I コンポーネント 2 1 7 5、P O S I X A P I 2 1 7 7、リアルタイムオペレーティングシステム (R T O S) 2 1 7 9、信号化 A P I 2 1 8 1、A T M ネットワーク 2 1 8 3 用の信号化スタックと、I P ネットワーク 2 1 8 5 用の信号化スタックのような信号化機能を行うための専用のコン 30 ポネント、及びネットワークマネジメントコンポーネント 2 1 8 7 からなる。信号化 A P I 2 1 8 1 は、A T M ネットワーク 2 1 8 3 用の信号化スタックと、I P ネットワーク 2 1 8 5 用の信号化スタックへの簡単なアクセスを提供する。

【 0 1 5 5 】

信号化 A P I 2 1 8 1 は、マスターゲートウェイと N 個のサブゲートウェイからなる。シングルマスタゲートウェイは、これと連携した N サブゲートウェイを有することができる。マスターゲートウェイは、A T M 又は I P ネットワークから来る到着コールの分離を行い、そのコールを、リソースが利用できるサブゲートウェイへルーティングする。サブゲートウェイは、全てのアクティブ終了用にステートマシンを維持する。サブゲートウェイは、たくさんの停止をハンドルするために複製されることができる。この設計を利用して、マスターゲートウェイとサブゲートウェイは、シングルプロセッサ上又はマルチプロセ 40 ッサを横断して存在でき、よって、たくさんの停止と実質的拡張性の供給のために、信号の同様な処理を可能にする。

【 0 1 5 6 】

ユーザアプリケーション A P I コンポーネント 2 1 7 3 は、メディア処理サブシステム、パケット化サブシステム、及び信号化システム各々からなる全体ソフトウェアシステムとインターフェースするために外部アプリケーション用の手段を提供する。ネットワークマネジメントコンポーネント 2 1 8 7 は、シンプルネットワークマネジメントプロトコル (S N M P) のサポートを通して、ローカルとリモート構成、及びネットワークマネジメントをサポートする。ネットワークマネジメントコンポーネント 2 1 8 7 の構成部分は、構成とネットワークマネジメントタスクを処理するために他のコンポーネントのどれともと通信で 50

き、特定コンポーネントの追加又は移動等のタスクのためのリモート要求をルートすることができる。

【0157】

A T Mネットワーク2183用の信号化タスクは、A A L 1、A A L 2、及びA A L 5プロトコルを利用して、データの通信用のユーザネットワークインターフェース（U N I）用のサポートを含む。ユーザネットワークインターフェースは、ソフトウェアシステムとハードウェアシステムからなるゲートウェイシステムと、A T Mネットワークとの間の手続とプロトコル用の仕様からなる。I Pネットワーク2185用の信号化スタックは、メディアゲートウェイ制御プロトコル（M G C P）、H . 3 2 3、セッション初期化プロトコル（S I P）、H . 2 4 8、及びネットワークベースコール信号化（N C S）を含む複数の認められた標準のためのサポートを含む。

10

【0158】

M G C Pは、マルチ特殊デバイスを横断して、分散され得るコンポーネントである、プロトコル変換の仕様を定めている。M G C Pは、外部制御と、マルチサービスパケットネットワークの境界で動作するメディアゲートウェイ等のデータ通信機器のマネジメントを可能にする。H . 3 2 3 標準は、ネットワーク上にリアルタイム音声とビデオを伝送するための仕様で、パケットネットワーク等のサービスの保証レベルを提供する必要ない、コール制御のセット、チャネルセットアップ、及びコーデック詳細を定義している。S I Pは、I Pベースネットワーク上に会議と電話セッションの確立、変調、及び停止のためのアプリケーションレイヤプロトコルであり、交渉特徴の機能と、セッションが確立されたときセッションの機能を有する。H . 2 4 8は、M G C Pの実装の下で推薦を提供する。

20

【0159】

更に、拡張性と実装を容易に実現するために、本ソフトウェア方法とシステムは、利用されている処理ハードウェアについての特定知識を要求しない。図22に示すように、一般的な実施の形態において、ホストアプリケーション2205は、D S P 2 2 1 0と、中断機能2220と共有メモリ2230を介して、相互作用する。図23に示すように、同じ機能は、同じプロセッサ2315上にアプリケーションコード2320として分離独立スレッドとしてのバーチャルD S P プログラム2310の動作を通して、シミュレーション実行によって達成できる。このシミュレーション実行は、タスクキューミューテックス2330と条件変数2340によって可能になる。タスクキューミューテックス2330は、バーチャルD S P プログラム2310とリソースマネージャ（図示せず。）の間に共有されたデータを保護する。条件変数2340は、アプリケーションがバーチャルD S P 2310と同期化することを許可し、他の意味で言えば、図22の中断2220の機能と同様である。

30

【0160】

第2の例示の応用

序文

現在、ビデオと音声ポートは分離している。ビデオ伝送用にデバイスを接続するのに、大きくて、値段の高いビデオケーブルを利用している。加えて、V G AとD V I等の共通のビデオ接続は、音声データを取り扱わない。V G Aはアナログ伝送であるため、実質的に信号の劣化無く伝送するには、利用できるケーブルの長さが、限定されている。広く採用された標準、U S Bと特にU S B 2 . 0、を、音声とビデオポートの結合されたポートとして、利用することが好ましい。現在、そのような利用を許可する統合チップソリューションは提供されていない。

40

【0161】

本発明は、損失無しのグラフィックコーデックに加えて、コーデック（特に、MPEG2/4、H.264）のビデオタイプもサポートするシステム又はチップである。また、データストリーム間を識別する新規のプロトコルも含む。特に、エンコーダとデコーダの両サイドに存在する新規システム多重器は、ビデオ、音声、グラフィック及び制御の4つのデータストリームの各々を識別とマネージすることができる。本システムは、リアルタイム又はリア

50

ルタイムでない環境で利用できる。

【0162】

例えば、エンコードされたストリームは、将来のディスプレイ用に格納されること、又はリアルタイムストリーミング若しくはストリーミングではないアプリケーション用に任意のタイプのネットワーク上にストリームされることができる。本発明においては、USBインターフェースは、圧縮なしで、標準定義ビデオの音声と一緒に送信することに利用できる。音声と一緒に圧縮無しの標準定義ビデオは、250Mbps以下で、1秒当たり248キロビットの圧縮音声を要求する。高定義ビデオは、損失無しのグラフィック圧縮を利用して同様に伝送されることができる。

【0163】

この革新的なアプローチによって、数々の応用が可能になる。例えば、モニタ、プロジェクタ、ビデオカメラ、セットトップボックス、コンピュータ、デジタル録画器、及びテレビが、USB接続のみを必要とし、他の音声又はビデオポートを追加して要求することがなくなる。グラフィックオーバーレイに頼るのと対照的に、マルチメディアシステムは、統合されたグラフィック又は標準ビデオと一緒にテキスト・インテンシブ・ビデオによって、改良できる。その結果、TVへのUSB、及び、コンピュータアプリケーションへのUSB、及び/又は、TVへのインターネットプロトコル(IP)、及び、コンピュータアプリケーションへのIPを可能にする。IP通信を利用した場合、データは、パケット化され、サービス品質(QoS)ソフトウェアでサポートされる。

【0164】

接続の簡易化及び改良は別として、本発明は、今まで、実現されていないユーザアプリケーションを実現する。1つの実施の形態において、本発明は、分散デバイス又はルータを要求することなく、家庭内の複数のデバイスの無線ネットワークを実現する。無線送信機を有する本発明の統合チップからなるデバイスは、セットトップボックス、モニタ、ハードディスク、テレビ、コンピュータ、デジタル録画器、ゲーム機(Xbox, Nintendo, Playstation)等の各デバイスのポートにアタッチされ、及び、リモートコントロール、赤外線コントローラ、キーボード又はマウス等の制御デバイスを利用して制御可能である。ビデオ、グラフィック、及び音声は、任意のデバイスから任意の他のデバイスへ、コントローラデバイスを利用して、ルーチングされることができる。制御デバイスは、任意のネットワークされたデバイスへデータを入力するのに利用できる。

【0165】

よって、シングルモニタは、コンピュータ、デジタル録画器、セットトップボックス、ハードディスクドライブ、又は他のデータソースを含む複数の異なるデバイスへネットワークされることができる。シングルプロジェクタは、コンピュータ、デジタル録画器、セットトップボックス、ハードディスクドライブ、又は他のデータソースを含む複数の異なるデバイスへネットワークされることができる。シングルTVは、コンピュータ、セットトップボックス、デジタル録画器、ハードディスクドライブ、又は他のデータソースを含む複数の異なるデバイスへネットワークされることができる。追加して、シングルコントローラは、複数のTV、モニタ、プロジェクタ、コンピュータ、デジタル録画器、セットトップボックス、ハードディスクドライブ、又は他のデータソースの制御に利用できる。

【0166】

もっと詳しくは、図27に図示したように、デバイス2705は、任意のアナログ若しくはデジタルビデオ、グラフィック又は音声メディアを含むメディア、及び、任意の種類の制御情報(赤外線、キーボード、マウス)2703を、任意の無線若しくは有線ネットワーク又は直接接続を通して、任意のソース2701から受信できる。伝送されるメディアに変更又は作用するために、デバイス2705は、そして、コントローラ2703からの制御情報を処理し、メディアソース2701へ伝送する。このデバイスは、任意の種類のディスプレイ2709又は任意の種類のストレージデバイス2709へ、メディアを伝送することができる。図27の各素子それぞれは、ローカル又はリモートであることが

10

20

30

40

50

でき、有線若しくは無線ネットワーク又は直接接続を介して、データ通信している。

【0167】

この新規発明は、従って、完全に分離及び独立のコントローラ、メディアソース、及びディスプレイを実現し、更に、全てのメディアタイプの処理をシングルチップへ統合する。1つの実施の形態において、ユーザは、デバイス2705の手で持って操作できるバージョンを有する。デバイス2705は、少なくとも1つのテレビリモートコントローラ、キーボード、又はマウスに既存のコントロール機能用に提供されたコントローラである。デバイス2705は、テレビリモートコントローラ、キーボード、又はマウスの機能の2又は全3を結合することができる。デバイス2705は、本発明の統合チップを含み、小さい画面、データストレージ、及び、従来の個人情報端末又は携帯電話器にある他の機能をオプションで含むことができる。

10

【0168】

デバイス2705は、コンピュータ、セットトップボックス、テレビ、デジタル録画器、DVD再生器、又は他のデータソースであることができるユーザのメディアソース2701とデータ通信している。ユーザのメディアソース2701は、リモートの場所に位置することができ、無線ネットワークを介してアクセスできる。ユーザのメディアソース2701は、本発明の統合チップをも有する。このデバイスは、ホテル、家庭、ビジネス、飛行機、レストラン、又は他のリテール場所等の任意の場所に配置された、任意の種類のモニタ、プロジェクタ、又はテレビ画面であることができるディスプレイ2709とデータ通信している。ディスプレイ2709は、また、本発明の統合チップを有する。

20

【0169】

ユーザは、任意のグラフィック、ビデオ、又は音声情報に、メディアソース2701からアクセスでき、ディスプレイ2709上にこれを表示する。また、ユーザは、メディアソース2701からのメディアのコーディングの種類を変更でき、リモートに配置され、有線若しくは無線ネットワーク又は直接接続でアクセス可能なストレージデバイス2710内にこれを格納する。各メディアソース2701とディスプレイ2709内には、統合チップは、デバイスに統合され、又はUSBポート等のポートを介して外部接続されていることができる。

【0170】

これらのアプリケーションは、家庭に限定されるものではなく、マルチデータソースとモニタのリモートモニタリングとマネジメント用に病院等のビジネス環境にも利用できる。通信ネットワークは、任意の通信プロトコルであることができる。一つの応用は、シングルコントローラで制御されることで、任意のネットワークされたモニタに伝送可能なデータで、X線機器、金属検出器、ビデオカメラ、トレース検出器、及び他のデータソースからのデータと一緒にセキュリティネットワークが確立される。

30

【0171】

ハイレベルアーキテクチャ

図25に図示したように、本発明の第2実施の形態2500のブロックダイアグラムが図示されている。伝送端でのシステムは、メディア処理デバイス2515へ集合され統合された、提供又は統合されることが可能なもの等のメディアソース2501、メディア処理デバイス、複数のメディア前処理ユニット2502、2503、ビデオ及びグラフィックエンコーダ2504、音声エンコーダ2505、多重器2506、及び制御ユニット2507からなる。ソース2501は、これが処理され、ビデオ及びグラフィックエンコーダ2504及び音声エンコーダ2505へ転送される前処理ユニット2503、303へグラフィック、テキスト、ビデオ、及び/又は音声データを送信する。

40

【0172】

ビデオとグラフィックエンコーダ2505及び音声エンコーダ2506は、前処理されたマルチメディアデータに圧縮又はエンコーディング動作を行う。2つのエンコーダ2504、2505は、更に、多重器の機能を可能にするために、それとデータ通信している制御回路を備えている多重器2506に接続される。多重器2506は、シングルデータ

50

ストリームを形成するために、ビデオとグラフィックエンコーダ 2504 及び音声エンコーダ 2505 からのエンコードされたデータを結合する。これは、マルチデータストリームが、任意の適当なネットワーク 2508 の物理又は MAC レイヤ上で 1 つの場所から他へ送信されることを可能にする。

【0173】

受信端では、システムは、メディア処理デバイス 2516 へ集合して統合された分離器 2509、ビデオとグラフィックデコーダ 2511、音声デコーダ 2512 及び複数のポスト処理ユニット 2513、2514 からなる。ネットワーク 2508 上に存在するデータは、分離器 2509 によって受信され、ハイデータレートストリームを元のローレートストリームへ分解し、データストリームを元のマルチストリームへ変換される。マルチストリームは、今度、異なるデコーダ、例えば、ビデオとグラフィックデコーダ 2511 及び音声デコーダ 2512、へパスされる。対応するデコーダは、圧縮されたビデオとグラフィック及び音声データを適当な解凍アルゴリズム、好ましくは LZ77、に従って、解凍し、解凍されたデータがディスプレイ及び / 又は更なるレンダリングに用意されたポスト処理ユニット 2513、2514 へそれらを提供する。

10

【0174】

メディア処理デバイス 2515、2516 の両方は、ハードウェアモジュール又はソフトウェアサブルーチングであることができるが、好ましい実施の形態において、ユニットは、シングル統合チップへ統合される。統合チップは、データストレージ又はデータ伝送システムの一部として利用される。

20

【0175】

任意の従来のコンピュータ互換性のポートは、本統合システムと一緒にデータを伝送するのに利用できる。統合チップは、USBポート、好ましくは高速のデータ送信用に USB 2.0、と結合されていることができる。ベーシック USB コネクタは、音声に加えて、全てのビジュアルメディアを伝送するのに利用でき、よって、分離されたビデオとグラフィックインターフェースの必要性を無くす。標準定義ビデオとハイ定義ビデオは、圧縮無しで又は損失無しのグラフィック圧縮を利用して、USB で送信されることができる。

【0176】

図 26 に示すように、統合チップ 2600 は、ビデオデコーダ 2601、ビデオトランスコーダ 2602、グラフィックコーデック 2603、音声プロセッサ 2604、ポストプロセッサ 2605、及びスーパーバイゾリ RISC 2606 を含む複数の処理レイヤ、並びに、音声ビデオ入力 / 出力 (LCD、VGA、TV) 2608、GPIO 2609、IDE (Interactive Development Environment) 2610、イーサネット 2611、USB 2612、及び赤外線、キーボード、及びマウスのコントローラ 2613 を含む複数のインターフェース / 通信プロトコルからなる。インターフェース / 通信プロトコルは、ノンブロッキングクロス接続 2607 を通して複数の処理レイヤとデータ通信する。

30

【0177】

統合チップ 2600 は、SXGA グラフィックプレイバック、DVD プレイバック、グラフィックエンジン、ビデオエンジン、ビデオポストプロセッサ、DDR SDRAM コントローラ、USB 2.0 インターフェース、クロス接続 DMA、音声 / ビデオ入出力 (VGA、LCD、TV)、ローパワー、280 ピン BGA、1600 x 1200 グラフィックオーバー IP、リモート PC グラフィックとハイ定義イメージ、1000 x までの圧縮、802.11 上の伝送の実現、統合 MIPS クラス CPU、アプリケーションソフトウェア統合の容易化用の Linux 及び WinCE のサポート、セキュアデータ伝送用のセキュリティエンジン、有線及び無線ネットワーキング、ビデオ & 制御 (キーボード、マウス、リモート)、及びイメージ向上用のビデオ / グラフィックポストプロセッサを含む数々の利点特徴を有する。

40

【0178】

ここで併合したビデオコーデックは、数ある中で特に MPEG-2、MPEG-4、WM-9、H.264、AVS、ARIB、H.261、H.263 等の全てブロックベース圧縮アルゴリズムでデコードするコー

50

デックを含むことができる。加えて、コーデックに基づいた標準の実装に、本発明は、独自に開発したコーデックを実装できることは明である。そのような応用において、低複雑度のエンコーダは、PC内でビデオフレームを取得し、それらを圧縮し、それらをIPでプロセッサへ伝送する。プロセッサは、伝送をデコードし、プロジェクタ、モニタ、又はTVを含む任意のディスプレイ上にPCビデオを表示するデコーダを操作する。ラップトップ内に実行しているこの低複雑度のエンコーダと、TVに接続されている無線モジュールと通信しているプロセッサを備えることで、人々は、写真、ホームムービー、DVD、インターネットからダウンロードしたコンテンツ等のPCベース情報を大画面TV上に共有できる。

【0179】

ここで組み込まれたグラフィックコーデックは、1600×1200グラフィックエンコーダと1600×1200グラフィックデコーダを含むことができる。トランスコーダは、フレームレート、フレームサイズ、又はビットレート変換を利用した高品質の任意のコーデックから他の任意のコーデックへの変換を可能にする。クチャー・イン・ピクチャーとグラフィックデコードを有する2つの同期高定義デコーダも、ここで含まれることができる。

【0180】

本発明は、更に、AC-3, AAC, DTS, Dolby, SRS, MP2, MP3及びWMA等のプログラム可能な音声コーデックのサポートを含むことが好ましい。インターフェースは、また、10/100 Ethernet (登録商標) (x2), USB 2.0 (x2), IDE (32-bit PCI, UART, IrDA), DDR, Flash; VGA, LCD, HDMI (入力と出力), CVBS(入力と出力),及びS-video (入力と出力)等のビデオ;並びに、音声を含むことができる。Macrovision 7.1, HDCP, CGMS、及びDTC P等を含む既知の数々のセキュリティメカニズムを利用したセキュリティも提供される。

【0181】

ビデオが圧縮されていない場合、受信器とインターフェースでUSBポートだけが要求され、RGBをディスプレイへ、及び、音声を音声デコーダへ分散するかを注目すべきである。もし、ビデオが圧縮された場合、グラフィック解凍ユニットは受信機でまた要求される。改良されたビデオ品質は、エラー隠蔽、デ・ブロッキング、デ・インタレース、アンチフリッカー、スケール化、ビデオエンハンスメント、及びカラー空間変換等のポスト処理テクニックを通して配達される。特に、ビデオポスト処理は、ジッタ等の不要な成果物を取り除くインテリジェント・フィルタリングを含む。

【0182】

新規の統合チップアーキテクチャは、コーデック計算、及び、コーデック関連の決定をアドレスしている集中型マイクロプロセッサベース制御をハンドルするアプリケーション特定分散データパスを提供する。結果アーキテクチャは、コーディング、コーデックの種類の増加、コーデック当たりの処理要求の膨大量、データレート要求の増加、データ品質(雑音の多い、クリーン)の異なり、複数の標準、及び複雑な機能に関して複雑さの増加をハンドルできる。

【0183】

他の特性の中で、並列処理の実質的な度合いを有するので、新規アーキテクチャは、上述の利点を達成できる。並列処理の第1レベルは、とても特殊のタスクをするために、知的に起動し、又はスケジュールされ、又はデータパスするRISCマイクロプロセッサからなる。並列処理の第2レベルは、フルロードされたデータパス(後で、図示し議論する。)をキープするロードスイッチマネジメント機能からなる。並列処理の第3レベルは、動き推定又はエラー隠蔽(後で、図示し、議論する)等の特殊処理タスクを行うのに効率的に特化したデータレイヤ自身からなる。

【0184】

別の言い方をすれば、全体的なメディアプロセッサアーキテクチャにおいて、粗並列処理(トップレベルの制御インテンシブステートマシンで実行し、プログラミングのモデ

10

20

30

40

50

ルをシンプルにキープするエンコード/デコードエンジン)、中程度並列処理(100%近くの効率の任意のブロックDC Tベースコーデックの実装及びスケジューリングができるメディアスイッチ)、及び密並列処理(データバス等の複雑な数値計算機能を実行する最適化されたマクロコードを実行するプログラム可能な機能ユニット)を提供するためのプログラム可能なブロックがある。この特殊なアーキテクチャは、固定機能のダイサイズと能力での、完全プログラマビリティを実現する。

【0185】

図30に示すように、統合チップの他の観点を提供されている。DPLP3000は、通信データバスを介して互いに通信し、及び処理レイヤコントローラ3007と中央ダイレクトメモリアクセス(DMA)コントローラ3010とは、通信データバスと処理レイヤインターフェース3015を介して通信している複数の処理レイヤ3005からなる。各処理レイヤ3005は、CPU3004と通信しているCPUインターフェース3006と順番で通信している。各処理レイヤ3005内において、複数のパイプライン処理ユニット3030は、複数のプログラムメモリ3035とデータメモリ3040と、通信データバスを介して、通信している。各プログラムメモリ3035とデータメモリ3040は、通信データバスを介して、少なくとも1個のPU3030によってアクセスされることが好ましい。各PU3030、プログラムメモリ3035、及びデータメモリ3040は、外部メモリ3047と、通信データバスを介して、通信している。

10

【0186】

好ましい実施の形態において、処理レイヤコントローラ3007は、各処理レイヤ3005への、タスクのスケジューリング及び処理タスクの分散をマネージする。処理レイヤコントローラ3007は、ラウンドロビン式で、プログラムメモリ3035及びデータメモリ3040へ及びからのデータとプログラムコード転送要求を解決する。この解決に基づいて、処理レイヤコントローラ3007は、ユニットがメモリへどのように直接アクセスするか、すなわちDMAチャンネル(図示せず。)、を定義したデータバスウェイを充填する。

20

【0187】

処理レイヤコントローラ3007は、これのデータフローに従って命令をルーティングし、リードイン要求、ライトバック要求、及び命令転送等の全てのPU3030用の要求ステータスのトラックをキープするために命令デコードを行うことができる。処理レイヤコントローラ3007は、更に、DMAチャンネルのプログラミング、信号生成の開始、各処理レイヤ3005内のPU3030用のページステータスのメンテナンス、スケジューラ命令のデコード、及び各PU3030のタスクキューから及びへのデータの移動のマネージング等のインターフェース関連機能を処理することができる。上述の機能を行うことで、処理レイヤコントローラ3007は、実質的に、複雑ステートマシンを各処理レイヤ3005に存在するPU3030と関連付けする必要性を無くす。

30

【0188】

DMAコントローラ3010は、ローカルメモリバッファPUと、SDRAM等の外部メモリの間のデータ転送をハンドルするためのマルチチャンネルDMAユニットである。各処理レイヤ3005は、PUローカルメモリバッファへ及びからデータを転送するために割り当てられたもので、独立したDMAチャンネルを有する。外部メモリへアクセスするDMA内のチャンネル間の、ラウンドロビン解決のシングルレベル等の解決処理があることが好ましい。DMAコントローラ3010は、PU3030と処理レイヤ3005を横断したラウンドロビン要求解決用のハードウェアサポートを提供する。

40

【0189】

各DMAチャンネル機能は、互いに独立している。例示の動作において、ローカルメモリのアドレス、外部メモリのアドレス、伝送のサイズ、転送の方向、すなわちDMAチャンネルが外部メモリからローカルメモリへ、又は逆方向に、データを転送しているか、及び、PU3030用にどのぐらいの転送が要求されたかを利用することで、ローカルPUメモリと外部メモリの間の転送を処理することが好ましい。DMAコントローラ3010は、

50

更に、プログラムコードフェッチ要求用のプライオリティの解決、リンクリストトラバース及びDMAチャンネル情報生成の処理、及びDMAチャンネルプリフェッチ及び完了した信号生成の実行が可能であることが好ましい。

処理レイヤコントローラ3007とDMAコントローラ3010は、複数の通信インターフェース3060、3090と、制御情報とデータ伝送が現れるたびに、通信している。

【0190】

DPLP3000は、処理レイヤコントローラ3007とDMAコントローラ3010と通信し、及び、外部メモリ3047と通信している外部メモリインターフェース(SDRAMインターフェース等)3070を含むことが好ましい。

10

【0191】

各処理レイヤ3005内において、処理タスクの定義されたセットの処理用に特別に設計された複数のパイプラインPU3030がある。その点で、PUは、一般目的プロセッサではなく、どの処理タスクを処理するのに利用することができない。特定機能ユニットの共通性で生じる特定処理タスクの調査と分析は、結合されたとき、それらの特殊処理タスクの存在を最適処理することができる特殊PUを生じる。各PUの命令セットアーキテクチャは、コンパクトコードをもたらす。コード密度の増加は、要求メモリの減少と、従って、要求エリア、パワー、及びメモリトラフィックの減少をもたらす。

【0192】

各処理レイヤにおいて、PU3030は、先入れ先出し(FIFO)タスクキュー(図示せず。)を通して、処理レイヤコントローラ3007によってスケジュールされたタスク上に動作することが好ましい。パイプラインアーキテクチャは、パフォーマンスを改善する。パイプライン化は、マルチ命令が実行時にオーバーラップされる実装テクニックである。コンピュータパイプラインにおいて、パイプラインの各ステップは、命令の一部を実行する。アセンブリラインのように、異なるステップは、異なる命令の異なる部分を平行で実行する。これらの各ステップは、パイプステージ又はデータセグメントと呼ばれる。ステージは、パイプを形成するために、次のステージに接続されている。プロセッサ内に、命令はパイプの一端から入り、ステージを通して進行し、他端から出る。命令パイプラインのスループットは、パイプラインから命令がどのぐらいの頻度で出ているかで定義される。

20

30

【0193】

追加して、各処理レイヤ3005内には、分散されたメモリバンク3040のセットがあり、処理済み情報と、割り当てられた処理タスクを処理するのに要求された他のデータのローカルストレージを可能にする。離散処理レイヤ3005内に分散されたメモリ3040を有することによって、DPLP3000は、柔軟になり、生産時、高い生産収率をもたらす。従来、メモリブロックが増加すると、悪いウェハ(破損したメモリブロックが原因)の確率も増加するため、特定DSPチップはシングルチップ上に9メガバイトより大きいメモリをもって生産されなかった。

【0194】

本発明において、余分な処理レイヤ3005を取り入れることで、DPLP3000は、12メガバイト以上のメモリを有して生産できる。余分な処理レイヤ3005を取り入れることは、大きなメモリのチップ生産を可能にする。これは、メモリブロックのセットが悪いと、チップ全体を捨てるより、破損メモリユニットが見つかった分散処理レイヤは利用しないで、他の処理レイヤが代わりに利用できるためである。マルチ処理レイヤの拡張性の本質は、余分なものを可能にし、よって、高い生産収率を実現する。

40

【0195】

一つの実施の形態において、DPLP3000は、ビデオエンコード処理レイヤ3005とビデオデコード処理レイヤ3005からなる。他の実施の形態において、DPLP3000は、ビデオエンコード処理レイヤ3005、グラフィック処理レイヤ3005、及びビデオデコード処理レイヤ3005からなる。他の実施の形態において、DPLP30

50

00は、ビデオエンコード処理レイヤ3005、グラフィック処理レイヤ3005、ポスト処理レイヤ3005、及びビデオデコード処理レイヤ3005からなる。他の実施の形態において、インターフェース3060、3090は、DDR、メモリ、様々なビデオ入力、様々な音声入力、イーサネット、PCI E、EMAC、PIO、USB、及び、当該者に既知の他の任意のデータ入力からなる。

【0196】

ビデオ処理ユニット

一つの実施の形態において、図30のレイヤとして図示したビデオ処理ユニットは、データとプログラムメモリと通信しているPUの少なくとも1つのレイヤを有する。好ましい実施の形態は、3つのレイヤを有する。各レイヤは、次の1以上の個別のPUを有する：動き推定(ME)、離散コサイン変換(DCT)、量子化(QT)、逆離散コサイン変換(IDCT)、逆量子化(IQT)、de-blockingフィルタ(DBF)、動き補正(MC)、及び算術符号化(CABAC)。

10

【0197】

CABACは、コーディングの例のみで、本発明は、VLCコーディング、CAVLCコーディング、又はコーディングの他のフォームを利用して行なわれることが明らかである。一つの実施の形態において、各レイヤは、2つの動き推定PUを有する上述の全てのPUを有する。他の実施の形態において、ビデオエンコード処理ユニットは、各レイヤが2つの動き推定PUを有する上述の全てのPUを有する、3つのレイヤから構成される。上述のPUは、ハード・ワイヤード・ユニット又はアプリケーション特定DSPとして実装されることができる。DCT、QT、IDCT、IQT、及びDBFは、ハード・ワイヤード・ブロックであることが好ましく、これらの機能は、実質的に1つの標準から他へ可変しないためである。

20

【0198】

他の実施の形態において、図30にレイヤとして図示したビデオデコーディング処理ユニットは、データとプログラムメモリと通信しているPUの3レイヤを有する。各レイヤは、次のPUを有する：逆離散コサイン変換(IDCT)、逆量子化(IQT)、de-blockingフィルタ(DBF)、動き補正(MC)、及び算術符号化(CABAC)。上述のPUは、ハード・ワイヤード・ユニット又はアプリケーション特定DSPとして実装できる。IDCT、IQT、及びDBFはハード・ワイヤード・ブロックであることが好ましい。その理由は、これらの機能は、実質的に、1つの標準から他へ変換することがないためである。CABACとMC PUは、それぞれ算術符号化と動き補正を行う特定機能が実行されている、専用の及びフルプログラム可能なDSPである。

30

【0199】

ME PUは、VLIW命令セットを有するデータパス集中型DSPである。ME PUは、一つの参照フレーム上にクォーター・ピクセル解像度で完全な動作検索を行うことができる。2つのME PUが平行に動作する実施の形態において、チップは、固定ウィンドウサイズと可変マクロブロックサイズを有する2つのレフェレンスフレーム上にフル検索を行うことができる。

40

【0200】

MC PUは、エンコーディング処理の再構築フェーズ中に動作補正をするME PUの簡易バージョンである。MCの出力は、戻ってメモリに格納され、次のフレーム時の参照フレームとして利用される。MC PUの制御ユニットは、MEと同様であるが、命令セットのサブセットのみをサポートする。これは、セルカウントと設計の複雑さを減少させる。

【0201】

CABACは、違う種類のエントロピー・コーディングをすることができる他のDSPである。

これらの処理ユニットに追加して、各レイヤは、外部メモリとプログラムデータメモリとの間にデータを移動させるために、レイヤ制御エンジンと通信するインターフェースを

50

有する。一つの実施の形態において、4つのインターフェース(ME1 IF、ME2 IF、MC IF、及びCABAC IF)がある。任意のタスクをスケジュールする前に、制御エンジンは、データを外部メモリからこの内部データメモリへ解決及び転送するために、対応するインターフェースを要求することでデータフェッチを初期化する。インターフェースによって生成された要求は、最初に、初期化器の一つに保証を発行するラウンドロビン・アービターを通して、解決される。ワイニングするインターフェースは、最終的に、メインDMAを利用してデータを、レイヤ制御エンジンによって表示されている方向に、移動させる。

【0202】

レイヤ制御エンジンは、フレームベースのメインエンコードステートマシンで実行しているDSPからタスクを受信する。レイヤ制御エンジンの内部にタスクキューがある。メインDSPが新しいタスクをスケジュールするごとに、最初は、キューのステータスフラグを見る。フルフラッグがセットされていない場合、新しいタスクをキューへプッシュする。他方では、レイヤ制御エンジンは、処理される任意タスクがキューにペンディングしているかを判定するために、エンptyフラッグをサンプルする。

10

【0203】

一つある場合、これをキューのトップからポップし、これを処理する。タスクは、外部メモリ内の参照及びカレントフレーム用にポインタについての情報を含む。レイヤ制御エンジンは、現在処理されているデータの各リジョン用にポインタを計算するためにこの情報を利用する。フェッチされたデータは、外部メモリ効率を改良するために通常は大量である。各大量データは、マルチマクロブロック用のデータを含む。データは、ピンポン式で各エンジンに接続された2つのメモリバンクの1つへ移動される。同様に、処理されたデータと再構築されたフレームは、ライトアウト方法でインターフェースとDMAを利用して、メモリへ戻って格納される。

20

【0204】

一つの実施の形態において、ビデオ処理レイヤは、ビデオエンコーディングレイヤである。これは、ビデオ入力/出力ブロックから33.33ミリ秒間隔で周期ティックインターラプトを受信する。各インターラプトの応答に、これは、スケジューラを呼び出す。スケジューラが呼び出されたら、次のアクションが取られる。

1. 参照とカレントフレームが格納されている外部メモリへのポインタを計算する。
2. 実行コーデックの種類特有のパラメータを判定する。
3. 任意の命令を発行する前、レイヤ制御エンジンがこれのフルフラッグを上げているかをスケジューラが判定する。無い場合は、このキューにタスクをプッシュし、次のティックインターラプト用に待機する。

30

【0205】

処理されているキューに任意のタスクがペンディングされているかを判定するために、レイヤ制御エンジンは、エンptyフラッグをサンプルする。一つある場合、キューのトップからポップし、これを処理する。タスクは、外部メモリ内の参照及びカレントフレーム用にポインタについての情報を含む。レイヤ制御エンジンは、現在処理されているデータの各リジョン用に、及びフェッチされるデータサイズ用に、ポインタを計算するためにこの情報を利用する。対応する情報をこの内部データメモリに保存する。フェッチされたデータは、外部メモリ効率を向上させるために、通常は多量である。あて先とソースアドレスを、方向ビットとデータのサイズに従って、ME IFへ書き込む。そして、スタートビットをセットする。データ転送の終了を待つことなく、他のエンジン用のペンディングのデータ転送要求を判定する。もしあると、上述のステップを繰り返す。

40

【0206】

MEとMC PUは、マクロブロックレベルで動作するので、レイヤ制御エンジンは、タスクを分割し、データと関連情報をそのレベルでPUへフィードする。外部メモリからフェッチされたデータは、マルチマクロブロックを含む。従って、レイヤ制御エンジンは、内部データメモリの現在のマクロブロックのロケーションのトラックをキープしなけれ

50

ばならない。処理されるデータがデータメモリ内に存在するかを判定した後、スタートビットと、現在マクロブロックへのポインタを有するPUをセットオフする。処理を完了した後、PUは、完了ビットをセットする。レイヤ制御エンジンは、完了ビットを読み込み、次のカレントマクロブロックをチェックする。もしこれが存在すると、エンジン用にタスクをスケジュールし、そうでなければ、最初に、正しいポインタでインターフェースを提供することで、新しいデータをフェッチする。

【0207】

他の実施の形態において、図40に示すように、本発明のビデオ処理レイヤのブロックダイアグラムが図示されている。ビデオプロセッサは、動き推定プロセッサ4001、DCT/IDCTプロセッサ4002、コーディングプロセッサ4003、量子化プロセッサ4004、メモリ4005、メディアスイッチ4006、DMA4007及びRSICスケジューラ4008からなる。動作的に、動き推定プロセッサ4001は、サブサンプルされた補間データの重複処理を回避及び、メモリトラヒックを減少させるのに利用される。動き推定と補正は、一時的圧縮機能であり、ストリーム内の同一ピクセルを削除して、オリジナルストリームの一時的重複をなくする。高い計算要求の繰り返し機能があり、逆離散コサイン変換、逆量子化、及び動作補正等の集中的な再構築処理を含む。

【0208】

そして、DCT/IDCTプロセッサ4002は、ビデオ上に2次元DCTを行い、DCT計数のマトリックスヘデータを変換することで、データの空間損失を取り除いた後、量子化プロセッサ4004へ変換されたビデオを提供する。DCTマトリックス値は、参照フレームに対応するイントラフレームを表す。離散コサイン変換の後、たくさんの高周波コンポネント、及び実質的に全てのもっとも高周波のコンポネントは、ゼロへ近付く。高周波タームは、ドロップされる。残りのタームは、任意の適切な可変長圧縮、好ましくはLZ77圧縮、によってコードされる。

【0209】

量子化プロセッサ4004は、量子化スケールから選択されている変換された入力各係数と一緒に、量子化ステップによって、変換された入力の値に各値を分割する。コーディングプロセッサ4003は、量子化スケールを格納し、メディアスイッチ4006は、スケジューリングとロードバランシングのタスクをハンドルし、これはマイクロコードされたハードウェアリアルタイムオペレーティングシステムであることが好ましい。DMAは、メモリのダイレクトアクセス、及びときどきプロセッサの支援無しで役立つ。

【0210】

図41に示すように、本発明の動き推定プロセッサのブロックダイアグラムは図示されている。動き推定プロセッサ4100は、処理素子4101、4102のアレー、データメモリ4103、4104、4105、4106、アドレス生成ユニット(AGU)4107、及びデータバス4108からなる。データバス4108は、更に、レジスタファイル4109(16*32)、アドレスレジスタ4110(16*14)、データレジスタポインタファイル4111、プログラム制御4112、命令発行と制御4113、及びプログラムメモリ4114に接続する。プレシフト4115とデジタル音声ブロードキャストイング(DAB)4116は、レジスタファイル4109にも接続されている。DABは、インターネット上の品質ビデオ用の標準フォーマットである。

【0211】

好ましくは2つの処理素子のアレー4101、4102は、レジスタファイル4109と、処理素子4101の第1アレイ、アドレス生成ユニット4107、処理素子4101、4102の第2アレイ、及びレジスタファイル4109を接続した専用データバス4108の間のバスを介してデータを交換する。プログラム制御4112は、プログラム全体のフローを組織し、残りのモジュールと一緒に束ねる。

【0212】

制御ユニットは、マイクロ・コーデッド・ステートマシンとして実装されていることが好ましい。プログラムメモリ4114と命令発行と制御レジスタ4113と同様に、プロ

10

20

30

40

50

グラム制御 4 1 1 2 は、マルチレベル・ネステッド・ループ制御、分散及びサブルーチン制御をサポートする。A G U 4 1 0 7 は、メモリからフェッチングオペランド用に必要な効率的アドレス計算を行う。一つのクロックサイクル内に 2 個の 8 ビットアドレスを生成でき、変更できる。

【 0 2 1 3 】

アドレス生成オーバーヘッドを最小化するために、A G U は、アドレスを他のプロセッサリソースと並列に計算するために、整数演算を利用する。アドレスレジスタファイルは、1 6 * 1 4 ビットレジスタから構成され、一時データレジスタ又はインダイレクトメモリポインタとして独立に振舞うように、それぞれが制御できる。レジスタ内の値は、メモリ内のデータから変更でき、結果は、アドレス A G U 4 1 0 7、及び命令発行と制御レジスタ 4 1 1 3 からの固定値から計算される。

10

【 0 2 1 4 】

図 4 2 に示すように、上述の動き推定プロセッサの処理素子のメッシュ接続アレーは、図示されている。これは、命令コントローラによって発行された命令を実行する処理素子の 8 x 8 のメッシュ接続アレーを含む。これらのタスクの inherent fine-grain 並列処理を利用して、ローレベル処理アルゴリズムのワイドクラスが効率的に実装できる。イメージ処理アルゴリズムの実行時、シングル処理素子は、イメージ内にシングルピクセルと関連付けられる。

【 0 2 1 5 】

動作的に、各イメージは、フレームに分割され、そのフレームがブロックに分割され、ブロックは、処理素子のアレーのルミナンスとクロミナンス・ブロックから構成される。動き推定は、コーディングの効率用にルミナンス・ブロック上のみに行なわれる。カレントフレームの各ルミナンス・ブロックは、データメモリとレジスタファイルのヘルプで、参照フレームのサーチエリアのポテンシャル・ブロックに対してマッチされる。これらのポテンシャル・ブロックは、オリジナルブロックのバージョンで単に置き換えられる。

20

【 0 2 1 6 】

最適（最小のひずみ、例えば、最もマッチされた。）のポテンシャル・ブロックは、見つけられ、そして、これの置き換え（動作ベクタ）は、レコードされ、入力フレームは、予測された参照フレームから差し引かれる。従って、動作ベクタと結果エラーは、オリジナルルミナンス・ブロックの代わりに伝送されることができ、よって、インターフレーム重複は取り除かれ、データ圧縮が達成される。受信端では、デコーダは、受信したデータからフレーム差異信号を構築し、再構築された参照フレームにこれが追加される。合計がカレントフレームの正確な複製を与える。良い予測は、最小のエラー信号、従って伝送ビットレートである。

30

【 0 2 1 7 】

3 ステップサーチ、2 D 対数サーチ、4 - T S S、直行サーチ、クロスサーチ、エグゾースティブ・サーチ、ダイヤモンド・サーチ、及び新 3 ステップサーチを含む、任意の適切なブロック・マッチング・アルゴリズムが利用である。

インターフレーム重複がいったん取り除かれると、離散コサイン変換(D C T)、重り付け及びアダプティブ量子化の組み合わせを利用して、フレーム差異は、空間重複を取り除きするために処理される。

40

【 0 2 1 8 】

図 4 3 に示すように、本発明の D C T / I D C T プロセッサのブロックダイアグラムは図示されている。D C T / I D C T プロセッサ 4 3 0 0 は、アドレス生成ユニット 4 3 0 2 とレジスタファイル 4 3 0 3 へ接続されたデータメモリ 4 3 0 1 からなる。レジスタファイル 4 3 0 3 は、アッダ 4 3 0 7 - 4 3 1 0 へ更に伝送する、複数の積和演算(M A C)ユニット 4 3 0 4、4 3 0 5 へこのデータを出力する。プログラム制御 4 3 1 1、プログラムメモリ 4 3 1 2 と命令発行と制御 4 3 1 3 ユニットの相互接続されている。アドレスレジスタ 4 3 1 4 と命令発行と制御ユニット 4 3 1 3 は、それらの出力をレジスタファイル 4 3 0 3 へ転送する。

50

【0219】

データメモリ4301は、一般的に、全てのレジスタメモリと連携し、レジスタファイル4303を介して、アドレスされた及び選択されたデータ値をMAC4304 - 4307及びアッダ4308 - 4311へ提供する。レジスタファイル4303は、レジスタメモリの1つからデータを選択するために、メモリ4301へアクセスする。メモリから選択されたデータは、DCT用にバタフライ計算を行うために、MAC4304?4307とアッダの両方へ提供する。そのようなバタフライ計算は、アッダをデータがバイパスするIDCTオペレーション用にフロントエンドで行なわれない。

【0220】

ビットレートを減少させるために、 8×8 DCT (離散コサイン変換)は、量子化用に、ブロックを周波数ドメインへ変換するのに利用される。 8×8 DCTブロック内の第1計数(0周波数)は、DC係数と呼ばれ、ブロック内の残りの63 DCT係数は、AC係数と呼ばれる。DCT係数のブロックは、量子化され、 $1 - D$ シーケンスへスキャンされ、LZ77圧縮を利用してコードされる。動き補正(MC)に含まれる予測コーディングのため、フィードバックループ用に逆量子化とIDCTは必要である。ブロックは、一般的にVLC、CAVLC、又はCABCでコードされる。 4×4 DCTは、また、利用されることが可能である。

【0221】

レジスタファイルの出力は、4つ及び似ているMAC(MAC0、MAC1、MAC2、MAC3)のそれぞれへデータ値を提供する。MACの出力は、レジスタファイルの入力へ提供されるロジック選択用に提供される。選択ロジックは、また、4個のadder4308 - 4311の入力に結合された出力を有する。4アッダの出力は、データ値をレジスタファイル4303へ提供するためのバスへ結合される。

【0222】

レジスタファイル4303の選択ロジックは、プロセッサによって制御され、IDCTオペレーション中、MAC4304 - 4307からのデータ値を4個のadder4308 - 4311へ提供し、DCT、量子化、及び逆量子化オペレーション中、データ値を直接バスへ提供する。IDCTオペレーションのために、対応するデータバイトは、メモリ4301へ戻って提供される前に、バタフライ計算を行うために、4個のadderへ提供される。データの特定フローと機能は、プロセッサによって制御されるように、行なわれている特定オペレーションに依存して行なわれる。プロセッサは、全てが同じMAC4304 - 4307を利用するDCT、量子化、逆量子化、及びIDCTオペレーションを行う。

【0223】

グラフィック及びビデオ圧縮

ビデオは、動作の錯覚を与えるように、1つの1つが表示される画像のシーケンスとして見られることができ。PALテレビ(720x576の解像度)上に表示されるビデオのため、色(赤、青、及び緑)を描くために3バイトが利用されるとき、各フレームは414720ピクセルで、そしてフレームサイズは1.2MBである。もし、表示速度が30fps(フレーム毎秒)のとき、そして、バンド幅は毎秒35.6MB要求される。そのような膨大なバンド幅の要求は、ビデオ分配用のデジタルネットワークに障害となる。従って、大容量のビデオを格納及び伝送するのに、圧縮ソリューションが必要である。

【0224】

インターネットを利用したストリーミングメディアアプリケーション用の消費者用電化製品及び需要のアナログ・デジタル変換は、ビデオ圧縮ソリューションの成長を後押ししている。エンコーディングとデコーディングソリューションは、現在、MPEG-1、MPEG-2及びMPEG-4用のソフトウェア又はハードウェア内に提供されている。現在、デジタルイメージ及びデジタルビデオは、ハードディスク用の容量をセーブ、及び伝送を早くするために、いつも圧縮されている。一般的には、圧縮率の範囲は、10~100である。解像度640x480ピクセルの非圧縮イメージは、約600KB(ピクセル当たり2バイト)である。25回圧縮したイメージは、約25KBのファイルを作

10

20

30

40

50

成する。

【0225】

選択されるたくさんの圧縮標準がある。静止画標準を利用しているカメラは、ネットワークにシングルイメージを送信する。ビデオ標準を利用しているカメラは、変更されたデータの静止画を送信する。このように、背景の変更無しでのデータは、イメージごとに送信しない。リフレッシュレートは、秒当たりのフレーム f p s で参照される。ポピュラーの静止画とビデオコーディング圧縮標準は、J P E G である。J P E G は、「ナチュラル」現実の世界の場面のフルカラー又はグレースケールイメージ、の圧縮用にデザインされている。

【0226】

アニメ又は線画等の非現実的なイメージには、効果的ではない。J P E G は、白黒（ピクセル当たり1ビット）イメージ又は動画の圧縮をハンドルしない。動画シーケンスの各フレームへのJ P E G 静止画圧縮を応用している動画用の圧縮技術は、動画J P E G という。J P E G 2000は、0.1ビット/ピクセルまでの適当な品質を与えるが、品質は、約0.4ビット/ピクセル以下に劇的に落ちる。これは、J P E G ではなく、ウェーブレットに基づいた技術である。

【0227】

ウェーブレット圧縮標準は、少量のデータの含むイメージ用に利用することができる。よって、イメージは、最高品質のものではない。ウェーブレットは、標準化されていなくて、特別のソフトウェアを要求する。G I F は、L Z W アルゴリズムで圧縮した標準デジタルイメージである。G I F は、ロゴ等の複雑ではないイメージのための良い標準である。圧縮率が限定されているので、カメラでキャプチャされたイメージには、推奨されない。

【0228】

H.261、H.263、H.321、及びH.324は、ビデオコンフェレンス用にデザインされた標準であり、時々、ネットワークカメラ用に利用されている。この標準は、高いフレームレートを与えるが、イメージが大きな移動物体を含むとき、とても低イメージ品質を与える。イメージ解像度は、一般的に352x288ピクセルまでである。解像度がとても限定されているので、新しい製品は、この標準を利用しない。

【0229】

M P E G 1 は、ビデオ用の標準である。変化が可能である間にM P E G 1 が利用されているとき、一般的に352x240ピクセル、30 f p s (N T S C) 又は352x288ピクセル、25 f p s (P A L) のパフォーマンスを与える。M P E G 2 は、720x480ピクセル、30 f p s (N T S C) 又は720x576ピクセル、25 f p s (P A L) のパフォーマンスを得る。M P E G 2 は、大量の計算能力を要求する。M P E G 3 は、一般的に、最大レート毎秒1.86 M b i t の352x288ピクセル、30 f p s の解像度を有する。M P E G 4 は、前のM P E G - 1 及びM P E G - 2 アルゴリズムを拡張し、スピーチ及びビデオ、フラクタル圧縮、コンピュータ可視化及び人口知能ベースのイメージ処理技術を合成したビデオ圧縮標準である。

【0230】

図31に図示したように、ビデオ、テキスト、及びグラフィックデータの統合処理用に応用可能な統合チップの他の実施の形態は図示されている。チップは、V G A コントローラ3101、バッファ0 3102とバッファ1 3103、構成と制御レジスタ3104、D M A チャンネル0 (3105)、D M A チャンネル1 (3106)、入力バッファの圧縮器として動作するS R A M 0 (3107) とS R A M 1 (3108)、K F I D と雑音フィルタ3109、L Z 7 7 圧縮器3110、量子化器3111、出力バッファコントロール3112、出力バッファ3115の圧縮器として動作するS R A M 2 (3113)、S R A M 3 (3114)、M I P S プロセッサ3116とA L U 3117からなる。V G A コントローラは、12 - 12.5 M H z の範囲で動作することが好ましい。

【0231】

図32に示すように、本発明の例示のシングルチップアーキテクチャの詳細なデータフ

10

20

30

40

50

ローが図示されている。RGBビデオ3201は、VGAコントローラ3202及びカラー変換器3203によって受信される。そして、データは、一時ストレージ用にバッファ3206へ送信され、少なくともデータportionは、ダイレクトメモリアクセス(DMA)チャンネル0(3207)及び/又はDMAチャンネル1(3208)へ高速で、好ましくはマイクロプロセッサの介入無しで、バスされる。

【0232】

そして、SDRAMコントローラ3209は、少なくともデータのportionの転送をスケジュールし、SRAM0 3210及び/又はSRAM1(3211)へダイレクトし及び/又はガイドする。SRAM0(3210)及びSRAM1(3211)の両方は、圧縮器用の入力バッファとして動作する。SRAMは、そして、圧縮される前に、
10 入力ビデオ内の不要な信号と雑音を減少させるKFD(Kernel Fisher Discriminant)及び雑音フィルタ3212へデータを転送する。

【0233】

不要な信号がいったん取り除かれると、データは、そして、圧縮ユニット、好ましくはLZ77に基づいた圧縮ユニット3214、と連結しているコンテンツ・アドレスブル・メモリ(CAM)3213へ転送される。適当なアルゴリズム、好ましくはLZ77アルゴリズム、を利用して、CAM3213及び圧縮ユニット3214は、ビデオデータを圧縮する。量子化器3215は、適当な電圧レベルに従って、圧縮データを量子化する。そして、データは、出力バッファコントロール3216に一時的に格納され、SRAM3217を介してDMA3208へ転送される。そして、DMA3208は、量子化された圧縮データをSDRAMコントローラ3209へ伝送する。そして、SDRAMコントローラ3209は、データをSRAM3217及びMIPSプロセッサ3219へ転送する。
20

【0234】

図33に図示したように、上述のチップアーキテクチャ内のビデオの圧縮中に達成された複数のステートの1つの実施の形態をフローチャートに図示している。ビデオは、適当なA2D(アナログ・デジタル変換器)を利用してアナログからデジタルフレームへ変換される(3301)。一端、フレームが使用可能になると(3302)、VGAはフレームをキャプチャし(3303)、及びカラー空間を、VGAにアタッチされたカラー変換器を介して、変換する(3304)。キャプチャされたフレームは、SDRAMへ書き込まれる(3305)。
30

【0235】

前に格納されたフレームと、カレントフレームは、SDRAMから読み出され(3306)、それらの差異が計算された後、それらの雑音を削除し(3307)、それらは、圧縮用に準備できる。LZ77圧縮器は、フレームを圧縮し(3308)、圧縮されたフレームは、そして、量子化器で量子化される(3309)。量子化された圧縮フレームは、適当なレンダリング又は伝送用に取り出される(3311)ことが可能なように、SDRAMへ最終的に書き込まれる(3310)。
40

【0236】

図34に示すように、LZQアルゴリズムの1つの実施の形態のブロックダイアグラムが図示されている。LZQ圧縮アルゴリズムは、入力ビデオデータ3404、キーフレーム差異ブロック3401、及び、LZ77圧縮エンジンブロックの出力は次の圧縮エンジンブロックに送られている複数の圧縮エンジンブロック3402、3403からなる。圧縮されたデータ3405は、n番目の圧縮エンジンブロックから出力される。
40

【0237】

動作的に、キーフレーム差異ブロックは、ビデオデータ3404を受信する。ビデオデータは、既知の適当なテクニックを利用して、フレームへ変換される。キーフレーム差異ブロック3401は、キーフレーム「N」の頻度を定義する。第10、20、30等の番毎に、キーフレームとして見られることが望ましい。一端、キーフレームが定義されると、これは、LZ77圧縮エンジン3402、3403を利用して圧縮される。一般的に、圧縮は、時間ベクタ及びモーションベクター内の操作情報に基づく。ビデオ圧縮は、時間及び
50

ノ又はモーションベクターの重複の削除に基づいている。第1フレームの圧縮された後、圧縮されたデータ3405は、ネットワークへ送信される。受信端又は受信機において、圧縮されたデータは、デコードされ、レンダリング可能にされる。

【0238】

図35に示すように、LZQアルゴリズムの1つの実施の形態のキーフレーム差異エンコーダのブロックダイアグラムが図示されている。キーフレーム差異エンコーダ3500は、シングルユニットでフレームを遅延する遅延ユニット3501、多重器3502、サマー3503、キーフレームカウンタ3504、及び出力ポート3505からなる。ビデオフレーム3506のキーフレーム(f_k)は、多重器3502へその一つの入力として直接渡され、前フレームは、多重器3502への第2の入力として動作する。前フレームは、遅延ユニット3501を利用した遅延後にビデオフレーム3506から取得される。

10

【0239】

例えば、多重器3502への1つの入力が(f_k)のとき、他の入力は($f_k - (f_{k-1})$)である。ここで、 f_k は、多重器3502によってすでに受信された現在のキーフレームを意味する。 f_{k-1} は、すでに出て行った前フレームを意味する。パスは、キーフレームと遅延ユニットをサマー3503へ伝送する。遅延フレーム(f_{k-1})は、キーフレーム(f_k)から差し引かれて、($f_k - (f_{k-1})$)になり、多重器3502の第2入力として送信される。第1入力(f_k)及び($f_k - (f_{k-1})$)は、キーフレームカウンタ3504の制御のもとで多重器に送り込まれる。両方の入力用に、多重器3507は、圧縮用にLZ77エンジン3507へ伝送されるシングル出力を提供する。

20

【0240】

図36に示すように、本発明の1つの実施の形態のキーフレーム差異デコーダブロックのブロックダイアグラムが図示されている。キーフレーム差異デコーダブロック3600は、多重器3601、キーフレームカウンタ3602、遅延ユニット3603、及びサマー3604からなる。キーフレーム差異デコーダブロック3600は、データ3606をLZ77圧縮エンジンから受信し、ビデオのデコードされたフレーム3605を出力する。

【0241】

動作的に、圧縮されたデータのキーフレームは、多重器3601に、第1入力として送り込まれ、第2入力は、フィードバックループによって形成される。フィードバックループは、遅延ユニット3603から構成される。遅延ユニット3603は、デコードされたフレーム3605を取り、サマー3604でキーフレーム3606とともに差異フレームを形成するために、これを1フレームユニットで遅延する。サマー3604の出力は、多重器への第2入力として動作する。キーフレームカウンタ3602の制御のもとで、多重器3601へ送り込まれる第1入力と第2入力は、デコードされたフレームの結果である。

30

【0242】

ロスレスアルゴリズムの他の実施の形態は、圧縮に含まれる計算量を低減するためのものである。これは、それらと連携したモーションを有するそれらのラインのみを送信することで、達成される。この場合、前のフレームからのラインは、現在のフレームの同じ番号のラインと比較され、少なくとも1ピクセルの異なる値を含むラインのみが、LZ77の1以上ステージを利用してコードされる。

40

【0243】

図37に示すように、修正LZQアルゴリズムのブロックダイアグラムが図示されている。ビデオデータ3701は、キーライン差異ブロック3702へ送り込まれる。キーライン差異ブロック3702によって処理された後、これは、LZ77圧縮エンジン3703へ伝送され、差異データは、LZ77圧縮エンジン3703、3704の連続ブロックを通してパスされ、よって、圧縮データ3705を出力する。

【0244】

図38に示すように、本発明の例示の実施の形態に利用されたキーライン差異ブロック

50

のブロックダイアグラムが図示されている。キーライン差異ブロック3800は、メディア入力ポート3801、遅延ユニット3802、サマー3803、及び合計・比較ブロック合計・比較器3804からなる。入力ポート3801は、カメラ又はライブ映像によってキャプチャされたビデオデータを受信する。ビデオデータのカレントフレームは、シングルフレーム遅延ユニット f_{k-1} によって遅延される。サマー3803でのカレントフレームとともに遅延されたフレーム f_{k-1} は、差異フレームを形成する。差異フレームは、そして、合計・比較ブロック3804へ入力される。差異フレームの合計は、比較され、これがゼロより大きい場合、 K_{line} 3805は合計・比較ブロック3804から出力される。 K_{line} 出力は、LZ77連続圧縮エンジンに到着し、そして、圧縮される。

【0245】

10

図39に示すように、本発明に利用された圧縮/解凍アーキテクチャが図示されている。データの入力ストリームを前に受信した及び処理したデータと、CAMメモリ内の格納されたものとして比較するために、及び、履歴がフルになった場合、最も古いデータを放棄するために、LZQアルゴリズムの実装は、コンテンツ・アドレスラブル・メモリ(CAM)を利用する。

【0246】

入力データバッファ3901内に格納されたデータは、CAMアレー3902内のカレントエントリと比較される。CAMアレー3903は、それぞれレジスタ及び比較器を有する複数のセクション($N+1$ セクション)を含む。各CAMアレーレジスタは、1バイトのデータを格納し、有効又は現在のデータバイトがCAMアレーレジスタに格納されたかを示すためにシングルセルを含む。対応するCAMアレーレジスタに格納されたデータバイトが、入力データバッファ3901内に格納されたデータバイトとマッチしたとき、各比較器は、アクティブ信号を生成する。

20

一般的に、マッチが見つかったとき、それらは、コードワードで置き換えられ、複数存在する場合は、同じコードワードが応用される。もっと高い圧縮レートは、検索時に長いストリングが見つかったとき、それらが短いデータ量のコードワードで置き換えられたとき、達成される。

【0247】

CAMアレーに結合されたものは、CAMアレーの各セクション用に1つのライト選択ブロックを有するライト選択シフトレジスタ(WSSR)3904である。シングルライトブロックは、残りのセルは全て0値にセットされている間に、1の値にセットされる。1値を有するセルである、アクティブ・ライト・選択・セルは、入力データバッファ3901に現在ホールドされているデータバイトを、CAMアレーのどのセクションが格納するのに利用されるかを選択する。WSSR3904は、新しいデータバイトが入力データバッファ3901に入るごとに、1つのセルでシフトされる。選択するシフトレジスタ3904の利用は、CAMアレー内の固定アドレッシングの利用を可能にする。

30

【0248】

マッチング処理は、プライマリー・セレクターORゲートの出力に、0がでるまでに継続する。0は、マッチが残っていないことを示す。これが起きるとき、前の最後のバイトに存在する全てのマッチングストリングのエンドポイントをマークする値は、第2セレクタセルに格納されたままである。アドレス生成器は、マッチングストリングの1つのロケーションを見つけ出し、そのアドレスを生成する。アドレス生成器は、第2セレクタの1以上のセルからの信号を利用して、アドレスを生成するように簡単に設計されたものである。マッチングストリングの長さは、長さカウンタで可能である。

40

【0249】

長さカウンタがマッチングストリングの長さを提供する際、アドレス生成器は、マッチングストリングの終端を含むCAMアレーセクション用の固定アドレスを生成する。マッチングストリングのスタートアドレスと長さは、そして、計算され、コードされ、圧縮されたもの又はストリングトークンとして出力される。

【0250】

50

様々なサイズのCAMアレーの評価は、確認されている。統合回路デバイスの消費電力及びシリコンエリア等のファクターの点から見て、約512バイトの履歴サイズは、効率的な圧縮とコストとの間の理想的なトレードオフを提供する。

【0251】

ポストプロセッサ

図44に示すように、本発明のポストプロセッサのブロックダイアグラムが図示されている。ポストプロセッサ4400は、アドレス生成ユニット4402とレジスタファイル4403に接続されているデータメモリ4401からなる。レジスタファイル4403は、シフター4407へそれらのデータを出力する。ロジカルユニット4408よ複数の積和演算(MAC)ユニット4404、4405、4406は、adder04408とadder14409へデータを更に伝送する。プログラム制御4411、プログラムメモリ4412及び命令発行及び制御ユニット4413は、相互接続されている。アドレスレジスタ4414と命令発行及び制御ユニット4413は、それらの出力をレジスタファイル4403へ伝送する。積和演算ユニットは17ビットであり、40ビットまで蓄積できる。

【0252】

圧縮データが動き推定プロセッサ、DCT/IDCTプロセッサ、及びポストプロセッサを通してパスすると、ポストプロセッサからの出力は、イメージデータのリアルタイム・エラー・リカバリの対象となる。エッジ・マッチング、セレクトティブ空間的補間、及びサイズマッチングを含む適当なテクニックは、レンダリングされるイメージの質を高めるのに利用できる。

【0253】

1つの実施の形態において、新規エラー隠蔽アプローチは、ビデオコーデックに基づいた任意のブロック用のポストプロセッシングに利用されている。データがインターネット又は無線チャンネルで伝送されるとき、データロスとはけられないことは認識されている。ビデオのI及びPフレームにエラーが起き、重要なビジュアル・アノイアンスの結果をもたらす。

【0254】

Iフレームエラー隠匿用に、空間情報は、エラー隠匿に2つステップの処理で利用される：エッジリカバリに続くセレクトティブ空間的補間。Pフレームのエラー隠匿用に、空間的及び一時的情報は、2つの方法で利用される：サイドマッチングによる線形補間及びモーションベクターリカバリ。

【0255】

従来、Iフレーム隠匿は、隣接Mbits(MB)からの各ロスピクセルを補間することで行なわれている。例えば、図28に示すように、ピクセルPは、複数のピクセル値から補間されている。Pは、Pと p_n の間に距離 d_n を有する。nは1から始まる整数である。ピクセルPの補間は、次の式を利用して行なわれることができる。

$$P=[p_1*(17-d_1)+p_2*(17-d_2)+p_3*(17-d_3)+p_4*(17-d_4)]/34$$

ロスされたMBが高い周波数のコンポーネントを含むとき、この処理は、不鮮明なイメージをもたらす。凸集合へのファジー理論の推理と予測は、ロスMBの回復に助かるかも知れないが、これらのアプローチは、リアルタイムアプリケーションの計算コストが高い。

【0256】

本発明は、ロスとMBのエッジリカバリを利用し、Iフレームエラー隠蔽をアドレスするために、セレクトティブ空間的補間が続く。一つの実施の形態において、マルチ方向フィルタリングは、8選択から1方向に、ロスとMBの方向を分類するのに利用される。周囲のピクセルは、バイナリパターンへ変換される。バイナリパターンの中で点移転を接続することで、1以上のエッジが取り出される。ロスMBは、エッジ方向に沿って方向的挿入される。

【0257】

もっと詳しくは、図29aに示すように、破損MB2901は、正しくデコードされたMB2905によって囲まれている。これらの境界ピクセル2905の検出は、エッジ2

10

20

30

40

50

908を識別することで行なわれる。エッジポイント2910は、予め決められた閾値上のグラジエントのローカル最適値を計算して識別される。測定で類似のエッジポイント2910は、グラジエント及びルミネセンスの点から見て、識別され、マッチされる。図29bに示すように、マッチされたエッジポイントは、そして、一緒にリンクされ(2911)、よって、MBを、それぞれがスムーズエリアとしてモデル化でき、セレクトティブ空間的補間によって隠れた領域に分離する。

【0258】

エッジリカバリが行なわれた後、図29cに示すように、絶縁エッジポイント2912は、識別され、境界に達するまで破損MBへ拡張される(2909)。ピクセル2915は、エッジ2911及び拡張2909によって定義される3つの領域の1つから選ばれる。ピクセル2915から、境界ピクセルが、この場合、4つの参照ピクセル2918を生成する各エッジ方向に見つかる。同じ領域のピクセル2915としての2つのピクセル2918は識別される。ピクセル2918は、ピクセル2915を次の式で計算するのに利用される。

$$p = \frac{\frac{p_1 + p_2}{d_1 + d_2}}{\frac{1}{d_1} + \frac{1}{d_2}}$$

ここで、 p_1 及び p_2 は2つのピクセル2918で、 d_1 及び d_2 は、それぞれ p_1 と p 及び p_2 と p 間の距離である。

【0259】

Pフレームエラー隠蔽に関しては、モーションベクターとコーディングモードリカバリは、同じ破損MBロケーションでの前のフレームの値を判定、及び破損MB値を前のフレームの値で置換するによって行なわれる。破損MBの回りのこのエリアからのモーションベクターは、判定され、その平均が取れる。破損MB値を、破損MBの回りのエリアからのメディアンモーションベクターで置換する。境界マッチングを利用して、モーションベクターが再推定される。破損MBは、更に、小さなリージョンへ分割され、各リージョンのモーションベクターは判定されることが好ましい。例えば、一つの実施の形態において、上、下、右、及び左のピクセルの値は、それぞれ p_u 、 p_l 、 p_r 、及び p_t であり、破損ピクセルPに対して、Pを線形補間するのに利用される。

$$P = \frac{1}{34} \{ (17-y)p_{upper} + yp_{lower} + (17-x)p_{left} + xp_{right} \}$$

$$1 \leq x, y \leq 16$$

【0260】

モーションベクターリカバリを行うために、サイドマッチングも利用できる。一つの実施の形態において、同じ破損MBロケーションでの前のフレームの値は、決定される。破損MB値は、前のフレームのその値で置換される。破損MBロケーションを各込む候補サイドは、決定され、候補サイドからの平方二乗誤差が計算される。平方二乗誤差の最小値は、ベストマッチを表す。計算技術は当業者に明らかであり、上述のIフレームエラー隠蔽及びPフレームエラー隠蔽ステップをするのに、数式及びアプローチが要求される。

【0261】

本発明は、更に、メディアアプリケーション用に拡張可能及びモジュール式のソフトウェアアーキテクチャからなる。図45に図示したように、ソフトウェアスタック4500は、ハードウェアプラットフォーム4501、リアルタイムオペレーティングシステムとボードサポートパッケージ4503、リアルタイムオペレーティングシステム抽象化レイヤ4505、複数のインターフェース4057、マルチメディアライブラリ4509、及びマルチメディアアプリケーション4511からなる。

【 0 2 6 2 】

本発明のソフトウェアシステムは、実行時のソフトウェアコンポーネントの動的スワッピング、ノンサービスaffecting リモートソフトウェアアップグレード、 リモートデバッグと開発、低消費電力用に使用していないリソースのスリープ、フルプログラマビリティ、チップアップグレード用にAPIレベルでのソフトウェア互換性、及び、先端統合開発環境を、提供することが好ましい。好ましくは、ソフトウェアリアルタイムオペレーティングシステムは、ハードウェア独立API用に提供し、コール初期化についてのリソースの割り当てを行い、オンチップ及び外部メモリマネジメントを行い、システムパフォーマンスのパラメータ及び統計を集計し、プログラムフェッチ要求を最小化する。好ましくは、ハードウェアリアルタイムオペレーティングシステムは、全てのプログラム及びデータフェッチ要求の解決、フルプログラマビリティ、これのデータフローに従って異なるPUへのチャンネルのルーチング、メモリへの外部及びローカルの同時転送、DMAチャンネルのプログラム可能化、及びコンテキストスイッチングを提供する。

10

【 0 2 6 3 】

本発明のシステムは、更に、次の特徴を有する統合開発環境を提供する。ハードウェアデバッグオプションにアクセスするためのポイントとクリックコントロールを有するグラフィカルユーザインターフェース、シングルデバッグ環境を利用したメディア適合プロセッサ用の組み立てコード開発、メディア適合プロセッサDSP用の統合コンパイラと最適化スイート、異なる組み立て最適化レベルの選択用のコンパイラオプションと最適化スイッチ、メディア適合プロセッサ用のアセンブラー/リンカー/ローダー、シミュレータハードウェア上のプロファイリング・サポート、メディア適合プロセッサを通してのシングルフレーム処理用のチャンネルトレーシングの実現、Microsoft Visual C++ 6.0環境内での組み立てコードデバッグ、及び、C 呼び出し可能アセンブリサポートとパラメータ引渡しオプション。

20

【 0 2 6 4 】

本発明は、特定の実施の形態について説明されたが、これらに限定されないことが明らかである。特に、本発明は、複数の標準でコードされたビデオ、音声、及びグラフィックデータを処理できる、拡張可能なモジュラ処理レイヤを有する統合チップアーキテクチャ、並びに、そのアーキテクチャを利用するデバイスに関する。

【 図面の簡単な説明 】

30

【 0 2 6 5 】

【 図 1 】 図 1 は、分散処理レイヤプロセッサの実施の形態のブロックダイアグラムである。

【 図 2 a 】 図 2 a は、メディアゲートウェイ用のハードウェアシステムアーキテクチャの第 1 の実施の形態のブロックダイアグラムである。

【 図 2 b 】 図 2 b は、メディアゲートウェイ用のハードウェアシステムアーキテクチャの第 2 の実施の形態のブロックダイアグラムである。

【 図 3 】 図 3 は、ヘッダとユーザデータを有するパケットのダイアグラムである。

【 図 4 】 図 4 は、メディアゲートウェイ用のハードウェアシステムアーキテクチャの第 3 の実施の形態のブロックダイアグラムである。

40

【 図 5 】 図 5 は、本発明のソフトウェアシステムの 1 つの論理分割のブロックダイアグラムである。

【 図 6 】 図 6 は、図 5 のソフトウェアシステムの第 1 の物理的な実施のブロックダイアグラムである。

【 図 7 】 図 7 は、図 5 のソフトウェアシステムの第 2 の物理的な実施のブロックダイアグラムである。

【 図 8 】 図 8 は、図 5 のソフトウェアシステムの第 3 の物理的な実施のブロックダイアグラムである。

【 図 9 】 図 9 は、本発明のハードウェアシステムのメディアエンジンコンポーネントの第 1 の実施の形態のブロックダイアグラムである。

50

【図10】図10は、本発明のハードウェアシステムのメディアエンジンコンポーネントの好ましい実施の形態のブロックダイアグラムである。

【図10a】図10aは、図10のメディアエンジンのメディアレイヤコンポーネントの好ましいアーキテクチャのブロックダイアグラム表現である。

【0266】

【図11】図11は、第1の好ましい処理ユニットのブロックダイアグラム表現である。

【図12】図12は、第1の好ましい処理ユニットにより処理されたパイプライン処理の時間ベースの概念図である。

【図13】図13は、第2の好ましい処理ユニットのブロックダイアグラム表現である。

【図13a】図13aは、第2の好ましい処理ユニットにより処理されたパイプライン処理の時間ベースの概念図である。

10

【図13b】図13bは、第2の好ましい処理ユニットにより処理されたパイプライン処理の時間ベースの概念図である。

【図14】図14は、本発明のハードウェアシステムのパケットプロセッサコンポーネントの好ましい実施の形態のブロックダイアグラム表現である。

【図15】図15は、本発明のハードウェアシステムのパケットプロセッサコンポーネント内の、複数のネットワークインターフェースの1つの実施の形態の略図である。

【図16】図16は、本発明のハードウェアシステムのパケットプロセッサコンポーネント用の、制御及び信号機能を容易にするために利用される複数のPCEインターフェースのブロックダイアグラムである。

20

【図17】図17は、本発明のソフトウェアシステムのコンポーネント間のデータ通信の第1の例示のフローダイアグラムである。

【図17a】図17aは、本発明のソフトウェアシステムのコンポーネント間のデータ通信の第2の例示のフローダイアグラムである。

【図18】図18は、本発明のソフトウェアシステムのメディア処理サブシステムを構成する好ましいコンポーネントの概念図である。

【図19】図19は、本発明のソフトウェアシステムのパケット化処理サブシステムを構成する好ましいコンポーネントの概念図である。

【図20】図20は、本発明のソフトウェアシステムの信号サブシステムを構成する好ましいコンポーネントの概念図である。

30

【0267】

【図21】図21は、本発明のソフトウェアシステムの信号処理サブシステムを構成する好ましいコンポーネントの概念図である。

【図22】図22は、物理DSP上のホストアプリケーションの動作のブロックダイアグラムである。

【図23】図23は、仮想DSP上のホストアプリケーションの動作のブロックダイアグラムである。

【図24】図24は、従来のメディア処理システムのブロックダイアグラムである。

【図25】図25は、本発明のメディア処理システムのブロックダイアグラムである。

【図26】図26は、ビデオ、テキスト、及びグラフィックデータの統合処理に応用できる、例示の統合チップアーキテクチャのブロックダイアグラムである。

40

【図27】図27は、本発明の新規デバイスの入出力の例を図示したブロックダイアグラムである。

【図28】図28は、他のピクセルで囲まれたピクセルを図示した従来技術のブロックダイアグラムである。

【図29a】図29aは、エラー隠蔽を行う新規のプロセスを図示した図である。

【図29b】図29bは、エラー隠蔽を行う新規のプロセスを図示した図である。

【図29c】図29cは、エラー隠蔽を行う新規のプロセスを図示した図である。

【図30】図30は、本発明のメディアプロセッサの実施の形態のブロックダイアグラムである。

50

【 0 2 6 8 】

【図 3 1】図 3 1 は、本発明のメディアプロセッサの他の実施の形態のブロックダイアグラムである。

【図 3 2】図 3 2 は、本発明のメディアプロセッサの他の実施の形態のブロックダイアグラムである。

【図 3 3】図 3 3 は、例示のチップアーキテクチャにおいて、ビデオ圧縮中に実現された複数の状態の一つの実施の形態を示したフローチャートである。

【図 3 4】図 3 4 は、L Z Q アルゴリズムの一つの実施の形態のブロックダイアグラムである。

【図 3 5】図 3 5 は、L Z Q アルゴリズムの一つの実施の形態のキーフレーム差異エンコーダのブロックダイアグラムである。

10

【図 3 6】図 3 6 は、本発明の一つの実施の形態のキーフレーム差異デコーダのブロックダイアグラムである。

【図 3 7】図 3 7 は、修正 L Z Q アルゴリズムのブロックダイアグラムである。

【図 3 8】図 3 8 は、本発明の例示の実施の形態に利用された、キーライン差異ブロックのブロックダイアグラムである。

【図 3 9】図 3 9 は、本発明の圧縮 / 解凍アーキテクチャの一つの実施の形態のブロックダイアグラムである。

【図 4 0】図 4 0 は、本発明のビデオプロセッサの一つの実施の形態のブロックダイアグラムである。

20

【 0 2 6 9 】

【図 4 1】図 4 1 は、本発明の動き推定プロセッサの一つの実施の形態のブロックダイアグラムである。

【図 4 2】図 4 2 は、上述の動き推定プロセッサの処理要素アレーの一つの実施の形態のダイアグラムである。

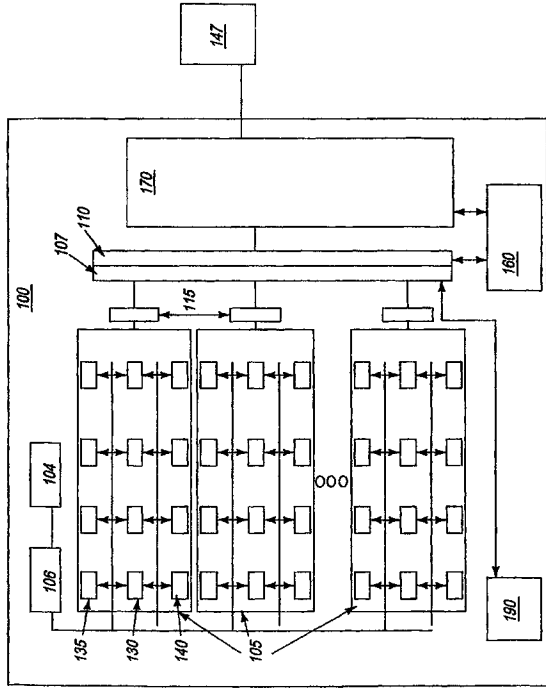
【図 4 3】図 4 3 は、本発明の D C T / I D C T プロセッサの一つの実施の形態のブロックダイアグラムである。

【図 4 4】図 4 4 は、本発明のポストプロセッサの一つの実施の形態のブロックダイアグラムである。

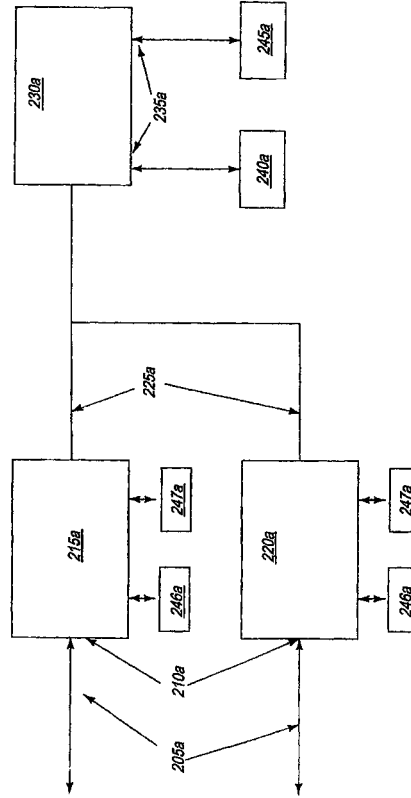
【図 4 5】図 4 5 は、本発明のソフトウェアスタックの一つの実施の形態のブロックダイアグラムである。

30

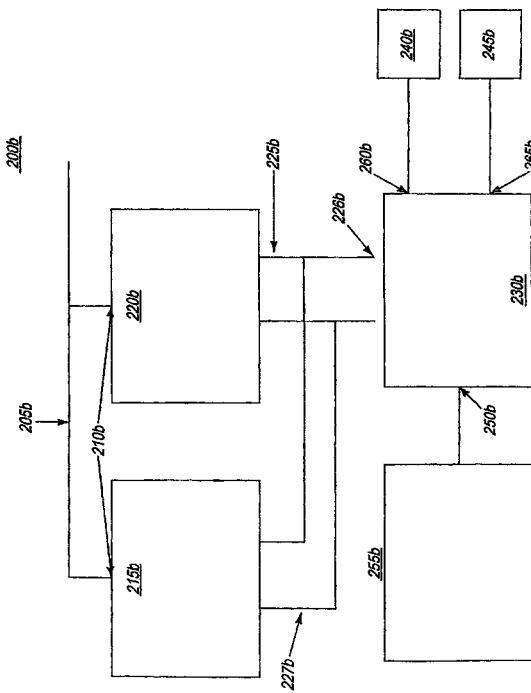
【 図 1 】



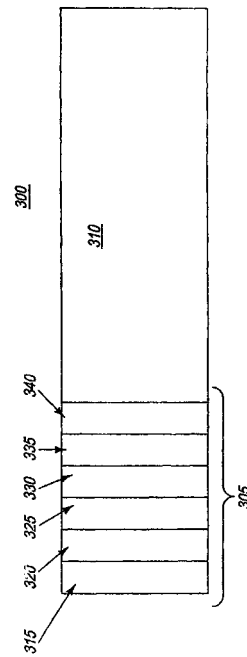
【 図 2 a 】



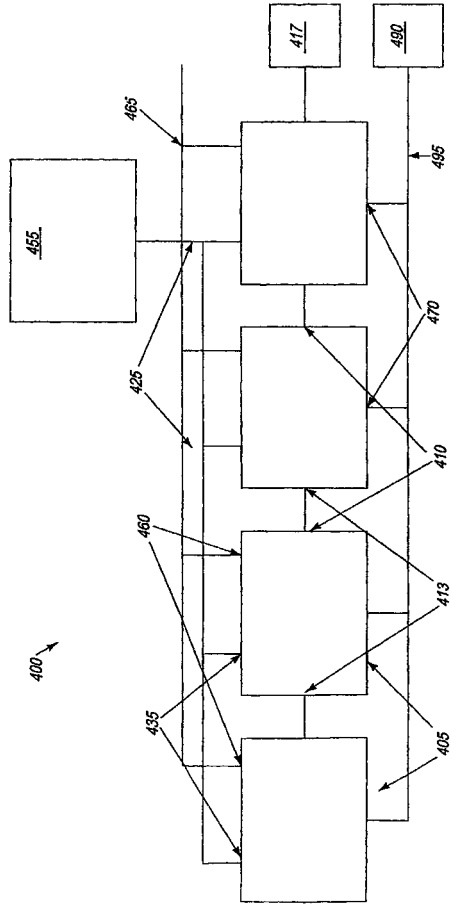
【 図 2 b 】



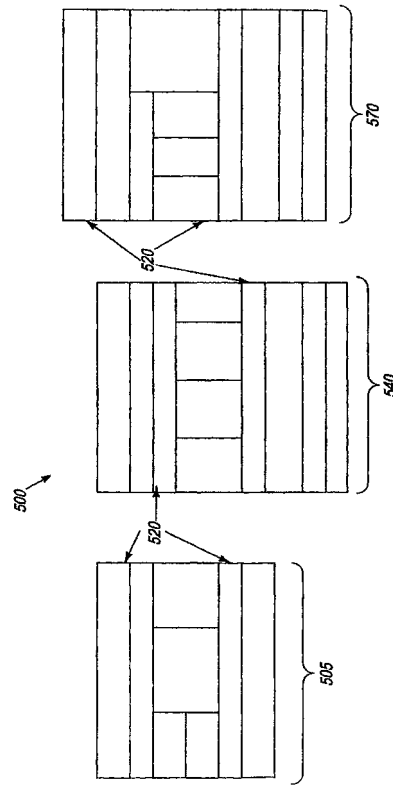
【 図 3 】



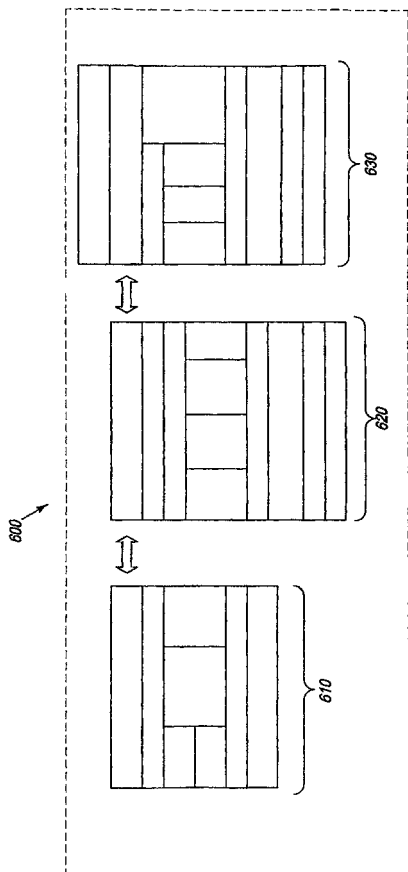
【 図 4 】



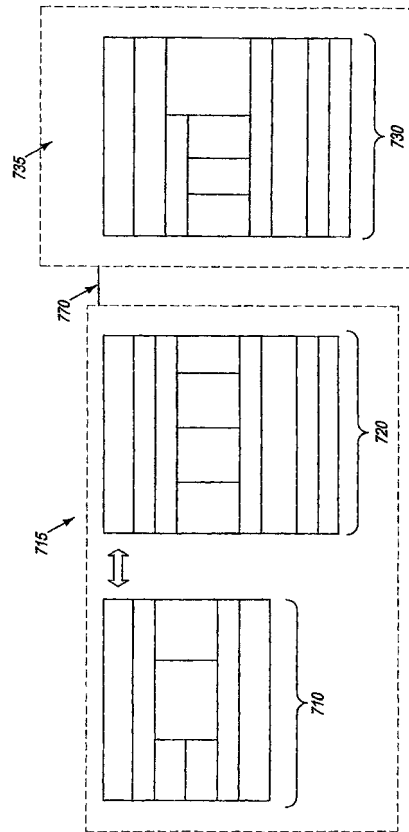
【 図 5 】



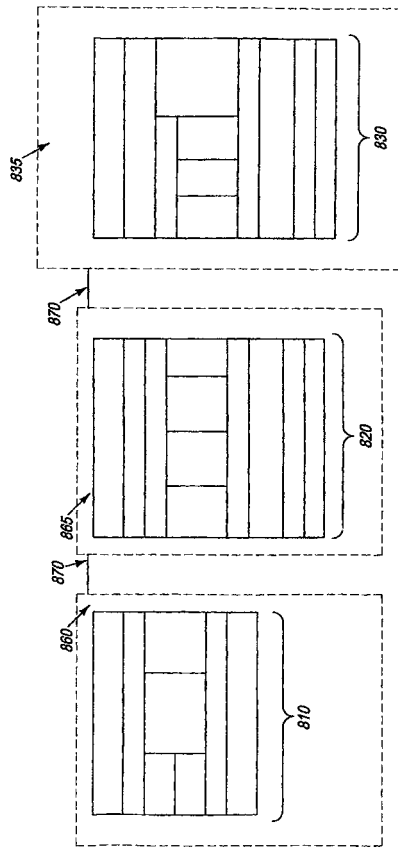
【 図 6 】



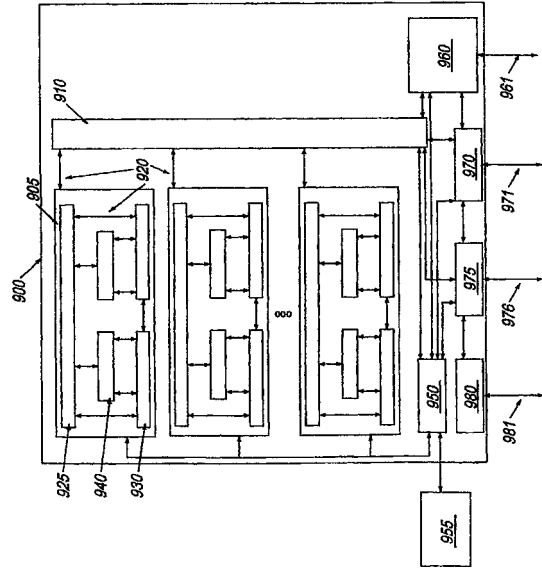
【 図 7 】



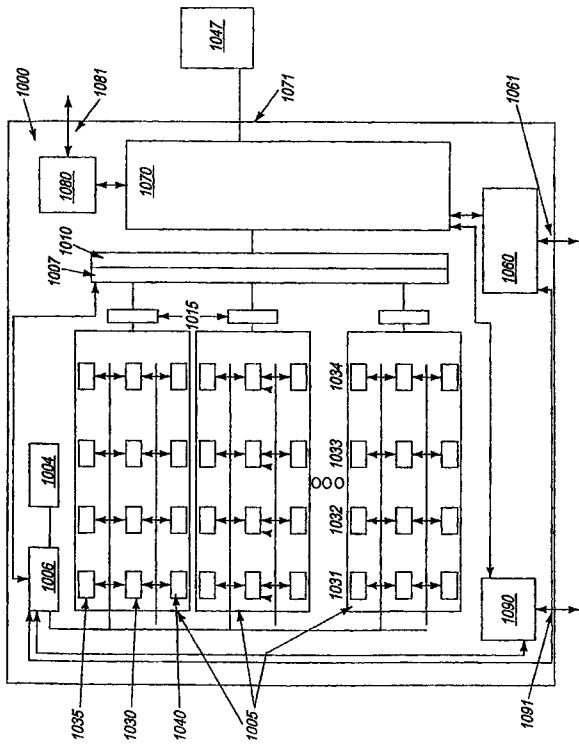
【 図 8 】



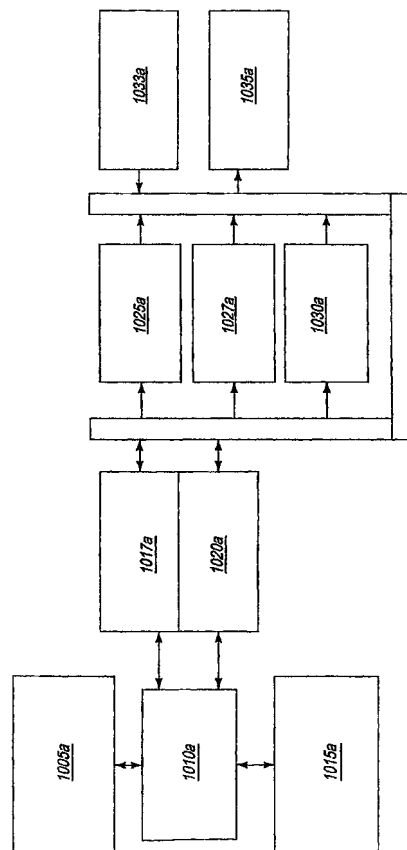
【 図 9 】



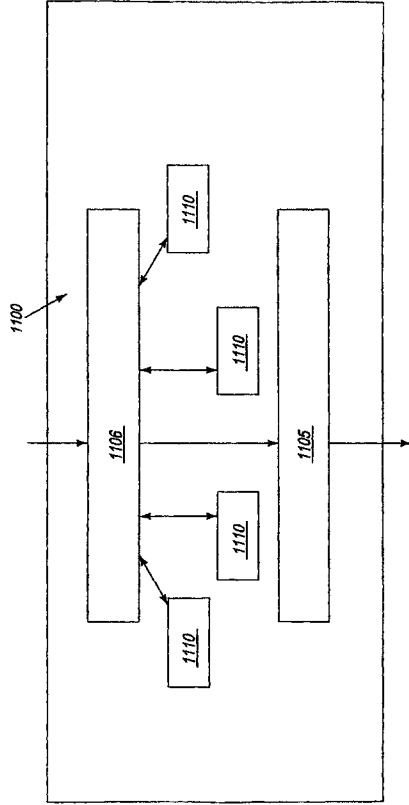
【 図 10 】



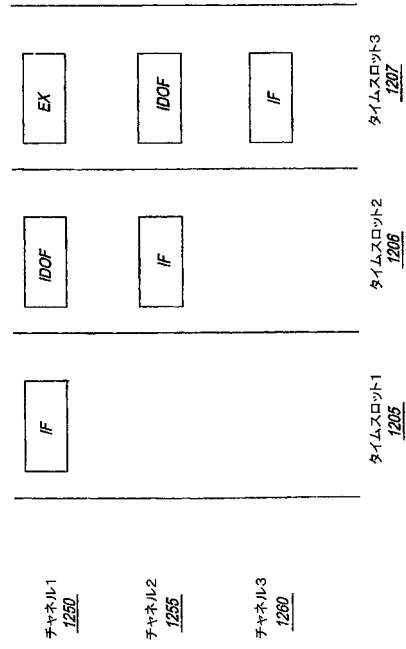
【 図 10 a 】



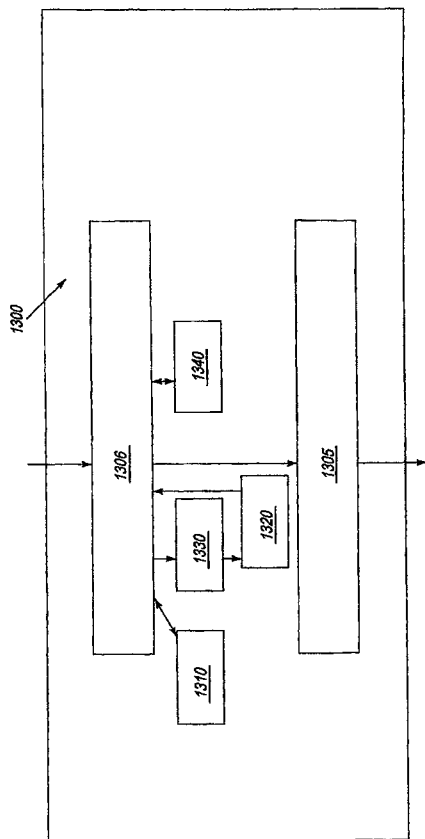
【 図 1 1 】



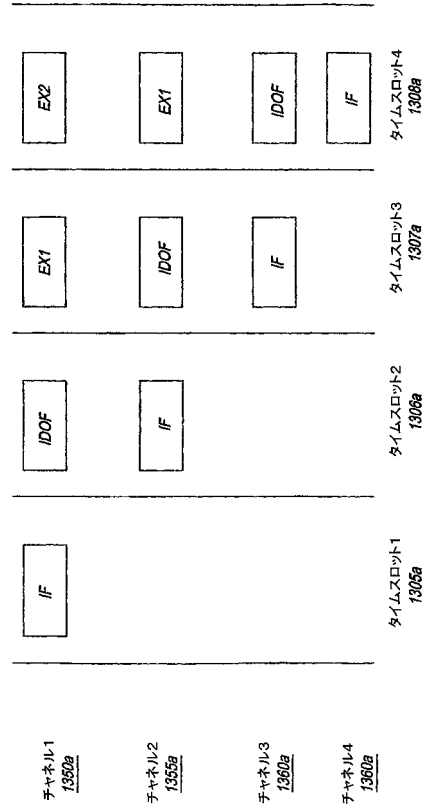
【 図 1 2 】



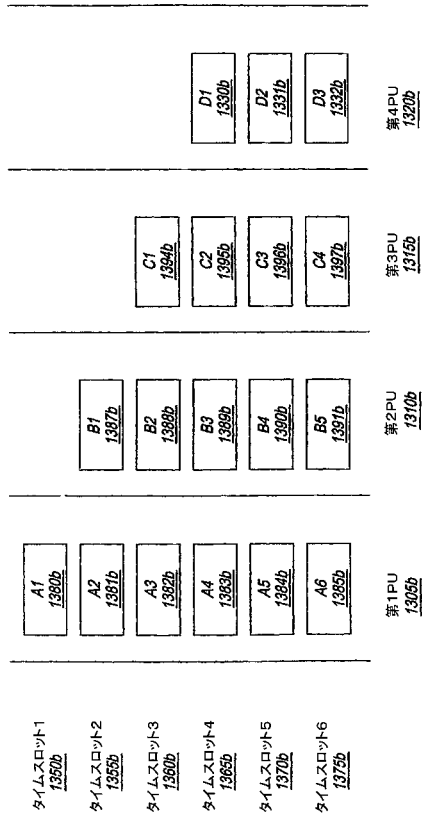
【 図 1 3 】



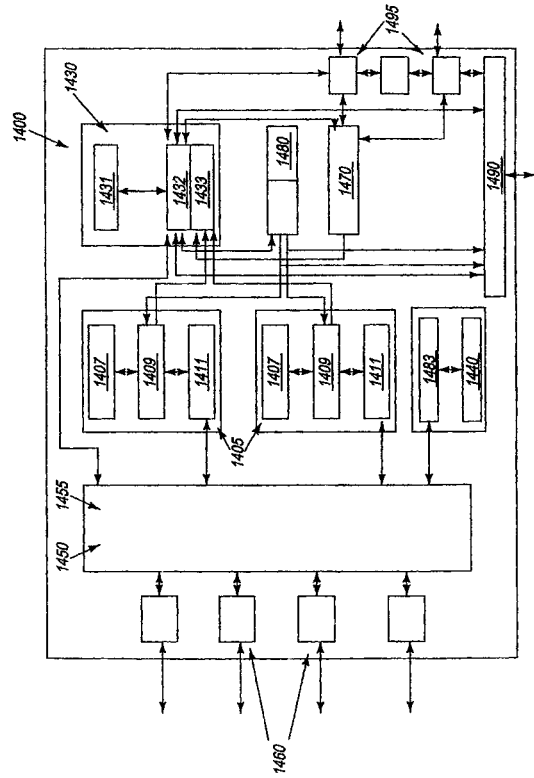
【 図 1 3 a 】



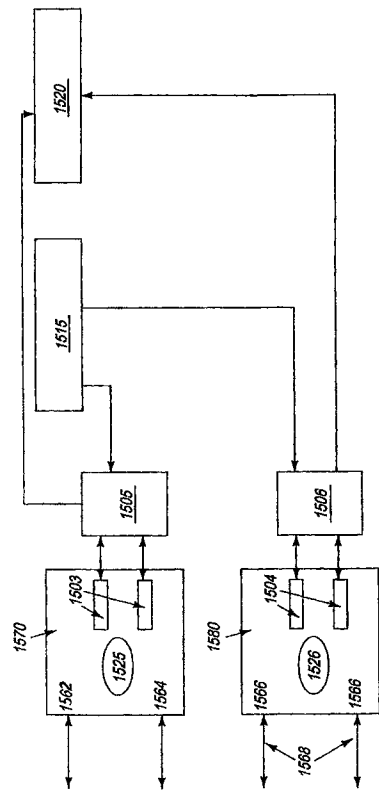
【 図 1 3 b 】



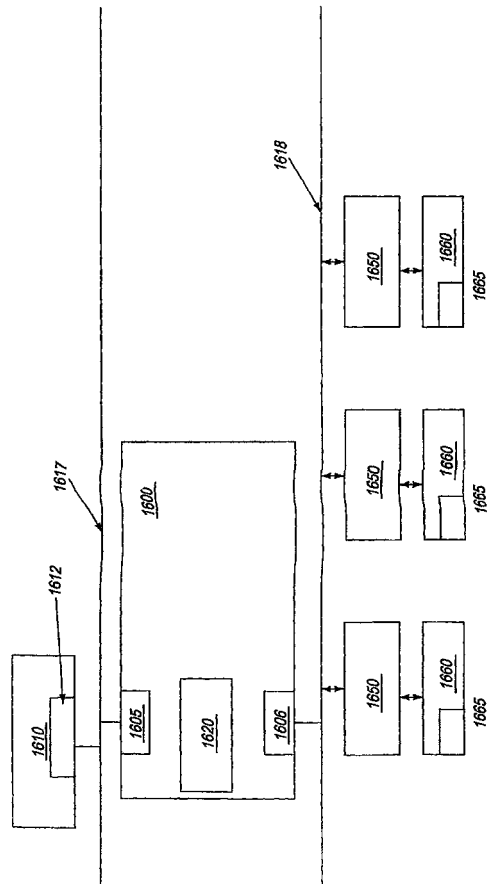
【 図 1 4 】



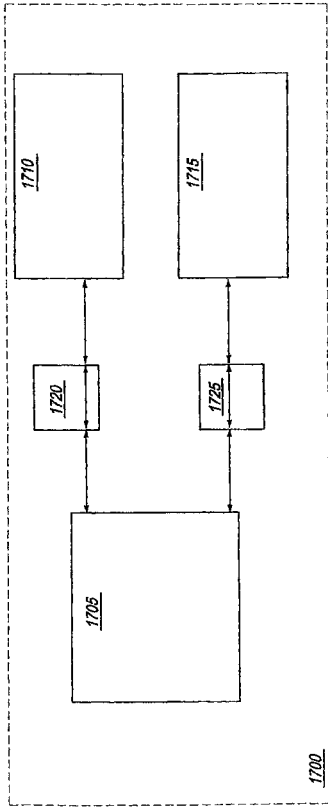
【 図 1 5 】



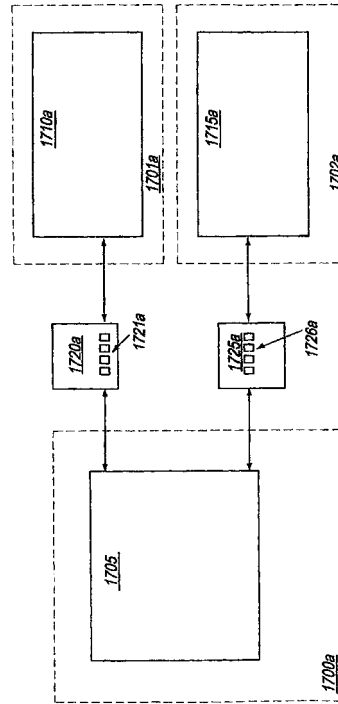
【 図 1 6 】



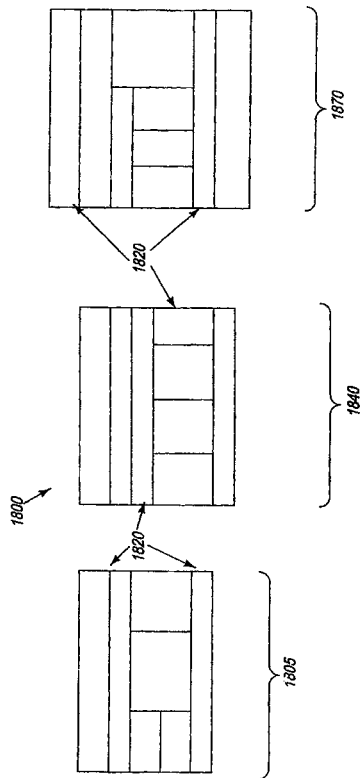
【 図 17 】



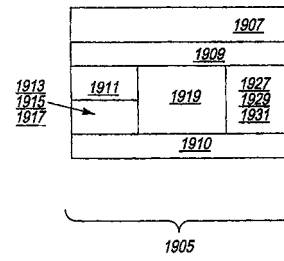
【 図 17 a 】



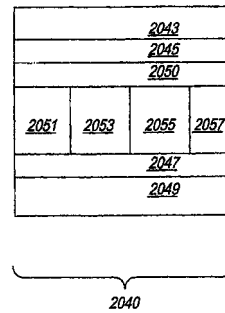
【 図 18 】



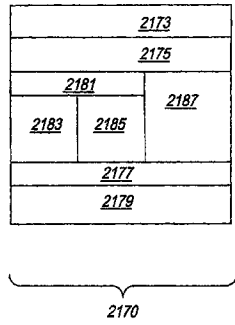
【 図 19 】



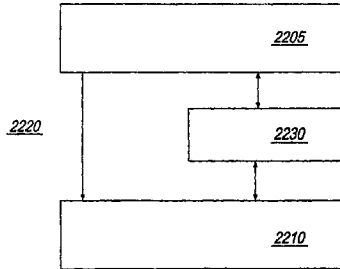
【 図 20 】



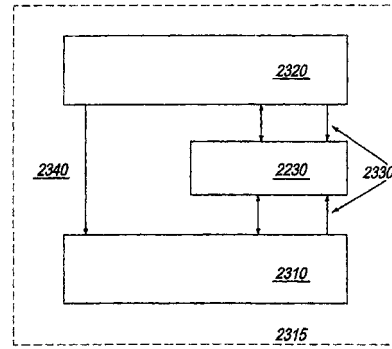
【 2 1 】



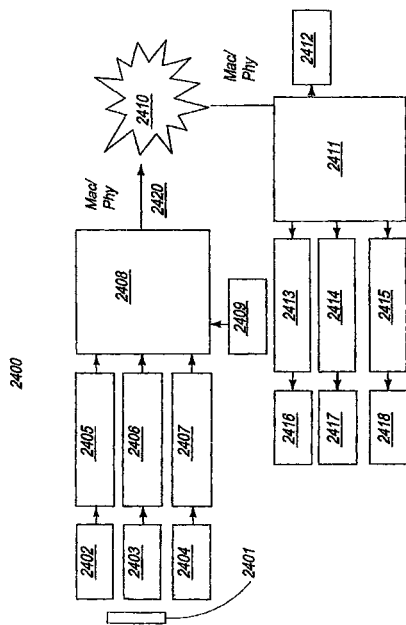
【 2 2 】



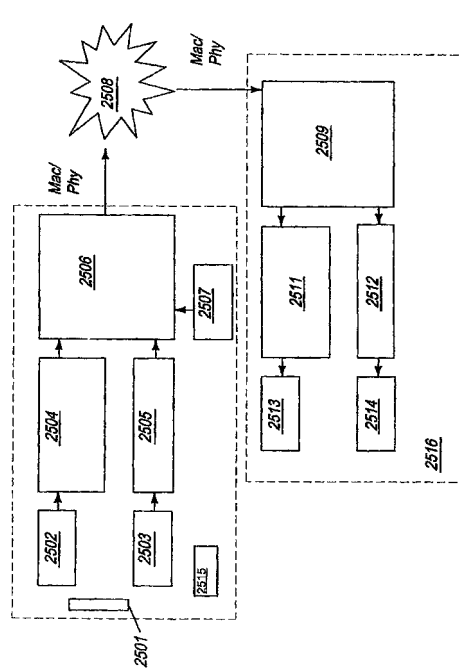
【 2 3 】



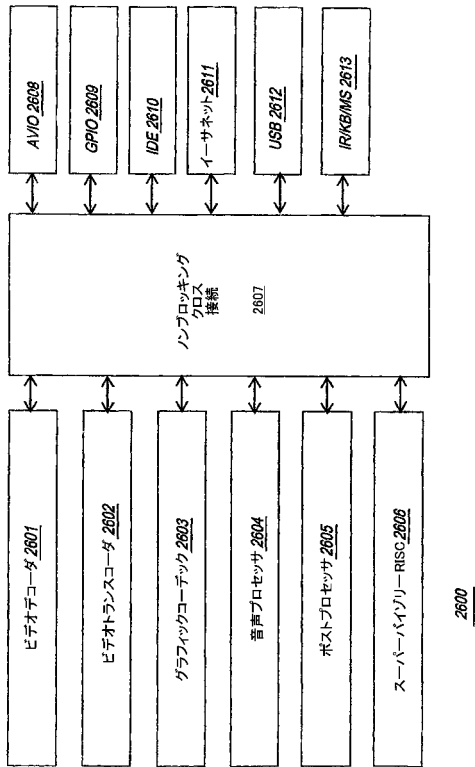
【 2 4 】



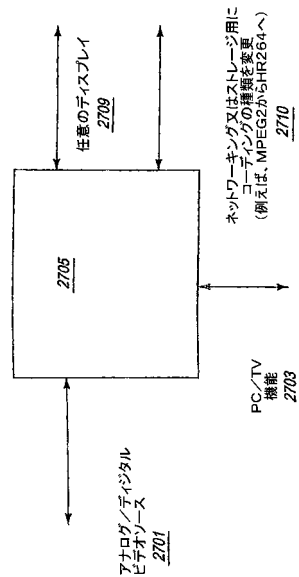
【 2 5 】



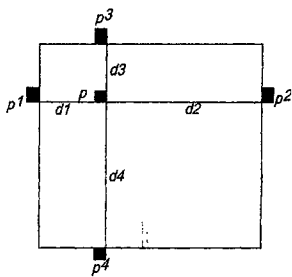
【 図 26 】



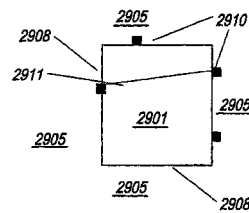
【 図 27 】



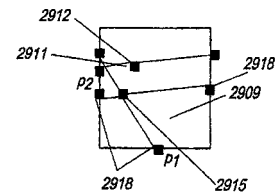
【 図 28 】



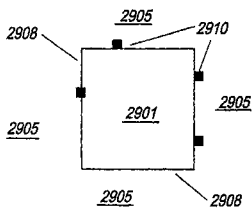
【 図 29 b 】



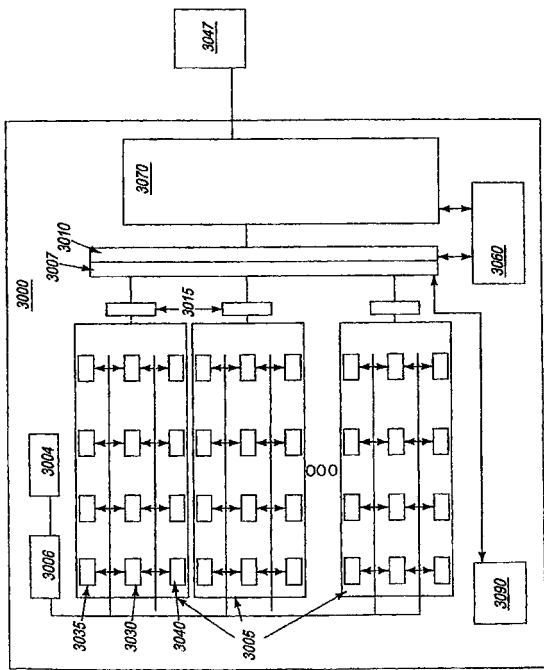
【 図 29 c 】



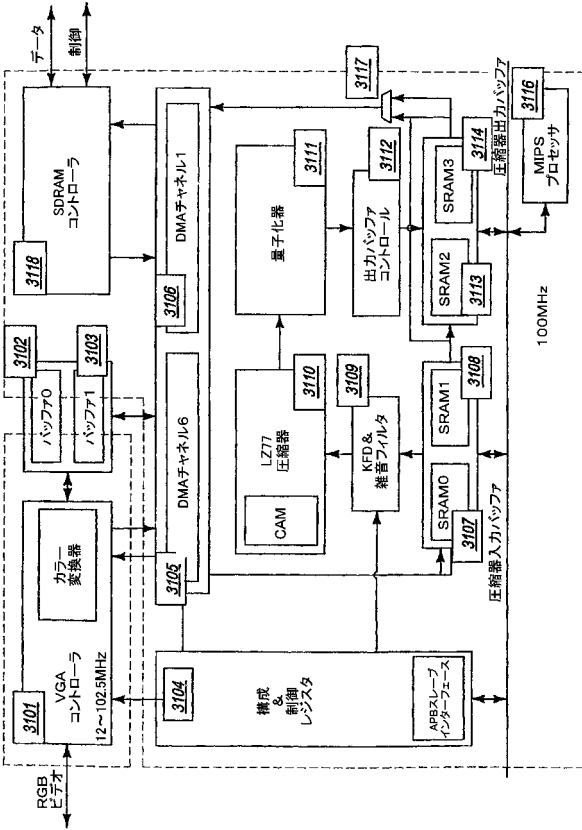
【 図 29 a 】



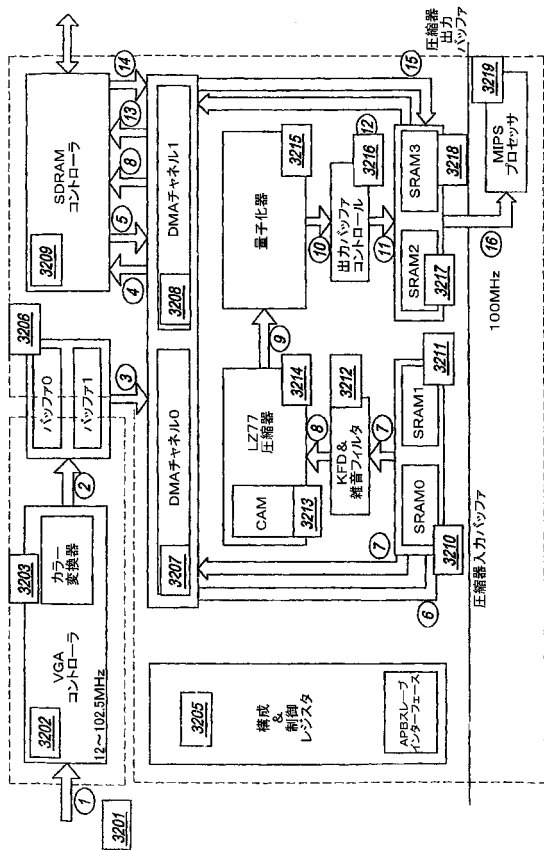
【図30】



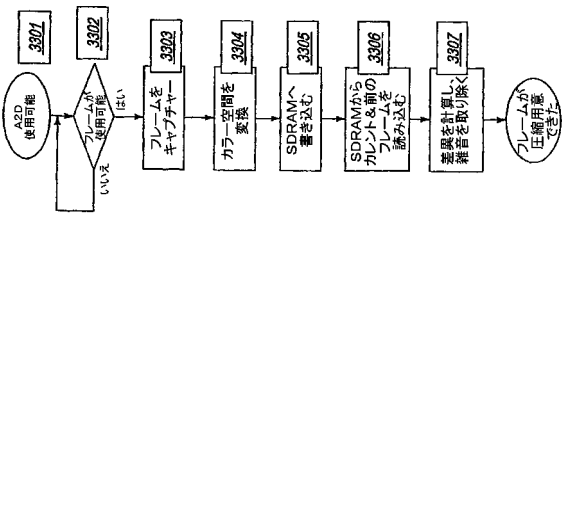
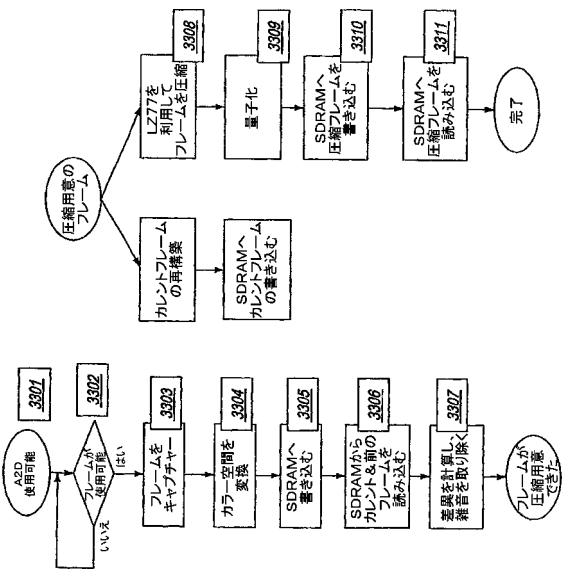
【図31】



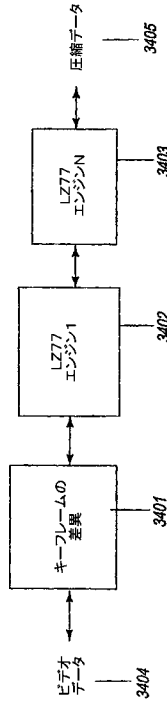
【図32】



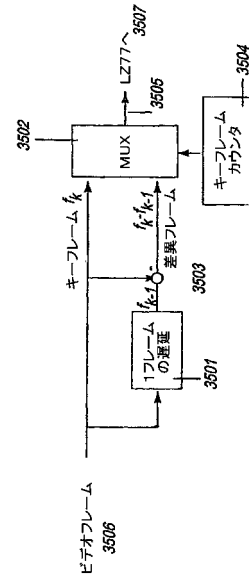
【図33】



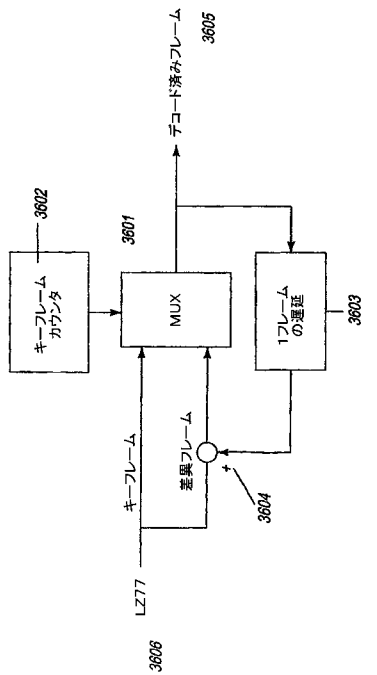
【図34】



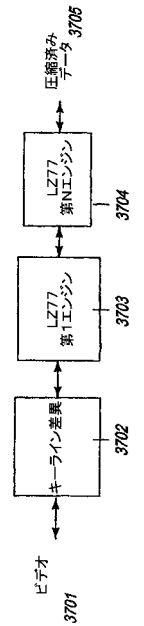
【図35】



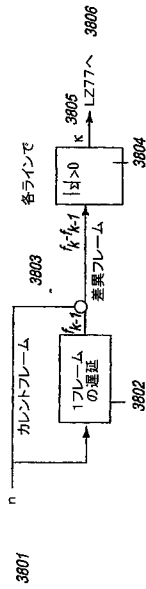
【図36】



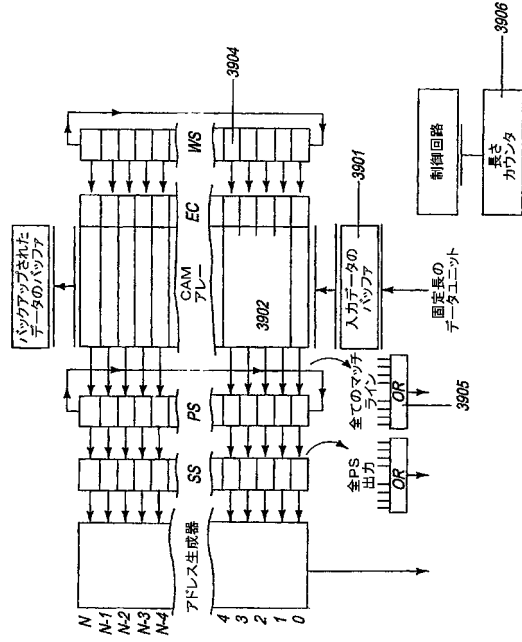
【図37】



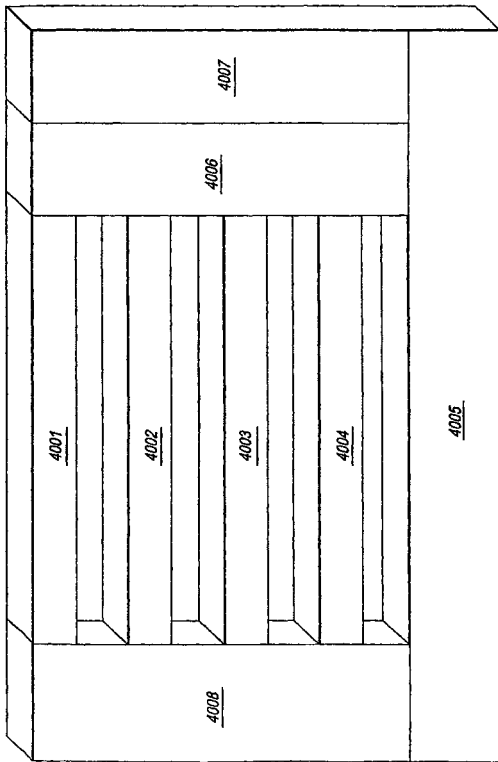
【図38】



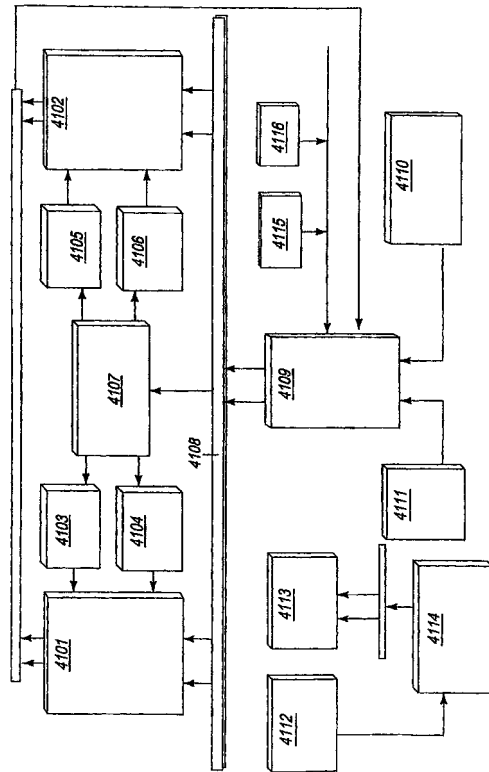
【図39】



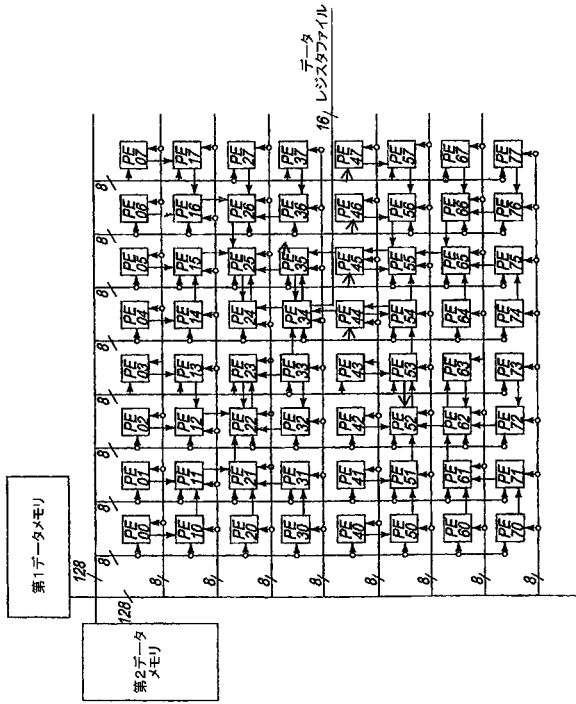
【図40】



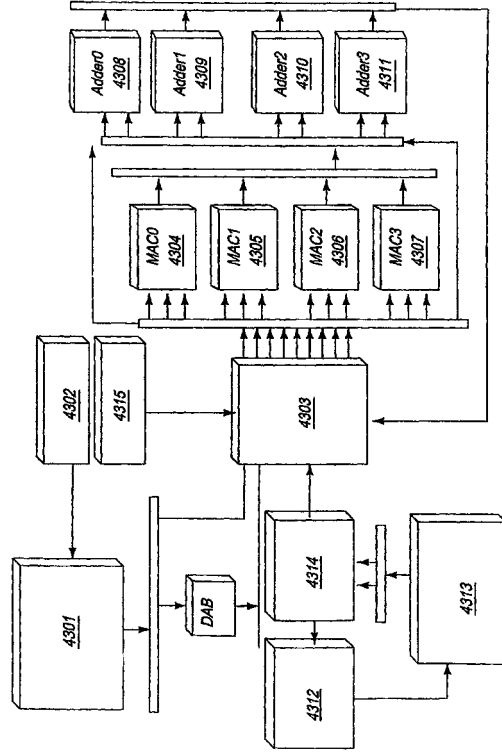
【図41】



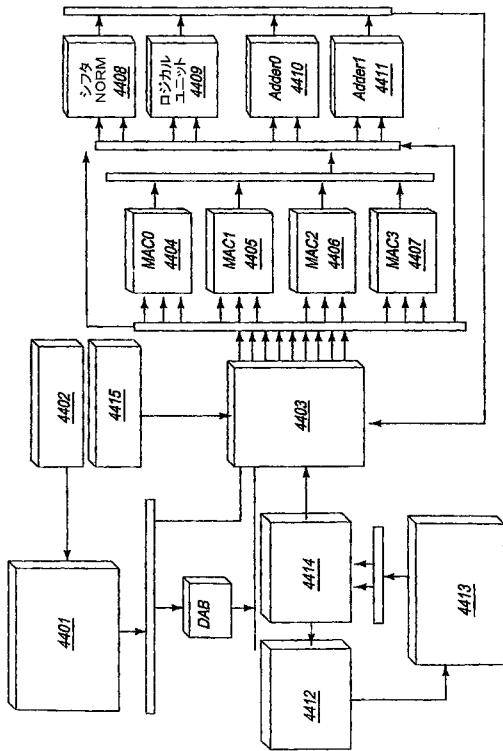
【 図 4 2 】



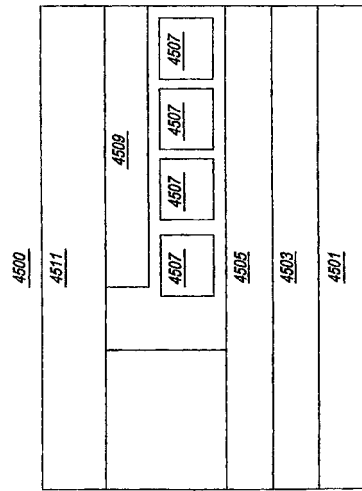
【 図 4 3 】



【 図 4 4 】



【 図 4 5 】



フロントページの続き

(72)発明者 モハメド ウースマン

米国、カリフォルニア州、92618、アーバイン、スイート250、アダパークウェイ1

審査官 鈴木 修治

(56)参考文献 特開平09-187009(JP,A)

特開平09-247679(JP,A)

米国特許第6400996(US,B1)

(58)調査した分野(Int.Cl., DB名)

G06F 9/50