

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2017-11168

(P2017-11168A)

(43) 公開日 平成29年1月12日(2017.1.12)

(51) Int.Cl.  
H01L 31/10 (2006.01)

F I  
H01L 31/10

テーマコード(参考)  
5F849

審査請求 未請求 請求項の数 4 O L (全 14 頁)

(21) 出願番号 特願2015-126712 (P2015-126712)  
(22) 出願日 平成27年6月24日 (2015.6.24)

(71) 出願人 000002130  
住友電気工業株式会社  
大阪府大阪市中央区北浜四丁目5番33号  
(74) 代理人 100088155  
弁理士 長谷川 芳樹  
(74) 代理人 100113435  
弁理士 黒木 義樹  
(74) 代理人 100136722  
弁理士 ▲高▼木 邦夫  
(74) 代理人 100174399  
弁理士 寺澤 正太郎  
(74) 代理人 100108257  
弁理士 近藤 伊知良

最終頁に続く

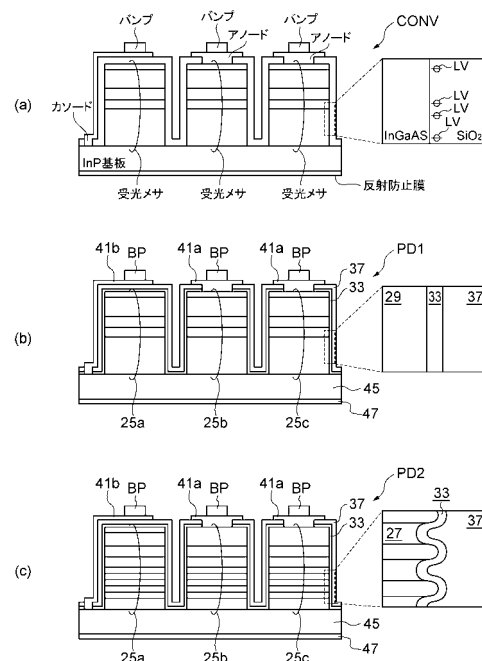
(54) 【発明の名称】 半導体受光素子を作製する方法

(57) 【要約】

【課題】半導体メサ側面に係るリーク電流を低減可能な構造を有する半導体受光素子を作製する方法を提供する。

【解決手段】半導体受光素子を作製する方法では、I I I族元素及びV族元素を備える半導体からなる受光層のための第1半導体層15(27、29)を含む半導体エピタキシャル領域の主面上にマスクを形成する。このマスクを用いて半導体エピタキシャル領域をエッチングして、該エッチングにより形成された半導体メサ25a、25b、25cを含む基板生産物を形成する。酸素及びN<sub>2</sub>Oの少なくともいずれか一方を含むガスをプラズマ処理装置に供給して、該ガスのプラズマにより基板生産物のプラズマ処理を行う。酸化源及びシリコン源を含む原料をプラズマ処理装置に供給して、基板生産物の表面にシリコン酸化膜37を堆積する。I I I族元素は、ガリウム及びインジウムの少なくともいずれかを含む。

【選択図】図6



## 【特許請求の範囲】

## 【請求項 1】

半導体受光素子を作製する方法であって、

III族元素及びV族元素を備える半導体からなる受光層のための半導体層を含む半導体エピタキシャル領域を準備する工程と、

前記半導体エピタキシャル領域の主面上にマスクを形成する工程と、

前記マスクを用いて前記半導体エピタキシャル領域をエッチングして、該エッチングにより形成された半導体メサを含む基板生産物を形成する工程と、

前記基板生産物をプラズマ処理装置に配置する工程と、

酸素及び $N_2O$ の少なくともいずれか一方を含むガスを前記プラズマ処理装置に供給して、前記ガスのプラズマにより前記基板生産物のプラズマ処理を行う工程と、

前記プラズマ処理の後に、酸化源及びシリコン源を含む原料を前記プラズマ処理装置に供給して、前記基板生産物の表面に酸化シリコンを堆積する工程と、

を備え、

前記基板生産物を形成する工程において、前記受光層は、前記半導体メサの側面に到達しており、

前記III族元素は、ガリウム及びインジウムの少なくともいずれかを含む、半導体受光素子を作製する方法。

## 【請求項 2】

前記プラズマ処理に際して、前記プラズマ処理装置のステージ温度は、摂氏150度以下である、請求項1に記載された半導体受光素子を作製する方法。

## 【請求項 3】

前記半導体層は、InGaAsを備える、請求項1又は請求項2に記載された半導体受光素子を作製する方法。

## 【請求項 4】

前記半導体層は、前記V族元素としてアンチモンを備えるIII-V半導体層を含む超格子構造を有する、請求項1～請求項3のいずれか一項に記載された半導体受光素子を作製する方法。

## 【発明の詳細な説明】

## 【技術分野】

## 【0001】

本発明は、半導体受光素子を作製する方法に関する。

## 【背景技術】

## 【0002】

特許文献1は、受光素子を開示する。

## 【先行技術文献】

## 【特許文献】

## 【0003】

【特許文献1】特開2006-269978号公報

## 【発明の概要】

## 【発明が解決しようとする課題】

## 【0004】

特許文献1の受光素子は、半導体メサの側面上に設けられた窒化シリコン膜を備える。メサ型構造を有する受光素子は、半導体からなるメサ側面を有する。メサ側面は、半導体メサ内の受光層のバンドギャップより広いバンドギャップの半導体で覆われることができる。このような半導体の形成は、再成長により行われる。しかしながら、半導体の被覆膜を適用できない構造の受光素子では、シリコン窒化膜のような絶縁膜が用いられることになる。半導体の被覆と異なり、例えばシリコン窒化膜(SiN)の被覆形成については、素子構造に起因する適用の困難性は小さい。また、SiNといった絶縁膜では、絶縁膜の形成及び絶縁膜の品質に関する適用の難しさは低いけれども、発明者の知見によれば、絶

10

20

30

40

50

縁膜が半導体メサの側面を直接に覆う構造では、受光素子のリーク電流が目立つようになる。発明者の検討によれば、受光素子の保護膜は、以下の両観点について考慮することになる：受光素子の外界に対する保護能と；受光素子の半導体メサ側面に係るリーク電流の阻止能。

【0005】

本発明の一側面は、このような背景を鑑みて為されたものであって、半導体メサ側面に係るリーク電流を低減可能な構造を有する半導体受光素子を作製する方法を提供することを目的とする。

【課題を解決するための手段】

【0006】

本発明の一側面に係る半導体受光素子を作製する方法は、III族元素及びV族元素を備える半導体からなる受光層のための半導体層を含む半導体エピタキシャル領域を準備する工程と、前記半導体エピタキシャル領域の主面上にマスクを形成する工程と、前記マスクを用いて前記半導体エピタキシャル領域をエッチングして、該エッチングにより形成された半導体メサを含む基板生産物を形成する工程と、前記基板生産物をプラズマ処理装置に配置する工程と、酸素及び $N_2O$ の少なくともいずれか一方を含むガスを前記プラズマ処理装置に供給して、前記ガスのプラズマにより前記基板生産物のプラズマ処理を行う工程と、前記プラズマ処理の後に、酸化源及びシリコン源を含む原料を前記プラズマ処理装置に供給して、前記基板生産物の表面に酸化シリコンを堆積する工程と、を備え、前記基板生産物を形成する工程において、前記受光層は、前記半導体メサの側面に到達しており、前記III族元素は、ガリウム及びインジウムの少なくともいずれかを含む。

【0007】

本発明の上記の目的および他の目的、特徴、並びに利点は、添付図面を参照して進められる本発明の好適な実施の形態の以下の詳細な記述から、より容易に明らかになる。

【発明の効果】

【0008】

以上説明したように、本発明の一側面によれば、半導体メサ側面に係るリーク電流を低減可能な構造を有する半導体受光素子を作製する方法が提供される。

【図面の簡単な説明】

【0009】

【図1】図1は、本実施形態に係る半導体受光素子を作製する方法における主要な工程を模式的に示す図面である。

【図2】図2は、本実施形態に係る半導体受光素子を作製する方法における主要な工程を模式的に示す図面である。

【図3】図3は、本実施形態に係る半導体受光素子を作製する方法における主要な工程を模式的に示す図面である。

【図4】図4は、本実施形態に係る半導体受光素子を作製する方法における主要な工程を模式的に示す図面である。

【図5】図5は、本実施形態に係る半導体受光素子を作製する方法における主要な工程を模式的に示す図面である。

【図6】図6は、いくつかの受光素子のパッシベーション構造を示す図面である。

【図7】図7は、 $N_2O$ プラズマ処理を適用した $InGaAs/GaAsSb$ 超格子の側面付近の透過型電子顕微鏡像のスケッチを示す図面である。

【図8】図8は、いくつかの受光素子における暗電流の特性を示す図面である。

【図9】図9は、 $N_2O$ ガスのプラズマ処理によって形成された酸化被膜上に堆積される $SiO_2$ の成膜温度と $SiO_2$ の膜応力との関係を示す図面である。

【発明を実施するための形態】

【0010】

引き続き、いくつかの具体例を説明する。

【0011】

一形態に係る半導体受光素子を作製する方法は、(a) III族元素及びV族元素を備える半導体からなる受光層のための半導体層を含む半導体エピタキシャル領域を準備する工程と、(b)前記半導体エピタキシャル領域の主面上にマスクを形成する工程と、(c)前記マスクを用いて前記半導体エピタキシャル領域をエッチングして、該エッチングにより形成された半導体メサを含む基板生産物を形成する工程と、(d)前記基板生産物をプラズマ処理装置に配置する工程と、(e)酸素及び $N_2O$ の少なくともいずれか一方を含むガスを前記プラズマ処理装置に供給して、前記ガスのプラズマにより前記基板生産物のプラズマ処理を行う工程と、(f)前記プラズマ処理の後に、酸化源及びシリコン源を含む原料を前記基板生産物に供給して、前記基板生産物の表面に酸化シリコンを堆積する工程と、を備え、前記基板生産物を形成する工程において、前記受光層は、前記半導体メサの側面に到達しており、前記III族元素は、ガリウム及びインジウムの少なくともいずれかを含む。

10

**【0012】**

半導体受光素子を作製する方法によれば、酸素及び $N_2O$ の少なくともいずれか一方を含むガスのプラズマに、基板生産物の半導体メサ表面を曝すと、半導体層のIII族元素を含むIII族酸化物が、半導体メサの側面に位置する受光層の側面に形成される。このIII族酸化物上に酸化シリコンを成長することによって、受光層の半導体側面が、シリコン酸化物中のシリコンに直接に曝されることがない。III族酸化物及びシリコン酸化物を含む積層構造によって、リーク電流の原因となる界面準位密度を半導体メサ側面において低減できると共に、シリコン酸化物によるパッシベーション能を享受できる。

20

**【0013】**

一形態に係る半導体受光素子を作製する方法では、前記プラズマ処理に際して、前記プラズマ処理装置のステージ温度は、摂氏150度以下である。

**【0014】**

半導体受光素子を作製する方法によれば、摂氏150度以下のステージ温度は、酸化シリコンに低い膜応力を提供できる。

**【0015】**

一形態に係る半導体受光素子を作製する方法では、前記半導体層は、InGaAsを備える。

**【0016】**

半導体受光素子を作製する方法によれば、半導体メサ側面は、ガリウム酸化物、インジウム酸化物、ガリウムインジウム酸化物を備える被覆膜によって覆われる。

30

**【0017】**

一形態に係る半導体受光素子を作製する方法では、前記半導体層は、前記V族元素としてアンチモンを備えるIII-V半導体層を含む超格子構造を有する。

**【0018】**

半導体受光素子を作製する方法によれば、超格子構造は、その超格子構造を構成する超格子層の交互配置に対応したラフネスを有する側面を有しており、この半導体側面が、ガリウム酸化物、インジウム酸化物、ガリウムインジウム酸化物を備える被覆膜によって覆われる。

40

**【0019】**

一形態に係る半導体受光素子を作製する方法では、前記受光層は、InGaAs層である。

**【0020】**

半導体受光素子を作製する方法によれば、InGaAs層の側面が、ガリウム酸化物、インジウム酸化物、ガリウムインジウム酸化物を備える被覆膜によって覆われる。

**【0021】**

本発明の知見は、例示として示された添付図面を参照して以下の詳細な記述を考慮することによって容易に理解できる。引き続き、添付図面を参照しながら、半導体受光素子を作製する方法、及び半導体受光素子に係る本発明の実施形態を説明する。可能な場合に

50

は、同一の部分には同一の符号を付する。

【0022】

図1～図5は、本実施形態に係る半導体受光素子を作製する方法における主要な工程を示す図面である。図1の(a)部に示されるように、工程ST1では、半導体基板11上に半導体積層13を成長して、エピタキシャル基板Eを形成する。半導体積層13は、半導体基板11の主面13a上に成長された受光層のための第1半導体層15を含む。図1の(a)部に示される一例では、半導体積層13は、第2半導体層17a、及び第3半導体層17bを更に含み、第2半導体層17a及び第3半導体層17bは、第1半導体層15上に成長されている。この結晶成長は、例えば有機金属気相成長法、分子線エピタキシー法により行われる。本実施例では、第1半導体層15は、単一半導体層19及び超格子半導体層21を含む。しかしながら、受光層のための第1半導体層15は、単一半導体層19及び超格子半導体層21の少なくともいずれか一方を備えることができ、引き続き説明では、半導体積層13が単一半導体層19及び超格子半導体層21の両方を備える構造を記述する。必要な場合には、半導体積層13は、バッファ層を更に備えることができ、このバッファ層は、第1半導体層15の成長に先立って半導体基板11の主面13a上に成長される。バッファ層の材料は、例えば半導体基板11と同じ材料である。本実施例では、エピタキシャル基板Eは、半導体基板11及び半導体エピタキシャル領域を含み、この半導体エピタキシャル領域は、半導体積層13を含む。

10

半導体積層13の一例。

半導体基板11：n型InP。

20

第1半導体層15の単一半導体層19：n型もしくは希薄なp型InGaAs。

第1半導体層15の超格子半導体層21：n型もしくは希薄なp型InGaAs(5nm)/n型もしくは希薄なp型GaAsSb(5nm)の超格子構造で、InGaAs/GaAsSb超格子はタイプIIのバンド構造を有する。

第2半導体層17a：p型InGaAs。

第3半導体層17b：p型InP。

半導体積層13は、第2半導体層17a及び第3半導体層17bのいずれか一方を含むようにしてもよい。

半導体積層13の別の一例。

半導体基板11：n型GaSb。

30

基板上層11a：p型GaSb。

第1半導体層15の超格子半導体層21：希薄なp型InAs/希薄なp型GaSbの超格子構造で、InAs/GaSb超格子は、タイプIIのバンド構造を有する。

第2半導体層17a：n型InAs。

【0023】

図1の(b)部に示されるように、工程ST2では、半導体積層13の主面13a上に、エッチングにより半導体メサを作製するためのマスク23を形成する。図1の(b)部及び図2の(a)部を参照すると、マスク23は、半導体積層13の主面13a上において一素子区画内に配列されたパターン23a～23iを有しており、必要に応じて、マスク23は、一素子区画内に単一又は複数のパターンを含むことができる。図2の(a)部に示される一例では、パターン23a～23iは3×3の二次元アレイ状に配列されており、この配列は、一次元配列であっても良い。図1の(b)部は、図2の(a)部に示されるIb-Ib線に沿って取られた断面を示す。マスク23の材料は、例えばシリコン系無機絶縁体からなることができ、シリコン系無機絶縁体は、シリコン酸化膜、及び/又はシリコン窒化膜を包含する。本実施例では、マスク23はSiNからなる。マスク23の作製の概要を説明する。半導体積層13の主面13a上にシリコン系無機絶縁膜といった誘電体膜を化学的気相成長(CVD)法で成長する。このシリコン系無機絶縁膜をフォトリソグラフィ及びエッチングにより加工して、シリコン系無機絶縁膜からマスク23を形成する。具体的に示せば、マスク23のパターンは、フォトダイオードアレイにおいて、画素が30µmピッチで横320×縦256個の並ぶように配置される。各画素のための

40

50

パターンの大きさは、例えば20～25 μm程度である。シリコン系無機絶縁膜のエッチングには、フッ酸系エッチャントが用いられる。

#### 【0024】

マスク23の形成の後に、図1の(c)部に示されるように、工程ST3では、エピタキシャル基板Eをエッチング装置10aに配置すると共に、マスク23を用いたエッチングによりエピタキシャル基板Eを加工して、半導体積層13から半導体メサ25a～25iを形成する。このエッチングは、例えばウエットエッチング又はドライエッチングであることができる。本実施例では、エッチング装置10aとして、誘導結合プラズマ-反応性イオンエッチング(ICP-RIE)装置を用いることができる。半導体積層13のエッチングのために、エッチング装置10aには、ハロゲン化水素/塩素系ガス、例えばHI及びSiCl<sub>4</sub>を供給する。図2の(b)部に示される一例では、パターン23a～23iに対応したメサアレイが形成されており、このアレイは、半導体メサ25a～25iを含む。図1の(c)部は、図2の(b)部に示されるIIb-IIb線に沿って取られた断面を示す。半導体メサ25a～25iの各々は、半導体積層13の層構造を引き継ぐ。各半導体メサ(25a～25i)は、第1受光層27、第2受光層29、アノード半導体層31a及びコンタクト半導体層31bを含む。第1受光層27、第2受光層29、アノード半導体層31a及びコンタクト半導体層31bは、それぞれ、超格子半導体層21、単一半導体層19、第2半導体層17a及び第3半導体層17bに対応する。本実施例では、各半導体メサ(25a～25i)は、半導体基板11の一部を含むような深さに半導体積層13及び半導体基板11がエッチングされることによって形成される。

10

20

#### 【0025】

半導体メサ形成におけるドライエッチングでは、半導体メサ25a～25iの側面にダメージ層を残す。このダメージ層は、ウエットエッチングによって除去される。このためのエッチャントは、例えばリン酸、過酸化水素水及び水の混合液(容量比で、リン酸/過酸化水素水/水=40/8/320)或いはクエン酸、過酸化水素水及び水の混合液(容量比で、クエン酸/過酸化水素水/水=5/10/450)であることができる。ウエットエッチングにより、メサ構造の表面の100nm程度の部分が除去される。このエッチングにより半導体メサ25a～25iの側面からダメージ層が除去される。ダメージ層除去後に、図3の(a)部に示されるように、工程ST4では、マスク23を除去して、基板生産物S1を形成する。

30

#### 【0026】

ダメージ層の除去の後に、図3の(b)部に示されるように、工程ST5では、プラズマCVD装置といったプラズマ処理装置10bに基板生産物S1を配置する。プラズマ処理装置10bに、不活性ガス、例えば窒素ガスを供給しながら、基板生産物S1の基板温度を変更する。基板生産物S1の基板温度は、例えば摂氏100度以上150度以下の範囲であることができる。基板温度は、例えばプラズマ処理装置10bのステージ温度として制御される。温度の制御が完了した後に、プラズマ処理装置10bに、酸素源を含む第1プロセスガスP1を供給すると共に、第1プロセスガスP1の流量を安定させた後に第1プロセスガスP1のプラズマ35を生成する。本実施例では、プロセスガスはO<sub>2</sub>及びN<sub>2</sub>Oの少なくともいずれかを含むことができる。具体例では、プラズマCVD装置内にN<sub>2</sub>Oガス(流量:5.07×10<sup>-2</sup>～1.69×10<sup>-1</sup>Pa・m<sup>3</sup>/s)を流しながら放電に点火する。プラズマ処理の時間は、30秒以上であることができ、この範囲においては、30秒以下ではメサ側面を半導体構成元素を含む酸化物で十分にカバレッジ出来ない。プラズマ35によるプラズマ処理の時間は、180秒以下であることができ、この範囲においては180秒以上だとメサ側面にプラズマダメージが蓄積し暗電流が悪化する。摂氏100度以上の基板温度を用いるプラズマ処理は、100度以下だと続く成膜工程で膜が成膜されない。摂氏150度以下の基板温度を用いるプラズマ処理は、150度以上だと続く成膜工程で成膜されるSiO<sub>2</sub>の膜応力増加によって暗電流が悪化する。プラズマ処理の一例。

40

プロセスガス: N<sub>2</sub>Oガス(流量:1.69×10<sup>-1</sup>Pa・m<sup>3</sup>/s)。

50

基板温度：摂氏100度。

RFパワー：20W～50W。

放電時間：30秒。

酸素源と反応可能なガス種をプラズマCVD装置に供給しないので、半導体メサ25a～25iのメサ構造の側面の非晶質層が、上記のプラズマ処理によって、半導体メサの半導体のIII族構成元素の酸化膜に改質され、及び/又は該酸化膜が成膜される。この膜を、引き続き説明において、「酸化被膜33の形成」として参照する。半導体メサ25a～25iのメサ構造の側面及び上面は、酸化被膜33によって覆われる。

#### 【0027】

プラズマ生成を終了して酸化被膜の形成を完了させた後に、図3の(c)部に示されるように、工程ST6では、基板生産物S1をプラズマ処理装置10b内に維持しながら、第1プロセスガスP1を第2プロセスガスP2に切り替える。本実施例では、第2プロセスガスP2は、N<sub>2</sub>Oガス及びシラン系ガスを含むことができ、シラン系ガスとしては例えば、SiH<sub>4</sub>、Si(OC<sub>2</sub>H<sub>5</sub>)<sub>4</sub>であることができる。基板生産物S1の基板温度は、例えば摂氏100度以上150度以下の範囲であることができ、例えば酸化被膜33の形成の際の温度と同じであることができる。プラズマ処理装置10bに酸化源が残留することを避けるために、第2プロセスガスP2をプラズマ処理装置10bに流す期間を十分に確保する。第2プロセスガスP2の種類は、引き続きシリコン酸化物の堆積を考慮して決定されている。

10

#### 【0028】

パージの後に、図4の(a)部に示されるように、工程ST7では、基板生産物S1をプラズマ処理装置10bに維持しながら、第2プロセスガスP2のプラズマ38を点火して、シリコン酸化膜37の成膜を行う。この成膜では、例えばシラン系ガスとしてSiH<sub>4</sub>を用い、第2プロセスガスP2は、N<sub>2</sub>Oガス及びSiH<sub>4</sub>を含む。基板生産物S1の基板温度は、例えば摂氏100度以上150度以下の範囲であることができ、例えば酸化被膜33の形成の際の温度と同じであることができる。また、成膜されたシリコン酸化膜37(例えばSiO<sub>2</sub>)の厚さは、200nm以上350nm以下であることができ、シリコン酸化膜37の膜厚の見積もりは、メサが形成されていない平坦な場所において、分光エリプソメータを用いて行われる。この成膜に、第1プロセスガスP1を用いるプラズマ処理のためと同じ酸化源を用いるので、成膜工程でガス切り替え工程が省略できる(例えば、N<sub>2</sub>パージとN<sub>2</sub>O流量安定待ち工程が不要である)。

20

30

プラズマ処理の一例。

プロセスガス：N<sub>2</sub>Oガス及びSiH<sub>4</sub>。

基板温度：摂氏100度。

RFパワー：20W。

膜厚：300nm。

半導体メサ25a～25iの側面上の酸化被膜33は、低応力のシリコン酸化膜37によって覆われる。

#### 【0029】

シリコン酸化膜37の成膜の後に、図4の(b)部に示されるように、工程ST8では、プラズマ処理装置10bに、不活性ガス、例えば窒素ガスを供給しながら、基板生産物S1の基板温度を変更する。シリコン酸化膜37の成膜の際には、基板生産物S1の基板温度が例えば摂氏100度以上150度以下の範囲であるけれども、この温度を室温程度に下げる。所望の基板温度に到達した後に、基板生産物S1をプラズマ処理装置10bから取り出す。基板温度は、例えばプラズマ処理装置10bのステージ温度としてモニタできる。

40

#### 【0030】

基板生産物S1をプラズマ処理装置10bから取り出した後に、図4の(c)部に示されるように、工程ST9において、半導体メサ25b、25cの側面上の酸化被膜33及びシリコン酸化膜37に開口39を形成する。この開口39は、例えばアノード電極が、

50

半導体メサ 25 b、25 c の上面に接触を成すために利用される。

【0031】

酸化被膜 33 及びシリコン酸化膜 37 に開口 39 を形成した後に、図 5 の (a) 部に示されるように、工程 ST 10 において、酸化被膜 33 及びシリコン酸化膜 37 に開口 39 を介して半導体メサ 25 b、25 c の上面に接触を成すアノード電極 41 a を形成する。また、酸化被膜 33 及びシリコン酸化膜 37 に開口 43 を形成すると共に、酸化被膜 33 及びシリコン酸化膜 37 に開口 43 を介して半導体基板 11 の上面に接触を成すカソード電極 41 b を形成する。これらの工程により基板生産物 S2 が形成される。

【0032】

アノード電極 41 a 及びカソード電極 41 b を形成した後に、図 5 の (b) 部に示されるように、工程 ST 11 において、基板生産物 S2 の裏面 (半導体基板 11 の裏面 11 b) を研磨して、基板生産物 S2 の厚さを薄くする。研磨の結果、基板生産物 S2 は、半導体基板 45 の研磨された裏面 45 b (研磨面) を有する。これらの工程により、基板生産物 S3 が形成される。基板生産物 S3 は、半導体メサ 25 a、25 b、26 c の上面及び側面は、酸化被膜 33 及びシリコン酸化膜 37 によって覆われている。半導体メサ 25 a、25 b、26 c 内の全ての受光層の側面が酸化被膜 33 及びシリコン酸化膜 37 によって覆われるので、フォトダイオードの暗電流が低減される。

【0033】

裏面研磨の後に、図 5 の (c) 部に示されるように、工程 ST 12 において、基板生産物 S2 の研磨面 (半導体基板 45 の研磨された裏面 45 b) 上に、反射防止膜 47 が形成される。反射防止膜 47 は例えば SiON であることができる。これらの工程により、基板生産物 S4 が形成される。必要な場合には、アノード電極 41 a 及びカソード電極 41 b 上にパンプ電極を形成する。基板生産物 S4 は、劈開又はダイシングによって分離されて、個々の半導体チップが形成される。

【0034】

図 6 は、いくつかの受光素子のパッシベーション構造を示す図面である。図 6 の (a) 部、(b) 部及び (c) 部は、それぞれ、受光素子 CONV、第 1 受光素子 PD1 及び第 2 受光素子 PD2 を示す。受光素子 CONV、第 1 受光素子 PD1 及び第 2 受光素子 PD2 は、メサ型構造を有している。受光素子 CONV のパッシベーション構造は、第 1 受光素子 PD1 及び第 2 受光素子 PD2 のパッシベーション構造と異なる。受光素子 CONV、第 1 受光素子 PD1 及び第 2 受光素子 PD2 は、アノード電極及びカソード電極を備え、アノード電極及びカソード電極上には、パンプ電極 BP が形成されている。

【0035】

図 6 の (a) 部を参照すると、受光素子 CONV では、SiO<sub>2</sub> が InGaAs 受光層の側面に直接に接触している。これ故に、InGaAs 受光層と SiO<sub>2</sub> との接合の近傍に界面準位 LV が形成される。これらの界面準位 LV が、界面に流れるリーク電流の経路になる。

【0036】

図 6 の (b) 部を参照すると、第 1 受光素子 PD1 は、受光層内に第 2 受光層 29 を備える。第 2 受光層 29 の側面が、例えば N<sub>2</sub>O プラズマのプラズマ処理によって形成された酸化被膜 33 に直接に、また全体にわたって接している。この酸化被膜 33 は、シリコン酸化膜 37 に代表される無機絶縁膜によって覆われている。酸化被膜 33 は、パッシベーションのための無機絶縁膜が受光層の半導体に直接に接触することを妨げる。

【0037】

図 6 の (c) 部を参照すると、第 2 受光素子 PD2 は、受光層内に第 1 受光層 27 を備える。第 1 受光層 27 の側面は、第 1 受光層 27 内の超格子構造の層構造に対応したリッジ及びリセスを含む。超格子構造の側面は、第 2 受光層 29 の側面に比べて平坦ではないけれども、第 1 受光層 27 の側面が、例えば N<sub>2</sub>O プラズマのプラズマ処理によって形成された酸化被膜 33 に直接に、また全体にわたって接している。この酸化被膜 33 は、シリコン酸化膜 37 に代表される無機絶縁膜によって覆われている。酸化被膜 33 は、パッ

10

20

30

40

50

シベーションのための無機絶縁膜が受光層の半導体に直接に接触することを妨げる。

【0038】

図7は、 $N_2O$ プラズマ処理を適用したInGaAs/GaAsSb超格子の側面付近の透過型電子顕微鏡像のスケッチを示す図面である。図7の(a)部は、15秒の $N_2O$ プラズマ処理を適用したInGaAs/GaAsSb超格子の側面を含むエリアのスケッチであり、図7の(b)部は、30秒の $N_2O$ プラズマ処理を適用したInGaAs/GaAsSb超格子の側面を含むエリアのスケッチである。具体的には、図7の(a)部及び(b)部において、 $W1 = 4.4 \text{ nm}$ 、 $L1 = 12.4 \text{ nm}$ 、 $W2 = 2.8 \text{ nm}$ 、 $L2 = 9.6 \text{ nm}$ 、 $L3 = 2.5 \text{ nm}$ である。長めの $N_2O$ プラズマ処理は、超格子構造の層構造に対応したリッジ(メサ側面の突起)を細らせて、リセス(メサ側面の溝)が浅くなる。図7の(a)部及び(b)部の結果として、メサ側面におけるリッジの高さ及びリセスの深さが、例えば9.6 nm以下になっている。また、酸化被膜の形成を容易にするためには、プラズマ処理前において、メサ側面におけるリッジの高さ及びリセスの深さは12 nm以下であることが良く、隣合うリッジの間隔は4 nm以下であることが良い。例えば2 nm以上の厚さの酸化被膜を $N_2O$ のプラズマによる処理で形成できる。

10

【0039】

図7に係る実験から理解されるように、 $N_2O$ プラズマ処理は、超格子構造の層構造の側面の面積を小さくするように作用している。 $N_2O$ プラズマ処理によれば、受光層を構成する半導体層の側面のラフネスを低減して受光層の側面の表面を低減すると共に、受光層を構成する半導体層の側面を僅かに酸化して、受光層の半導体の構成元素の酸化物により受光層の側面を覆うことを可能にしている。この酸化物による被覆は、半導体と酸化物との界面における界面準位密度の低減に寄与する。

20

【0040】

図8は、いくつかの受光素子における暗電流の特性を示す。図8の縦軸における例えば「 $1 \cdot E - 07$ 」の表記は $1 \cdot 0 \times 10^{-7}$ を表す。以下の受光素子を作製した：超格子構造の層構造を有する半導体メサの側面に $N_2O$ プラズマ処理を適用すること無く直接にシリコン酸化膜を堆積させた第1受光素子；超格子構造の層構造を有する半導体メサの側面に15秒の $N_2O$ プラズマ処理を施した後にシリコン酸化膜を堆積させた第2受光素子；及び超格子構造の層構造を有する半導体メサの側面に30秒の $N_2O$ プラズマ処理を施した後にシリコン酸化膜を堆積させた第3受光素子。これらの受光素子のリーク電流を測定した結果を示す。個々の受光素子は、 $20 \mu\text{m}$ 角の半導体メサを有しており、暗電流は、-1.2ボルトの印加電圧の下で絶対温度213 Kで測定された。

30

素子名、 プラズマ処理時間、誘電体膜、リーク電流。

第1受光素子： 無し、窒化シリコン、1200 pA。

第2受光素子： 15秒、酸化シリコン、100 pA。

第3受光素子： 30秒、酸化シリコン、10 pA。

リーク電流の観点から、30秒以上のプラズマ処理が好ましい。

【0041】

図9は、 $N_2O$ ガスのプラズマ処理によって形成された酸化被膜上に堆積される $SiO_2$ の成膜温度と $SiO_2$ の膜応力との関係を示す。例えば150度以下の温度範囲における成膜は、450 MPa(絶対値)以下の圧縮応力の $SiO_2$ を提供でき、これは暗電流増加の抑制に有効である。また、摂氏100度以上150度以下の温度範囲における成膜は、 $SiO_2$ に300 MPa以上450 MPa以下の圧縮応力を提供できる。

40

【0042】

メサ型半導体受光素子を作製する際には、化合物半導体基板上に受光層を含む半導体積層をエピタキシャルに成長する。この半導体積層はp層及びn層を含む。これ故に、半導体積層からエッチングにより形成されたメサ構造の側面には、pn接合が到達している。側面におけるpn接合は、半導体受光素子のリーク電流の一因である。リーク電流を低減するために、メサ側面を保護膜によって被覆する。この保護膜は、受光層のバンドギャップより広い半導体層、及び絶縁膜、例えばシリコン窒化物( $SiN$ )を包含する。保護膜

50

のための半導体層は、例えば有機金属気相成長法により成長され、この成長が再成長と呼ばれる。しかしながら、イメージセンサにおいては、画素のための複数の半導体メサが互いに近くに配列されているので、これらの半導体メサの側面に半導体層を再成長することは容易ではない。半導体メサの側面をSiNといった絶縁膜により被覆することは可能であるけれども、より低減されたリーク電流特性の半導体受光素子が求められている。

#### 【0043】

一例を示せば、赤外イメージセンサでは、画素が30 $\mu$ mの狭いピッチで配列されている。これらの画素の各々は半導体メサを備える。半導体メサの間にある溝の幅は例えば10 $\mu$ m程度になって、溝の深さは例えば5 $\mu$ m程度となる。このように狭い空隙を形成するメサ側面を十分に覆い尽くすように半導体を再成長する成長条件は容易には見出せない。

10

#### 【0044】

また、受光層は、構成元素の異なる2種類の半導体層を備える超格子構造を有するとき、これらの半導体層は、同じエッチャントに対して、異なるサイドエッチ量を示す。これ故に、エッチングされたメサ側面には、超格子構造に起因する表面構造が形成される。このような表面構造を有するメサ側面を保護膜により被覆した後に、表面構造の微小な隙間がメサ側面に残される可能性がある。この隙間は電流リークの原因になる。プラズマ気相成長によるSiN膜は、表面構造の微小な隙間を埋めてメサ側面を被覆できる。しかしながら、半導体と絶縁膜との界面にキャリア捕獲準位が形成され易く、界面準位を介してリーク電流が流れる。

20

#### 【0045】

このような背景の下に、発明者は、SiNといった絶縁膜によって直接に半導体メサの側面を被覆すること無く、受光層の半導体の構成元素の酸化物によって直接に半導体メサの側面を被覆する着想に至った。受光層の半導体の構成元素の酸化物によって直接に半導体メサの側面を被覆することの一手法は、例えば受光層の半導体を酸化源により酸化することである。受光層の半導体の構成元素は、例えばガリウム、インジウムといったIII族元素を含み、III族構成元素の酸化物は、例えば酸化ガリウム(例えばGa<sub>2</sub>O<sub>3</sub>、バンドギャップ4.8 eV)、酸化インジウム(例えばIn<sub>2</sub>O<sub>3</sub>、バンドギャップ3.5 eV)、酸化ガリウム・インジウム(例えばGaInO、バンドギャップ3.5 eV~4.8 eV)を包含する。これらのIII族酸化物は、受光層のバンドギャップに比べて十分に広いバンドギャップを有する。

30

#### 【0046】

好適な実施の形態において本発明の原理を図示し説明してきたが、本発明は、そのような原理から逸脱することなく配置および詳細において変更され得ることは、当業者によって認識される。本発明は、本実施の形態に開示された特定の構成に限定されるものではない。したがって、特許請求の範囲およびその精神の範囲から来る全ての修正および変更権利を請求する。

#### 【産業上の利用可能性】

#### 【0047】

以上説明したように、本実施形態によれば、半導体メサ側面に係るリーク電流を低減可能な構造を有する半導体受光素子を作製する方法が提供される。

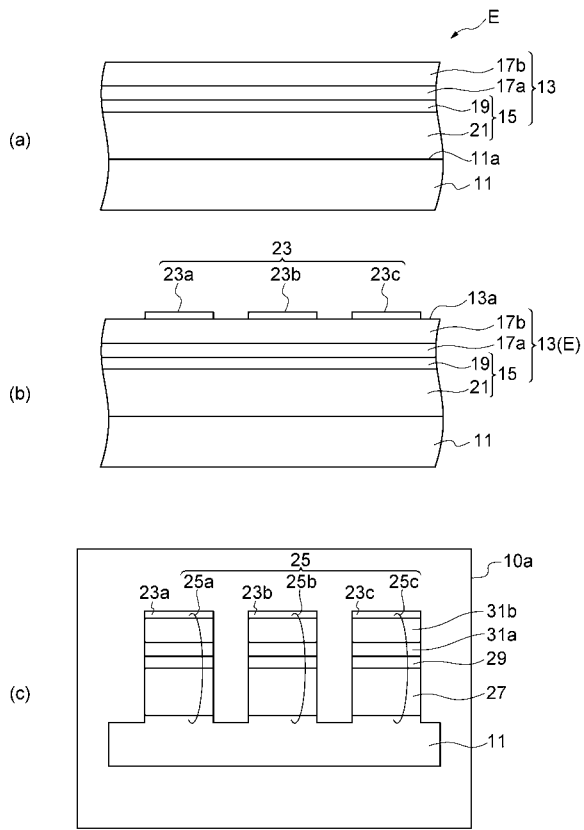
40

#### 【符号の説明】

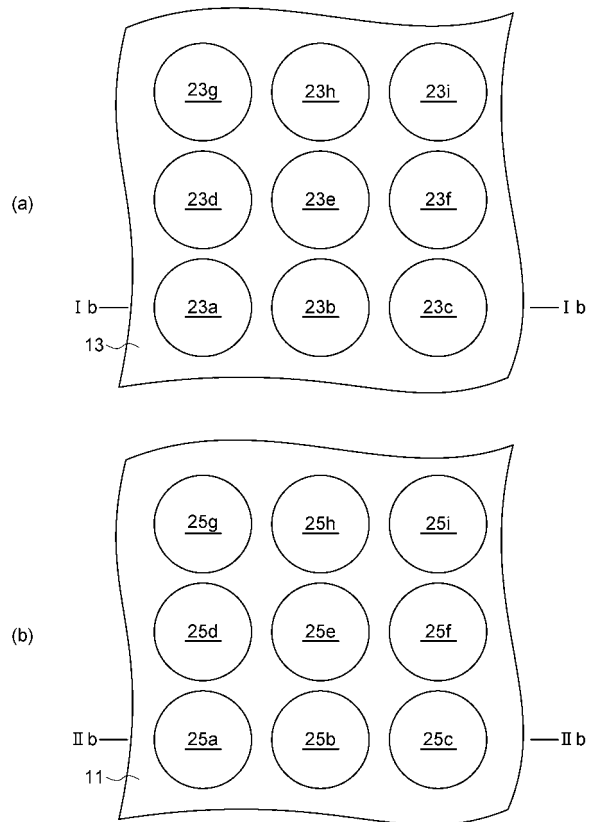
#### 【0048】

10 a ... エッチング装置、10 b ... プラズマ処理装置、11 ... 半導体基板、13 ... 半導体積層、15 ... 第1半導体層、17 a ... 第2半導体層、17 b ... 第3半導体層、19 ... 単一半導体層、21 ... 超格子半導体層、23 ... マスク、25 a ~ 25 i ... 半導体メサ、33 ... 酸化被膜、37 ... シリコン酸化膜、41 a ... アノード電極、41 b ... カソード電極、P1 ... 第1プロセスガス、P2 ... 第2プロセスガス、S1 ... 基板生産物、E ... エピタキシャル基板。

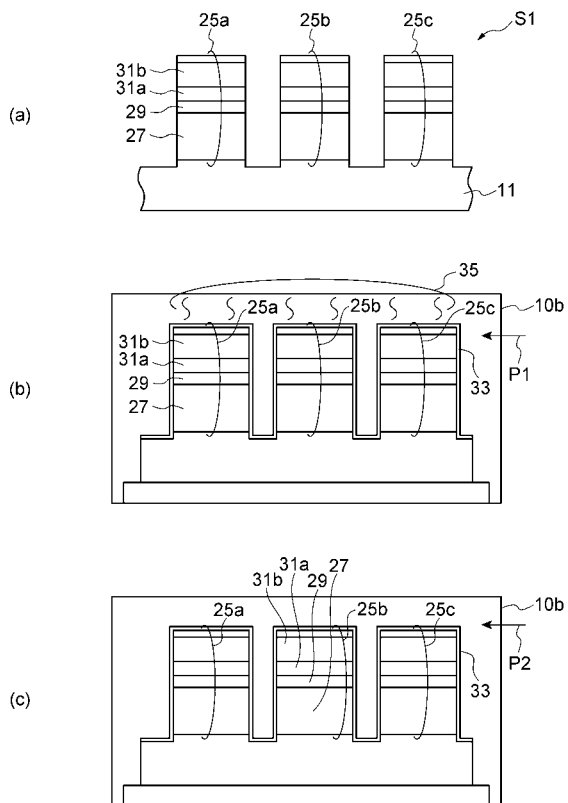
【 図 1 】



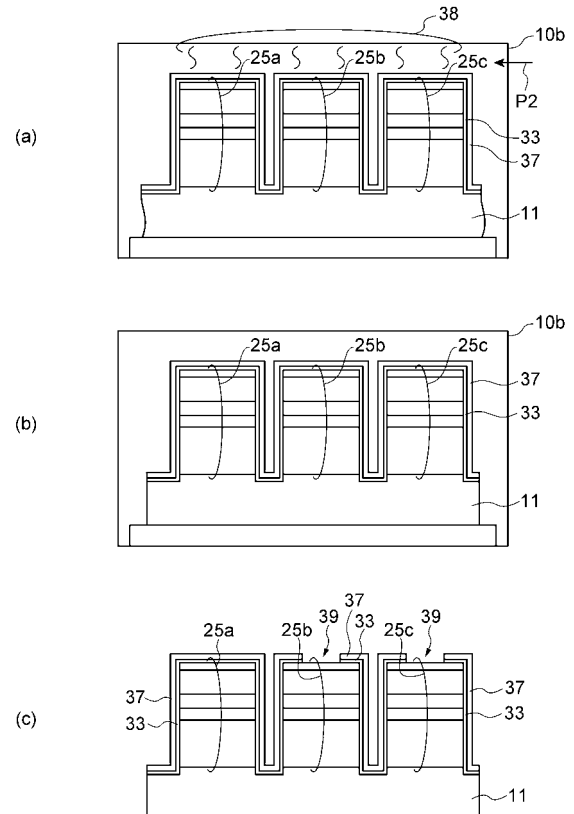
【 図 2 】



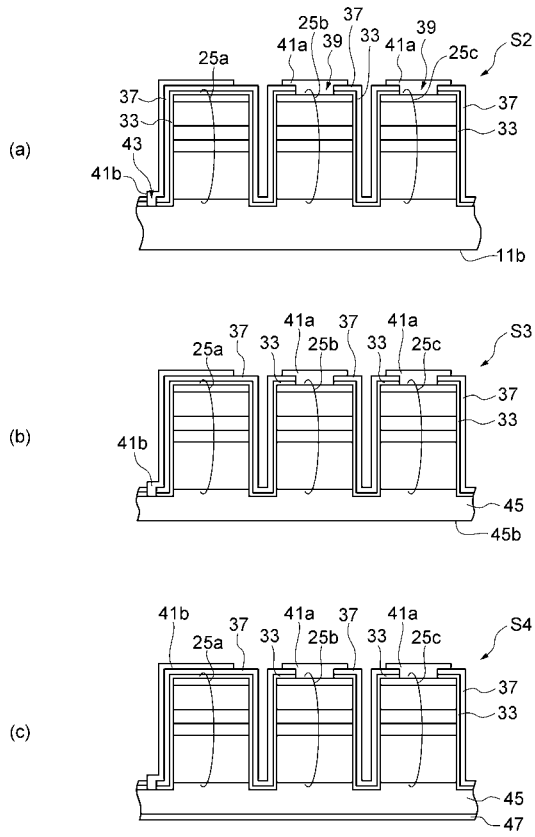
【 図 3 】



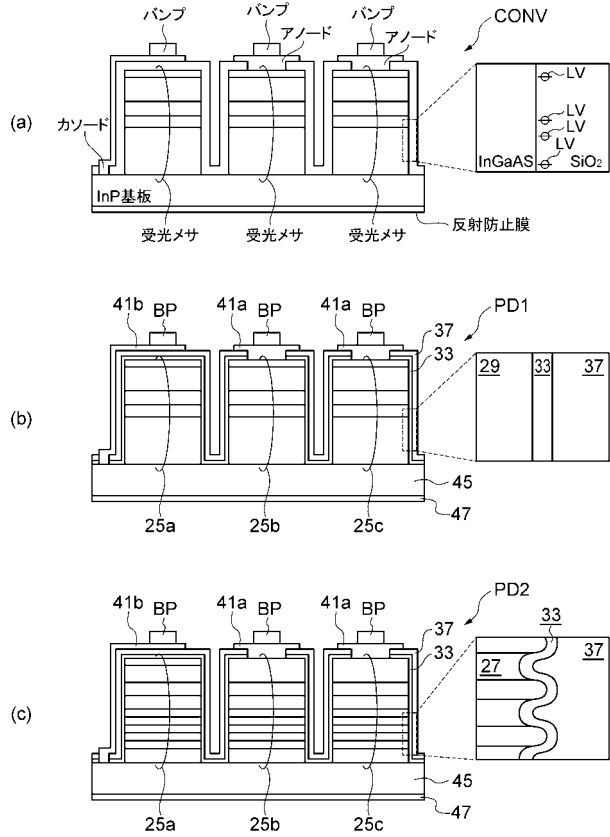
【 図 4 】



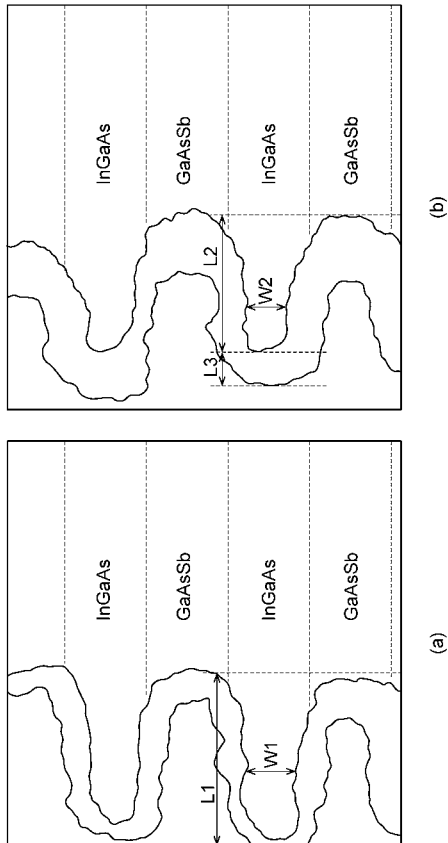
【 図 5 】



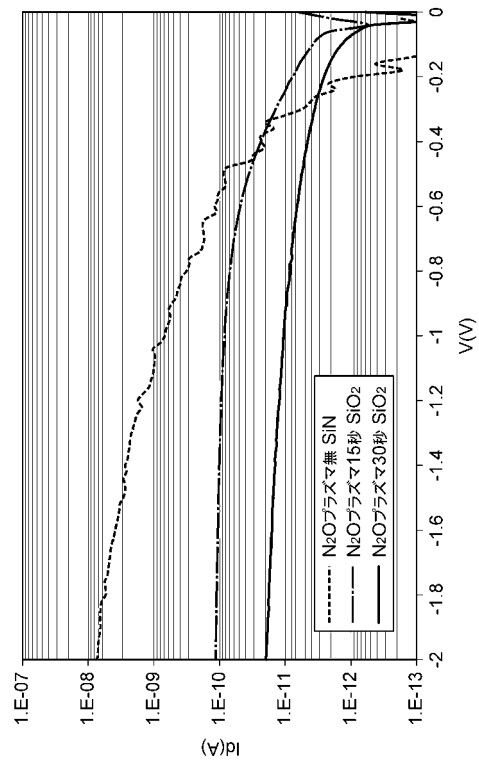
【 図 6 】



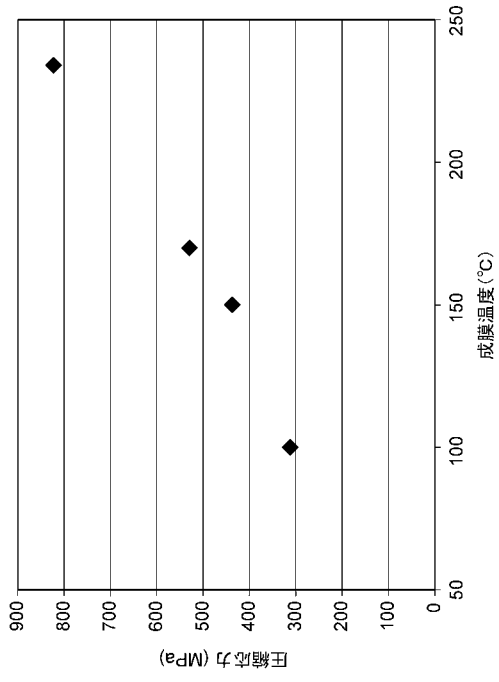
【 図 7 】



【 図 8 】



【 図 9 】



---

フロントページの続き

(72)発明者 町長 賢一

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

(72)発明者 猪口 康博

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

(72)発明者 河原 孝彦

神奈川県横浜市栄区田谷町1番地 住友電気工業株式会社横浜製作所内

Fターム(参考) 5F849 AA02 AB07 BA05 BB03 CB01 CB05 DA02 HA13 LA01 XB03  
XB18