

[51] Int. Cl⁷

H01L 23/60

H01L 27/00



[12] 发 明 专 利 说 明 书

专利号 ZL 01137184.6

[45] 授权公告日 2005 年 12 月 7 日

[11] 授权公告号 CN 1230902C

[22] 申请日 2001.10.24 [21] 申请号 01137184.6

〔30〕 優先権

[32] 2000. 10. 24 [33] JP [31] 324190/2000

[71] 专利权人 株式会社东芝

地址 日本东京都

[72] 发明人 泷场明 衣笠昌典 伊藤佳充

水田 勝

审查员 陈 源

[74] 专利代理机构 中国国际贸易促进委员会专利
商标事务所

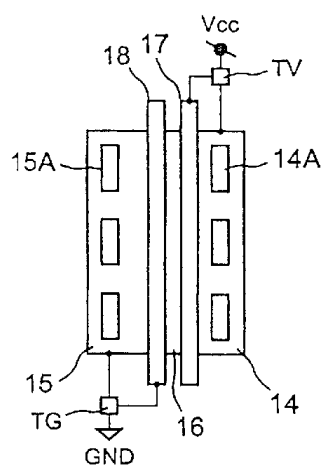
代理人 王永刚

权利要求书 3 页 说明书 17 页 附图 8 页

[54] 发明名称 设置在半导体电路中的保护电路

[57] 摘要

半导体装置具备供给电源电位的电源端子和供给基准电位的基准端子、第1、第2p沟和第1、第2n沟MOS晶体管。第1p沟MOS晶体管的栅极、源极和背面栅极连接电源端子。第2p沟MOS晶体管的源极连接第1p沟MOS晶体管的漏极，背面栅极连接电源端子，栅极和漏极连接基准端子。第1n沟MOS晶体管的栅极、源极和背面栅极连接基准端子。第2n沟MOS晶体管的源极连接第1n沟MOS晶体管的漏极，背面栅极连接基准端子，栅极和漏极连接电源端子。



ISSN 1008-4274

1. 一种保护电路, 具备:

供给电源电位的电源端子;

供给基准电位的基准端子;

具有第1栅极、第1源极、第1漏极和第1背面栅极的第1p沟MOS晶体管, 上述第1栅极、第1源极和第1背面栅极被连接到上述电源端子上;

具有第2栅极、第2源极、第2漏极和所述第1背面栅极的第2p沟MOS晶体管, 上述第2p沟MOS晶体管的上述第2源极被连接到上述第1p沟MOS晶体管的第1漏极上, 上述第2p沟MOS晶体管的上述第2栅极、第2漏极被连接到上述基准端子上;

具有第3栅极、第3源极、第3漏极和第2背面栅极的第1n沟MOS晶体管, 上述第1n沟MOS晶体管的上述第3栅极、第3源极和所述第2背面栅极被连接到上述基准端子上; 和

具有第4栅极、第4源极、第4漏极和第2背面栅极的第2n沟MOS晶体管, 上述第2n沟MOS晶体管的上述第4源极被连接到上述第1n沟MOS晶体管的第3漏极上, 上述第2n沟MOS晶体管的上述第4栅极和第4漏极被连接到上述电源端子上。

2. 如权利要求1所述的保护电路, 其中, 上述保护电路被提供给形成在半导体衬底上的半导体电路, 上述电源端子连接在上述半导体电路内的供给电源电位的电源线上, 以及上述基准端子连接在上述半导体电路内的供给接地电位的接地线上。

3. 一种保护电路, 具备:

供给电源电位的电源端子;

信号经由其输入输出的输入输出端子;

具有第1栅极、第1源极、第1漏极和第1背面栅极的第1p沟MOS晶体管, 上述第1栅极、第1源极和第1背面栅极被连接到上述电源端子上; 和

具有第2栅极、第2源极、第2漏极和所述第1背面栅极的第2p沟MOS晶体管，上述第2p沟MOS晶体管的上述第2源极被连接到上述第1p沟MOS晶体管的第1漏极上，上述第2p沟MOS晶体管的上述第2栅极和第2漏极被连接到上述输入输出端子上。

4. 如权利要求3所述的保护电路，还具备：

供给基准电位的基准端子；

具有第3栅极、第3源极、第3漏极和第2背面栅极的第1n沟MOS晶体管，上述第1n沟MOS晶体管的上述第3栅极、第3源极和第2背面栅极被连接到上述基准端子上；以及

具有第4栅极、第4源极、第4漏极和第2背面栅极的第2n沟MOS晶体管，上述第2n沟MOS晶体管的上述第4源极被连接到上述第1n沟MOS晶体管的第3漏极上，上述第2n沟MOS晶体管的上述第4栅极和第4漏极被连接到上述输入输出端子上。

5. 如权利要求3所述的保护电路，其中，在将具有负电位的静电加到上述输入输出端子上时，向上述第2p沟MOS晶体管的上述第2栅极供给上述负电位，在上述第2p沟MOS晶体管的上述第2源极与第2漏极间形成沟道。

6. 一种保护电路，具备：

供给基准电位的基准端子；

信号经由其输入输出的输入输出端子；

具有第1栅极、第1源极、第1漏极和第1背面栅极的第1n沟MOS晶体管，上述第1栅极、第1源极和上述背面栅极被连接到上述基准端子上；和

具有第2栅极、第2源极、第2漏极和上述背面栅极的第2n沟MOS晶体管，上述第2n沟MOS晶体管的上述第2源极被连接到上述第1n沟MOS晶体管的第1漏极上，上述第2n沟MOS晶体管的上述第2栅极和第2漏极被连接到上述输入输出端子上。

7. 如权利要求6所述的保护电路，其中在将具有正电位的静电加到上述输入输出端子上时，向上述第2n沟MOS晶体管的上述第2栅极

供给上述正电位，在上述第 2n 沟 MOS 晶体管的上述第 2 源极与第 2 漏极间形成沟道。

8. 一种保护电路，具备：

供给电源电位的电源端子；

供给基准电位的基准端子；

信号经由其输入输出的输入输出端子；

具有第 1 栅极、第 1 源极、第 1 漏极和第 1 背面栅极的第 1p 沟 MOS 晶体管，上述第 1 栅极、第 1 源极和第 1 背面栅极被连接到上述电源端子上；

具有第 2 栅极、第 2 源极、第 2 漏极和上述第 1 背面栅极的第 2p 沟 MOS 晶体管，上述第 2p 沟 MOS 晶体管的上述第 2 源极被连接到上述第 1p 沟 MOS 晶体管的第 1 漏极上，上述第 2p 沟 MOS 晶体管的上述第 2 栅极被连接到上述基准端子上，上述第 2p 沟 MOS 晶体管的上述第 2 漏极被连接到上述输入输出端子上；

具有第 3 栅极、第 3 源极、第 3 漏极和第 2 背面栅极的第 1n 沟 MOS 晶体管，上述第 1n 沟 MOS 晶体管的上述第 3 栅极、第 3 源极和上述第 2 背面栅极被连接到上述基准端子上；以及

具有第 4 栅极、第 4 源极、第 4 漏极和上述第 2 背面栅极的第 2n 沟 MOS 晶体管，上述第 2n 沟 MOS 晶体管的上述第 4 源极被连接到上述第 1n 沟 MOS 晶体管的上述第 3 漏极上，上述栅极被连接到上述电源端子上，上述第 2n 沟 MOS 晶体管的上述第 4 漏极被连接到上述输入输出端子上。

9. 如权利要求 8 所述的保护电路，其中，向上述第 2p 沟 MOS 晶体管的上述第 2 栅极供给上述接地电位，以在上述第 2p 沟 MOS 晶体管的上述第 2 源极和第 2 漏极之间形成沟道。

设置在半导体电路中的保护电路

技术领域

本发明涉及在半导体电路中设置的保护电路，特别是涉及用来防止半导体电路被静电破坏的保护电路。

背景技术

以往，为了防止半导体电路（以下记作 IC）被静电破坏于未然，通例是给 IC 的端子加上各种各样的静电对策用的保护电路。最近，加在输入端子或输出端子上的静电进入供给电源电位的电源端子或供给接地电位（或者基准电位）的接地端子（或基准端子），破坏内部元器件的情况不断地增加起来。

例如，在以往，把用 MOS 器件形成用来使进入到电源端子中来的静电产生的电荷向接点端子逃逸的保护电路，配置在电源端子和接地端子之间。

以下，用图 1A 到图 1C 说明现有的上述保护电路。

图 1A 的电路图示出了现有的保护电路的构成。图 1B 是上述保护电路的概略性的剖面图，图 1C 是上述保护电路在半导体衬底上边的布局。

该保护电路，如图 1A 所示，由 p 沟 MOS 晶体管（以下，叫做 pMOS 晶体管）P11 和 n 沟 MOS 晶体管（以下，叫做 nMOS 晶体管）N11 构成。

供给电源电位的电源端子 TV 连接在上述 pMOS 晶体管 P11 的源极、栅极和背面栅极上。供给接地电位 GND 的接地端子 TG 连接在 nMOS 晶体管 N11 的源极、栅极和背面栅极上。此外，把接地端子 TG 连接在 pMOS 晶体管 P11 的漏极上。

上述保护电路的概略性的剖面构造，变成为如图 1B 所示。在 p 型半导体衬底 101 内，形成 n 型阱 102，在该 n 型阱 102 内形成用器件隔离绝

缘膜 103 隔离开来的器件区域。在该器件区域 102 内, 形成源极区域(p^+ 型)104、漏极区域(p^+ 型)105。在源极区域 104 和漏极区域 105 之间的沟道上边, 通过栅极绝缘膜(未画出来)配置栅极电极 107。这样形成上述 pMOS 晶体管 P11。

此外, 在上述 p 型半导体衬底 101 内, 形成源极区域(n^+ 型)121、漏极区域(n^+ 型)122。在源极区域 121 和漏极区域 122 之间的沟道上边, 通过栅极绝缘膜(未画出来)配置栅极电极 124。用这些, 形成上述 nMOS 晶体管 N11。

电源端子 TV 连接在上述 pMOS 晶体管 P11 的源极区域 104、栅极电极 107、n 型阱 102 上。电源端子 TV 连接到 nMOS 晶体管 N11 的漏极区域 122 上, 接地端子 TG 则连接到源极区域 121、栅极电极 124、p 型半导体衬底 101 上。此外, 接地端子 TG 还连接到 pMOS 晶体管 P11 的漏极区域 105 上。

上述保护电路在半导体衬底上边的布局, 变成为如图 1C 所示。构成 pMOS 晶体管 P11 的源极区域 104 和漏极区域 105 被配置为互相隔离。在源极区域 104 和漏极区域 105 之间配置栅极电极 107。在源极区域 104 内, 配置源极接触 104A, 在漏极区域 105 内, 配置漏极接触 105A。另外, 漏极接触 105A 和栅极电极 107 之间的距离, 变得比源极接触 104A 与栅极电极 107 之间的距离长。

此外, 构成上述 nMOS 晶体管 N11 的源极区域 121 和漏极区域 122 被配置为彼此隔离。在源极区域 121 和漏极区域 122 之间配置栅极电极 124。在源极区域 121 内, 配置源极接触 121A, 在漏极区域 122 内, 配置漏极接触 122A。另外, 漏极接触 122A 和栅极电极 124 之间的距离, 变得比源极接触 121A 与栅极电极 124 之间的距离长。

但是, 即便是把上边所说的保护电路附加在半导体电路的电源端子 TV 与接地端子 TG 之间的情况下, 也频繁地发生半导体电路内的内部元器件被破坏的情况。为此, 在现有的半导体电路中, 为了解析被静电破坏的部位, 提高破坏部位的抗静电能力, 毫无例外地要对每一个产品进行个别修正。

发明内容

本发明提供了一种保护电路，具备：供给电源电位的电源端子；供给基准电位的基准端子；具有第1栅极、第1源极、第1漏极和第1背面栅极的第1p沟MOS晶体管，上述第1栅极、第1源极和第1背面栅极被连接到上述电源端子上；具有第2栅极、第2源极、第2漏极和所述第1背面栅极的第2p沟MOS晶体管，上述第2p沟MOS晶体管的上述第2源极被连接到上述第1p沟MOS晶体管的第1漏极上，上述第2p沟MOS晶体管的上述第2栅极、第2漏极被连接到上述基准端子上；具有第3栅极、第3源极、第3漏极和第2背面栅极的第1n沟MOS晶体管，上述第1n沟MOS晶体管的上述第3栅极、第3源极和所述第2背面栅极被连接到上述基准端子上；和具有第4栅极、第4源极、第4漏极和第2背面栅极的第2n沟MOS晶体管，上述第2n沟MOS晶体管的上述第4源极被连接到上述第1n沟MOS晶体管的第3漏极上，上述第2n沟MOS晶体管的上述第4栅极和第4漏极被连接到上述电源端子上。

本发明还提供了一种保护电路，具备：供给电源电位的电源端子；信号经由其输入输出的输入输出端子；具有第1栅极、第1源极、第1漏极和第1背面栅极的第1p沟MOS晶体管，上述第1栅极、第1源极和第1背面栅极被连接到上述电源端子上；和具有第2栅极、第2源极、第2漏极和所述第1背面栅极的第2p沟MOS晶体管，上述第2p沟MOS晶体管的上述第2源极被连接到上述第1p沟MOS晶体管的第1漏极上，上述第2p沟MOS晶体管的上述第2栅极和第2漏极被连接到上述输入输出端子上。

本发明提供了另一种保护电路，具备：供给基准电位的基准端子；信号经由其输入输出的输入输出端子；具有第1栅极、第1源极、第1漏极和第1背面栅极的第1n沟MOS晶体管，上述第1栅极、第1源极和上述背面栅极被连接到上述基准端子上；和具有第2栅极、第2源极、第2漏极和上述背面栅极的第2n沟MOS晶体管，上述第2n沟MOS晶体管的上述第2源极被连接到上述第1n沟MOS晶体管的第1漏极上，

上述第 2n 沟 MOS 晶体管的上述第 2 栅极和第 2 漏极被连接到上述输入输出端子上。

本发明提供了又一种保护电路，具备：供给电源电位的电源端子；供给基准电位的基准端子；信号经由其输入输出的输入输出端子；具有第 1 栅极、第 1 源极、第 1 漏极和第 1 背面栅极的第 1p 沟 MOS 晶体管，上述第 1 栅极、第 1 源极和第 1 背面栅极被连接到上述电源端子上；具有第 2 栅极、第 2 源极、第 2 漏极和上述第 1 背面栅极的第 2p 沟 MOS 晶体管，上述第 2p 沟 MOS 晶体管的上述第 2 源极被连接到上述第 1p 沟 MOS 晶体管的第 1 漏极上，上述第 2p 沟 MOS 晶体管的上述第 2 栅极被连接到上述基准端子上，上述第 2p 沟 MOS 晶体管的上述第 2 漏极被连接到上述输入输出端子上；具有第 3 栅极、第 3 源极、第 3 漏极和第 2 背面栅极的第 1n 沟 MOS 晶体管，上述第 1n 沟 MOS 晶体管的上述第 3 栅极、第 3 源极和上述第 2 背面栅极被连接到上述基准端子上；以及具有第 4 栅极、第 4 源极、第 4 漏极和上述第 2 背面栅极的第 2n 沟 MOS 晶体管，上述第 2n 沟 MOS 晶体管的上述第 4 源极被连接到上述第 1n 沟 MOS 晶体管的上述第 3 漏极上，上述栅极被连接到上述电源端子上，上述第 2n 沟 MOS 晶体管的上述第 4 漏极被连接到上述输入输出端子上。

附图说明

图 1A 的电路图示出了现有的保护电路的构成。

图 1B 是现有的上述保护电路的概略性的剖面图。

图 1C 是现有的保护电路在半导体衬底上边的布局。

图 2A 是构成本发明的实施例 1 的保护电路的 p 沟 MOS 晶体管的概略性的剖面图。

图 2B 是构成上述实施例 1 的保护电路的上述 p 沟 MOS 晶体管在半导体衬底上边的布局。

图 3A 是构成本发明的实施例 1 的保护电路的 n 沟 MOS 晶体管的概略性的剖面图。

图 3B 是构成上述实施例 1 的保护电路的上述 n 沟 MOS 晶体管在半导体衬底上边的布局。

图 4A 的电路图示出了构成本发明的实施例 1 的保护电路的构成。

图 4B 是上述实施例 1 的上述保护电路的概略性的剖面图。

图 4C 是上述实施例 1 的上述保护电路在半导体衬底上边的布局。

图 5 的半导体衬底上边的布局示出了本发明的实施例 2 的保护电路（第 1 例）的构成。

图 6 的半导体衬底上边的布局示出了本发明的实施例 2 的保护电路（第 2 例）的构成。

图 7A 的电路图示出了本发明的实施例 2 的保护电路（第 3 例）的构成。

图 7B 是上述实施例 2 的上述保护电路的概略性的剖面图。

图 7C 是上述实施例 2 的上述保护电路在半导体衬底上边的布局。

图 8 的半导体衬底上边的布局示出了本发明的实施例 3 的保护电路（第 1 例）的构成。

图 9 的半导体衬底上边的布局示出了本发明的实施例 3 的保护电路（第 2 例）的构成。

图 10A 的电路图示出了本发明的实施例 3 的保护电路（第 3 例）的构成。

图 10B 是上述实施例 3 的上述保护电路的概略性的剖面图。

图 10C 是上述实施例 3 的上述保护电路在半导体衬底上边的布局。

具体实施方式

以下，参看附图对本发明的实施例进行说明。

[实施例 1]

首先，对构成本发明的实施例 1 的保护电路的 p 沟 MOS 晶体管（以下，叫做 pMOS 晶体管）和 n 沟 MOS 晶体管（以下，叫做 nMOS 晶体管）进行说明。

图 2A 是构成实施例 1 的保护电路的 p 沟 MOS 晶体管的概略性的剖

面图。图 2B 是上述 p 沟 MOS 晶体管在半导体衬底上边的布局。

如图 2A 所示, 在 p 型硅半导体衬底 11 内, 形成 n 型阱 12, 在该 n 型阱 12 内形成用器件隔离绝缘膜 13 进行隔离的器件区域。在该器件区域的 n 型阱 12 内, 以规定的间隔形成源极区域 (p^+ 型) 14、漏极区域 (p^+ 型) 15。在源极区域 14 和漏极区域 15 之间, 形成与这些源极区域 14 和漏极区域 15 隔离的浮置状态的岛区域 (p^+ 型) 16。

在上述源极区域 14 与岛区域 16 之间的沟道上边, 通过栅极绝缘膜 (未画出来) 形成栅极电极 17。在岛区域 16 与漏极区域 15 之间的沟道上边, 通过栅极绝缘膜 (未画出来) 形成栅极电极 18。

用上边所说的源极区域 14、岛区域 16、这些源极区域 14 和岛区域 16 之间的沟道、和在该沟道上边的栅极电极 17, 形成 pMOS 晶体管 P1。此外, 用岛区域 16、漏极区域 15、这些岛区域 16 与漏极区域 15 之间的沟道、和在该沟道上边的栅极电极 18, 形成 pMOS 晶体管 P2。

把供给电源电位 V_{cc} 的电源端子 TV 连接到上述 pMOS 晶体管 P1 的源极区域 14、栅极电极 17、n 型阱 12 上。把供给接地电位 GND (或基准电位) 的接地端子 (或基准端子) TG 连接到 pMOS 晶体管 P2 的漏极区域 15、栅极电极 18 上。

上述 pMOS 晶体管 P1、P2 在半导体衬底上边的布局, 变成为图 2B 所示的那样。把构成 pMOS 晶体管 P1、P2 的源极区域 14、岛区域 16 和漏极区域 15 配置为彼此隔离。在源极区域 14 和岛区域 16 之间配置栅极电极 17, 在岛区域 16 与漏极区域 15 之间配置栅极电极 18。

在上述源极区域 14 内配置把该源极区域 14 和布线层 (未画出来) 连接起来的源极接触 14A。在漏极区域 15 内, 配置把该漏极区域 15 和布线层 (未画出来) 连接起来的漏极接触 15A。另外, 漏极接触 15A 和栅极电极 18 之间的距离, 变得比根据设计规则配置的源极接触 14A 和栅极电极 17 之间的距离长。

在上述 p 沟 MOS 晶体管 P1、P2 中, 对于构成现有的保护电路的 p 沟 MOS 晶体管 P1 来说, 变成为已附加上在源极与漏极之间 (定义为栅极区域) 的栅极绝缘膜上边连接到接地端子 TG 上的布线层 (栅极电极

18) 的构成。因此, pMOS 晶体管 P1、P2 的源极区域 14、岛区域 16、漏极区域 15 和沟道所占有的面积, 由于与现有的 pMOS 晶体管 P11 的源极区域 104、漏极区域 105 和沟道所占有的面积相同, 因此, 要形成 pMOS 晶体管 P1、P2, 与现有的 pMOS 晶体管 P11 比较, 不需要大的面积。

在这样构成的 p 沟 MOS 晶体管 P1、P2 中, 在使电源端子 TV 连接到电源电位 Vcc 上, 使接地端子 TG 变成为浮置状态的前提下, 采用在加在输入端子或输出端子上的具有负电位的静电进入到浮置状态的栅极电极 18 中去时, 该栅极 18 电极被激励为负电位的办法, 在源极区域 14 和漏极区域 15 之间的栅极区域的一部分上形成沟道, 使晶体管的视在沟道长度比现有的保护元件 (pMOS 晶体管 P11) 还短。借助于此, 归因于具有负电位的静电的施加, 就可以使进入到接地端子 TG 一侧来的电荷易于通过电源端子 TV 向电源电位 Vcc 逃逸, 就可以防止由静电引起的内部器件的破坏于未然。

其次, 对 n 沟 MOS 晶体管的构成进行说明。

图 3A 是构成本发明的实施例 1 的保护电路的 n 沟 MOS 晶体管的概略性的剖面图。图 3B 是上述 n 沟 MOS 晶体管在半导体衬底上边的布局。

如图 3A 所示, 在 p 型硅半导体衬底 11 内, 形成用器件隔离绝缘膜 13 隔离的器件区域。在该器件区域的 p 型衬底 11 内, 以规定的间隔地形成源极区域 (n^+ 型) 21 和漏极区域 (n^+ 型) 22。在源极区域 21 和漏极区域 22 之间, 形成与这些源极区域 21 和漏极区域 22 隔离开来的浮置状态的岛区域 (n^+ 型) 23。

在上述源极区域 21 与岛区域 23 之间的沟道上边, 通过栅极绝缘膜 (未画出来) 形成栅极电极 24。在岛区域 23 与漏极区域 22 之间的沟道上边, 通过栅极绝缘膜 (未画出来) 形成栅极电极 25。

用上边所说的源极区域 21、岛区域 23、这些源极区域 21 和岛区域 23 之间的沟道、和在该沟道上边的栅极电极 24, 形成 nMOS 晶体管 N1。此外, 用岛区域 23、漏极区域 22、这些岛区域 23 与漏极区域 22 之间的沟道、和在该沟道上边的栅极电极 25, 形成 nMOS 晶体管 N2。

把供给接地电位 GND 的接地端子连接到上述 nMOS 晶体管 N1 的源极区域 21、栅极电极 24、p 型衬底 21 上。把供给电源电位 Vcc 的电源端子 TV 连接到 nMOS 晶体管 N2 的漏极区域 22、栅极电极 25 上。

上述 n 沟 MOS 晶体管 N1、N2 在半导体衬底上边的布局，变成成为图 3B 所示的那样。把构成 nMOS 晶体管 N1、N2 的源极区域 21、岛区域 23 和漏极区域 22 配置为彼此隔离。在源极区域 21 和岛区域 23 之间配置栅极电极 24，在岛区域 23 与漏极区域 22 之间配置栅极电极 25。

在上述源极区域 21 内，配置把该源极区域 21 和布线层（未画出来）连接起来的源极接触 21A。在漏极区域 22 内，配置把该漏极区域 22 和布线层（未画出来）连接起来的漏极接触 22A。另外，漏极接触 22A 和栅极电极 25 之间的距离，变得比根据设计规则配置的源极接触 21A 和栅极电极 24 之间的距离长。

在上述 n 沟 MOS 晶体管 N1、N2 中，对于构成现有的保护电路的 n 沟 MOS 晶体管 N11 来说，变成成为已附加上在源极与漏极之间（定义为栅极区域）的栅极绝缘膜上边连接到接地端子 TG 上的布线层（栅极电极 25）的构成。因此，nMOS 晶体管 N1、N2 的源极区域 21、岛区域 23、漏极区域 22 和沟道所占有的面积，由于与现有的 nMOS 晶体管 N11 的源极区域 121、漏极区域 122 和沟道所占有的面积相同，因此，要形成 nMOS 晶体管 N1、N2，与现有的 nMOS 晶体管 N11 比较，不需要大的面积。

在这样构成的 n 沟 MOS 晶体管 N1、N2 中，在使接地端子 TG 连接到接地电位 GND 上，使电源端子 TV 变成为浮置状态的情况下，采用在加在输入端子或输出端子上的具有正电位的静电进入到浮置状态的栅极电极 25 中去时，该栅极电极 25 被激励为正电位的办法，在源极区域 21 和漏极区域 22 之间的栅极区域的一部分上形成沟道，使晶体管的视在沟道长度比现有的保护电路（nMOS 晶体管 N11）还短。借助于此，归因于具有正电位的静电的施加，就可以使进入到电源端子 TV 一侧来的电荷通过接地端子 TG 向接地电位 GND 逃逸，就可以防止由静电引起的内部器件的破坏于未然。

其次，对用上述 p 沟 MOS 晶体管 P1、P2 和 n 沟 MOS 晶体管 N1、N2 构成的实施例 1 的保护电路进行说明。

图 4A 的电路图示出了构成本发明的实施例 1 的保护电路的构成。图 4B 是上述保护电路的概略性的剖面图。图 4C 是上述保护电路在半导体衬底上边的布局。

该保护电路，如图 4A 所示，由 p 沟 MOS 晶体管 P1、P2 和 n 沟 MOS 晶体管 N1、N2 构成。

把供给电源电位 Vcc 的电源端子 TV 连接到上述 pMOS 晶体管 P1 的源极、栅极、背面栅极上。PMOS 晶体管 P1 的漏极被连接到 pMOS 晶体管 P2 的源极上。把电源端子 TV 连接到 pMOS 晶体管 P2 的背面栅极上，把供给接地电位 GND 的接地端子 TG 连接到漏极、栅极上。

把接地端子 TG 连接到 nMOS 晶体管 N1 的源极、栅极、背面栅极上。nMOS 晶体管 N1 的漏极，被连接到 nMOS 晶体管 N2 的源极上。把电源端子 TV 连接到 nMOS 晶体管 N2 的漏极、栅极上，把接地端子 TG 连接到背面栅极上。

上述保护电路的概略性的剖面构造，如图 4B 所示，是把在图 2A 中所示的 pMOS 晶体管 P1、P2 和在图 3A 中所示的 nMOS 晶体管 N1、N2 相邻地配置起来的构造，是使电源端子 TV 和接地端子 TG 分别作成为公用的构造。

此外，上述保护电路在半导体衬底上边的布局，如图 4C 所示，是把图 2B 中所示的 pMOS 晶体管 P1、P2 和在图 3B 中所示的 nMOS 晶体管 N1、N2 相邻地配置起来的构造，是使电源端子 TV 和接地端子 TG 分别作成为公用的构造。

本实施例 1 的保护电路，可以连接在半导体电路中的供给电源电位 Vcc 的电源线和供给接地电位 GND 的接地线之间使用。

在这样构成的保护电路中，如上所述，在使电源端子 TV 连接到电源电位 Vcc 上，使接地端子 TG 变成为浮置状态的情况下，采用在加在输入端子或输出端子上的具有负电位的静电进入到浮置状态的栅极电极 18 中去时，该栅极电极 18 被激励为负电位的办法，在源极区域 14 和漏极

区域 15 之间的栅极区域的一部分上形成沟道，使晶体管的视在沟道长度比现有的保护电路（pMOS 晶体管 P11）还短。借助于此，归因于具有负电位的静电的施加，就可以使进入到接地端子 TG 一侧来的电荷易于通过电源端子 TV 向电源电位 Vcc 逃逸，就可以防止由静电引起的内部器件的破坏于未然。

在使接地端子 TG 连接到接地电位 GND 上，使电源端子 TV 变成为浮置状态的情况下，采用在加在输入端子或输出端子上的具有正电位的静电进入到浮置状态的栅极电极 25 中去时，该栅极电极 25 被激励为正电位的办法，在源极区域 21 和漏极区域 22 之间的栅极区域的一部分上形成沟道，使晶体管的视在沟道长度比现有的保护电路（nMOS 晶体管 N11）还短。借助于此，归因于具有正电位的静电的施加，就可以使进入到电源端子 TV 一侧来的电荷易于通过接地端子 TG 向接地电位 GND 逃逸，就可以防止由静电引起的内部器件的破坏于未然。

[实施例 2]

其次，作为本发明的实施例 2 的保护电路，说明把图 2A、图 2B 所示的 pMOS 晶体管 P1、P2 连接到电源端子 TV 和输入输出端子 I/O 之间的第 1 例，把图 3A、图 3B 所示的 nMOS 晶体管 N1、N2 连接到接地端子 TG 和输出端子 I/O 之间的第 2 例，和把这些第 1 例和第 2 例组合起来的第 3 例。

图 5 的半导体衬底上边的布局示出了实施例 2 的保护电路（第 1 例）的构成。

在该保护电路中，如图 5 所示，供给电源电位 Vcc 的电源端子 TV 被连接到 pMOS 晶体管 P1 的源极区域 14、栅极电极 17、本身为 n 型阱的背面栅极（未画出来）上。输入输出输入信号或输出信号的输入输出端子 I/O 被连接到 pMOS 晶体管 P2 的漏极区域 15、栅极电极 18 上。其它的构成与图 2B 所示的构成是同样的。

在这样地构成的保护电路中，在把电源端子 TV 连接到电源电位 Vcc 上的情况下，采用在加在输入输出端子 I/O 上的具有负电位的静电进入到栅极电极 18 中去时，该栅极电极 18 被激励为负电位的办法，在源极

区域 14 和漏极区域 15 之间的栅极区域的一部分上形成沟道，使晶体管的视在沟道长度比现有的保护电路（pMOS 晶体管 P11）还短。借助于此，归因于具有负电位的静电的施加，就可以使流入到输入输出端子 I/O 中来的电荷易于通过电源端子 TV 向电源电位 Vcc 逃逸，就可以防止由静电引起的内部器件的破坏于未然。

另外在这里，虽然是以输入输出端子 I/O 为例进行的说明，但是，在变成仅仅进行信号的输入的输入端子或仅仅进行信号的输出的输出端子的情况下也是一样的。

此外，图 6 的半导体衬底上边的布局示出了实施例 2 的保护电路（第 2 例）的构成。

在该保护电路中，如图 6 所示，供给接地电位 GND 的接地端子 TG 被连接到 nMOS 晶体管 N1 的源极区域 21、栅极电极 24、本身为 p 衬底的背面栅极（未画出来）上。输入输出输入信号或输出信号的输入输出端子 I/O 被连接到 nMOS 晶体管 N2 的漏极区域 22、栅极电极 25 上。其它的构成与图 3B 所示的构成是同样的。

在这样地构成的保护电路中，在把接地端子 TG 连接到接地电位 GND 上的情况下，采用在加在输入输出端子 I/O 上的具有正电位的静电进入到栅极电极 25 中去时，该栅极电极 25 被激励为正电位的办法，在源极区域 21 和漏极区域 22 之间的栅极区域的一部分上形成沟道，使晶体管的视在沟道长度比现有的保护电路（nMOS 晶体管 N11）还短。借助于此，归因于具有正电位的静电的施加，就可以使流入到输入输出端子 I/O 中来的电荷易于通过电源端子 TV 向电源电位 Vcc 逃逸，就可以防止由静电引起的内部器件的破坏于未然。

另外在这里，虽然是以输入输出端子 I/O 为例进行的说明，但是，在变成仅仅进行信号的输入的输入端子或仅仅进行信号的输出的输出端子的情况下也是一样的。

图 7A 的电路图示出了本发明的实施例 2 的保护电路（第 3 例）的构成。图 7B 是上述保护电路的概略性的剖面图。图 7C 是上述保护电路在半导体衬底上边的布局。

该保护电路,如图 7A 所示,由 p 沟 MOS 晶体管 P1、P2 和 n 沟 MOS 晶体管 N1、N2 构成。

把供给电源电位 V_{cc} 的电源端子 TV 连接到上述 pMOS 晶体管 P1 的源极、栅极、背面栅极上。pMOS 晶体管 P1 的漏极被连接到 pMOS 晶体管 P2 的源极上。把电源端子 TV 连接到 pMOS 晶体管 P2 的背面栅极上,把输入输出输入信号或输出信号的输入输出端子 I/O 连接到漏极、栅极上。

把供给接地电位 GND 的接地端子 TG 连接到上述 nMOS 晶体管 N1 的源极、栅极、背面栅极上。nMOS 晶体管 N1 的漏极被连接到 nMOS 晶体管 N2 的源极上。把输入输出端子 I/O 连接到 nMOS 晶体管 N2 的漏极、栅极上,把接地端子 TG 连接到背面栅极上。

上述保护电路的概略性的剖面构造,如图 7B 所示,是把在图 2A 中所示的 pMOS 晶体管 P1、P2 和在图 3A 中所示的 nMOS 晶体管 N1、N2 相邻地配置起来的构造,向电源端子 TV、接地端子 TG 和输入输出端子 I/O 的连接如下所述。

供给电源电位 V_{cc} 的电源端子 TV 被连接到 pMOS 晶体管 P1 的源极区域 14、栅极电极 17、n 型阱 12 上。输入输出输入信号或输出信号的输入输出端子 I/O 被连接到 pMOS 晶体管 P2 的漏极区域 15、栅极电极 18 上。

供给接地电位 GND 的接地端子 TG 被连接到 nMOS 晶体管 N1 的源极区域 21、栅极电极 24、p 型衬底 11 上。输入输出端子 I/O 被连接到 nMOS 晶体管 N2 的漏极区域 22、栅极电极 25 上。

此外,上述保护电路在半导体衬底上边的布局,如图 7C 所示,是把图 2B 中所示的 pMOS 晶体管 P1、P2 和在图 3B 中所示的 nMOS 晶体管 N1、N2 相邻地配置起来的构造,向电源端子 TV、接地端子 TG、输入输出端子 I/O 的连接,与用图 7B 的剖面构造说明的是一样的。

在这样地构成的保护电路中,在把电源端子 TV 连接到电源电位 V_{cc} 上,把接地端子 TG 连接到接地电位 GND 上的情况下,采用在加在输入输出端子 I/O 上的具有负电位的静电进入到栅极电极 18 中去时,该栅极

电极 18 被激励为负电位的办法,在源极区域 14 和漏极区域 15 之间的栅极区域的一部分上形成沟道,使晶体管的视在沟道长度比现有的保护电路 (pMOS 晶体管 P11) 还短。借助于此,归因于具有负电位的静电的施加,就可以使流入到输入输出端子 I/O 中来的电荷易于通过电源端子 TV 向电源电位 Vcc 逃逸,就可以防止由静电引起的内部器件的破坏于未然。

此外,采用在加在输入输出端子 I/O 上的具有正电位的静电进入到栅极电极 25 中去时,该栅极电极 25 被激励为正电位的办法,在源极区域 21 和漏极区域 22 之间的栅极区域的一部分上形成沟道,使晶体管的视在沟道长度比现有的保护电路 (nMOS 晶体管 N11) 还短。借助于此,归因于具有正电位的静电的施加,就可以使进入到电源端子 TV 一侧来的电荷易于通过接地端子 TG 向接地电位 GND 逃逸,就可以防止由静电引起的内部器件的破坏于未然。

另外在这里,虽然是以输入输出端子 I/O 为例进行的说明,但是,在变成仅仅进行信号的输入的输入端子或仅仅进行信号的输出的输出端子的情况下也是一样的。

[实施例 3]

其次,作为本发明的实施例 3 的保护电路,说明把图 2A、图 2B 所示的 pMOS 晶体管 P1、P2 连接到输入端子 I/O、接地端子 TG、电源端子 TV 上的第 1 例,把图 3A、图 3B 所示的 nMOS 晶体管 N1、N2 连接到输出端子 I/O、接地端子 TG、电源端子 TV 上的第 2 例,和把这些第 1 例和第 2 例组合起来的第 3 例。

图 8 的半导体衬底上边的布局示出了实施例 3 的保护电路 (第 1 例) 的构成。

在该保护电路中,如图 8 所示,供给电源电位 Vcc 的电源端子 TV 被连接到 pMOS 晶体管 P1 的源极区域 14、栅极电极 17、本身为 n 型阱的背面栅极 (未画出来) 上。供给接地电位 GND 的接地端子 TG 被连接到 pMOS 晶体管 P2 的栅极电极 18 上。输入输出输入信号或输出信号的输入输出端子 I/O 被连接到 pMOS 晶体管 P2 的漏极区域 15 上。其它的构

成与图 2B 所示的构成是同样的。

在这样地构成的 pMOS 晶体管 P1、P2 中，在使电源端子 TV 连接到电源电位 Vcc 上，使 TG 变成为浮置状态的情况下，采用在加在输入端子或输出端子上的具有负电位的静电进入到栅极电极 18 中去时，该栅极电极 18 被激励为负电位的办法，在源极区域 14 和漏极区域 15 之间的栅极区域的一部分上形成沟道，使晶体管的视在沟道长度比现有的保护电路（pMOS 晶体管 P11）还短。借助于此，归因于具有负电位的静电的施加，就可以使进入到接地端子 TG 一侧中来的电荷易于通过电源端子 TV 向电源电位 Vcc 逃逸，就可以防止由静电引起的内部器件的破坏于未然。

另外在这里，虽然是以输入输出端子 I/O 为例进行的说明，但是，在变成为仅仅进行信号的输入的输入端子或仅仅进行信号的输出的输出端子的情况下也是一样的。

此外，图 9 的半导体衬底上边的布局示出了实施例 3 的保护电路（第 2 例）的构成。

在该保护电路中，如图 9 所示，供给接地电位 GND 的接地端子 TG 被连接到 nMOS 晶体管 N1 的源极区域 21、栅极电极 24、本身为 p 衬底的背面栅极（未画出来）上。供给电源电位 Vcc 的电源端子 TV 被连接到 nMOS 晶体管 N2 的栅极电极 25 上。输入输出输入信号或输出信号的输入输出端子 I/O 被连接到 nMOS 晶体管 N2 的漏极区域 22 上。其它的构成与图 3B 所示的构成是同样的。

在这样地构成的 n 沟 MOS 晶体管 N1、N2 中，在使接地端子 TG 连接到接地电位 GND 上，使电源端子 TV 变成为浮置的条件下，采用在加在输入输出端子 I/O 上的具有正电位的静电进入到栅极电极 25 中去时，该栅极电极 25 被激励为正电位的办法，在源极区域 21 和漏极区域 22 之间的栅极区域的一部分上形成沟道，使晶体管的视在沟道长度比现有的保护电路（nMOS 晶体管 N11）还短。借助于此，归因于具有正电位的静电的施加，就可以使进入到电源端子 TV 一侧中来的电荷易于通过接地端子 TG 向接地电位 GND 逃逸，就可以防止由静电引起的内部器件的

破坏于未然。

另外在这里，虽然是以输入输出端子 I/O 为例进行的说明，但是，在变成仅仅进行信号的输入的输入端子或仅仅进行信号的输出的输出端子的情况下也是一样的。

此外，图 10A 的电路图示出了实施例 3 的保护电路（第 3 例）的构成。图 10B 是上述保护电路的概略性的剖面图。图 10C 是上述保护电路在半导体衬底上边的布局。

该保护电路，如图 10A 所示，由 p 沟 MOS 晶体管 P1、P2 和 n 沟 MOS 晶体管 N1、N2 构成。

把供给电源电位 Vcc 的电源端子 TV 连接到上述 pMOS 晶体管 P1 的源极、栅极、背面栅极上。pMOS 晶体管 P1 的漏极被连接到 pMOS 晶体管 P2 的源极上。把电源端子 TV 连接到 pMOS 晶体管 P2 的背面栅极上，把供给接地电位 GND 的接地端子 TG 连接到栅极上。

接地端子 TG 被连接到 nMOS 晶体管 N1 的源极、栅极、背面栅极上。nMOS 晶体管 N1 的漏极被连接到 nMOS 晶体管 N2 的源极上。把电源端子 TV 连接到 nMOS 晶体管 N2 的栅极上，把接地端子 TG 连接到背面栅极上。

另外，输入输出输入信号或输出信号的输入输出端子 I/O 被连接到 pMOS 晶体管 P2 的漏极和 nMOS 晶体管 N2 的漏极上。

上述保护电路的概略性的剖面构造，如图 10B 所示，是把在图 2A 中所示的 pMOS 晶体管 P1、P2 和在图 3A 中所示的 nMOS 晶体管 N1、N2 相邻地配置起来的构造，向电源端子 TV、接地端子 TG 和输入输出端子 I/O 的连接如下所述。

供给电源电位 Vcc 的电源端子 TV 被连接到 pMOS 晶体管 P1 的源极区域 14、栅极电极 17、n 型阱 12 和 nMOS 晶体管 N2 的栅极电极 25 上。供给接地电位 GND 的接地端子 TG 被连接到 nMOS 晶体管 N1 的源极区域 21、栅极电极 24、p 型衬底 11 和 pMOS 晶体管 P2 的栅极电极 18 上。输入输出输入信号或输出信号的输入输出端子 I/O 被连接到 pMOS 晶体管 P2 的漏极区域 15 和 nMOS 晶体管 N2 的漏极区域 22 上。

此外，上述保护电路在半导体衬底上边的布局，如图 10C 所示，是把在图 2B 中所示的 pMOS 晶体管 P1、P2 和在图 3B 中所示的 nMOS 晶体管 N1、N2 相邻地配置起来的构造，向电源端子 TV、接地端子 TG、输入输出端子 I/O 的连接，与用图 7B 的剖面构造说明的是一样的。

在这样地构成的 p 沟 MOS 晶体管 P1、P2 中，在把电源端子 TV 连接到电源电位 Vcc 上，把接地端子 TG 连接到接地电位 GND 上的条件下，采用在加在输入输出端子 I/O 上的具有负电位的静电进入到栅极电极 18 中去时，该栅极电极 18 被激励为负电位的办法，在源极区域 14 和漏极区域 15 之间的栅极区域的一部分上形成沟道，使晶体管的视在沟道长度比现有的保护电路（pMOS 晶体管 P11）还短。借助于此，归因于具有负电位的静电的施加，就可以使进入到接地端子 TG 中来的电荷易于通过电源端子 TV 向电源电位 Vcc 逃逸，就可以防止由静电引起的内部器件的破坏于未然。

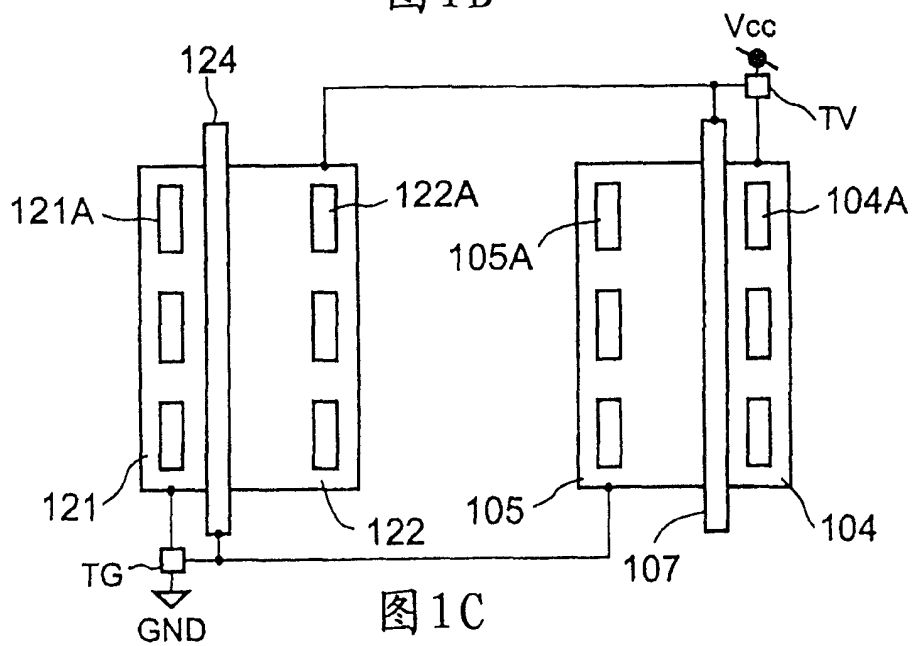
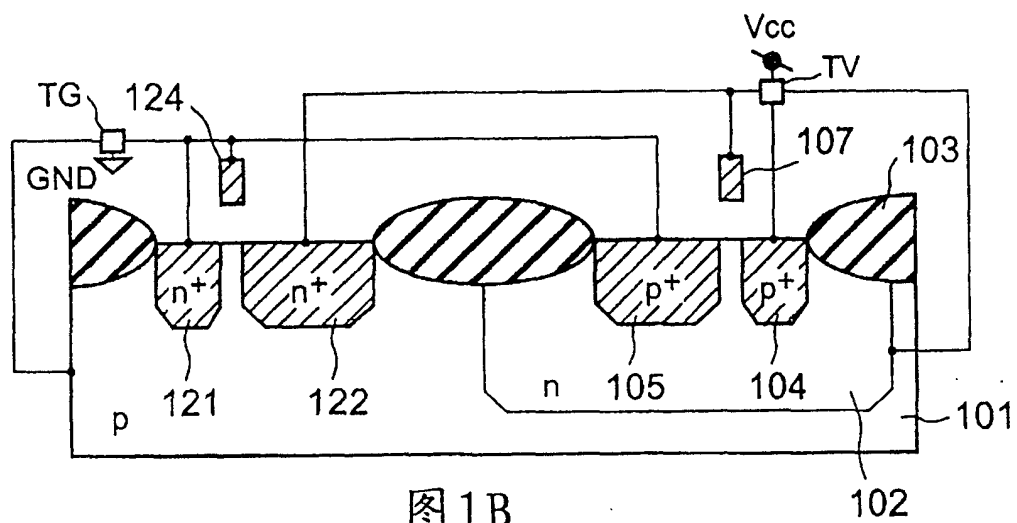
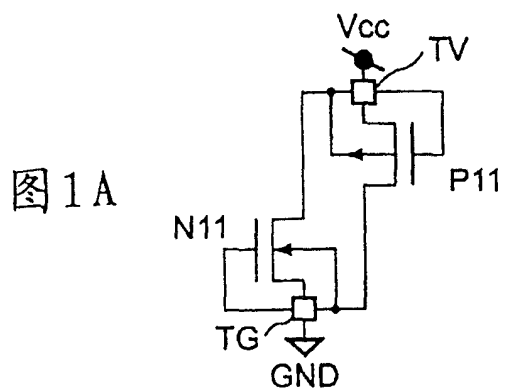
在如上所述那样地构成的 n 沟 MOS 晶体管 N1、N2 中，在使接地端子 TG 连接到接地电位 GND 上，使电源端子 TV 浮置起来的条件下，采用在加在输入输出端子 I/O 上的具有正电位的静电进入到浮置状态的栅极电极 25 中去时，该栅极电极 25 被激励为正电位的办法，在源极区域 21 和漏极区域 22 之间的栅极区域的一部分上形成沟道，使晶体管的视在沟道长度比现有的保护电路（nMOS 晶体管 N11）还短。借助于此，归因于具有正电位的静电的施加，就可以使进入到电源端子 TV 一侧中来的电荷易于通过接地端子 TG 向接地电位 GND 逃逸，就可以防止由静电引起的内部器件的破坏于未然。

另外在这里，虽然是以输入输出端子 I/O 为例进行的说明，但是，在变成为仅仅进行信号的输入的输入端子或仅仅进行信号的输出的输出端子的情况下也是一样的。

如上所述，倘采用本发明的实施例，则可以提供能够提高半导体电路的抗静电能力的保护电路。

对那些熟练的本专业的技术人员来说，还可以实现其它的优点和变形。因此，本发明在其更为宽阔的范围内不会受限于在本说明书中所提

供和讲解的那些特定细节和典型的实施例。因此，在不偏离由所附权利要求及其等效要求所限定的总的发明概念的精神和范围内还可以有种种的变形。



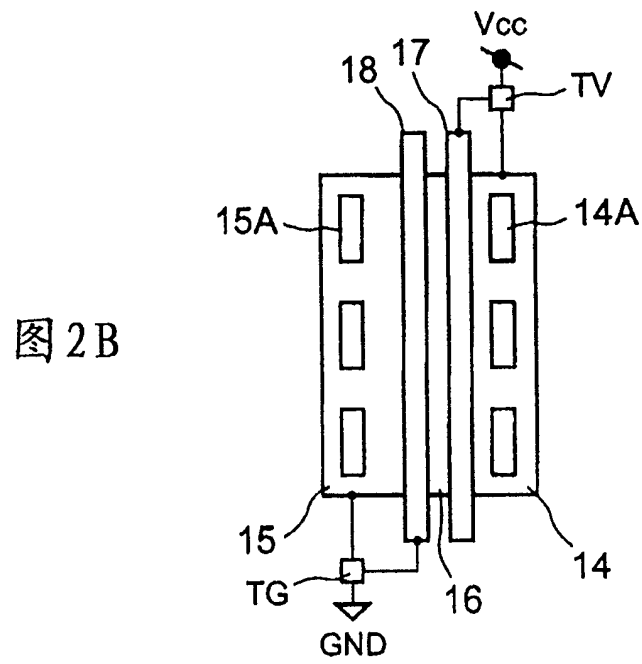
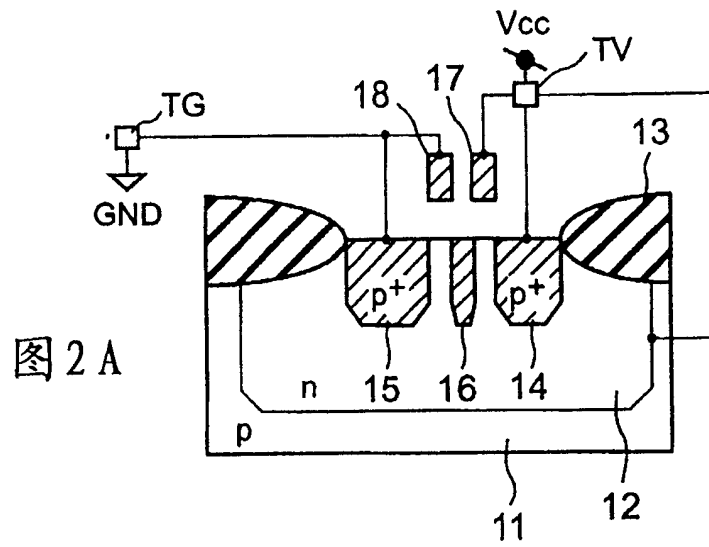


图 3 A

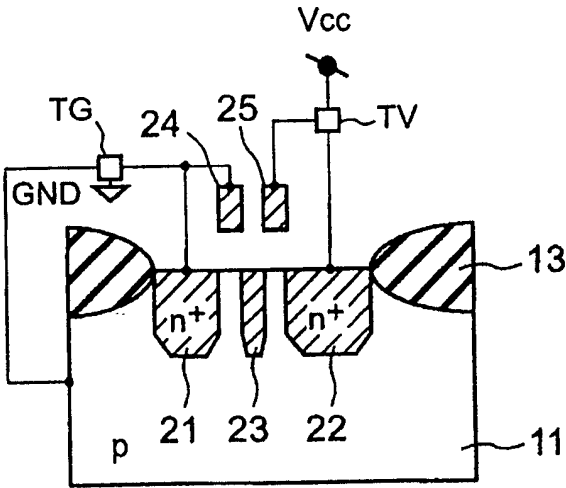


图 3 B

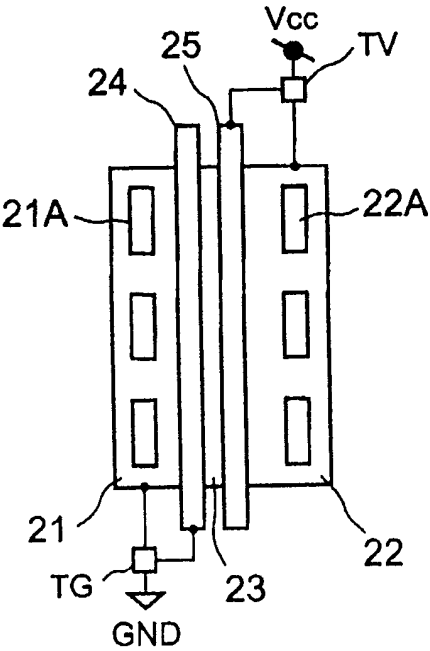


图 4 A

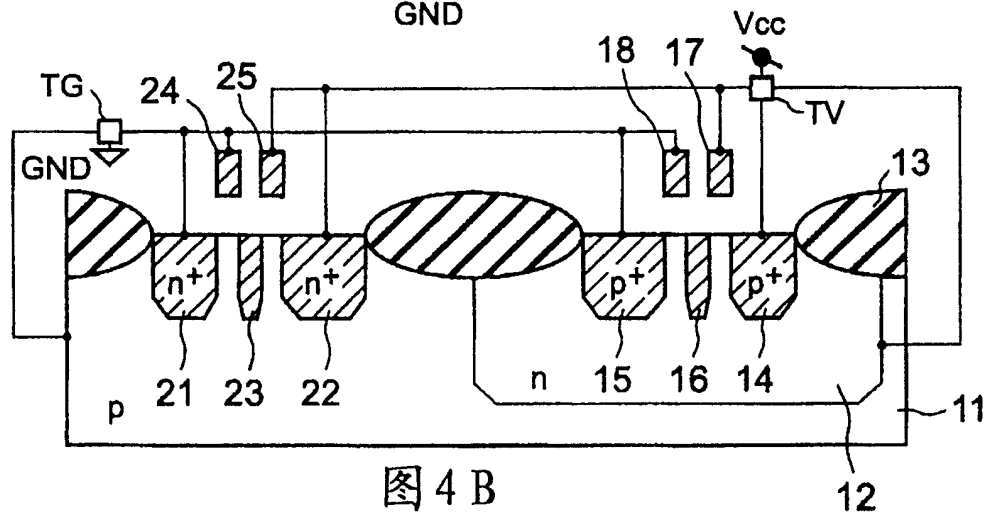
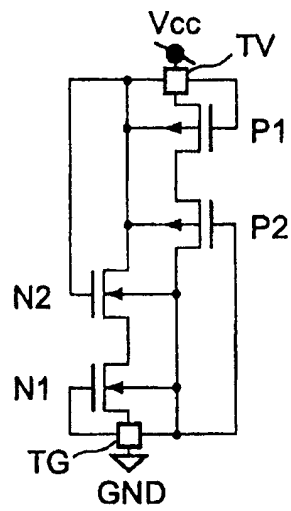


图 4 B

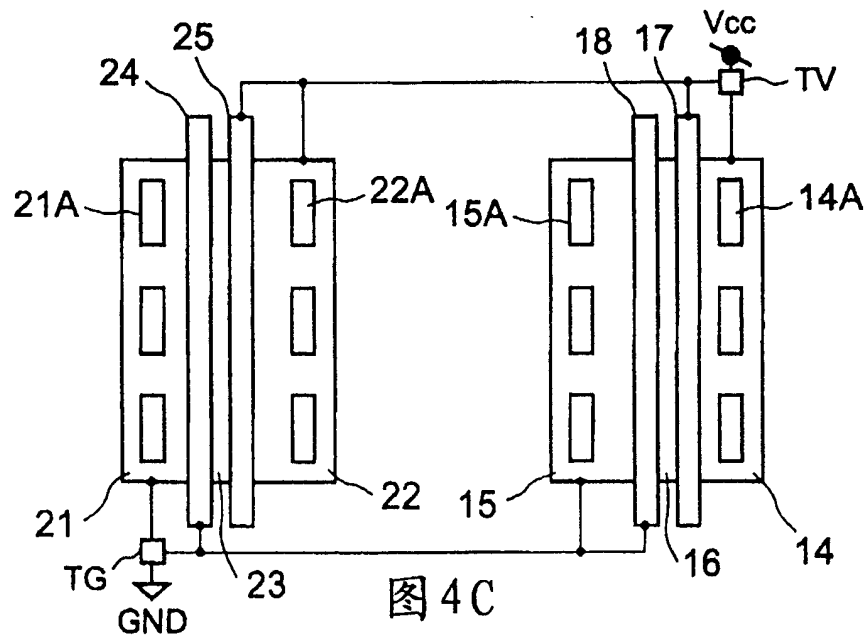
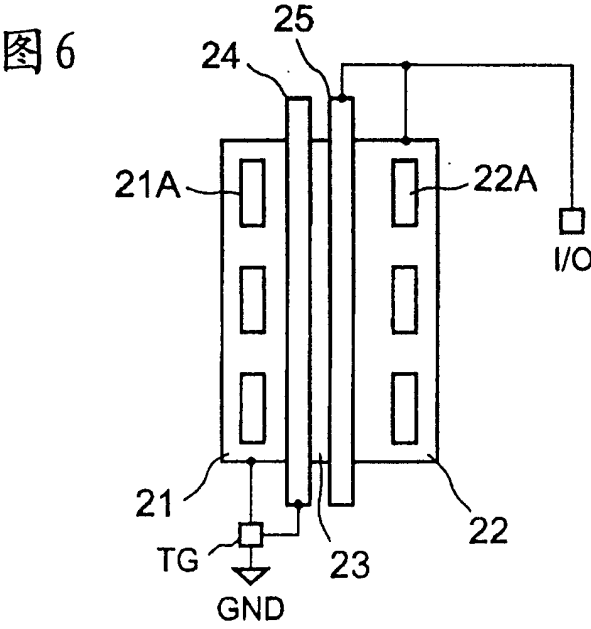
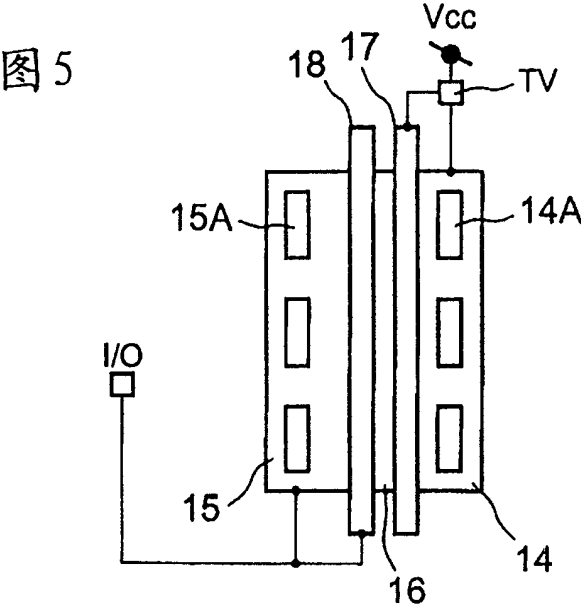


图 4 C



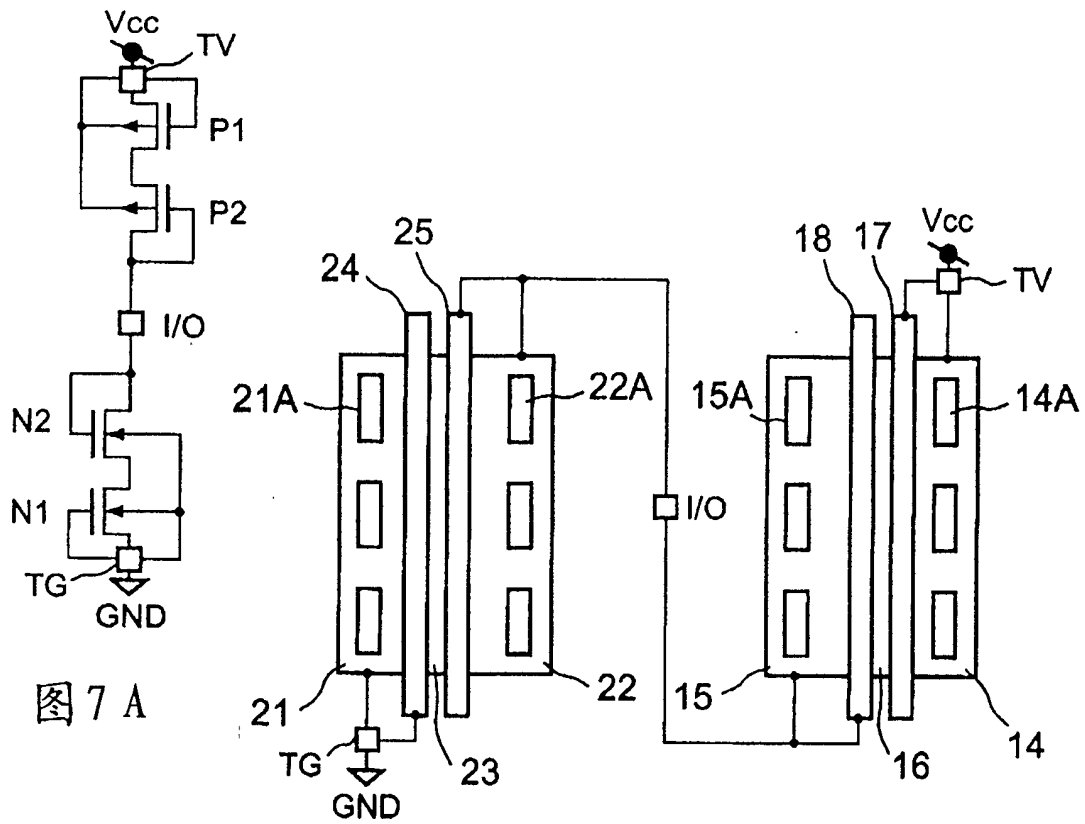


图 7 C

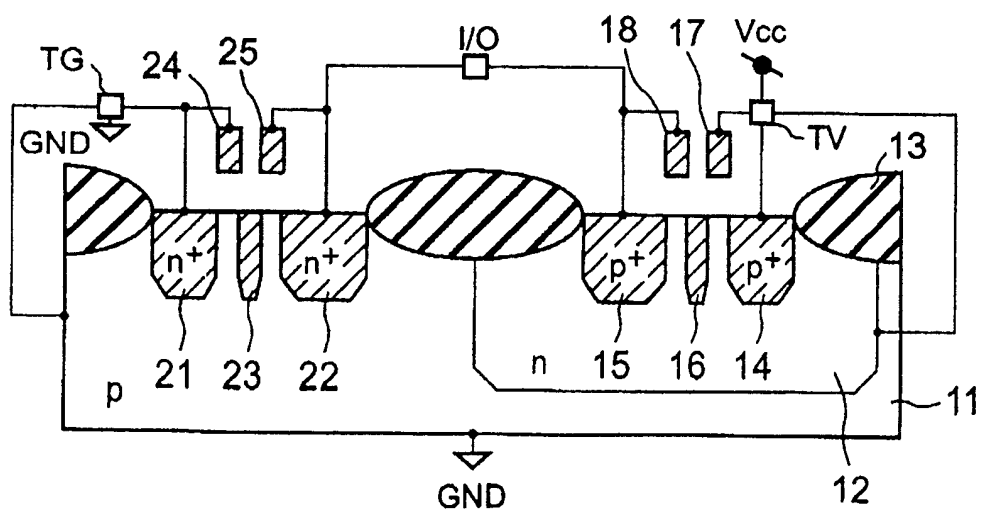


图 8

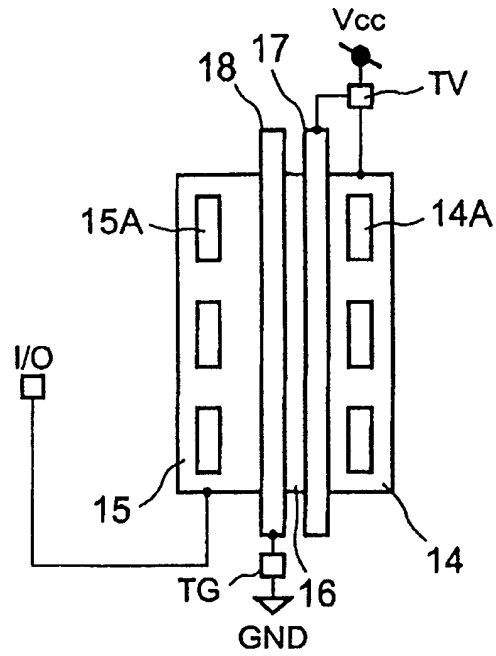
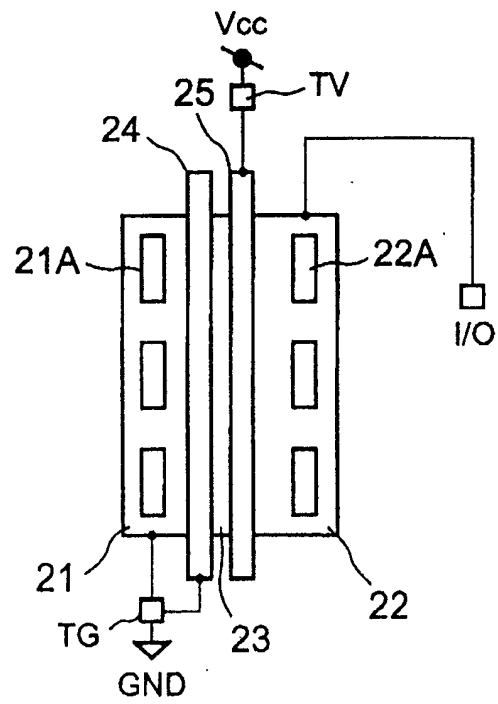


图 9



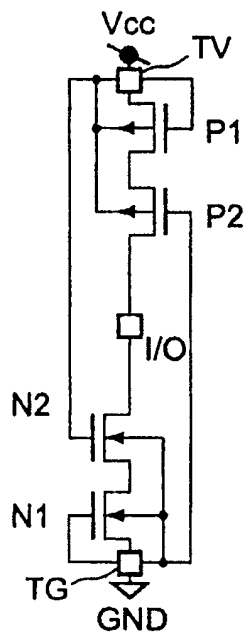


图 10 A

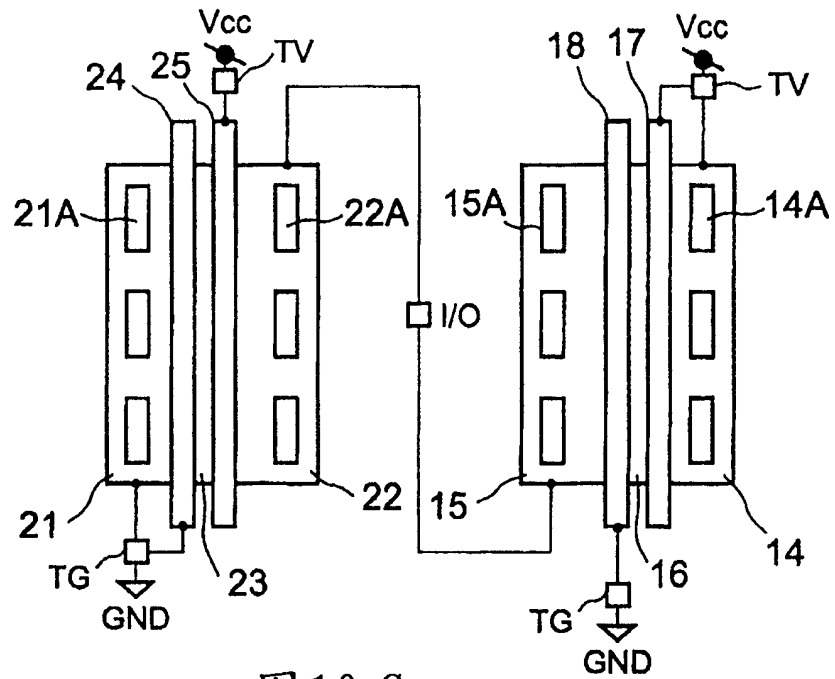


图 10 C

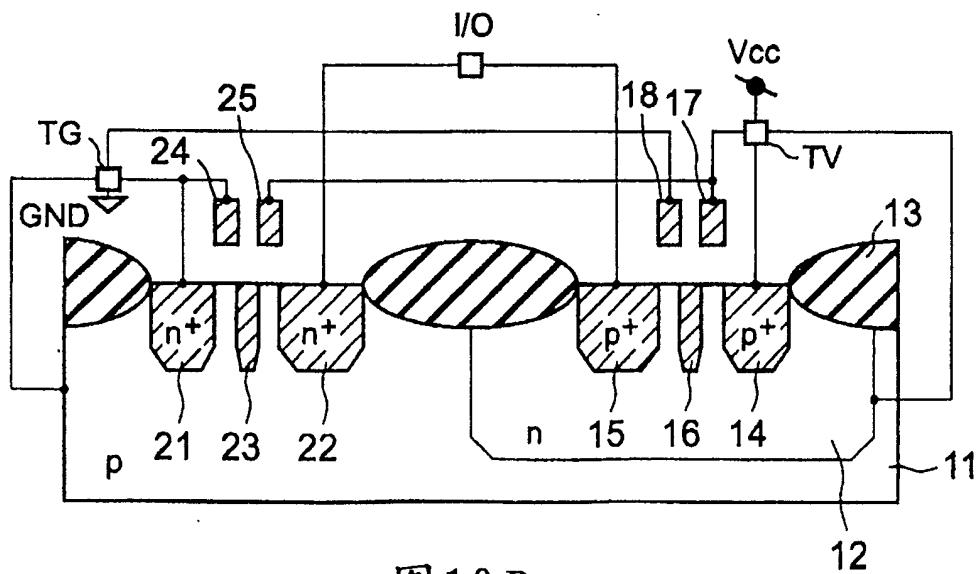


图 10 B