

①9 RÉPUBLIQUE FRANÇAISE
INSTITUT NATIONAL
DE LA PROPRIÉTÉ INDUSTRIELLE
COURBEVOIE

①1 N° de publication : 3 123 152

(à n'utiliser que pour les
commandes de reproduction)

②1 N° d'enregistrement national : 21 05160

⑤1 Int Cl⁸ : H 01 L 33/02 (2020.12), H 01 L 33/36

⑫

DEMANDE DE BREVET D'INVENTION

A1

②2 Date de dépôt : 18.05.21.

③0 Priorité :

④3 Date de mise à la disposition du public de la
demande : 25.11.22 Bulletin 22/47.

⑤6 Liste des documents cités dans le rapport de
recherche préliminaire : *Se reporter à la fin du
présent fascicule*

⑥0 Références à d'autres documents nationaux
apparentés :

○ Demande(s) d'extension :

⑦1 Demandeur(s) : COMMISSARIAT A L'ENERGIE ATO-
MIQUE ET AUX ENERGIES ALTERNATIVES Etablis-
sment public — FR.

⑦2 Inventeur(s) : TEMPLIER François et BECKER
Sébastien.

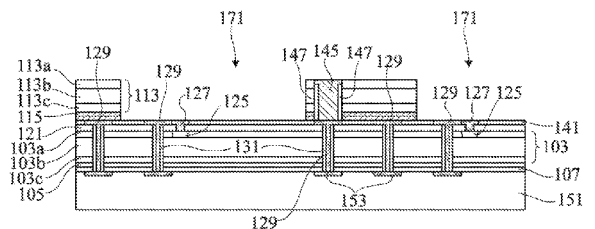
⑦3 Titulaire(s) : COMMISSARIAT A L'ENERGIE ATO-
MIQUE ET AUX ENERGIES ALTERNATIVES Etablis-
sment public.

⑦4 Mandataire(s) : CABINET BEAUMONT.

⑤4 Procédé de fabrication d'un dispositif optoélectronique.

⑤7 Procédé de fabrication d'un dispositif optoélectronique
La présente description concerne un procédé de fabrica-
tion d'un dispositif optoélectronique, comportant les étapes
suivantes: a) disposer un empilement actif de diode pho-
tosensible (103) sur un premier substrat; b) reporter l'em-
pilement actif de diode photosensible (103) sur un circuit
intégré de contrôle (151) préalablement formé dans et sur
un deuxième substrat semiconducteur, puis retirer le pre-
mier substrat; c) disposer un empilement actif de LED
(113) sur un troisième substrat; et d) après les étapes b)
et c), reporter l'empilement actif de LED (113) sur l'em-
pilement actif de diode photosensible (103), puis retirer le troi-
sième substrat (111).

Figure pour l'abrégé: Fig. 1J



FR 3 123 152 - A1



Description

Titre de l'invention : *Procédé de fabrication d'un dispositif optoélectronique*

Domaine technique

[0001] La présente description concerne de façon générale le domaine des dispositifs optoélectroniques, et vise plus particulièrement un procédé de fabrication d'un dispositif optoélectronique combinant une fonction d'émission lumineuse et une fonction de capture optique.

Technique antérieure

[0002] Diverses applications sont susceptibles de tirer profit d'un dispositif optoélectronique combinant une fonction d'émission lumineuse et une fonction de capture optique. Un tel dispositif peut par exemple être utilisé pour réaliser un écran d'affichage interactif.

Résumé de l'invention

[0003] Un objet d'un mode de réalisation est de pallier tout ou partie des inconvénients des solutions connues pour réaliser un dispositif optoélectronique combinant une fonction d'émission lumineuse et une fonction de capture optique.

[0004] Un mode de réalisation prévoit un procédé de fabrication d'un dispositif optoélectronique, comportant les étapes suivantes :

a) disposer un empilement actif de diode photosensible sur un premier substrat ;

b) reporter l'empilement actif de diode photosensible sur un circuit intégré de contrôle préalablement formé dans et sur un deuxième substrat semiconducteur, puis retirer le premier substrat ;

c) disposer un empilement actif de LED sur un troisième substrat ; et

d) après les étapes b) et c), reporter l'empilement actif de LED sur l'empilement actif de diode photosensible, puis retirer le troisième substrat.

[0005] Selon un mode de réalisation, l'empilement actif de diode photosensible comprend au moins une couche semiconductrice inorganique, par exemple en un matériau III-V, et l'empilement actif de LED comprend au moins une couche semiconductrice inorganique, par exemple en un matériau III-V.

[0006] Selon un mode de réalisation, l'empilement actif de diode photosensible comprend des première, deuxième et troisième couches semiconductrices, la deuxième couche étant disposée entre les première et troisième couches.

[0007] Selon un mode de réalisation, le procédé comprend une étape de dopage de type P de portions localisées de la première couche, lesdites portions définissant des régions d'anode de diodes photosensibles du dispositif.

[0008] Selon un mode de réalisation, l'étape de dopage de type P des portions localisées de

la première couche est mise en oeuvre après l'étape b) et avant l'étape d).

- [0009] Selon un mode de réalisation, l'étape de dopage de type P des portions localisées de la première couche est mise en oeuvre avant l'étape b).
- [0010] Selon un mode de réalisation, le procédé comprend en outre une étape de formation de métallisations de connexion sur et en contact avec lesdites portions localisées de la première couche.
- [0011] Selon un mode de réalisation, à l'issue de l'étape b), l'empilement actif de diode photosensible s'étend de façon continue sur toute la surface du circuit intégré de contrôle.
- [0012] Selon un mode de réalisation, à l'issue de l'étape d), l'empilement actif de LED s'étend de façon continue sur toute la surface du circuit intégré de contrôle.
- [0013] Selon un mode de réalisation, le procédé comprend en outre, après l'étape b) et avant l'étape d), une étape de formation de vias conducteurs traversant l'empilement actif de diode photosensible.
- [0014] Selon un mode de réalisation, les vias conducteurs sont connectés électriquement à des plots métalliques de connexion du circuit intégré.
- [0015] Selon un mode de réalisation, le procédé comprend en outre, après l'étape d), une étape de gravure localisée de l'empilement actif de LED de façon à former dans l'empilement actif de LED une pluralité de pavés définissant chacun une LED.
- [0016] Selon un mode de réalisation, le procédé comporte, après l'étape d), une étape de fixation d'un substrat de support temporaire du côté de l'empilement actif de LED opposé au circuit intégré, suivie d'une étape de découpe de l'ensemble comportant le circuit intégré, l'empilement actif de diode photosensible et l'empilement actif de LED en une pluralité de puces élémentaires.
- [0017] Selon un mode de réalisation, le procédé comporte en outre une étape de transfert et de fixation des puces élémentaires sur un substrat de report du dispositif, puis une étape de retrait du substrat de support temporaire.
- [0018] Un autre mode de réalisation prévoit un dispositif optoélectronique comportant un substrat de report et une pluralité de puces élémentaires fixées et connectées électriquement au substrat de report, chaque puce élémentaire comportant un empilement comportant, dans l'ordre à partir de la face supérieure du substrat de report, un circuit intégré de contrôle formé dans et sur un substrat semiconducteur, un étage de photo-détection comportant au moins une diode photosensible, et un étage d'émission comportant au moins une LED.
- [0019] Selon un mode de réalisation, dans chaque puce élémentaire, l'étage de photo-détection est disposé entre le circuit intégré de contrôle et l'étage d'émission, et la diode photosensible a une couche semiconductrice d'anode disposée du côté de l'étage d'émission et une couche semiconductrice de cathode disposée du côté du circuit intégré de contrôle.

Brève description des dessins

[0020] Ces caractéristiques et avantages, ainsi que d'autres, seront exposés en détail dans la description suivante de modes de réalisation particuliers faite à titre non limitatif en relation avec les figures jointes parmi lesquelles :

[0021] [Fig.1A] ;

[0022] [Fig.1B] ;

[0023] [Fig.1C] ;

[0024] [Fig.1D] ;

[0025] [Fig.1E] ;

[0026] [Fig.1F] ;

[0027] [Fig.1G] ;

[0028] [Fig.1H] ;

[0029] [Fig.1I] ;

[0030] [Fig.1J] ;

[0031] les figures 1A, 1B, 1C, 1D, 1E, 1F, 1G, 1H, 1I et 1J sont des vues en coupe illustrant des étapes successives d'un exemple d'un procédé de fabrication d'un dispositif opto-électronique selon un mode de réalisation ;

[0032] [Fig.2A] ;

[0033] [Fig.2B] ;

[0034] [Fig.2C] ;

[0035] [Fig.2D] ;

[0036] [Fig.2E] ;

[0037] [Fig.2F] ;

[0038] [Fig.2G] ;

[0039] les figures 2A, 2B, 2C, 2D, 2E, 2F, et 2G sont des vues en coupe illustrant d'autres étapes successives d'un exemple d'un procédé de fabrication d'un dispositif optoélectronique selon un mode de réalisation.

Description des modes de réalisation

[0040] De mêmes éléments ont été désignés par de mêmes références dans les différentes figures. En particulier, les éléments structurels et/ou fonctionnels communs aux différents modes de réalisation peuvent présenter les mêmes références et peuvent disposer de propriétés structurelles, dimensionnelles et matérielles identiques.

[0041] Par souci de clarté, seuls les étapes et éléments utiles à la compréhension des modes de réalisation décrits ont été représentés et sont détaillés. En particulier, la réalisation des diodes photosensibles, des diodes électroluminescentes (LED) et des circuits intégrés de contrôle des dispositifs décrits n'a pas été détaillée, la réalisation détaillée de ces éléments étant à la portée de la personne du métier à partir des indications de la

présente description. De plus, les diverses applications que peuvent avoir les dispositifs décrits n'ont pas détaillées, les modes de réalisation décrits étant compatibles avec toutes ou la plupart des applications susceptibles de tirer profit d'un dispositif combinant une fonction d'émission lumineuse et une fonction de capture optique (photodétection).

- [0042] Sauf précision contraire, lorsque l'on fait référence à deux éléments connectés entre eux, cela signifie directement connectés sans éléments intermédiaires autres que des conducteurs, et lorsque l'on fait référence à deux éléments reliés (en anglais "coupled") entre eux, cela signifie que ces deux éléments peuvent être connectés ou être reliés par l'intermédiaire d'un ou plusieurs autres éléments.
- [0043] Dans la description qui suit, lorsque l'on fait référence à des qualificatifs de position absolue, tels que les termes "avant", "arrière", "haut", "bas", "gauche", "droite", etc., ou relative, tels que les termes "dessus", "dessous", "supérieur", "inférieur", etc., ou à des qualificatifs d'orientation, tels que les termes "horizontal", "vertical", etc., il est fait référence sauf précision contraire à l'orientation des figures correspondantes.
- [0044] Sauf précision contraire, les expressions "environ", "approximativement", "sensiblement", et "de l'ordre de" signifient à 10 % près, de préférence à 5 % près.
- [0045] Selon un aspect d'un mode de réalisation, on prévoit, pour réaliser un dispositif opto-électronique combinant une fonction d'émission lumineuse et une fonction de photodétection, de mettre en oeuvre les étapes suivantes :
- a) disposer un empilement actif de diode photosensible sur un premier substrat ;
 - b) reporter l'empilement actif de diode photosensible sur un circuit intégré de contrôle préalablement formé dans et sur un deuxième substrat semiconducteur, puis retirer le premier substrat ;
 - c) disposer un empilement actif de LED sur un troisième substrat ; et
 - d) après les étapes b) et c), reporter l'empilement actif de LED sur l'empilement actif de diode photosensible, puis retirer le troisième substrat.
- [0046] Les figures 1A à 1J sont des vues en coupe illustrant des étapes successives d'un exemple, non limitatif, de mise en oeuvre d'un tel procédé. Diverses variantes sont à la portée de la personne du métier à partir des indications de la présente description.
- [0047] La [Fig.1A] illustre schématiquement, en partie supérieure (A), la structure obtenue à l'issue d'étapes de formation d'un empilement actif de diode photosensible 103 sur la face supérieure d'un substrat 101.
- [0048] L'empilement 103 est de préférence un empilement de couches semiconductrices inorganiques. L'empilement 103 comprend par exemple une ou plusieurs couches en un matériau semiconducteur de type III-V. L'empilement 103 est par exemple un empilement actif de photodiode sensible dans l'infrarouge ou le proche infrarouge. A titre de variante, l'empilement 103 est un empilement actif de photodiode sensible dans le

visible. A titre d'exemple, l'empilement 103 comprend, dans l'ordre à partir de la face supérieure du substrat 101, une couche 103a en phosphure d'indium (InP) non intentionnellement dopé, une couche d'absorption 103b en arséniure d'indium-gallium (InGaAs), par exemple intrinsèque ou faiblement dopé de type N (par exemple de l'ordre de 10^{15} atomes/cm³), et une couche 103c en phosphure d'indium (InP) dopé de type N. A titre d'exemple, le niveau de dopage de type N de la couche 103c est compris entre 10^{16} et 10^{18} atomes/cm³. Dans cet exemple, la couche 103b est en contact, par sa face inférieure, avec la face supérieure de la couche 103a, et la couche 103c est en contact, par sa face inférieure, avec la face supérieure de la couche 103b.

[0049] Le substrat 101 est par exemple en phosphure d'indium. Les couches 103a, 103b et 103c peuvent être formées successivement par épitaxie sur la face supérieure du substrat 101. Le substrat 101 est alors un substrat de croissance. Une couche tampon, non représentée, par exemple en phosphure d'indium, peut éventuellement faire interface entre le substrat 101 et la couche 103a. La couche tampon est par exemple en contact, par sa face inférieure, avec la face supérieure du substrat 101, et, par sa face supérieure, avec la face inférieure de la couche 103a. La couche tampon peut également être formée par épitaxie à partir de la face supérieure du substrat 101, avant la formation des couches 103a, 103b et 103c.

[0050] A titre de variante, plutôt que de former l'empilement actif de diode photosensible 103 par épitaxie sur la face supérieure du substrat 101, l'empilement actif peut être formé dans l'ordre inverse sur un substrat de croissance, non représenté, puis reporté et fixé sur le substrat 101. Dans ce cas, les couches 103c, 103b et 103a sont successivement formées par épitaxie sur une face du substrat de croissance. Une couche tampon, par exemple en phosphure d'indium, peut éventuellement faire interface entre le substrat de croissance et la couche 103c. L'empilement 103 est ensuite fixé sur la face supérieure du substrat 101, par exemple par collage direct ou collage moléculaire de la face inférieure de la couche 103a sur la face supérieure du substrat 101. A titre de variante, d'autres méthodes de collage peuvent être utilisées. Le substrat de croissance, et, le cas échéant, la couche tampon faisant interface entre le substrat de croissance et la couche 103c, sont ensuite être retirés de façon à libérer l'accès à la face supérieure de la couche 103c. Dans cette variante, le substrat 101 est un substrat de support, par exemple en silicium, ou en tout autre matériau adapté à servir de support de réception de l'empilement actif 103.

[0051] La [Fig.1A] illustre de plus, en partie supérieure (A), une étape de dépôt d'une couche diélectrique 105, par exemple en oxyde de silicium ou en nitrure de silicium, sur et en contact avec la face supérieure de la couche supérieure 103c de l'empilement actif de diode photosensible 103. Dans cet exemple, la couche diélectrique 105 s'étend de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface su-

périeure de la couche 103c.

- [0052] La [Fig.1A] illustre en outre schématiquement, en partie intermédiaire (B), la structure obtenue à l'issue d'étapes de formation d'un empilement actif de LED 113 sur la face supérieure d'un substrat 111.
- [0053] L'empilement 113 est de préférence un empilement de couches semiconductrices inorganiques. L'empilement 113 comprend par exemple une ou plusieurs couches en un matériau semiconducteur de type III-V. L'empilement 113 est par exemple un empilement actif de LED adapté à émettre de la lumière visible, par exemple majoritairement de la lumière bleue. A titre d'exemple, l'empilement 113 est un empilement actif de LED au nitrure de gallium (GaN). A titre d'exemple, l'empilement 113 comprend, dans l'ordre à partir de la face supérieure du substrat 111, une couche semiconductrice 113a dopée de type N, formant une couche de cathode de l'empilement de LED, une couche active 113b, et une couche semiconductrice 113c dopée de type P, formant une couche d'anode de l'empilement de LED. La couche 113a est par exemple en nitrure de gallium. La couche active 113b est par exemple un empilement à puits quantiques multiples (non détaillé sur la figure), constitué d'une alternance de couches semiconductrices d'un premier matériau, par exemple un matériau de type III-V, et de couches semiconductrices d'un deuxième matériau, par exemple un matériau de type III-V, chaque couche du premier matériau étant prise en sandwich entre deux couches du deuxième matériau et définissant un puits quantique. La couche 113c est par exemple en nitrure de gallium. La couche active 113b est par exemple en contact, par sa face inférieure, avec la face supérieure de la couche 113a. La couche 113c est par exemple en contact, par sa face inférieure, avec la face supérieure de la couche active 113b.
- [0054] Le substrat 111 est par exemple en silicium, en saphire, ou en nitrure de gallium. A titre d'exemple, les couches 113a, 113b et 113c sont successivement formées par épitaxie sur la face supérieure du substrat 111. Une couche tampon, non représentée, peut éventuellement faire interface entre la face supérieure du substrat 111 et la face inférieure de la couche 113a.
- [0055] A ce stade, chacune des couches de l'empilement actif de diode photosensible 103 s'étend par exemple de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface supérieure du substrat 101. De plus, chacune des couches de l'empilement actif de LED 113 s'étend par exemple de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface supérieure du substrat 111. Les substrats 101 et 111 ont par exemple sensiblement les mêmes dimensions latérales.
- [0056] La [Fig.1A] illustre en outre, en partie intermédiaire (B), une étape de dépôt d'une couche conductrice 115 sur et en contact avec la face supérieure de la couche semiconductrice 113c. La couche 115 forme un contact ohmique avec le matériau semi-

conducteur de la couche 113c. La couche 115 est par exemple en aluminium, en nickel, ou encore en un oxyde conducteur transparent, par exemple en oxyde d'indium-étain (ITO). A ce stade, la couche métallique 115 s'étend de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface supérieure de la couche 113c. La couche 115 peut en outre avoir une fonction de réflecteur optique. A titre d'exemple, la couche 115 peut comprendre deux couches superposées assurant respectivement la fonction de contact ohmique avec le matériau semiconducteur de la couche 113c et la fonction de réflecteur optique.

- [0057] La [Fig.1A] illustre de plus schématiquement, en partie inférieure (C), un circuit intégré de contrôle 151 préalablement formé dans et sur un substrat semiconducteur, par exemple en silicium. Le circuit intégré de contrôle 151 comprend des circuits de contrôle et de lecture des LED et des diodes photosensibles du dispositif. A titre d'exemple, le circuit intégré 151 comprend un ensemble de cellules élémentaires de contrôle et de lecture, permettant de contrôler et de lire individuellement chaque LED et chaque diode photosensible du dispositif. Le circuit intégré 151 est par exemple un circuit CMOS (de l'anglais "Complementary Metal Oxide Semiconductor" – métal oxyde semiconducteur complémentaire). Dans cet exemple, le circuit 151 comprend une pluralité de plots métalliques de connexion 153 disposés du côté de sa face supérieure.
- [0058] La [Fig.1A] illustre de plus, en partie supérieure (C), une étape de dépôt d'une couche diélectrique 107, par exemple en oxyde de silicium ou en nitrure de silicium, par exemple en le même matériau que la couche 105, sur et en contact avec la face supérieure du circuit intégré de contrôle 151. Dans cet exemple, la couche diélectrique 107 s'étend de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface supérieure du circuit intégré de contrôle 151.
- [0059] La [Fig.1B] illustre la structure obtenue à l'issue d'une étape de report et de fixation de l'empilement actif de diode photosensible 103 sur le circuit intégré de contrôle 151, puis de retrait du substrat 101. Lors de cette étape, l'empilement actif de diode photosensible 103 est reporté sur le circuit intégré 151, en utilisant le substrat 101 comme poignée de support. Sur la [Fig.1B], la structure comportant le substrat 101 et l'empilement 103 est retournée par rapport à l'orientation de la [Fig.1A]. L'empilement 103 est ensuite fixé sur le circuit intégré 151. Dans cet exemple, l'empilement 103 est fixé par collage direct ou collage moléculaire de la face inférieure (dans l'orientation de la [Fig.1B], correspondant à la face supérieure dans l'orientation de la [Fig.1A]) de la couche 105, sur la face supérieure (dans l'orientation de la [Fig.1B], correspondant à la face supérieure dans l'orientation de la [Fig.1A]) de la couche 107. A titre de variante, d'autres méthodes de fixation peuvent être utilisées. Le substrat 101 est ensuite retiré, par exemple par meulage et/ou gravure chimique, de façon à libérer l'accès à la face su-

périeure de la couche 103a. A ce stade, chacune des couches de l'empilement actif de diode photosensible 103 s'étend par exemple de façon continue et avec une épaisseur sensiblement uniforme, sur toute la surface du circuit intégré de contrôle 151. On notera que, dans cet exemple, l'empilement actif 103 est non structuré et n'a subi aucune étape de traitement localisé avant l'étape de report. Ainsi, l'étape de report ne requière pas d'alignement précis.

- [0060] La [Fig.1C] illustre une étape de dépôt d'une couche diélectrique 121, par exemple en nitrure de silicium ou en oxyde de silicium, sur la face supérieure de la couche 103a, par exemple en contact avec la face supérieure de la couche 103a. La couche 121 est par exemple déposée par un procédé de dépôt chimique en phase vapeur assisté par plasma (PECVD). La couche 121 est par exemple déposée de façon continue et avec une épaisseur uniforme sur toute la surface supérieure de la couche 103a. La [Fig.1C] illustre en outre une étape de formation d'ouvertures traversantes localisées 123 dans la couche diélectrique 121. Les ouvertures 123 sont par exemple formées par photolithographie et gravure. Les ouvertures sont disposées en vis-à-vis de futures zones de reprise de contact de type P correspondant à des régions d'anode des diodes photosensibles du dispositif.
- [0061] La [Fig.1D] illustre une étape de dopage de type P de régions localisées 125 de la couche 103a, situées en vis-à-vis des ouvertures 123. Le dopage des régions 125 peut être réalisé par diffusion ou implantation d'éléments dopants de type P, par exemple du zinc (Zn) ou du béryllium (Be), en vis-à-vis des ouvertures 123. Un recuit d'activation des éléments dopants peut ensuite être mis en oeuvre. A titre d'exemple, le recuit d'activation peut être un recuit laser superficiel, ce qui permet de ne pas endommager les composants de circuit intégré 151, ni altérer la qualité du collage entre le circuit intégré 151 et l'empilement actif de diode photosensible 103. Les régions dopées de type P 125 forment des régions d'anode des diodes photosensibles du dispositif. Dans cet exemple, les régions 125 s'étendent sur toute l'épaisseur de la couche 103a, et viennent en contact, par leur face inférieure, avec la face supérieure de la couche d'absorption 103b.
- [0062] La [Fig.1E] illustre une étape de formation de métallisations de reprise de contact 127 dans les ouvertures 123. Chaque métallisation 127 vient contacter individuellement la région 125 sous-jacente, à travers l'ouverture 123 correspondante. A titre d'exemple, une couche métallique est d'abord déposée de façon continue sur toute la surface supérieure de la structure, c'est-à-dire sur et en contact avec la face supérieure de la couche diélectrique 121 et dans les ouvertures 123, puis retirée par photolithographie et gravure de façon à conserver uniquement les métallisations 127. Dans cet exemple, chaque métallisation 127 constitue une électrode d'anode d'une diode photosensible 171 du dispositif.

- [0063] La [Fig.1F] illustre la structure obtenue à l'issue d'étapes de formation de vias conducteurs 129 isolés latéralement, traversant l'empilement actif de diode photosensible 103. Plus particulièrement, dans cet exemple, les vias conducteurs 129 traversent la couche 121, les couches 103a, 103b et 103c de l'empilement 103, les couches isolantes 105 et 107, et débouchent chacun sur et en contact avec la face supérieure d'un plot métallique 153 du circuit intégré de contrôle. La réalisation des vias 129 comprend une étape de gravure, à partir de la face supérieure de la couche isolante 121, d'ouvertures traversantes dans l'empilement formé par les couches 107, 105, 103c, 103b, 103a et 121. Les ouvertures sont par exemple formées par gravure plasma, par exemple de type ICP (de l'anglais Inductively Coupled Plasma – plasma à couplage inductif). Une étape de passivation des flancs des ouvertures, est ensuite mise en oeuvre. Lors de cette étape, une couche 131 d'un matériau isolant, par exemple de l'oxyde de silicium, est déposée sur les parois latérales et au fond des ouvertures. Une étape de gravure anisotrope verticale peut ensuite être mise en oeuvre pour retirer la couche isolante au fond des ouvertures, sans la retirer sur les parois latérales. Les ouvertures sont ensuite remplies de métal pour former les vias conducteurs 129.
- [0064] Avant ou après la formation des vias conducteurs 129, un ou plusieurs vias conducteurs (non visibles sur les figures) de reprise de contact sur la couche de cathode 103c de l'empilement de diode photosensible peuvent être formés. Ces vias de reprise de contact de cathode sont similaires aux vias 129 représentés sur la [Fig.1F], à savoir qu'ils traversent la couche 121, les couches 103a, 103b et 103c de l'empilement 103, les couches isolantes 105 et 107, et débouchent sur et en contact avec la face supérieure d'un plot métallique 153. Les vias de reprise de contact de cathode diffèrent des vias 129 en ce qu'ils sont en contact, latéralement, avec les flancs de la couche semiconductrice de cathode 103c de l'empilement de diode photosensible. Les vias de reprise de contact de cathode sont en revanche isolés latéralement de la couche semiconductrice d'anode 103a par une couche d'isolation latérale. Pour réaliser la couche d'isolation latérale revêtant les flancs de la couche semiconductrice d'anode 103a et ne revêtant pas les flancs de la couche semiconductrice de cathode 103c, une possibilité est de déposer le matériau isolant de passivation par pulvérisation, avec un angle d'incidence, de façon que le matériau isolant se dépose uniquement sur une partie supérieure des parois de l'ouverture du via. La profondeur du dépôt peut être ajustée en jouant sur l'angle d'inclinaison appliqué. A titre de variante, les vias de reprise de contact de cathode peuvent être réalisés en deux étapes de gravure successives. Lors d'une première étape de gravure, une première ouverture traversant la couche semiconductrice d'anode 103a et tout ou partie de la couche d'absorption 103b est formée. Une couche isolante de passivation est ensuite déposée sur les parois latérales de la première ouverture. Lors d'une seconde étape de gravure, une deuxième ouverture

traversant la couche semiconductrice de cathode 103c est formée, la deuxième ouverture ayant des dimensions latérales inférieures à celles de la première ouverture. Les première et deuxième ouvertures sont ensuite remplies de métal.

[0065] La [Fig.1G] illustre la structure obtenue à l'issue d'une étape de dépôt d'une couche métallique 143 sur la face supérieure de la structure de la [Fig.1F]. Dans cet exemple, la couche métallique 143 s'étend de façon continue et avec une épaisseur sensiblement uniforme sur toute la surface supérieure de la structure de la [Fig.1F]. Dans l'exemple représenté, préalablement au dépôt de la couche métallique 143, une étape de planarisation de la face supérieure de la structure est mise en oeuvre, par exemple par un procédé de type damascène. Pour cela, une couche isolante 141, par exemple en oxyde de silicium, est déposée sur toute la face supérieure de la structure de la [Fig.1F], sur une épaisseur supérieure à l'épaisseur des portions des métallisations 127 et 129 en saillie de la face supérieure de la couche isolante 121. La couche isolante 141 est ensuite planarisée à partir de sa face supérieure, par exemple par polissage mécano-chimique, jusqu'à libérer l'accès à la face supérieure des métallisations 127 et 129. On obtient ainsi une surface supérieure plane présentant une alternance de régions isolantes et métalliques. La couche métallique 143 est ensuite déposée sur et en contact avec cette surface planarisée. La couche métallique 143 est par exemple en le même métal que la couche métallique 115 déposée sur la face supérieure de l'empilement de LED 113 ([Fig.1A]).

[0066] La [Fig.1H] illustre la structure obtenue à l'issue d'une étape de report et de fixation de l'empilement actif de LED 113 sur la face supérieure de la structure de la [Fig.1G], puis de retrait du substrat 111. Lors de cette étape, l'empilement actif de LED 113 est reporté sur la face supérieure de la structure de la [Fig.1G], en utilisant le substrat 111 comme poignée de support. Sur la [Fig.1H], la structure comportant le substrat 111, l'empilement 113 et la couche 115 est retournée par rapport à l'orientation de la [Fig.1A]. L'empilement 113 est ensuite fixé sur la structure de la [Fig.1G]. A titre d'exemple, l'empilement 113 est fixé par collage direct ou collage moléculaire de la face inférieure (dans l'orientation de la [Fig.1H], correspondant à la face supérieure dans l'orientation de la [Fig.1A]) de la couche 115, sur la face supérieure (dans l'orientation de la [Fig.1H], correspondant à la face supérieure dans l'orientation de la [Fig.1G]) de la couche métallique supérieure 143 de la structure de la [Fig.1G]. De préférence, le collage est un collage de type SAB (de l'anglais "Surface Activated Bonding" – collage à surfaces activées), c'est-à-dire un collage direct dans lequel les surfaces mises en contact sont préalablement activées par bombardement atomique. Le collage SAB présente l'avantage de pouvoir être mis en oeuvre à basse température, par exemple à température ambiante. Le substrat 111 est ensuite retiré, par exemple par meulage et/ou gravure chimique, ou par un procédé de décollage par laser, de façon à

libérer l'accès à la face supérieure de la couche 113a. A ce stade, chacune des couches de l'empilement actif de LED 113 s'étend par exemple de façon continue et avec une épaisseur sensiblement uniforme, sur toute la surface de l'empilement actif de l'assemblage. On notera que dans cet exemple, l'empilement actif de LED 113 est non structuré et n'a subi aucune étape de traitement localisé avant l'étape de report. Ainsi, l'étape de report ne requière pas d'alignement précis.

[0067] La [Fig.1I] illustre la structure obtenue à l'issue d'une étape de formation de métallisations de contact de cathode 145 des LED du dispositif dans des ouvertures traversant l'empilement actif de LED 113 et les couches métalliques 115 et 143. Chaque métallisation de contact de cathode 145 s'étend verticalement depuis la face supérieure de l'empilement jusqu'à la face supérieure d'un via conducteur 129 du dispositif. Ainsi, chaque métallisation de contact de cathode 145 est connectée électriquement, par l'intermédiaire du via conducteur 129 sous-jacent, à un plot métallique de connexion 153 dédié du circuit intégré de contrôle 151.

[0068] Une étape de gravure localisée des couches 113a, 113b, 113c, 115 et 143 est d'abord mise en oeuvre pour former les ouvertures destinées à recevoir les métallisations 145. Une étape de passivation des flancs des ouvertures est ensuite mise en oeuvre. Lors de cette étape, une couche 147 d'un matériau isolant, par exemple de l'oxyde de silicium, est déposée sur les parois latérales et au fond des ouvertures. Une étape de gravure anisotrope verticale peut ensuite être mise en oeuvre pour retirer la couche isolante 147 au fond des ouvertures. La couche isolante 147 peut en outre être retirée, à l'intérieur des ouvertures, sur les flancs d'une partie supérieure de la couche de cathode 113a de l'empilement de LED 113. La couche isolante 147 est en revanche conservée, à l'intérieur des ouvertures, sur les flancs des couches 113b, 113c, 115 et 143. Les ouvertures sont ensuite remplies de métal pour former les métallisations 145. Ainsi, chaque métallisation 145 est en contact, avec la couche de type N 113a de l'empilement actif de LED au niveau des parois latérales de l'ouverture. Chaque métallisation 145 est en revanche isolée latéralement des couches 113b, 113c, 115 et 143 par la couche isolante 147.

[0069] La [Fig.1J] illustre la structure obtenue à l'issue d'une étape de gravure localisée de l'empilement formé par les couches métalliques 143 et 115 et l'empilement actif de LED 113. Lors de cette étape seuls sont conservés des pavés 161 de l'empilement actif de LED 113, correspondant respectivement aux différentes LED 161 du dispositif. Dans cet exemple, chaque pavé de LED 161 comprend une métallisation de contact de cathode 145. La portion de l'empilement des couches métalliques 115 et 143 située sous chaque LED 161 forme une électrode d'anode de la LED et est connectée électriquement à un plot 153 dédié du circuit intégré 151 par l'intermédiaire d'un via 129.

[0070] En dehors des pavés de LED 161, l'empilement 113 et les couches métalliques 115 et

143 sont entièrement retirés, de façon à exposer la face supérieure de la couche diélectrique 141 et des métallisations 129 et 127 sous-jacentes. En particulier, dans cet exemple, l'empilement 113 et les couches 115 et 143 sont retirées en vis-à-vis des diodes photosensibles 171 du dispositif.

[0071] Une étape ultérieure de passivation des flancs des LED 161, non détaillée, peut éventuellement être prévue.

[0072] On notera que dans l'exemple représenté, les électrodes d'anode 127 des diodes photosensibles 171, et les électrodes d'anode 115, 143 et les électrodes de cathode 145 des LED 161 sont toutes connectées individuellement à des plots de connexion 153 du circuit intégré 151. La ou les électrodes de cathode des diodes photosensibles 171 peuvent être communes à toutes les diodes photosensibles 171 du dispositif, et connectées au circuit intégré 151 en périphérie du dispositif, par l'intermédiaire de vias de reprise de contact de cathode du type décrit ci-dessus.

[0073] A titre de variante, les électrodes de cathode des LED 161 peuvent être communes à toutes les LED 161 du dispositif, et connectées au circuit intégré 151 en périphérie du dispositif, de façon à limiter le nombre de vias conducteurs 129 et de plots 153. Dans une autre variante, non représentée, les électrodes de cathode des LED 161 et des diodes photosensibles 171 peuvent être communes.

[0074] En fonction de l'application envisagée, des éléments de conversion lumineuse, non représentés, peuvent éventuellement être disposés en vis-à-vis de LED 161, du côté de leurs faces supérieures, pour obtenir, sur un même dispositif, des pixels d'émission adaptés à émettre dans des gammes de longueurs d'ondes différentes, par exemple des pixels rouges, des pixels verts et des pixels bleus. Par ailleurs, des éléments de filtrage, non représentés, peuvent éventuellement être disposés en vis-à-vis de diodes photosensibles 171, du côté de leurs faces supérieures, pour obtenir, sur un même dispositif, des pixels de détection adaptés à détecter des rayonnements dans des gammes de longueurs d'ondes différentes.

[0075] Le procédé décrit en relation avec les figures 1A à 1J peut être utilisé pour réaliser des micro-écrans monolithiques, combinant une fonction d'affichage d'images et une fonction de capture optique, par exemple pour réaliser un écran interactif adapté à mettre en oeuvre des fonctions de reconnaissance de visage ou de formes, de détection de mouvement, d'identification, etc. Un avantage du procédé décrit est qu'il permet de réaliser des pixels d'affichage et des pixels de capture de petites dimensions latérales, et ainsi obtenir des résolutions d'affichage et des résolutions de capture élevées. On notera que dans l'exemple décrit ci-dessus, chaque pixel du dispositif comprend une diode photosensible 171 et une LED 161. A titre de variante, la résolution du dispositif d'affichage et la résolution du capteur optique peuvent être différentes. Par exemple, le nombre de diodes photosensibles 171 du dispositif peut être inférieure au nombre de

LED 161.

- [0076] A titre de variante, le procédé décrit en relation avec les figures 1A à 1J peut être utilisé pour réaliser des dispositifs d'affichage interactifs de plus grandes dimensions, par exemple un écran de télévision, d'ordinateur, de smartphone, de tablette numérique, etc. Un tel dispositif peut comporter une pluralité de puces électroniques élémentaires disposées, par exemple selon un agencement matriciel, sur un même substrat de report. Les puces élémentaires sont montées solidaires du substrat de report et connectées à des éléments de connexion électrique du substrat de report pour leur commande. Chaque puce comporte une ou plusieurs LED 161, une ou plusieurs diodes photosensibles 171, et un circuit 151 de commande de ladite une ou plusieurs LED et de ladite une ou plusieurs diodes photosensibles. Chaque puce correspond par exemple à un pixel du dispositif. A titre d'exemple, chaque puce comprend trois LED 161 commandables individuellement, définissant respectivement trois sous-pixels adaptés à émettre respectivement de la lumière rouge, de la lumière verte et de la lumière bleue, et une diode photosensible 171 adaptée à détecter un rayonnement infrarouge ou proche infrarouge.
- [0077] Les figures 2A à 2G sont des vues en coupe illustrant des étapes successives d'un exemple d'un procédé de fabrication d'un tel dispositif.
- [0078] La [Fig.2A] illustre de façon très schématique une structure de départ qui correspond à une structure du type obtenue par le procédé des figures 1A à 1J, comprenant un étage de circuit intégré de contrôle 151, surmonté d'un étage de photodétection 201, lui-même surmonté d'un étage d'émission 203. L'étage de photodétection 201 comprend une pluralité de diodes photosensibles 171 (non détaillées sur les figures 2A à 2G) commandables individuellement par le circuit intégré 151. L'étage d'émission comprend une pluralité de LED 161 (non détaillées sur les figures 2A à 2G) commandables individuellement par le circuit intégré 151. Sur la [Fig.2A], seuls les plots de connexion électrique 153 du circuit intégré 151, disposés du côté de la face supérieure du circuit intégré 151, ont été détaillés.
- [0079] La [Fig.2B] illustre une étape de collage de la structure de la [Fig.2A] sur un substrat de support temporaire 210, par exemple en silicium. La structure de la [Fig.2A] est fixée au substrat de support 210 par sa face opposée au circuit intégré de contrôle 151, c'est-à-dire par sa face inférieure dans l'orientation de la [Fig.2B], correspondant à sa face supérieure dans l'orientation de la [Fig.2A].
- [0080] La [Fig.2C] illustre une étape optionnelle d'amincissement du substrat semi-conducteur du circuit intégré 151, par sa face opposée aux étages 201 et 203. A titre d'exemple, le circuit intégré 151 est initialement formé dans et sur un substrat de type SOI (de l'anglais "Semiconductor On Insulator" – semiconducteur sur isolant). Le substrat SOI comprend par exemple un support en silicium, revêtu d'une couche

isolante, elle-même revêtue d'une couche de silicium monocristallin (non détaillés sur les figures). Les composants, notamment des transistors, du circuit intégré 151, peuvent être formés dans et sur la couche de silicium monocristallin du substrat SOI. L'étape d'amincissement de la [Fig.2C] peut consister à retirer le substrat de support du substrat SOI, de façon à ne conserver que la couche de silicium monocristallin et la couche isolante du substrat SOI.

- [0081] A titre de variante, le circuit intégré 151 est formé dans et sur un substrat massif de silicium, l'étape d'amincissement pouvant alors consister à réduire l'épaisseur du substrat, par exemple par meulage, à partir de sa face supérieure (dans l'orientation de la [Fig.2C]). Une couche isolante de passivation (non détaillée sur la figure) peut ensuite être déposée sur la face supérieure du substrat aminci.
- [0082] La [Fig.2D] illustre une étape de formation, du côté de la face supérieure du circuit intégré 151, de plots métalliques de connexion 221, reliés aux plots de connexion 153 et/ou à des bornes de connexion de composants électroniques, par exemple des transistors MOS, du circuit intégré 151, par l'intermédiaire de vias conducteurs non détaillés sur la figure, traversant le substrat semiconducteur du circuit intégré 151.
- [0083] La [Fig.2E] illustre une étape de formation, à partir de la face supérieure du circuit intégré 151, de tranchées 230 traversant verticalement le circuit intégré 151, l'étage de détection 201 et l'étage d'émission 203, et débouchant sur la face supérieure du substrat de support temporaire 210. Les tranchées 230 délimitent latéralement une pluralité de puces semiconductrices 232 correspondant aux puces élémentaires de pixel du dispositif d'affichage. Les tranchées 230 peuvent être formées par gravure plasma, par sciage, ou par toute autre méthode de découpe adaptée.
- [0084] Les figures 2F et 2G illustrent une étape de fixation de puces élémentaires 232 sur la face supérieure d'un même substrat de report 250 du dispositif d'affichage. Le substrat de report 250 comprend, du côté de sa face supérieure, une pluralité de plots métalliques de connexion 252, destinés à être fixés et connectés électriquement et mécaniquement à des plots de connexion métalliques correspondants 221 des puces élémentaires 232.
- [0085] La structure de la [Fig.2E] est retournée ([Fig.2F]) de façon à placer les plots de connexion métalliques 221 de puces élémentaires 232 en vis-à-vis de plots de connexion métalliques 252 correspondants du substrat de report 250. Les plots 221 et 252 en vis-à-vis sont ensuite fixés et connectés électriquement, par exemple par collage direct, par soudure, au moyen de microtubes, ou par toute autre méthode adaptée.
- [0086] Une fois fixées au substrat de report 250, les puces élémentaires 232 sont détachées du substrat de support temporaire 210, et ce dernier est retiré ([Fig.2G]). A titre d'exemple, le détachage des puces est réalisé par décollement mécanique ou par dé-

collement au moyen d'un faisceau laser.

- [0087] Dans l'exemple représenté, le pas (distance centre à centre en vue de face) des puces élémentaires 232 sur le substrat de report 250 est un multiple du pas des puces élémentaires 232 sur le substrat de support temporaire 210. Ainsi, seules une partie des puces élémentaires 232 (une sur deux dans l'exemple représenté) sont transférées simultanément du substrat de support temporaire 210 sur le substrat de report 250. Les autres puces 232 restent attachées au substrat de support temporaire 210 et peuvent être reportées ultérieurement sur une autre partie du substrat de report 250 ou sur un autre substrat de report 250.
- [0088] Divers modes de réalisation et variantes ont été décrits. La personne du métier comprendra que certaines caractéristiques de ces divers modes de réalisation et variantes pourraient être combinées, et d'autres variantes apparaîtront à la personne du métier. En particulier, les modes de réalisation décrits ne se limitent pas aux exemples de matériaux et/ou de dimensions mentionnés dans la présente description.
- [0089] En outre, dans l'exemple décrit en relation avec les figures 1A à 1J, les régions d'anode 125 et les métallisations d'anode 127 des diodes photosensibles 171 sont réalisées après le report de l'empilement actif de diode photosensible 103 sur le circuit intégré 151. A titre de variante, non détaillée sur les figures, les régions d'anode 125 et les métallisations d'anode 127 des diodes photosensibles 171 peuvent être réalisées avant le report de l'empilement actif de diode photosensible 103 sur l'empilement actif de LED 113. Dans ce cas, l'ordre des couches de l'empilement 103 est inversé par rapport à l'exemple de la [Fig.1A]. Le collage de l'empilement actif de diode photosensible 103 sur le circuit intégré 151 est alors un collage hybride nécessitant un alignement des métallisations d'anode 127 des diodes photosensibles par rapport aux plots de connexion métalliques 153 du circuit intégré 151. Toutefois, un avantage est que le recuit d'activation des dopants des régions 125 peut alors être réalisé avant le report de l'empilement 103 sur le circuit intégré 151, ce qui évite toute dégradation du circuit intégré 151 ou du collage entre l'empilement 103 et le circuit intégré 151 lors du recuit.

Revendications

- [Revendication 1] Procédé de fabrication d'un dispositif optoélectronique, comportant les étapes suivantes :
- a) disposer un empilement actif de diode photosensible (103) sur un premier substrat (101) ;
 - b) reporter l'empilement actif de diode photosensible (103) sur un circuit intégré de contrôle (151) préalablement formé dans et sur un deuxième substrat semiconducteur, puis retirer le premier substrat (101) ;
 - c) disposer un empilement actif de LED (113) sur un troisième substrat (111) ; et
 - d) après les étapes b) et c), reporter l'empilement actif de LED (113) sur l'empilement actif de diode photosensible (103), puis retirer le troisième substrat (111).
- [Revendication 2] Procédé selon la revendication 1, dans lequel l'empilement actif de diode photosensible (103) comprend au moins une couche semiconductrice inorganique, par exemple en un matériau III-V, et dans lequel l'empilement actif de LED (113) comprend au moins une couche semiconductrice inorganique, par exemple en un matériau III-V.
- [Revendication 3] Procédé selon la revendication 1 ou 2, dans lequel l'empilement actif de diode photosensible (103) comprend des première (103a), deuxième (103b) et troisième (103c) couches semiconductrices, la deuxième couche (103b) étant disposée entre les première (103a) et troisième (103c) couches.
- [Revendication 4] Procédé selon la revendication 3, comprenant une étape de dopage de type P de portions localisées (125) de la première couche (103a), lesdites portions définissant des régions d'anode de diodes photosensibles (171) du dispositif.
- [Revendication 5] Procédé selon la revendication 4, dans lequel ladite étape de dopage de type P des portions localisées (125) de la première couche (103a) est mise en oeuvre après l'étape b) et avant l'étape d).
- [Revendication 6] Procédé selon la revendication 4, dans lequel ladite étape de dopage de type P des portions localisées (125) de la première couche (103a) est mise en oeuvre avant l'étape b).
- [Revendication 7] Procédé selon l'une quelconque des revendications 4 à 6, comprenant en outre une étape de formation de métallisations de connexion (127) sur et en contact avec lesdites portions localisées (125) de la première couche (103a).

- [Revendication 8] Procédé selon l'une quelconque des revendications 1 à 7, dans lequel, à l'issue de l'étape b), l'empilement actif de diode photosensible (103) s'étend de façon continue sur toute la surface du circuit intégré de contrôle (151).
- [Revendication 9] Procédé selon l'une quelconque des revendications 1 à 8, dans lequel, à l'issue de l'étape d), l'empilement actif de LED (113) s'étend de façon continue sur toute la surface du circuit intégré de contrôle (151).
- [Revendication 10] Procédé selon l'une quelconque des revendications 1 à 9, comprenant en outre, après l'étape b) et avant l'étape d), une étape de formation de vias conducteurs (129) traversant l'empilement actif de diode photosensible (103).
- [Revendication 11] Procédé selon la revendication 10, dans lequel les vias conducteurs (129) sont connectés électriquement à des plots métalliques de connexion (153) du circuit intégré (151).
- [Revendication 12] Procédé selon l'une quelconque des revendications 1 à 11, comprenant en outre, après l'étape d), une étape de gravure localisée de l'empilement actif de LED (113) de façon à former dans l'empilement actif de LED une pluralité de pavés (161) définissant chacun une LED.
- [Revendication 13] Procédé selon l'une quelconque des revendications 1 à 12, comportant, après l'étape d), une étape de fixation d'un substrat de support temporaire (210) du côté de l'empilement actif de LED (113) opposé au circuit intégré (151), suivie d'une étape de découpe de l'ensemble comportant le circuit intégré (151), l'empilement actif de diode photosensible (103) et l'empilement actif de LED (113) en une pluralité de puces élémentaires (232).
- [Revendication 14] Procédé selon la revendication 13, comportant en outre une étape de transfert et de fixation desdites puces élémentaires (232) sur un substrat de report (250) du dispositif, puis une étape de retrait du substrat de support temporaire (210).

[Fig. 1A]

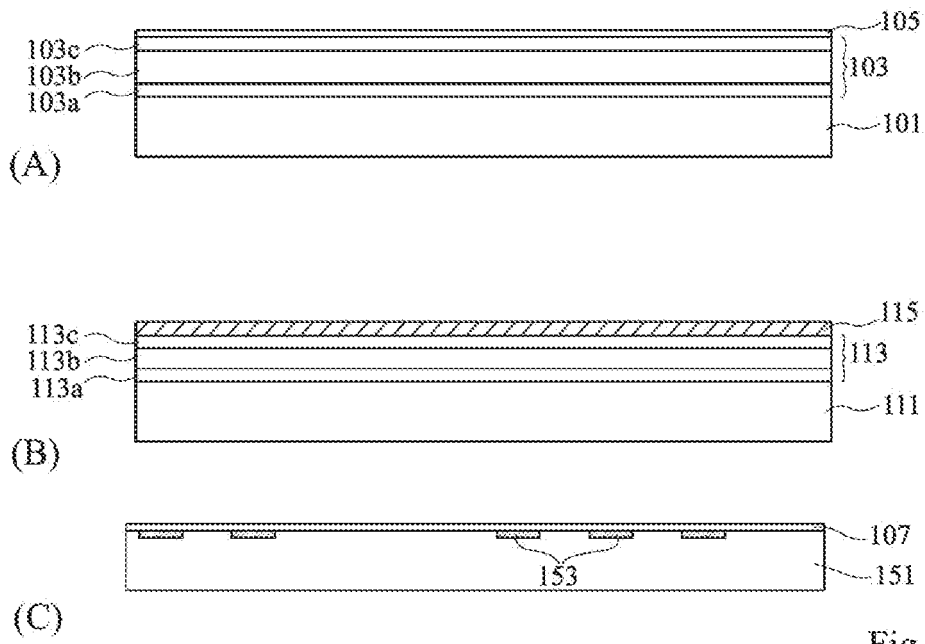


Fig 1A

[Fig. 1B]

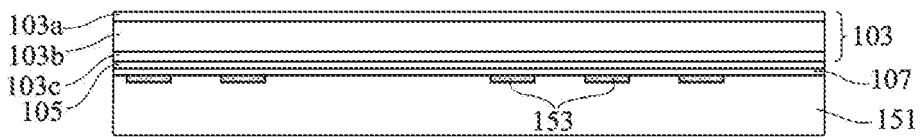


Fig 1B

[Fig. 1C]

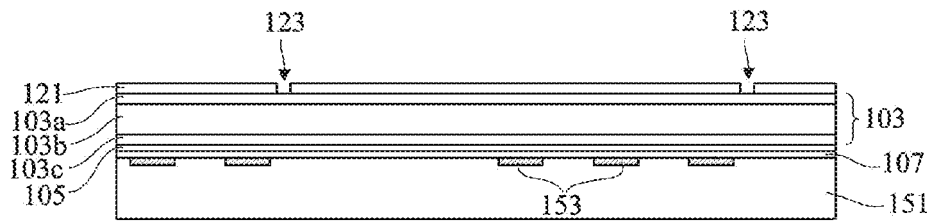


Fig 1C

[Fig. 1D]

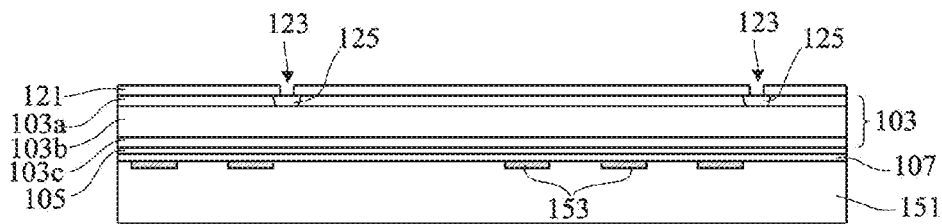


Fig 1D

[Fig. 1E]

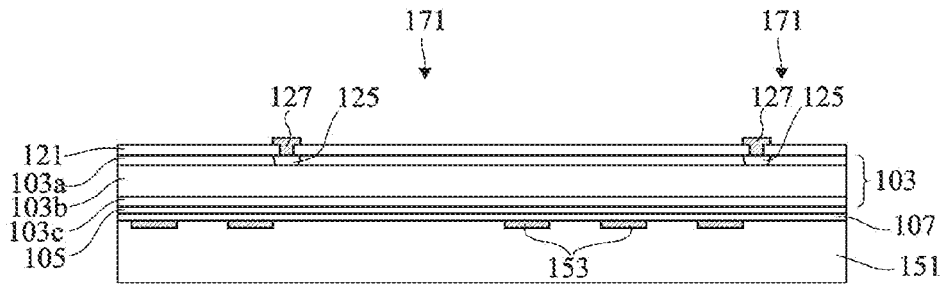


Fig 1E

[Fig. 1F]

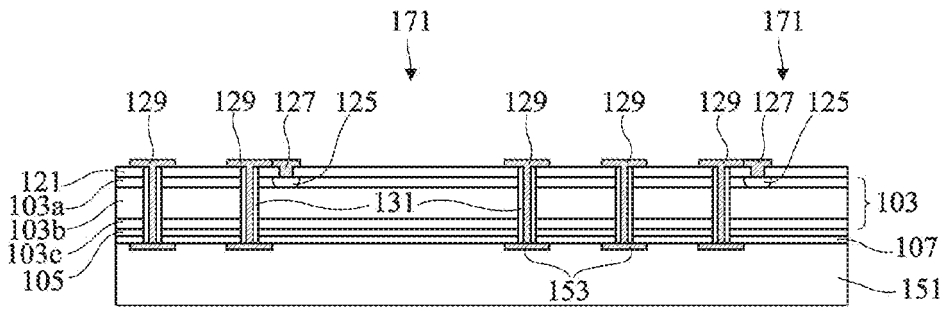


Fig 1F

[Fig. 1G]

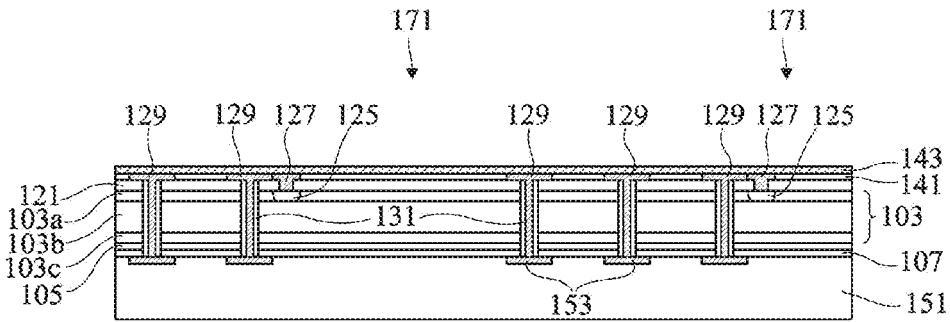


Fig 1G

[Fig. 1H]

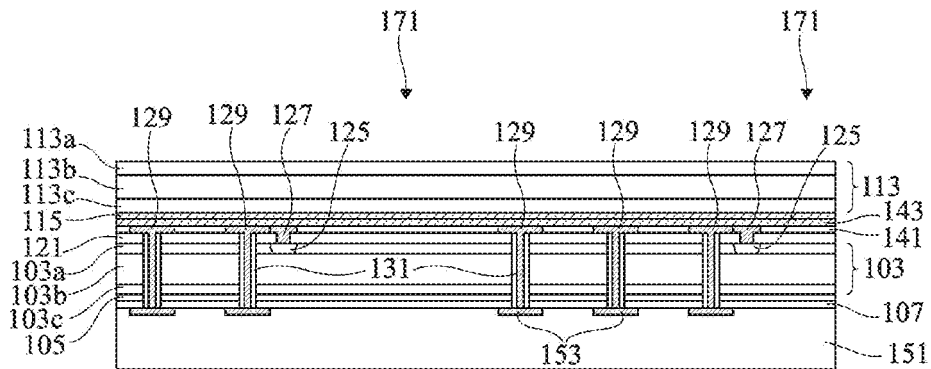


Fig 1H

[Fig. 1I]

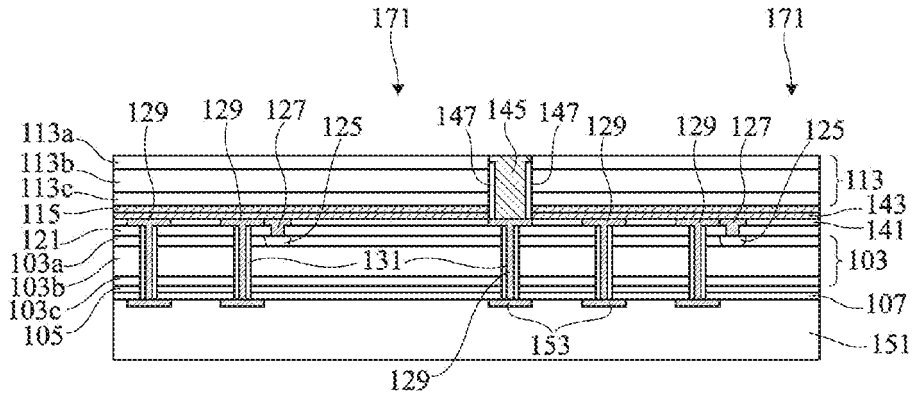


Fig 1I

[Fig. 1J]

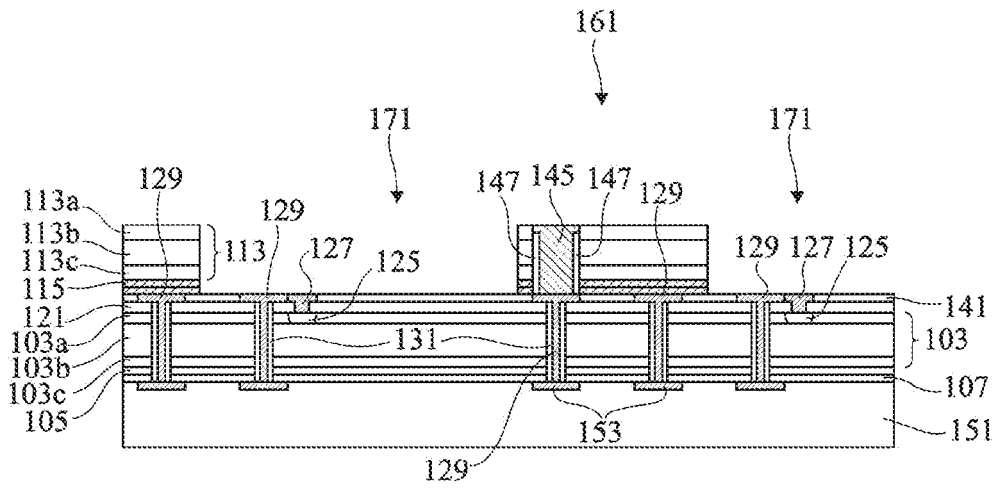


Fig 1J

[Fig. 2A]

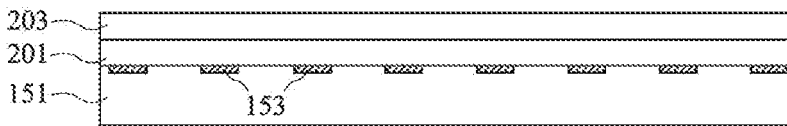


Fig 2A

[Fig. 2B]

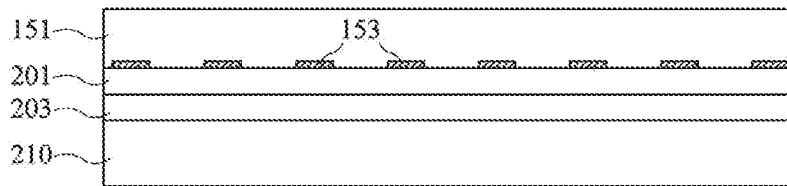


Fig 2B

[Fig. 2C]

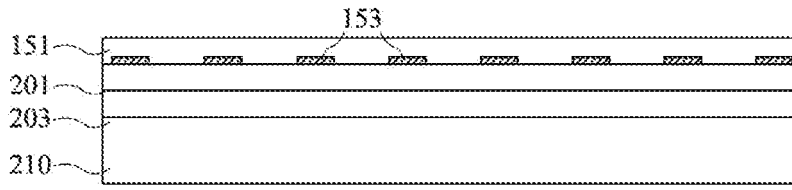


Fig 2C

[Fig. 2D]

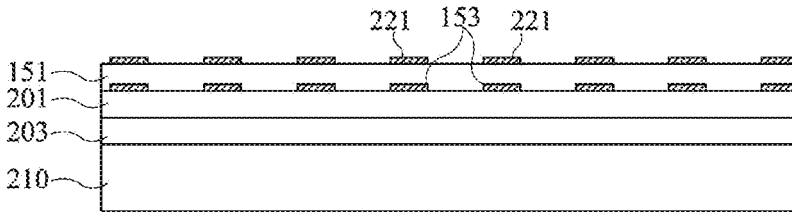


Fig 2D

[Fig. 2E]

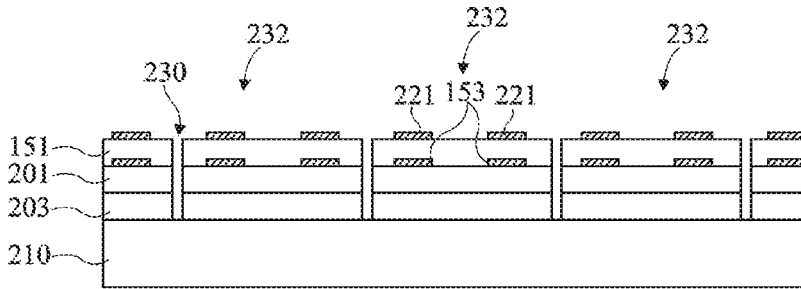


Fig 2E

[Fig. 2F]

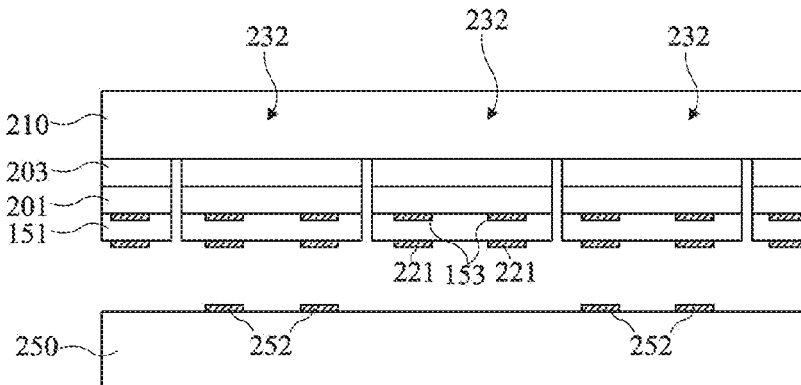


Fig 2F

[Fig. 2G]

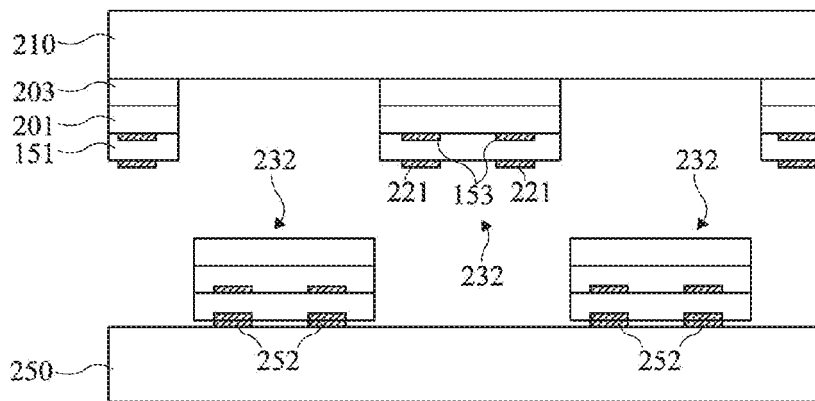


Fig 2G

**RAPPORT DE RECHERCHE
PRÉLIMINAIRE**

N° d'enregistrement
national

établi sur la base des dernières revendications
déposées avant le commencement de la recherche

FA 896452
FR 2105160

DOCUMENTS CONSIDÉRÉS COMME PERTINENTS		Revendication(s) concernée(s)	Classement attribué à l'invention par l'INPI
Catégorie	Citation du document avec indication, en cas de besoin, des parties pertinentes		
A	<p>Liu Xiaoyan ET AL: "High-Bandwidth InGaN Self-Powered Detector Arrays toward MIMO Visible Light Communication Based on Micro-LED Arrays", ACS photonics, 18 décembre 2019 (2019-12-18), pages 3186-3195, XP055870321, DOI: 10.1021/acsphotonics.9b00799</p> <p>Extrait de l'Internet: URL:https://pubs.acs.org/doi/pdf/10.1021/acsphotonics.9b00799 [extrait le 2021-12-07] * abrégé; figures 1, 2a * * page 3186, colonne 1, ligne 9 - colonne 2, ligne 12; figure 1 * * page 3184, colonne 1, ligne 26 - colonne 2, ligne 57; figure 2 *</p> <p style="text-align: center;">-----</p>	1-3	
			DOMAINES TECHNIQUES RECHERCHÉS (IPC)
		Date d'achèvement de la recherche 8 décembre 2021	Examineur Tinjod, Frank
<p>CATÉGORIE DES DOCUMENTS CITÉS</p> <p>X : particulièrement pertinent à lui seul Y : particulièrement pertinent en combinaison avec un autre document de la même catégorie A : arrière-plan technologique O : divulgation non-écrite P : document intercalaire</p>		<p>T : théorie ou principe à la base de l'invention E : document de brevet bénéficiant d'une date antérieure à la date de dépôt et qui n'a été publié qu'à cette date de dépôt ou qu'à une date postérieure. D : cité dans la demande L : cité pour d'autres raisons & : membre de la même famille, document correspondant</p>	

**ANNEXE AU RAPPORT DE RECHERCHE PRÉLIMINAIRE
RELATIF A LA DEMANDE DE BREVET FRANÇAIS NO. FR 2105160 FA 896452**

La présente annexe indique les membres de la famille de brevets relatifs aux documents brevets cités dans le rapport de recherche préliminaire visé ci-dessus.
Les dits membres sont contenus au fichier informatique de l'Office européen des brevets à la date du **08-12-2021**
Les renseignements fournis sont donnés à titre indicatif et n'engagent pas la responsabilité de l'Office européen des brevets, ni de l'Administration française

Document brevet cité au rapport de recherche	Date de publication	Membre(s) de la famille de brevet(s)	Date de publication
US 2021134654 A1	06-05-2021	AUCUN	

EP 3667728 A1	17-06-2020	CN 111326613 A	23-06-2020
		EP 3667728 A1	17-06-2020
		FR 3090200 A1	19-06-2020
		US 2020194614 A1	18-06-2020
