



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2016-0088358
(43) 공개일자 2016년07월25일

(51) 국제특허분류(Int. Cl.)
H01L 21/8234 (2006.01) G03F 7/20 (2006.01)
H01L 21/28 (2006.01) H01L 27/02 (2006.01)
H01L 27/088 (2006.01) H01L 29/423 (2006.01)
(52) CPC특허분류
H01L 21/823437 (2013.01)
G03F 7/70466 (2013.01)
(21) 출원번호 10-2016-7016072
(22) 출원일자(국제) 2014년10월24일
심사청구일자 없음
(85) 번역문제출일자 2016년06월16일
(86) 국제출원번호 PCT/US2014/062276
(87) 국제공개번호 WO 2015/076978
국제공개일자 2015년05월28일
(30) 우선권주장
61/908,007 2013년11월22일 미국(US)
14/283,168 2014년05월20일 미국(US)

(71) 출원인
퀄컴 인코포레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
송, 스탠리 승철
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
왕, 충제
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
옌, 초호 페이
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(74) 대리인
특허법인 남앤드남

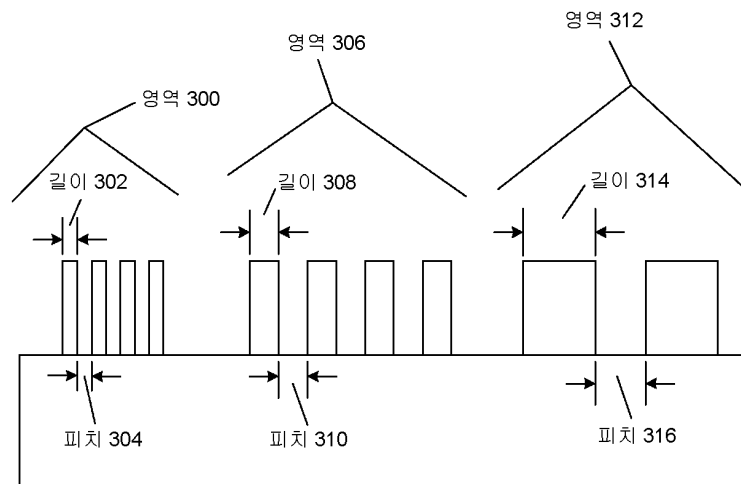
전체 청구항 수 : 총 20 항

(54) 발명의 명칭 게이트 패터닝을 위한 리소그래피 프로세스들의 병합

(57) 요약

다이 상에 디바이스들을 제조하기 위한 방법들, 및 다이 상의 디바이스들이 기재된다. 방법은, 제 1 게이트 길이 및 제 1 접촉형 폴리실리콘 피치(CPP)를 갖는 제 1 게이트를 생성하기 위해 제 1 프로세스로 제 1 영역을 패터닝하는 단계를 포함할 수 있다. 제 1 CPP는 단일 패턴 리소그래피 제한보다 더 작다. 방법은 또한, 제 2 게이트 길이 또는 제 2 CPP를 갖는 제 2 게이트를 생성하기 위해 제 2 프로세스로 제 1 영역을 패터닝하는 단계를 포함할 수 있다. 제 2 CPP는 단일 패턴 리소그래피 제한보다 더 작다. 제 2 게이트 길이는 제 1 게이트 길이와 상이하다.

대표도 - 도3a



(52) CPC특허분류

H01L 21/28123 (2013.01)

H01L 27/0207 (2013.01)

H01L 27/0886 (2013.01)

H01L 29/4238 (2013.01)

명세서

청구범위

청구항 1

다이(die) 상에 복수의 디바이스들을 제조하기 위한 방법으로서,

제 1 게이트 길이 및 제 1 접촉형 폴리실리콘 피치(CPP; contacted polysilicon pitch)를 갖는 적어도 제 1 게이트를 생성하기 위해 제 1 프로세스로 제 1 영역을 패터닝(pattern)하는 것 - 상기 제 1 CPP는 단일 패터닝 리소그래피 제한(lithographic limit)보다 더 작음 -; 및

제 2 게이트 길이 또는 제 2 CPP를 갖는 제 2 게이트를 생성하기 위해 제 2 프로세스로 상기 제 1 영역을 패터닝하는 것을 포함하며,

상기 제 2 CPP는 상기 단일 패터닝 리소그래피 제한보다 더 작고, 상기 제 2 게이트 길이는 상기 제 1 게이트 길이와 상이한, 다이 상에 복수의 디바이스들을 제조하기 위한 방법.

청구항 2

제 1 항에 있어서,

상기 제 2 CPP는 상기 제 1 CPP와 상이한, 다이 상에 복수의 디바이스들을 제조하기 위한 방법.

청구항 3

제 1 항에 있어서,

상기 제 1 프로세스는 SADP(self-aligned double patterning) 프로세스인, 다이 상에 복수의 디바이스들을 제조하기 위한 방법.

청구항 4

제 3 항에 있어서,

상기 제 2 프로세스는 LELE(litho-etch-litho-etch) 프로세스인, 다이 상에 복수의 디바이스들을 제조하기 위한 방법.

청구항 5

제 1 항에 있어서,

상기 제 1 프로세스는 제 1 영역에서 수행되는 제 1 리소그래피(lithography) 프로세스이고, 상기 제 2 프로세스는 제 2 영역에서 수행되는 제 2 리소그래피 프로세스인, 다이 상에 복수의 디바이스들을 제조하기 위한 방법.

청구항 6

제 1 항에 있어서,

상기 제 2 프로세스는, 상기 제 1 프로세스에 의해 형성되는 게이트들 사이에서 수행되는 제 2 리소그래피 프로세스인, 다이 상에 복수의 디바이스들을 제조하기 위한 방법.

청구항 7

제 1 항에 있어서,

상기 복수의 디바이스들은, 모바일 폰, 셋 톱 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 컴퓨터, 핸드-헬드(hand-held) 개인용 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛, 및/또는 고정 위치 데이터 유닛 내에 통합되는, 다이 상에 복수의 디바이스들을 제조하기 위한 방법.

청구항 8

장치로서,

제 1 영역에서 제 1 게이트 길이 및 제 1 접촉형 폴리실리콘 피치(CPP)를 갖는 적어도 하나의 제 1 게이트 길이 디바이스 — 상기 제 1 CPP는 단일 패턴 리소그래피 제한보다 더 작음 —; 및

제 2 게이트 길이 또는 제 2 CPP를 갖는, 상기 제 1 영역 내의 적어도 하나의 제 2 게이트 길이 디바이스를 포함하며,

상기 제 2 CPP는 상기 단일 패턴 리소그래피 제한보다 더 작고, 상기 제 2 게이트 길이는 상기 제 1 게이트 길이와 상이한, 장치.

청구항 9

제 8 항에 있어서,

상기 제 2 CPP는 상기 제 1 CPP와 상이한, 장치.

청구항 10

제 8 항에 있어서,

상기 적어도 하나의 제 1 게이트 길이 디바이스는, 상기 적어도 하나의 제 2 게이트 길이 디바이스보다 더 균일한 임계 치수 균일성(critical dimension uniformity)을 갖는, 장치.

청구항 11

제 8 항에 있어서,

상기 적어도 하나의 제 2 게이트 길이 디바이스는, 제 3 게이트 길이를 갖는 제 3 게이트 길이 디바이스를 더 포함하는, 장치.

청구항 12

제 8 항에 있어서,

모바일 폰, 셋 톱 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 컴퓨터, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛, 및/또는 고정 위치 데이터 유닛 내에 통합되는, 장치.

청구항 13

장치로서,

제 1 영역에서 제 1 게이트 길이 및 제 1 접촉형 폴리실리콘 피치(CPP)를 갖는, 전류를 선택적으로 전도하기 위한 제 1 수단 — 상기 제 1 CPP는 단일 패턴 리소그래피 제한보다 더 작음 —; 및

제 2 게이트 길이 또는 제 2 CPP를 갖는 적어도 하나의 제 2 게이트 길이 디바이스를 갖는, 전류를 선택적으로 전도하기 위한 제 2 수단을 포함하며,

상기 제 2 CPP는 상기 단일 패턴 리소그래피 제한보다 더 작고, 상기 제 2 게이트 길이는 상기 제 1 게이트 길이와 상이한, 장치.

청구항 14

제 13 항에 있어서,

상기 제 2 CPP는 상기 제 1 CPP와 상이한, 장치.

청구항 15

제 13 항에 있어서,

상기 제 1 수단은 SADP(self-aligned double patterning) 프로세스로 생성되는, 장치.

청구항 16

제 13 항에 있어서,

상기 제 2 수단은 LELE(litho-etch-litho-etch) 프로세스로 생성되는, 장치.

청구항 17

제 13 항에 있어서,

모바일 폰, 셋 톱 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 컴퓨터, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛, 및/또는 고정 위치 데이터 유닛 내에 통합되는, 장치.

청구항 18

다이 상에 복수의 디바이스들을 제조하기 위한 방법으로서,

제 1 게이트 길이 및 제 1 접촉형 폴리실리콘 피치(CPP)를 갖는 적어도 제 1 게이트를 생성하기 위해 제 1 프로세스로 제 1 영역을 패터닝하는 단계 - 상기 제 1 CPP는 단일 패턴 리소그래피 제한보다 더 작음 -; 및

제 2 게이트 길이 또는 제 2 CPP를 갖는 제 2 게이트를 생성하기 위해 제 2 프로세스로 상기 제 1 영역을 패터닝하는 단계를 포함하며,

상기 제 2 CPP는 상기 단일 패턴 리소그래피 제한보다 더 작고, 상기 제 2 게이트 길이는 상기 제 1 게이트 길이와 상이한, 다이 상에 복수의 디바이스들을 제조하기 위한 방법.

청구항 19

제 18 항에 있어서,

상기 제 2 CPP는 상기 제 1 CPP와 상이한, 다이 상에 복수의 디바이스들을 제조하기 위한 방법.

청구항 20

제 18 항에 있어서,

상기 복수의 디바이스들은, 모바일 폰, 셋 톱 박스, 뮤직 플레이어, 비디오 플레이어, 엔터테인먼트 유닛, 내비게이션 디바이스, 컴퓨터, 핸드-헬드 개인용 통신 시스템(PCS) 유닛, 휴대용 데이터 유닛, 및/또는 고정 위치 데이터 유닛 내에 통합되는, 다이 상에 복수의 디바이스들을 제조하기 위한 방법.

발명의 설명

기술 분야

[0001] 관련 출원에 대한 상호-참조

[0002] 본 출원은, 2013년 11월 22일자로 출원된 "MERGING LITHOGRAPHY PROCESSES FOR GATE PATTERNING"이라는 명칭의 미국 가특허 출원 제 61/908,007호에 대해 35 U.S.C. § 119(e) 하의 이득을 주장하며, 상기 가특허 출원의 개시내용은 그 전체가 인용에 의해 본 출원에 명백히 포함된다.

[0003] 본 개시내용의 양상들은 반도체 디바이스들에 관한 것으로, 더 상세하게는, 전계 효과 트랜지스터(FET; field effect transistor) 구조들의 게이트 길이 및 간격(spacing)을 감소시키는 것에 관한 것이다.

배경 기술

[0004] 반도체 디바이스 사이즈들이 감소함에 따라, 디바이스들에 대한 패턴들을 생성하는 능력은 더 어려워지고 있다. 10 나노미터(nm) 접촉형 폴리실리콘(PO) 피치(CPP; contacted polysilicon pitch) 디바이스들에 대해, 디바이스 사이즈를 달성하기 위해 다수의 패터닝(patterning) 단계들이 사용된다. 예를 들어, 관련 기술 방법이, 더 작은 피치 사이즈들을 달성하기 위해, 인터리빙되거나(interleaved) 또는 짜 넣어진(intertwined)

더 큰 피치 패턴을 사용하는 LELE(litho-etch litho-etch)로서 알려져 있다. 그럼에도 불구하고, LELE는, 더 큰 LER(line edge roughness), 더 큰 게이트-게이트 간격 변동, 및 더 큰 임계 치수 변동에 의해 여전히 제한된다.

- [0005] [0004] 다른 관련 기술 방법으로는, 게이트 길이(Lg)를 정의하도록 맨드릴(mandrel) 상에 증착되는 스페이서(spacer)를 사용하는 SADP(self-aligned double patterning)가 있다. SADP는 LELE보다 더 양호한 임계 치수 균일성(uniformity)을 갖지만, SADP-생성 디바이스에서 상이한 게이트 길이들을 생성하기 위해 부가적인 마스크(mask)들이 사용된다. 이것은, 더 큰 집적 회로들에 대해 SADP 프로세스의 유용성을 제한한다.

발명의 내용

- [0006] [0005] 다이(die) 상에 디바이스들을 제조하기 위한 방법은, 제 1 게이트 길이 및 제 1 접촉형 폴리실리콘 피치(CPP)를 갖는 제 1 게이트를 생성하기 위해 제 1 프로세스로 제 1 영역을 패터닝하는 단계를 포함할 수 있다. 제 1 CPP는 단일 패턴 리소그래피 제한(lithographic limit)보다 더 작다. 방법은 또한, 제 2 게이트 길이 또는 제 2 CPP를 갖는 제 2 게이트를 생성하기 위해 제 2 프로세스로 제 1 영역을 패터닝하는 단계를 포함한다. 제 2 CPP는 단일 패턴 리소그래피 제한보다 더 작다. 제 2 게이트 길이는 제 1 게이트 길이와 상이하다.
- [0007] [0006] 장치는, 제 1 영역에서, 제 1 게이트 길이 및 제 1 접촉형 폴리실리콘 피치(CPP)를 갖는 제 1 게이트 길이 디바이스를 포함할 수 있다. 제 1 CPP는 단일 패턴 리소그래피 제한보다 더 작다. 장치는 또한, 제 1 영역에서, 제 2 게이트 길이 또는 제 2 CPP를 갖는 적어도 하나의 제 2 게이트 길이 디바이스를 포함한다. 제 2 CPP는 단일 패턴 리소그래피 제한보다 더 작다. 제 2 게이트 길이는 제 1 게이트 길이와 상이하다.
- [0008] [0007] 장치는, 제 1 영역에서, 제 1 게이트 길이 및 제 1 접촉형 폴리실리콘 피치(CPP)를 갖는, 전류를 선택적으로 전도하기 위한 제 1 수단을 포함할 수 있다. 제 1 CPP는 단일 패턴 리소그래피 제한보다 더 작다. 장치는 또한, 제 2 게이트 길이 또는 제 2 CPP를 갖는 적어도 하나의 제 2 게이트 길이 디바이스를 갖는, 전류를 선택적으로 전도하기 위한 제 2 수단을 포함한다. 제 2 CPP는 단일 패턴 리소그래피 제한보다 더 작다. 제 2 게이트 길이는 제 1 게이트 길이와 상이하다.
- [0009] [0008] 이것은, 후속하는 상세한 설명이 더 완전하게 이해될 수 있도록 하기 위해, 본 개시내용의 특성들 및 기술적 이점들을 다소 광범위하게 요약하였다. 본 개시내용의 부가적인 특성들 및 이점들은 아래에서 설명될 것이다. 본 개시내용의 동일한 목적들을 수행하기 위해 다른 구조들을 변형 또는 설계하기 위한 기반으로서 본 개시내용이 용이하게 이용될 수 있음이 당업자들에 의해 인식되어야 한다. 또한, 그러한 등가 구성들이, 첨부된 청구항들에 기재된 바와 같은 본 개시내용의 교시들을 벗어나지 않는다는 것이 당업자들에 의해 인지되어야 한다. 추가적인 목적들 및 이점들과 함께, 본 개시내용의 구성 및 동작 방법 둘 모두에 대해 본 개시내용의 특징인 것으로 믿어지는 신규한 특성들은, 첨부된 도면들과 관련하여 고려될 경우 다음의 설명으로부터 더 양호하게 이해될 것이다. 그러나, 도면들 각각이 단지 예시 및 설명의 목적을 위해 제공되며, 본 개시내용의 제한들의 정의로서 의도되지 않음이 명백히 이해될 것이다.
- [0010] [0009] 본 개시내용의 보다 완전한 이해를 위해, 첨부된 도면들과 함께 취해진 다음의 설명에 대한 참조가 이제 이루어진다.

도면의 간단한 설명

- [0011] [0010] 도 1a-1j는 본 개시내용의 하나 또는 그 초과 양상들에 따른 반도체 디바이스의 측면도들을 예시한다.
- [0011] 도 2a-2m은 본 개시내용의 하나 또는 그 초과 양상들에 따른 반도체 디바이스를 제조하기 위한 프로세스를 예시한다.
- [0012] 도 3a-3c는 본 개시내용의 하나 또는 그 초과 양상들에 따른 반도체 디바이스의 측면도들을 예시한다.
- [0013] 도 4는 본 개시내용의 하나 또는 그 초과 양상들에 따른, 디바이스를 제조하기 위한 방법을 예시하는 프로세스 흐름도이다.
- [0014] 도 5는, 본 개시내용의 양상이 유리하게 이용될 수 있는 예시적인 무선 통신 시스템을 도시하는 블록도이다.
- [0015] 도 6은 본 개시내용의 양상에 따른 반도체 컴포넌트의 회로, 레이아웃(layout), 및 로직 설계를 위해 사용되는 설계 워크스테이션을 예시하는 블록도이다.

발명을 실시하기 위한 구체적인 내용

- [0012] [0016] 첨부된 도면들과 관련하여 아래에 기재되는 상세한 설명은, 다양한 구성들의 설명으로서 의도되며, 본원에 설명된 개념들이 실시될 수도 있는 유일한 구성들을 표현하도록 의도되지 않는다. 상세한 설명은 다양한 개념들의 철저한 이해를 제공하려는 목적을 위해 특정한 세부사항들을 포함한다. 그러나, 이들 개념들이 이들 특정한 세부사항들 없이도 실시될 수도 있다는 것은 당업자들에게 명백할 것이다. 몇몇 예시들에서, 그러한 개념들을 불명료하게 하는 것을 회피하기 위해, 잘-알려진 구조들 및 컴포넌트들은 블록도 형태로 도시되어 있다. 본원에서 설명되는 바와 같이, 용어 "및/또는"의 사용은 "내포적 또는"을 표현하도록 의도되며, 용어 "또는"의 사용은 "배타적 또는"을 표현하도록 의도된다.
- [0013] [0017] 10 나노미터(nm) 접촉형 폴리실리콘(PO) 피치(CPP) 지오메트리(geometry)는, 디바이스들의 패터닝을 위해 64 nm 베이스 지오메트리를 사용할 수 있다. 이러한 사이즈의 베이스 지오메트리를 디바이스에 생성하기 위해, 193 인터리빙된 더블 패터닝이 종종 사용된다. 2개의 방법들이 디바이스에 베이스 지오메트리를 생성할 수 있다. 제 1 리소그래피(lithography) 프로세스 LELE(litho-etch litho-etch)는, 128 nm 피치(feature)들의 사이즈를 64 nm 피치들로 감소시키기 위해 그 자신 상에 인터리빙되는(예컨대, 오버레이되는(overlaid)) 128 nm 피치 패턴을 사용한다. 마스크를 오버랩핑(overlap)함으로써, 128 nm 피치들은 64 nm 베이스 CPP를 획득하도록 절반으로 컷팅(cut)될 수 있다. 제 2 리소그래피 프로세스 SADP(self-aligned double patterning)는, 게이트 길이(Lg)를 정의하도록 더미 맨드릴 패턴으로 증착되는 스페이서를 사용한다. 이것은, FinFET 디바이스에 핀(fin) 구조를 생성하는 것과 유사하다.
- [0014] [0018] 본 개시내용의 일 양상은, 회로 또는 디바이스 내에 다수의 게이트 길이들을 허용하기 위해 SADP 및 LELE를 병합한다. SADP의 사용은, 더 엄격한(tight) 임계 치수(CD) 제어 및 더 적은 변동을 제공하지만, 단일 게이트 길이만을 허용한다. 본 개시내용의 일 양상에서, SADP 프로세스에 대해 하나의 마스크가 사용된다. LELE의 사용은, 동일한 디바이스 내에 다수의 게이트 길이들 및 플렉서블한(flexible) CPP를 제공한다. 본 개시내용의 일 양상에서, LELE의 사용은 2개의 마스크들을 사용한다. 본 개시내용의 일 양상에서, SADP 및 LELE 둘 모두에 대한 컷(cut) 패턴이 또한 단일 마스크를 사용하며, 이는 4개의 마스크 프로세스를 제공한다.
- [0015] [0019] 본 개시내용의 일 양상에서, SADP의 사용은 더 작은 CPP에서 더 작은 게이트 길이를 가능하게 한다. SADP를 LELE와 결합시킴으로써, 더 작은, 가능하게는 최소 CPP에서 다수의 게이트 길이들이 가능하게 된다. 추가로, LELE는 또한, 입력-출력(I/O; input-output) 및 아날로그 디바이스들에 대해 더 큰 CPP에서 더 큰 게이트 길이들을 허용한다.
- [0016] [0020] 도 1a-1j는 본 개시내용의 하나 또는 그 초과 양상들에 따른 반도체 디바이스의 측면도들을 예시한다. 도 1a-1j에서, LELE 프로세스가 일반적으로 도시된다. 도 1a는 층(102) 및 층(108)을 갖는 기판(100)을 예시한다. 층들(102 및 108)은, 하드(hard) 마스크 층들, 포토레지스트(photoresist)의 층들일 수 있고, 또는 실리콘 산화물, 폴리실리콘, 또는 다른 물질들의 층들일 수 있다. 마스크 영역(106)을 갖는 마스크(104)가 또한 도 1a에 도시된다. 도 1b에서, 마스크(104)는, 층(102)을 패터닝하기 위해 층(102) 및 기판(100) 근처에 배치된다.
- [0017] [0021] 도 1c는, 마스크 영역(106)에 의해 실딩되지(shielded) 않은 층(102)의 영역들(110) 및 마스크 영역(106)에 의해 실딩된 영역(112)을 갖는 층(102)을 예시한다. 도 1a-1c는, 본 개시내용의 LELE 프로세스의 "제 1 리소그래피" 또는 "제 1 litho" 부분을 설명한다. 도 1d는, 층(102)의 일부일 수 있거나 또는 전체 디바이스의 설계에 의존하여 다른 층의 일부일 수 있는 메사(mesa)(114)를 예시한다. 도 1d는, 본 개시내용의 LELE 프로세스의 "제 1 에칭"을 설명한다.
- [0018] [0022] 도 1e는, 포토레지스트일 수 있거나 또는 실리콘, 실리콘 산화물, 폴리실리콘, 또는 다른 물질들일 수 있는 다른 층(116)을 예시한다. 도 1f는, 마스크 영역(106)의 엣지(118)가 메사(114)의 엣지(120)로부터 오프셋(offset)되는 마스크(104)를 예시한다. 도 1g는, 층(116)의 노광(exposure)을 예시하며, 여기서, 영역(122)이 마스크 영역(106)을 사용하여 실딩되지만 영역들(124)은 실딩되지 않은 채로 남아있다. 도 1h는 층(108)상의 영역(122) 및 메사(114)를 도시한다. 도 1e-1h는, 본 개시내용의 LELE 프로세스의 "제 2 리소그래피" 부분을 설명한다.
- [0019] [0023] 도 1i는, 메사(114) 및 영역(122) 아래에 있었을 메사(128) 및 메사(130)를 생성하기 위한, 층(108)의 부분들의 에칭 또는 제거를 예시한다. 도 1j는 기판(100)을 에칭하는 것을 예시하며, 여기서, 메사들(128 및 130)은 기판(100)의 부분들을 보호하기 위한 마스크로서 동작한다. 도 1h-1j는, 본 개시내용의 LELE 프로세스의 "제 2 에칭" 부분을 설명한다.

- [0020] [0024] 마스크 영역(106)을 포지셔닝(position)시킴으로써, 메사들(128 및 130)의 폭들, 및 그에 따라 기관(100) 또는 디바이스의 다른 층들 상에 생성되는 피쳐들은, LELE 프로세스의 제 1 리소그래피와 제 2 리소그래피 사이에서 마스크 영역들(106)을 "인터리빙"함으로써 생성된다. 그러나, (마스크 영역(106)에 의해 정의되는) 영역(122)은, 임의의 에칭 또는 다른 프로세싱이 영역(122) 아래에서 발생하는 것을 영역(122)이 방지하기 때문에, 메사(130)가 다른 메사(128) 또는 다른 디바이스에 얼마나 근접하게 있을 수 있는지를 제한한다. 이러한 제한들은 기관(100) 상의 디바이스들의 게이트-게이트(gate-to-gate) 간격을 제한한다. 다시 말해서, LELE 프로세스는 제 1 영역에서 수행될 수 있고, SADP 프로세스는 제 2 영역에서 수행될 수 있다. 추가로, LEE 프로세스는 SADP 프로세스에 의해 생성되는 게이트들 또는 피쳐들 사이에서 수행될 수 있다.
- [0021] [0025] 도 2a-2m은 본 개시내용의 하나 또는 그 초과와 양상들에 따른, 반도체 디바이스를 제조하기 위한 프로세스를 예시한다.
- [0022] [0026] 도 2a는 SADP 마스크의 사용을 예시한다. 하드 마스크 층들(202 및 204)을 갖는 기관(200)이 도시되며, 맨드릴(206)은 하드 마스크 층(204) 상에 증착된다. 도 2b는, 맨드릴(206) 상의 스페이서 층(208)의 증착을 예시한다. 도 2c는, 맨드릴(206) 및 하드 마스크 층들(202 및 204)의 에칭(210)을 예시한다. 스페이서 층(208) 두께는 SADP 프로세스에서 게이트 길이를 정의한다. 도 2d는, 기관(200) 상에 게이트 길이 패턴(212)을 남긴 채 스페이서 층(208) 및 하드 마스크 층(204)이 제거되는 것을 도시한다. 도 2e는, 포토레지스트(PR) 층(214) 및 하드 마스크 층들(216, 218)의 증착을 도시한다. 도 2f에서는, 제 2 마스크가 적용되고 포토레지스트 층(214)이 노출(expose) 또는 패터닝되며(220), 이는 제 1 LELE 패턴이다.
- [0023] [0027] 본 개시내용에서, SADP 마스크는 기관(200)의 제 1 영역에서 제 1 게이트들의 패턴을 생성하고, LELE 패터닝은 기관(200)의 제 1 영역에서 수행된다. 그러므로, 본 개시내용의 일 양상에서, SADP 디바이스들 및 LELE 디바이스들은 기관(200)의 제 1 영역에서 서로 인접하게 있거나 또는 인터리빙될 수 있다.
- [0024] [0028] 추가로, 제 1 영역에서의 SADP 패턴들은 제 1 게이트 길이 및 제 1 접촉형 폴리실리콘 피치(CPP)를 생성한다. 제 1 CPP는 단일 패턴 리소그래피 제한보다 더 작다. 제 1 영역에서의 LELE 패턴들은 제 2 게이트 길이 또는 제 2 CPP를 생성하며, 여기서, 제 2 CPP는 또한 단일 패턴 리소그래피 제한보다 더 작다. 제 2 게이트 길이는 제 1 게이트 길이와 상이할 수 있다. 제한으로서가 아닌 예로서, 제 1 및 제 2 CPP는 40 내지 80 나노미터의 범위에 있을 수 있는 반면, 제 1 및 제 2 게이트 길이는 10 내지 30 나노미터의 범위에 있을 수 있다.
- [0025] [0029] 도 2g는 에칭(222)에 의한 하드 마스크 층 제거를 예시한다. 도 2h는 제 2 포토레지스트(224) 층 적용을 예시한다. 도 2i는, 제 3 마스크의 사용, 제 2 LELE 패턴을 예시하며, 이는 제 2 포토레지스트(224)를 패터닝한다. 도 2j는, 제 2 LELE 패턴에 기초하여 게이트 길이 패턴(228)을 생성하기 위한 하드 마스크 층(216)의 에칭(226)을 예시한다. 도 2k는 다른 포토레지스트(230) 증착을 예시한다. 도 2l은 컷 마스크의 패터닝을 도시한다. 도 2m은 본 개시내용의 일 양상에 따른, 기관(200)에 게이트 길이 패턴들(212 및 228)을 생성하기 위한 기관(200)에 대한 에칭(232)을 예시한다.
- [0026] [0030] 도 3a는 본 개시내용의 하나 또는 그 초과와 양상들에 따른 반도체 디바이스의 측면도를 예시한다. 영역(300)은, 임계 치수 균일성을 개선하고, 디바이스들 간에 더 작은 피치 변동을 갖는 더 작은 피치(CPP)(304)에서의 SADP-패터닝된 게이트 길이(302)를 도시한다. 영역(306)은, 더 작은 CPP 또는 영역(300)에서의 동일한 CPP(310)일 수 있는 제 2 피치(CPP)(310)에서의 LELE 패터닝된 게이트 길이(308)를 도시한다. 영역(312)은, 도 1a-1j에 관하여 설명된 LELE 프로세스를 사용하여 생성될 수 있는 더 큰 피치(CPP)(316)에서의 더 큰 게이트 길이(314)를 예시한다.
- [0027] [0031] 도 3b는 본 개시내용의 하나 또는 그 초과와 양상들에 따른 반도체 디바이스의 측면도를 도시한다. 처음에, 더 작은 피치(CPP)(304)에서의 SADP-패터닝된 게이트 길이(302)로 다수의 디바이스들이 형성된다. 도 3c에서, 기관(100) 상의 영역 또는 동일한 영역 내에서 LELE 셀 스위프(swap)이 수행된다. 본 개시내용의 이러한 양상에서, LELE 셀 스위프 프로세스는, SADP-패터닝된 게이트 길이(302)보다 더 큰 LELE 패터닝된 게이트 길이(308)를 갖는 일 쌍의 LELE 패터닝된 디바이스들을 제조하기 위해 수행된다. LELE 패터닝된 게이트 길이 디바이스에 대한 피치는 피치(304)와 동일한 피치일 수 있다.
- [0028] [0032] 도 4는 본 개시내용의 일 양상에 따른, 디바이스를 제조하기 위한 방법(400)을 예시하는 프로세스 흐름도이다. 블록(402)에서, 제 1 게이트 길이 및 제 1 접촉형 폴리실리콘 피치(CPP)를 갖는 적어도 제 1 게이트가 제 1 리소그래피 프로세스로 패터닝된다. 제 1 CPP는 단일 패턴 리소그래피 제한보다 더 작다. 예를 들어, 제 1 게이트는 도 1a-1j에 도시된 바와 같은 SADP를 사용하여 패터닝된다. 블록(404)에서, 제 2 게이트 길이 또는

제 2 CPP를 갖는 제 2 게이트가 제 2 리소그래피 프로세스로 패터닝된다. 제 2 CPP는 단일 패턴 리소그래피 제 한보다 더 작고, 제 2 게이트 길이는 제 1 게이트 길이와 상이하다. 예를 들어, 제 2 게이트는 도 2a-2m에서의 LELE 프로세스를 사용하여 패터닝된다.

[0029] [0033] 본 개시내용의 추가적인 양상에 따르면, 반도체 장치가 설명된다. 일 구성에서, 장치는, 제 1 게이트 길이 및 제 1 접촉형 폴리실리콘 피치(CPP)를 갖는 전류를 선택적으로 전도하기 위한 제 1 수단을 포함한다. 제 1 수단은 도 3의 영역(300)에서 설명된 바와 같은 SADP 프로세스를 사용하여 생성되는 트랜지스터일 수 있다. 장치는 또한, 제 2 게이트 길이 및 제 2 CPP를 갖는 적어도 하나의 제 2 게이트 길이 디바이스를 갖는 전류를 선택적으로 전도하기 위한 제 2 수단을 포함한다. 제 2 수단은, 도 3의 영역(306) 또는 영역(312)에서 설명된 바와 같은 LELE 프로세스를 사용하여 생성되는 트랜지스터일 수 있다. 다른 양상에서, 전술된 수단은, 전술된 수단에 의해 인용되는 기능들을 수행하도록 구성되는 임의의 모듈 또는 임의의 장치일 수 있다.

[0030] [0034] 도 5는 본 개시의 일 양상이 유리하게 이용될 수 있는 예시적인 무선 통신 시스템(500)을 도시하는 블록 도이다. 예시의 목적들을 위해, 도 5는 3개의 원격 유닛들(520, 530, 및 550) 및 2개의 기지국들(540)을 도시한다. 무선 통신 시스템들은 더 많은 원격 유닛들 및 기지국들을 가질 수 있음이 인지될 것이다. 원격 유닛들(520, 530, 및 550)은 개시된 디바이스들을 포함하는 IC 디바이스들(525A, 525C, 및 525B)을 포함한다. 기지국들, 스위칭 디바이스들, 및 네트워크 장비와 같은 다른 디바이스들이 개시된 디바이스들을 또한 포함할 수 있음이 인지될 것이다. 도 5는, 기지국(540)으로부터 원격 유닛들(520, 530, 및 550)로의 순방향 링크 신호들(580) 및 원격 유닛들(520, 530, 및 550)로부터 기지국들(540)로의 역방향 링크 신호들(590)을 도시한다.

[0031] [0035] 도 5에서, 원격 유닛(520)은 모바일 텔레폰으로서 도시되고, 원격 유닛(530)은 휴대용 컴퓨터로서 도시되며, 원격 유닛(550)은 무선 로컬 루프 시스템 내의 고정 위치 원격 유닛으로서 도시된다. 예를 들어, 원격 유닛들은 모바일 폰들, 핸드-헬드 개인용 통신 시스템(PCS) 유닛들, 개인 휴대 정보 단말들과 같은 휴대용 데이터 유닛들, GPS 인에이블된 디바이스들, 내비게이션 디바이스들, 셋 톱 박스들, 뮤직 플레이어들, 비디오 플레이어들, 엔터테인먼트 유닛들, 검침 장비(meter reading equipment)와 같은 고정 위치 데이터 유닛들, 또는 데이터 또는 컴퓨터 명령들을 저장 또는 검색하는 다른 디바이스들, 또는 이들의 결합들일 수 있다. 도 5가 본 개시내용의 양상들에 따른 원격 유닛들을 예시하지만, 본 개시내용은 이들 예시적인 예시된 유닛들로 제한되지 않는다. 본 개시내용의 양상들은 개시된 디바이스들을 포함하는 많은 디바이스들에서 적절히 이용될 수 있다.

[0032] [0036] 도 6은, 위에 개시된 디바이스들과 같은 반도체 컴포넌트의 회로, 레이아웃, 및 로직 설계를 위해 사용되는 설계 워크 스테이션을 예시하는 블록도이다. 설계 워크스테이션(600)은, 운영 시스템 소프트웨어, 지원 파일들, 및 Cadence 또는 OrCAD와 같은 설계 소프트웨어를 포함하는 하드 디스크(601)를 포함한다. 설계 워크스테이션(600)은 또한, 본 개시내용의 일 양상에 따른 디바이스와 같은 반도체 컴포넌트(612) 또는 회로(610)의 설계를 용이하게 하기 위한 디스플레이(602)를 포함한다. 회로(610) 또는 반도체 컴포넌트(612)의 설계를 유형으로(tangibly) 저장하기 위한 저장 매체(604)가 제공된다. 회로(610) 또는 반도체 컴포넌트(612)의 설계는 GDSII 또는 GERBER와 같은 파일 포맷으로 저장 매체(604) 상에 저장될 수 있다. 저장 매체(604)는 CD-ROM, DVD, 하드 디스크, 플래시 메모리, 또는 다른 적절한 디바이스일 수 있다. 또한, 설계 워크스테이션(600)은 저장 매체(604)로부터 입력을 수용하거나 저장 매체(604)에 출력을 기입하기 위한 드라이브 장치(603)를 포함한다.

[0033] [0037] 저장 매체(604) 상에 기록된 데이터는, 로직 회로 구성들, 포토리소그래피 마스크들에 대한 패턴 데이터, 또는 전자 빔 리소그래피와 같은 시리얼 기입 툴들에 대한 마스크 패턴 데이터를 특정할 수 있다. 데이터는 로직 시뮬레이션들과 연관된 타이밍 도면들 또는 네트(net) 회로들과 같은 로직 검증 데이터를 더 포함할 수 있다. 저장 매체(604) 상에서 데이터를 제공하는 것은, 반도체 웨이퍼들을 설계하기 위한 프로세스들의 수를 감소시킴으로써 회로(610) 또는 반도체 컴포넌트(612)의 설계를 용이하게 한다.

[0034] [0038] 펌웨어 및/또는 소프트웨어 구현의 경우, 방법들은 본원에 설명된 기능들을 수행하는 모듈들(예를 들어, 절차들, 함수들 등)을 이용하여 구현될 수 있다. 명령들을 유형으로 포함하는 머신-판독가능 매체가 본원에 설명된 방법들을 구현하는데 사용될 수 있다. 예를 들어, 소프트웨어 코드들은 메모리에 저장되고 프로세서 유닛에 의해 실행될 수 있다. 메모리는 프로세서 유닛의 내부에서 또는 프로세서 유닛의 외부에서 구현될 수 있다. 본원에 사용된 바와 같이, 용어 "메모리"는 장기, 단기, 휘발성, 비휘발성, 또는 다른 메모리의 타입들을 지칭하며, 메모리의 특정된 타입 또는 메모리들의 수, 또는 메모리가 저장되는 매체들의 타입에 제한되지 않는다.

[0035] [0039] 펌웨어 및/또는 소프트웨어로 구현되면, 기능들은 컴퓨터-판독가능 매체 상에 하나 또는 그 초과 명령들 또는 코드로서 저장될 수 있다. 예들은, 데이터 구조로 인코딩된 컴퓨터-판독가능 매체들 및 컴퓨터 프로그램

램으로 인코딩된 컴퓨터-판독가능 매체들을 포함한다. 컴퓨터-판독가능 매체들은 물리적 컴퓨터 저장 매체들을 포함한다. 저장 매체는 컴퓨터에 의해 액세스될 수 있는 이용가능한 매체일 수 있다. 제한이 아닌 예로서, 그러한 컴퓨터-판독가능 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장부, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 원하는 프로그램 코드를 저장하는데 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 다른 매체를 포함할 수 있고; 본원에 사용된 바와 같이, 디스크(disk) 및 디스크(disc)는 콤팩트 디스크(disc)(CD), 레이저 디스크(disc), 광학 디스크(disc), 디지털 다목적 디스크(disc)(DVD), 플로피 디스크(disk) 및 Blu-ray 디스크(disc)를 포함하며, 여기서, 디스크(disk)들은 일반적으로 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 또한, 상기의 것들의 결합들은 컴퓨터-판독가능 매체들의 범위 내에 포함되어야 한다.

[0036] [0040] 컴퓨터 판독가능 매체 상의 저장에 부가하여, 명령들 및/또는 데이터는 통신 장치에 포함된 송신 매체들 상의 신호들로서 제공될 수 있다. 예를 들어, 통신 장치는 명령들 및 데이터를 표시하는 신호들을 갖는 트랜시버를 포함할 수 있다. 명령들 및 데이터는, 하나 또는 그 초과 프로세서들로 하여금 청구항들에서 약속된 기능들을 구현하게 하도록 구성된다.

[0037] [0041] 본 개시내용 및 본 개시내용의 이점들이 상세히 설명되었지만, 첨부된 청구항들에 의해 정의된 바와 같은 본 개시내용의 기술을 벗어나지 않으면서 다양한 변화들, 치환들 및 수정들이 본원에서 행해질 수 있음이 이해되어야 한다. 예를 들어, "위" 및 "아래"와 같은 상관적 용어들이 기관 또는 전자 디바이스에 대하여 사용된다. 물론, 기관 또는 전자 디바이스가 반전되면, 위가 아래가 되고, 아래가 위가 된다. 부가적으로, 옆으로 배향되면, 위 및 아래는 기관 또는 전자 디바이스의 측면들을 지칭할 수도 있다. 또한, 본 출원의 범위는 본 명세서에서 설명된 프로세스, 머신, 제작물, 물질의 구성, 수단, 방법들 및 단계들의 특정 구성들에 제한되도록 의도되지 않는다. 당업자가 본 개시내용으로부터 용이하게 인식할 바와 같이, 본원에 설명된 대응하는 구성들과 실질적으로 동일한 기능을 수행하거나 실질적으로 동일한 결과를 달성하는, 현재 존재하거나 또는 추후에 개발될 프로세스들, 머신들, 제작물, 물질의 구성들, 수단, 방법들, 또는 단계들이 본 개시내용에 따라 이용될 수 있다. 따라서, 첨부된 청구항들은 그들의 범위 내에 그러한 프로세스들, 머신들, 제작물, 물질의 구성들, 수단, 방법들 또는 단계들을 포함하도록 의도된다.

[0038] [0042] 당업자들은 본원에서의 개시내용 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 회로들, 및 알고리즘 단계들이 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이 둘의 결합들로서 구현될 수 있음을 추가적으로 인식할 것이다. 하드웨어와 소프트웨어의 이러한 상호교환가능성을 명확히 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 단계들은 그들의 기능의 관점들에서 일반적으로 상술되었다. 그러한 기능이 하드웨어로서 구현되는지 또는 소프트웨어로서 구현되는지는 특정 애플리케이션 및 전체 시스템에 부과된 설계 제한들에 의존한다. 당업자들은 설명된 기능을 각각의 특정한 애플리케이션에 대해 다양한 방식으로 구현할 수 있지만, 그러한 구현 결정들은 본 개시내용의 범위를 벗어나게 하는 것으로서 해석되지는 않아야 한다.

[0039] [0043] 본원에서의 개시내용과 관련하여 설명된 다양한 예시적인 로직 블록들, 모듈들, 및 회로들은, 범용 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적회로(ASIC), 필드 프로그래밍가능 게이트 어레이(FPGA) 또는 다른 프로그래밍가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에 설명된 기능들을 수행하도록 설계된 이들의 임의의 결합으로 구현되거나 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수 있다. 또한, 프로세서는 컴퓨팅 디바이스들의 결합, 예를 들어 DSP와 마이크로프로세서의 결합, 다수의 마이크로프로세서들, DSP 코어와 결합된 하나 또는 그 초과 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로서 구현될 수 있다.

[0040] [0044] 본 개시내용과 관련하여 설명된 방법 또는 알고리즘의 단계들은 직접 하드웨어로, 프로세서에 의해 실행되는 소프트웨어 모듈로, 또는 이 둘의 결합으로 구현될 수 있다. 소프트웨어 모듈은 RAM, 플래시 메모리, ROM, EPROM, EEPROM, 레지스터들, 하드 디스크, 착탈형 디스크, CD-ROM, 또는 당업계에 알려진 임의의 다른 형태의 저장 매체에 상주할 수 있다. 예시적인 저장 매체는, 프로세서가 저장 매체로부터 정보를 판독하고, 저장 매체에 정보를 기입할 수 있도록 프로세서에 커플링된다. 대안적으로, 저장 매체는 프로세서에 통합될 수 있다. 프로세서 및 저장 매체는 ASIC에 상주할 수 있다. ASIC은 사용자 단말에 상주할 수 있다. 대안적으로, 프로세서 및 저장 매체는 사용자 단말 내의 이산 컴포넌트들로서 상주할 수 있다.

[0041] [0045] 하나 또는 그 초과 예시적인 설계들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 결합으로 구현될 수 있다. 소프트웨어로 구현되면, 기능들은 컴퓨터-판독가능 매체 상에 하나 또는

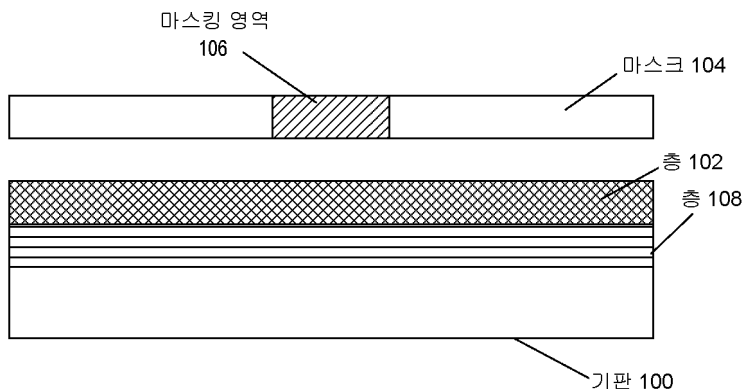
그 초과 명령들 또는 코드로서 저장되거나 이들을 통해 송신될 수 있다. 컴퓨터-판독가능 매체들은, 일 장소에서 다른 장소로의 컴퓨터 프로그램의 전달을 용이하게 하는 임의의 매체를 포함한 통신 매체들 및 컴퓨터 저장 매체들 양자 모두를 포함한다. 저장 매체들은 범용 또는 특수 목적 컴퓨터에 의해 액세스될 수 있는 임의의 이용가능한 매체들일 수 있다. 제한이 아닌 예로서, 그러한 컴퓨터-판독가능 매체들은 RAM, ROM, EEPROM, CD-ROM 또는 다른 광학 디스크 저장부, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 명령들 또는 데이터 구조들의 형태로 특정한 프로그램 코드 수단을 반송 또는 저장하는데 사용될 수 있고, 범용 또는 특수-목적 컴퓨터 또는 범용 또는 특수-목적 프로세서에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 또한, 임의의 접속수단(connection)이 컴퓨터-판독가능 매체로 적절히 지칭된다. 예를 들어, 소프트웨어가 동축 케이블, 광섬유 케이블, 연선(twisted pair), 디지털 가입자 라인(DSL), 또는 (적외선, 라디오, 및 마이크로파와 같은) 무선 기술들을 사용하여 웹사이트, 서버, 또는 다른 원격 소스로부터 송신되면, 동축 케이블, 광섬유 케이블, 연선, DSL, 또는 (적외선, 라디오, 및 마이크로파와 같은) 무선 기술들이 매체의 정의에 포함된다. 본 명세서에 사용되는 바와 같이, 디스크(disk) 및 디스크(disc)는 콤팩트 디스크(disc)(CD), 레이저 디스크(disc), 광학 디스크(disc), 디지털 다목적 디스크(digital versatile disc)(DVD), 플로피 디스크(disk) 및 Blu-ray 디스크(disc)를 포함하며, 여기서 디스크(disk)들은 일반적으로 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저들을 이용하여 광학적으로 데이터를 재생한다. 또한, 상기의 것들의 결합들은 컴퓨터-판독가능 매체들의 범위 내에 포함되어야 한다.

[0042]

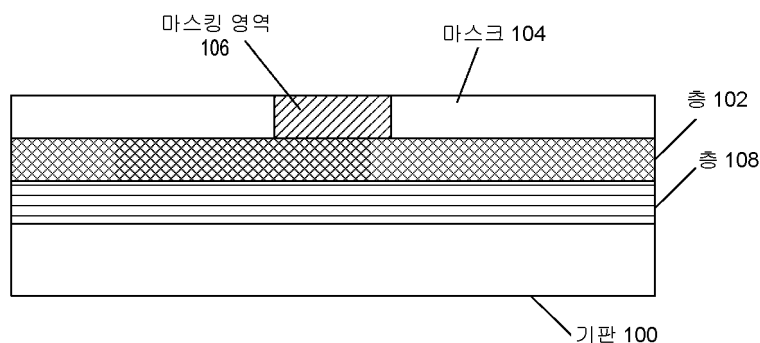
[0046] 본 개시내용의 이전 설명은 임의의 당업자가 본 개시내용을 사용 또는 실시할 수 있도록 제공된다. 본 개시내용에 대한 다양한 수정들은 당업자들에게 용이하게 명백할 것이며, 본 명세서에 정의된 일반적인 원리들은 본 개시내용의 사상 또는 범위를 벗어나지 않으면서 다른 변형들에 적용될 수 있다. 따라서, 본 개시내용은 본원에 설명된 예들 및 설계들로 제한되도록 의도되는 것이 아니라, 본원에 개시된 원리들 및 신규한 특성들과 일치하는 가장 넓은 범위에 부합할 것이다.

도면

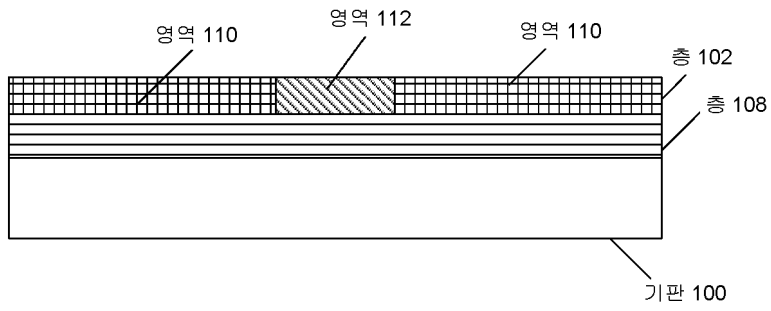
도면1a



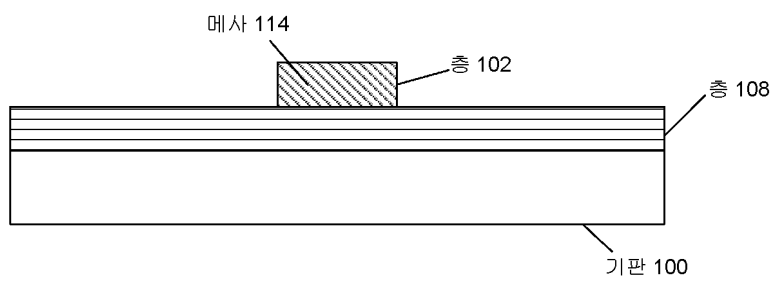
도면1b



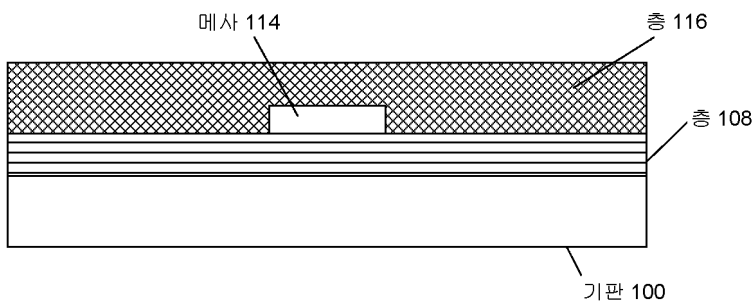
도면1c



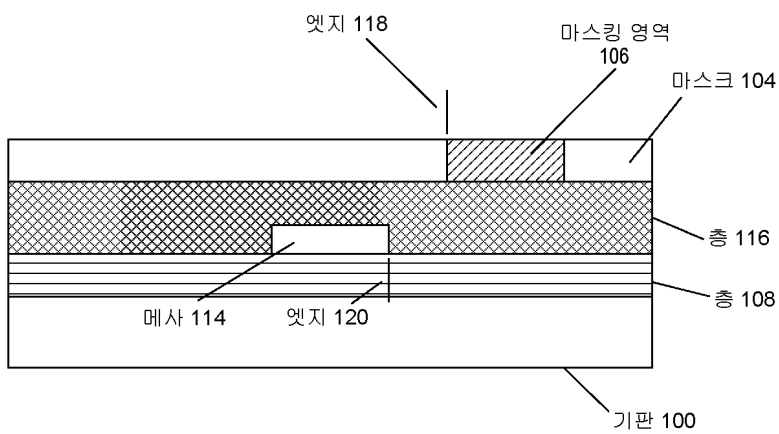
도면1d



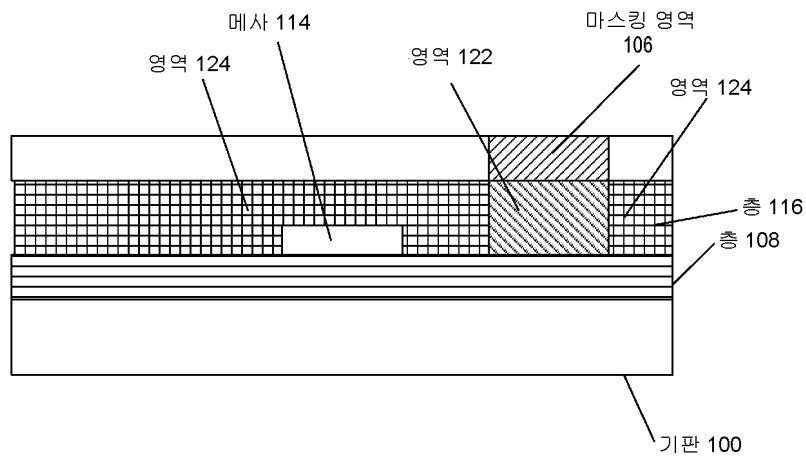
도면1e



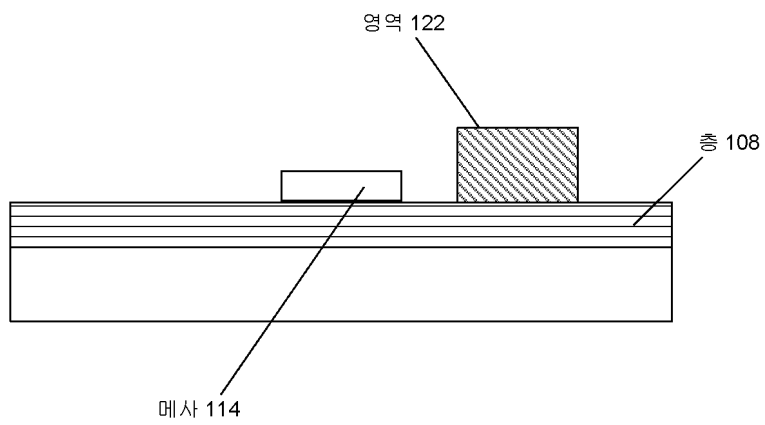
도면1f



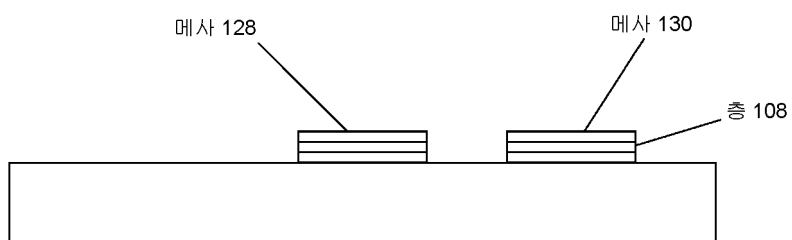
도면1g



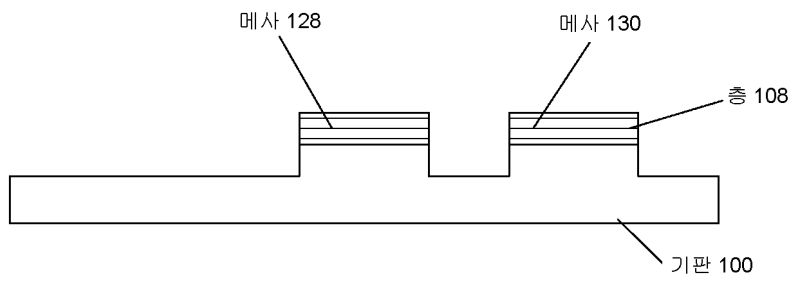
도면1h



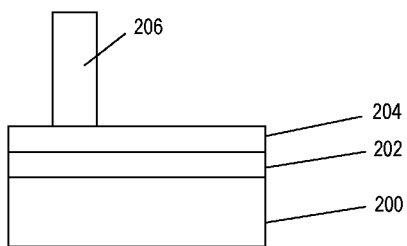
도면1i



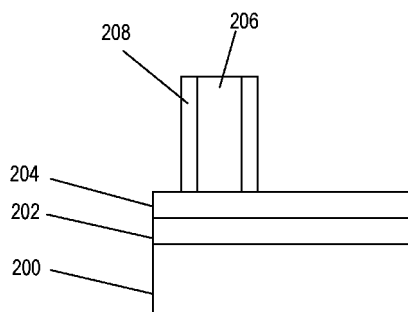
도면1j



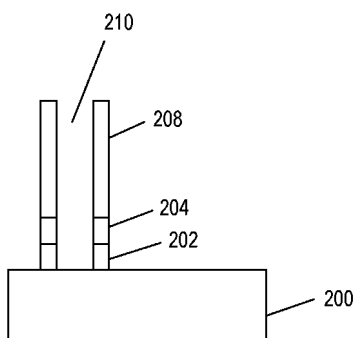
도면2a



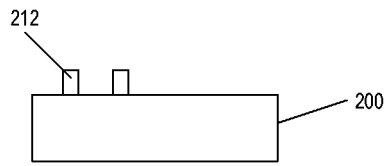
도면2b



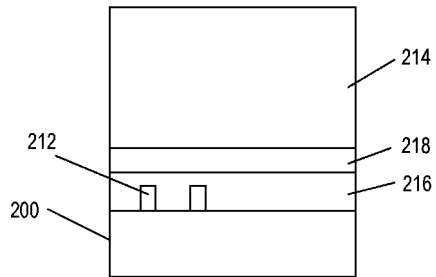
도면2c



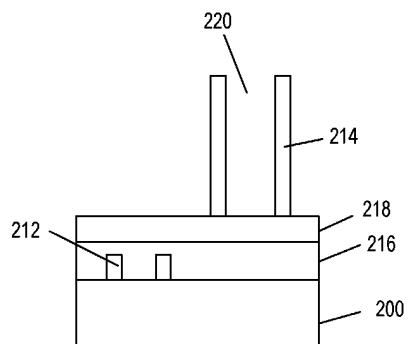
도면2d



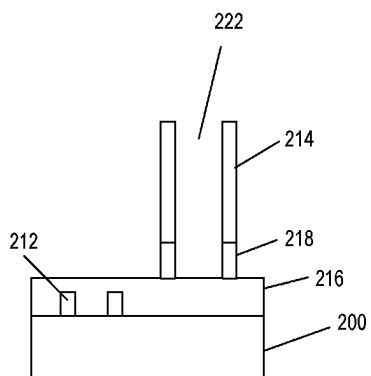
도면2e



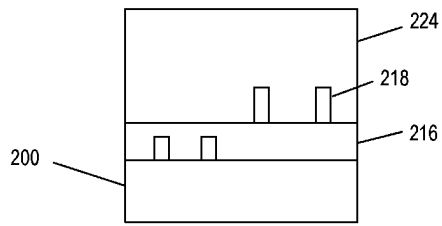
도면2f



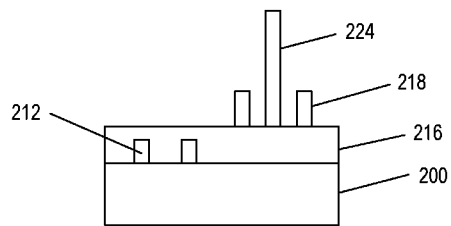
도면2g



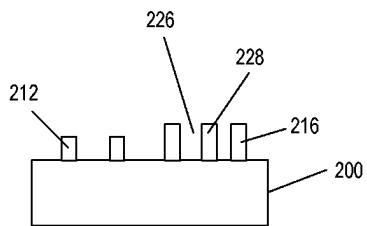
도면2h



도면2i



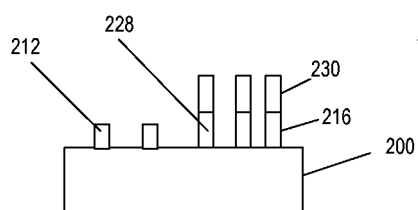
도면2j



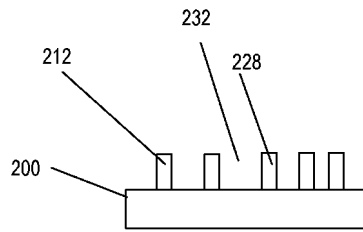
도면2k



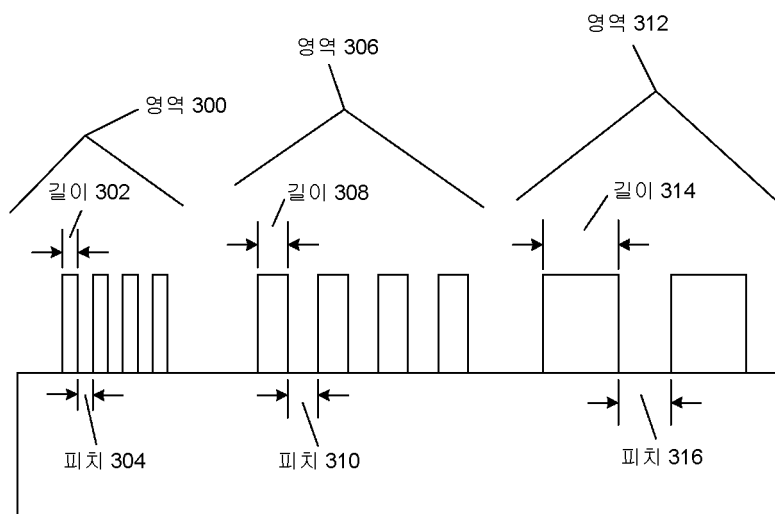
도면2l



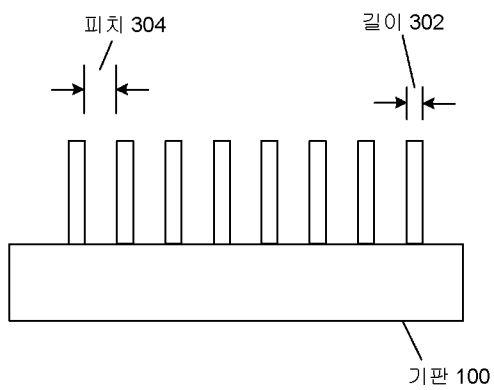
도면2m



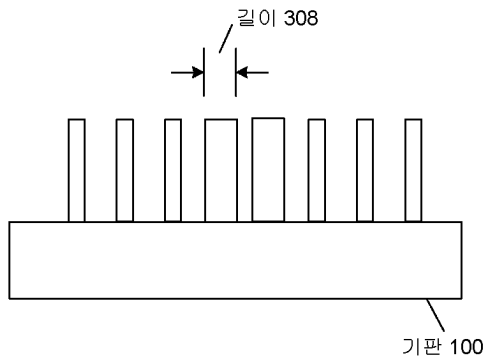
도면3a



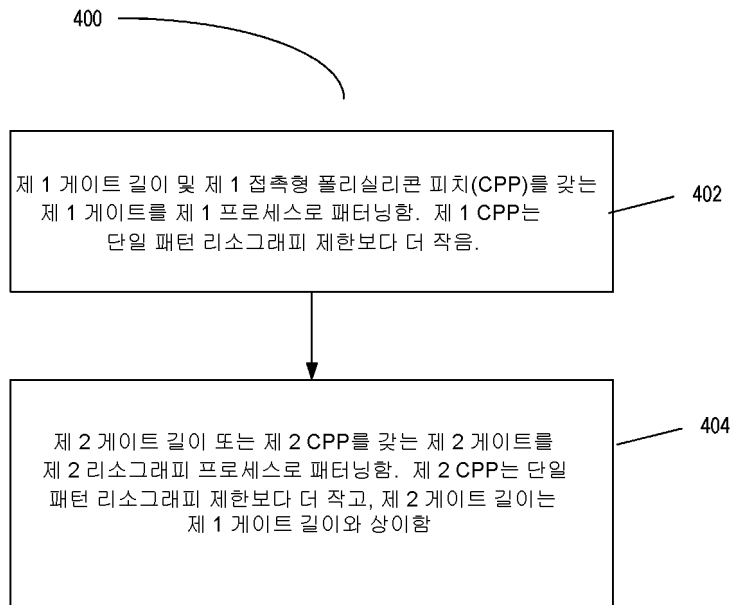
도면3b



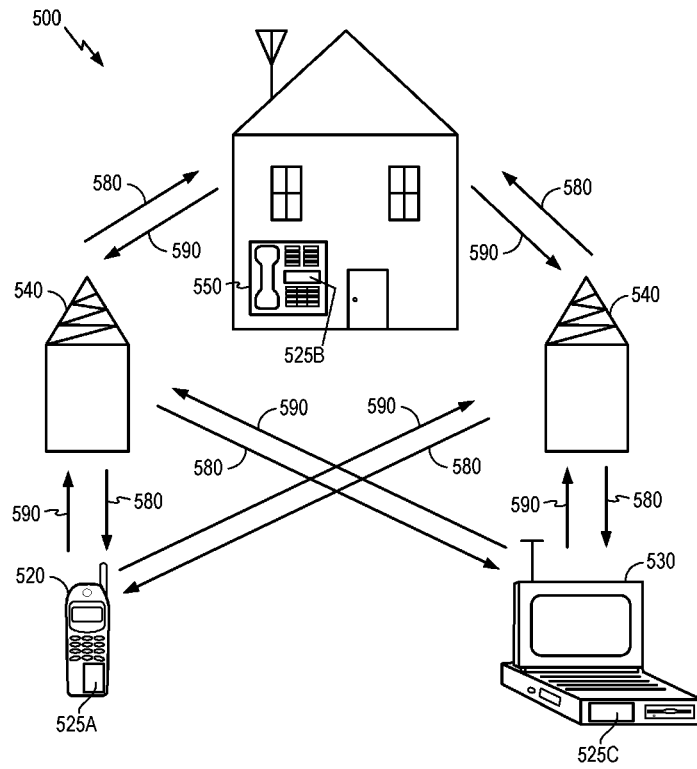
도면3c



도면4



도면5



도면6

