

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2024年5月16日(16.05.2024)



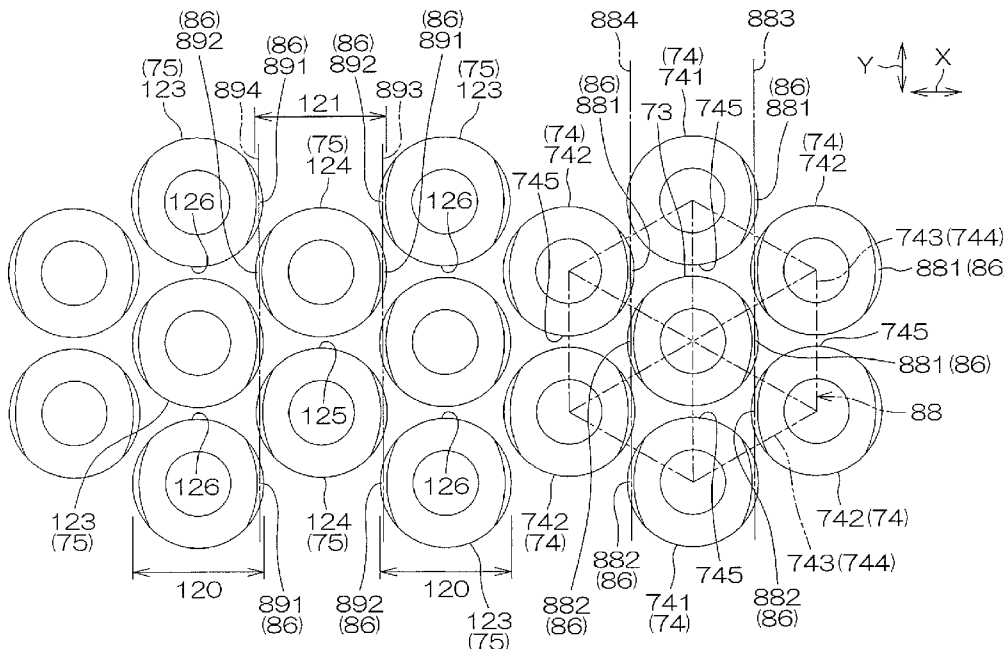
(10) 国際公開番号
WO 2024/101089 A1

- (51) 国際特許分類:
H01L 23/12 (2006.01) H01L 23/29 (2006.01)
H01L 21/60 (2006.01)
- (21) 国際出願番号: PCT/JP2023/037552
- (22) 国際出願日: 2023年10月17日(17.10.2023)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2022-178205 2022年11月7日(07.11.2022) JP
- (71) 出願人: ローム株式会社 (ROHM CO., LTD.)
[JP/JP]; 〒6158585 京都府京都市右京区西院溝崎町2 1番地 Kyoto (JP).
- (72) 発明者: 三上 瞬也 (MIKAMI, Shunya);
〒6158585 京都府京都市右京区西院溝崎町2 1番地 ローム株式会社内 Kyoto (JP). 西山 雄人(NISHIYAMA, Yuto); 〒6158585 京都府京都市右京区西院溝崎町2 1番地 ローム株式会社内 Kyoto (JP). 白井 克宗(SHIRAI, Katsutoki); 〒6158585 京都府京都市右京区西院溝崎町2 1番地 ローム株式会社内 Kyoto (JP).
- (74) 代理人: 弁理士法人あい特許事務所 (AI ASSOCIATION OF PATENT AND TRADEMARK ATTORNEYS); 〒5410059 大阪府大阪市中央区博労町三丁目2番8号 岩田東急ビル8階 Osaka (JP).

(54) Title: SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置

[図18]



(57) Abstract: This semiconductor device comprises: a substrate; a device region provided to the substrate; a terminal covering the device region in a planar view; and at least three pseudo bumps disposed densely in a layout so as to be positioned at vertexes of a triangle in a planar view, on the terminal. From a bottom portion and along a side portion of each of the three pseudo bumps, excluded portions are formed due to a protrusion of part of the terminal. The excluded portions of each pseudo bump are formed in a pair on a first side and a second side of each pseudo bump in a first direction,



WO 2024/101089 A1

(81) 指定国(表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MU, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, WS, ZA, ZM, ZW.

(84) 指定国(表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

添付公開書類:

一 国際調査報告(条約第21条(3))

so as to have a directionality along the first direction in a planar view. The excluded portions of the three pseudo bumps are arranged along a second direction with an interval therebetween.

(57) 要約: 半導体装置は、基板と、基板に設けられたデバイス領域と、平面視でデバイス領域を覆う端子と、端子の上に、平面視で三角形の頂点に位置するレイアウトで密に配置された少なくとも3個の疑似バンプを含み、3個の疑似バンプのそれぞれの下部から側部に沿って、端子の一部の隆起により排斥物が形成されており、各疑似バンプの排斥物は、平面視において第1方向に沿って指向性を持つように、各疑似バンプの第1方向における一方側および他方側の両側に一対形成されており、3個の疑似バンプの排斥物は、第2方向に沿って互いに間隔を空けて配列されている。

明 細 書

発明の名称：半導体装置

関連出願

[0001] 本出願は、2022年11月7日に日本国特許庁に提出された特願2022-178205号に対応しており、この出願の全開示はここに引用により組み込まれるものとする。

技術分野

[0002] 本開示は、半導体装置に関する。

背景技術

[0003] 特許文献1は、マイコンやパワートランジスタ等の能動素子近傍に形成されたワイヤボンド用の電極を含む半導体装置を開示している。

先行技術文献

特許文献

[0004] 特許文献1：国際公開第2012-005073号

発明の概要

発明が解決しようとする課題

[0005] 本開示の一実施形態は、複数の疑似バンプの排斥物の干渉を防止でき、複数の疑似バンプを密なレイアウトで配置することができる半導体装置を提供する。

課題を解決するための手段

[0006] 本開示の一実施形態に係る半導体装置は、基板と、前記基板に設けられたデバイス領域と、平面視で前記デバイス領域を覆う端子と、前記端子の上に配置された複数の疑似バンプとを備え、前記複数の疑似バンプは、平面視で三角形の頂点に位置するレイアウトで密に配置された少なくとも3個の疑似バンプを含み、前記3個の前記疑似バンプのそれぞれの下部から側部に沿って、前記端子の一部の隆起により排斥物が形成されており、各前記疑似バン

プの前記排斥物は、平面視において第1方向に沿って指向性を持つように、各前記疑似バンプの前記第1方向における一方側および他方側の両側に一対形成されており、前記3個の前記疑似バンプの前記排斥物は、前記第1方向に直交する第2方向に沿って互いに間隔を空けて配列されている。

発明の効果

[0007] 本開示の一実施形態に係る半導体装置によれば、少なくとも3個の疑似バンプの排斥物が第2方向に沿って互いに間隔を空けて配列されている。したがって、複数の排斥物はそれぞれ第1方向に指向性を持つように形成されているが、複数の排斥物がお互いに干渉することを防止することができる。その結果、複数の疑似バンプを密なレイアウトで配置することができるので、疑似バンプの数を増やして放熱性を向上させることができる。

図面の簡単な説明

- [0008] [図1]図1は、第1形態例に係る半導体チップを示す平面図である。
- [図2]図2は、図1に示すII-II線に沿う断面図である。
- [図3]図3は、図1に示す半導体チップの電氣的構成例を示す回路図である。
- [図4]図4は、出力領域のレイアウトを示す平面図である。
- [図5]図5は、図4に示すV-V線に沿う断面図である。
- [図6]図6は、図4に示すVI-VI線に沿う断面図である。
- [図7]図7は、図4に示すVII-VII線に沿う断面図である。
- [図8]図8は、図1に示す半導体チップが搭載された半導体装置を示す斜視図である。
- [図9]図9は、図8に示す半導体装置の内部構造を示す平面図である。
- [図10]図10は、図9に示すX-X線に沿う断面図である。
- [図11]図11は、図9に示すXI-XI線に沿う断面図である。
- [図12]図12は、図9の一部を拡大して示す平面図である。
- [図13]図13は、図12に示すXIII-XIII線に沿う断面図である。
- [図14]図14は、図12に示すXIV-XIV線に沿う断面図である。
- [図15A]図15Aは、図13の二点鎖線XVで囲まれた部分の拡大図である。

[図15B]図15Bは、疑似バンプを第2方向に沿って切断したときの断面図である。

[図16]図16は、疑似バンプの端子への接合方法図である。

[図17]図17は、疑似バンプの平面視における拡大図である。

[図18]図18は、疑似バンプの第1レイアウトを示す平面図である。

[図19]図19は、疑似バンプの第2レイアウトを示す平面図である。

[図20]図20は、図12のレイアウトの変形例を示す平面図である。

[図21]図21は、第2形態例に係る半導体チップを示す平面図である。

発明を実施するための形態

- [0009] まず、本開示の実施形態を、添付図面を参照して詳細に説明する。添付図面は、模式図であり、厳密に図示されたものではなく、縮尺等は必ずしも一致しない。また、添付図面の間で対応する構造には同一の参照符号が付され、重複する説明は省略または簡略化される。説明が省略または簡略化された構造については、省略または簡略化される前になされた説明が適用される。
- [0010] 比較対象 (comparison target) が存する説明において「ほぼ (substantially) 等しい」等の文言が使用される場合、この文言は、比較対象の数値 (形態) と等しい数値 (形態) を含む他、比較対象の数値 (形態) を基準とする $\pm 10\%$ の範囲の数値誤差 (形態誤差) も含む。実施形態では「第1」、「第2」、「第3」等の文言が使用されるが、これらは説明順序を明確にするために各構造の名称に付された記号であり、各構造の名称を限定する趣旨で付されていない。
- [0011] 図1は、半導体チップ1を示す平面図である。図2は、図1に示すII-II線に沿う断面図である。図3は、図1に示す半導体チップ1の電氣的構成例を示す回路図である。図3には、誘導性負荷Lが出力端 (ソース端子26) に接続された例が示されている。
- [0012] 図1および図2を参照して、半導体チップ1は、この形態 (this embodiment) では、直方体形状に形成された基板2を含む。基板2は、Si単結晶基板からなる。基板2は、ワイドバンドギャップ半導体の単結晶基板 (たとえ

ばSiC単結晶基板)からなっているもよい。基板2は、一方側の第1主面3、他方側の第2主面4、ならびに、第1主面3および第2主面4を接続する第1～第4側面5A～5Dを有している。

[0013] 第1主面3および第2主面4は、それらの法線方向Zから見た平面視(以下、単に「平面視」という。)において四角形状に形成されている。第1主面3は、機能デバイスが形成されたデバイス面である。第2主面4は、非デバイス面である。第1側面5Aおよび第2側面5Bは、第1主面3に沿う第1方向Xに延び、第1方向Xに交差(具体的には直交)する第2方向Yに対向している。第3側面5Cおよび第4側面5Dは、第2方向Yに延び、第1方向Xに対向している。

[0014] 第1～第4側面5A～5Dは、平面視において0.1mm以上10mm以下の長さをそれぞれ有しているもよい。第1～第4側面5A～5Dの長さは、0.1mm以上0.5mm以下、0.5mm以上1mm以下、1mm以上2.5mm以下、2.5mm以上5mm以下、5mm以上7.5mm以下、または、7.5mm以上10mm以下であってもよい。

[0015] 半導体チップ1は、第1主面3に設けられた出力領域6、電流検出領域7、制御領域8、第1検温領域9および第2検温領域10を含む。出力領域6、電流検出領域7、制御領域8、第1検温領域9および第2検温領域10は、「第1デバイス領域」、「第2デバイス領域」、「第3デバイス領域」、「第4デバイス領域」および「第5デバイス領域」とそれぞれ称されてもよい。

[0016] 出力領域6は、外部(半導体チップ1外)に出力される出力信号を生成するように構成された機能デバイスを有する領域である。出力領域6は、この形態では、平面視においてL字状に区画されている。具体的には、出力領域6は、第1側面5A側の領域において第1方向Xに沿って帯状に延びる第1領域6A、および、第3側面5C側の領域において第2方向Yに沿って帯状に延びる第2領域6Bを有している。出力領域6は、第1主面3において第1側面5A側の領域に区画されている。出力領域6は、平面視において四角

形状に区画されていてもよいし、四角形状以外の多角形状に区画されていてもよい。出力領域6の位置、大きさおよび平面形状は任意であり、特定の形態に限定されない。

[0017] 電流検出領域7は、出力信号を監視するモニタ信号を生成するように構成された機能デバイスを有する領域である。電流検出領域7は、出力領域6に隣り合っていることが好ましい。電流検出領域7は、電流検出領域7は、この形態では、出力領域6の平面積未満の平面積を有し、出力領域6の内方部に設けられている。

[0018] つまり、電流検出領域7は、出力領域6によって取り囲まれるように設けられている。ここに言う「取り囲まれている」とは、電流検出領域7が全周に亘って出力領域6によって取り囲まれている形態が含まれる他、電流検出領域7が少なくとも2つの方向に出力領域6に隣り合っている形態も含まれる。電流検出領域7の機能デバイスは、この形態では、出力領域6の機能デバイスの一部を利用して形成されている。

[0019] 制御領域8は、出力領域6の機能デバイスを制御する制御信号を生成するように構成された複数種の機能デバイスを有する領域である。制御領域8は、この形態では、出力領域6に対して第2側面5B側の領域に区画され、第2方向Yに出力領域6に対向している。制御領域8は、平面視において四角形状に区画されていてもよいし、四角形状以外の多角形状に区画されていてもよい。制御領域8の位置、大きさおよび平面形状は任意であり、特定の形態に限定されない。

[0020] 制御領域8は、出力領域6の平面積以下の平面積を有していることが好ましい。出力領域6の平面積に対する制御領域8の平面積の面積比は、0.1以上2以下であってもよい。出力領域6の平面積に対する制御領域8の平面積の面積比は、0.1以上0.25以下、0.25以上0.5以下、0.5以上0.75以下、0.75以上1以下、1以上1.25以下、1.25以上1.5以下、1.5以上1.75以下、または、1.75以上2以下であってもよい。面積比は、1未満であることが好ましい。

- [0021] 第1検温領域9は、出力領域6の温度を監視する検温信号を生成するように構成された機能デバイスを有する領域である。第1検温領域9は、出力領域6に隣り合っていることが好ましい。第1検温領域9は、出力領域6の面積未満の面積を有し、出力領域6の内方に設けられている。
- [0022] つまり、第1検温領域9は、出力領域6によって取り囲まれている。ここに言う「取り囲まれている」には、第1検温領域9が全周に亘って出力領域6によって取り囲まれている形態が含まれる他、第1検温領域9が少なくとも2つの方向に出力領域6に隣り合っている形態も含まれる。
- [0023] 第2検温領域10は、制御領域8の温度を監視する検温信号を生成するように構成された機能デバイスを有する領域である。第2検温領域10は、制御領域8に隣り合っていることが好ましい。第2検温領域10は、この形態では、制御領域8の面積未満の面積を有し、制御領域8の内方に設けられている。
- [0024] つまり、第2検温領域10は、制御領域8によって取り囲まれている。ここに言う「取り囲まれている」には、第2検温領域10が全周に亘って制御領域8によって取り囲まれている形態が含まれる他、第2検温領域10が少なくとも2つの方向に制御領域8に隣り合っている形態も含まれる。
- [0025] 図1および図3を参照して、半導体チップ1は、出力領域6に形成されたn系統(n-system)の絶縁ゲート型のメインランジスタ11を含む。「n」は2以上($n \geq 2$)である。図3では、2系統のメインランジスタ11が例示されている。メインランジスタ11は、「ゲート分割ランジスタ」と称されてもよい。メインランジスタ11は、n個(n-number)の第1ゲートFG、1つの第1ドレインFDおよび1つの第1ソースFSを含む。
- [0026] メインランジスタ11は、同一のまたは異なるn個のゲート信号(ゲート電圧)が任意のタイミングでn個の第1ゲートFGに入力されるように構成されている。各ゲート信号は、メインランジスタ11の一部をオン状態に制御するオン信号、および、メインランジスタ11の一部をオフ状態に制御するオフ信号を含む。

- [0027] メイントランジスタ11は、 n 個のゲート信号に応答して単一の出力電流 I_O （出力信号）を生成する。つまり、メイントランジスタ11は、マルチ入力シングル出力型のスイッチングデバイスからなる。出力電流 I_O は、第1ドレインFDおよび第1ソースFSの間を流れるドレイン・ソース電流である。出力電流 I_O は、基板2外に出力される。
- [0028] メイントランジスタ11は、 n 個の系統トランジスタ12を含む。図3では、第1系統トランジスタ12Aおよび第2系統トランジスタ12Bが例示されている。 n 個の系統トランジスタ12は、単一の出力領域6に集約して形成され、互いに電氣的に独立してオン状態およびオフ状態に制御されるように構成されている。
- [0029] 具体的には、 n 個の系統トランジスタ12は、 n 個のゲート信号が個別入力されるように互いに並列接続されている。つまり、 n 系統のメイントランジスタ11は、オン状態の系統トランジスタ12およびオフ状態の系統トランジスタ12が任意のタイミングで併存するように構成されている。
- [0030] n 個の系統トランジスタ12は、第2ゲートSG、第2ドレインSDおよび第2ソースSSをそれぞれ含む。 n 個の第2ゲートSGは、 n 個の第1ゲートFGをそれぞれ構成している。 n 個の第2ドレインSDは、1つの第1ドレインFDを構成している。 n 個の第2ソースSSは、1つの第1ソースFSを構成している。
- [0031] n 個の系統トランジスタ12は、対応するゲート信号に応答して系統電流 I_S をそれぞれ生成する。系統電流 I_S は、系統トランジスタ12の第2ドレインSDおよび第2ソースSSの間を流れるドレイン・ソース電流である。 n 個の系統電流 I_S は、互いに異なる値であってもよいし、互いに等しい値であってもよい。 n 個の系統電流 I_S は、第1ドレインFDおよび第1ソースFSの間で加算される。これにより、 n 個の系統電流 I_S の加算値からなる単一の出力電流 I_O が生成される。
- [0032] 図1および図3を参照して、半導体チップ1は、電流検出領域7に形成された m 系統（ m -system）の絶縁ゲート型のモニタトランジスタ13を含む。

「 m 」は1以上 ($m \geq 1$) である。図3では、2系統のモニタトランジスタ13が例示されている。モニタトランジスタ13は、メイントランジスタ11に並列接続され、出力電流 I_O の一部または全部を監視するように構成されている。つまり、モニタトランジスタ13は、少なくとも1つの系統トランジスタ12に並列接続され、少なくとも1つの系統電流 I_S を監視する。

[0033] モニタトランジスタ13は、複数の系統トランジスタ12に並列接続され、複数の系統電流 I_S を監視するように構成されていることが好ましい。モニタトランジスタ13は、この形態では、 n 個の系統電流 I_S を監視するように n 個の系統トランジスタ12に並列接続された n 系統 ($m = n$) のモニタトランジスタ13からなる。以下の説明では、必要に応じて「 m 系統」が「 n 系統」に置き換えられ、「 m 個」が「 n 個」に置き換えられる。

[0034] モニタトランジスタ13は、この形態では、 n 個の第1モニタゲートFMG、1つの第1モニタドレインFMDおよび1つの第1モニタソースFMSを含む。 n 個の第1モニタゲートFMGは、 n 個のモニタゲート信号（モニタゲート電圧）が個別的に入力されるようにそれぞれ構成されている。

[0035] 第1モニタドレインFMDは、第1ドレインFDに電氣的に接続されている。第1モニタソースFMSは、第1ソースFSから電氣的に分離されている。 n 個の第1モニタゲートFMGには、同一のまたは異なる n 個のモニタゲート信号が任意のタイミングで入力される。各モニタゲート信号は、モニタトランジスタ13の一部をオン状態に制御するオン信号、および、モニタトランジスタ13の一部をオフ状態に制御するオフ信号を含む。

[0036] モニタトランジスタ13は、この形態では、 n 個のモニタゲート信号にตอบสนองして n 個の系統電流 I_S （出力電流 I_O ）を監視する単一のモニタ電流 I_M （モニタ信号）を生成する。つまり、モニタトランジスタ13は、マルチ入力シングル出力型のスイッチングデバイスからなる。モニタ電流 I_M は、第1モニタドレインFMDおよび第1モニタソースFMSの間を流れるドレイン・ソース電流である。

[0037] n 個の第1モニタゲートFMGは、この形態では、一対一の対応関係で対

応する n 個の第 1 ゲート FG にそれぞれ電氣的に接続されている。したがって、 n 個の第 1 モニタゲート FMG は、ゲート信号からなるモニタゲート信号がそれぞれ個別的に入力されるように構成されている。つまり、モニタトランジスタ 13 はメイントランジスタ 11 と同じタイミングでオンオフ制御され、出力電流 I_O の増減に連動して増減するモニタ電流 I_M を生成する。

[0038] モニタ電流 I_M は、出力電流 I_O の電流経路から電氣的に独立した電流経路を介して出力領域 6 外に出力される。モニタ電流 I_M は、出力電流 I_O 以下 ($I_M \leq I_O$) である。モニタ電流 I_M は、出力電流 I_O 未満 ($I_M < I_O$) であることが好ましい。出力電流 I_O に対するモニタ電流 I_M の電流比 I_M / I_O は任意である。電流比 I_M / I_O は、 $1 / 10000$ 以上 1 以下 (好ましくは 1 未満) であってもよい。

[0039] モニタトランジスタ 13 は、 m 個 (この形態では n 個) の系統モニタトランジスタ 14 を含む。図 3 では、第 1 系統モニタトランジスタ 14 A および第 2 系統モニタトランジスタ 14 B が例示されている。モニタトランジスタ 13 の系統数は、系統モニタトランジスタ 14 の個数によって調整される。

[0040] つまり、 m 系統のモニタトランジスタ 13 が少なくとも 1 つの系統電流 I_S を監視する場合、少なくとも 1 つの系統モニタトランジスタ 14 が少なくとも 1 つの系統トランジスタ 12 に電氣的に接続 (具体的には並列接続) される。また、 m 系統のモニタトランジスタ 13 が複数の系統電流 I_S を監視する場合、複数の系統モニタトランジスタ 14 が複数の系統トランジスタ 12 に電氣的に接続される。この形態では、 n 個の系統モニタトランジスタ 14 が n 個の系統トランジスタ 12 に電氣的に接続されている。

[0041] n 個の系統モニタトランジスタ 14 は、互いに電氣的に独立してオン状態およびオフ状態に制御されるように構成されている。具体的には、 n 個の系統モニタトランジスタ 14 は、 n 個のモニタゲート信号が個別入力されるように互いに並列接続されている。つまり、モニタトランジスタ 13 は、オン状態の系統モニタトランジスタ 14 およびオフ状態の系統モニタトランジスタ 14 が任意のタイミングで併存するように構成されている。

- [0042] n 個のシステムモニタトランジスタ14は、第2モニタゲートSMG、第2モニタドレインSMDおよび第2モニタソースSMSをそれぞれ含む。 n 個の第2モニタゲートSMGは、 n 個の第1モニタゲートFMGをそれぞれ構成している。 n 個の第2モニタドレインSMDは、1つの第1モニタドレインFMDを構成している。 n 個の第2モニタソースSMSは、1つの第1モニタソースFMSを構成している。
- [0043] n 個の第2モニタゲートSMGには、同一のまたは異なる n 個のモニタゲート信号が任意のタイミングで入力される。 n 個のシステムモニタトランジスタ14は、対応するモニタゲート信号に応答して、対応するシステムトランジスタ12のシステム電流ISを監視するシステムモニタ電流ISM（システムモニタ信号）をそれぞれ生成する。
- [0044] システムモニタ電流ISMは、システムモニタトランジスタ14の第2モニタドレインSMDおよび第2モニタソースSMSの間を流れるドレイン・ソース電流である。 n 個のシステムモニタ電流ISMは、第1モニタドレインFMDおよび第1モニタソースFMSの間で加算される。これにより、 n 個のシステムモニタ電流ISMの加算値からなる単一のモニタ電流IMが生成される。
- [0045] n 個のシステムモニタトランジスタ14は、この形態では、対応するシステムトランジスタ12に一对一の対応関係で電氣的に接続され、対応するシステムトランジスタ12と連動して制御される。具体的には、 n 個のシステムモニタトランジスタ14は、システム電流ISの電流経路から電氣的に独立した電流経路にシステムモニタ電流ISMが出力されるように対応するシステムトランジスタ12にそれぞれ並列接続されている。
- [0046] n 個の第2モニタゲートSMGは、一对一の対応関係で対応する第1ゲートFGにそれぞれ電氣的に接続されている。つまり、この形態では、ゲート信号からなるモニタゲート信号が、 n 個の第2モニタゲートSMGにそれぞれ入力される。第2モニタドレインSMDは、第1ドレインFDに電氣的に接続されている。第2モニタソースSMSは、第1ソースFSから電氣的に分離されている。

[0047] これにより、 n 個の系統モニタトランジスタ14は、対応する系統トランジスタ12と同じタイミングでオンオフ制御され、対応する系統電流 I_S の増減に連動して増減する系統モニタ電流 I_{SM} をそれぞれ生成する。系統モニタ電流 I_{SM} は、系統電流 I_S から電氣的に独立して第2モニタソース S_{MS} から取り出される。

[0048] 各系統モニタ電流 I_{SM} は、対応する系統電流 I_S 以下 ($I_{SM} \leq I_S$) である。各系統モニタ電流 I_{SM} は、対応する系統電流 I_S 未満 ($I_{SM} < I_S$) であることが好ましい。系統電流 I_S に対する系統モニタ電流 I_{SM} の電流比 I_{SM}/I_S は任意である。電流比 I_{SM}/I_S は、 $1/1000$ 以上1以下 (好ましくは1未満) であってもよい。

[0049] 以下、2系統のメイントランジスタ11および2系統のモニタトランジスタ13の制御例が説明される。 n 個の第1ゲートFGの全てにゲート閾値電圧未満のゲート信号 (つまりオフ信号) が入力されると、第1系統トランジスタ12Aおよび第2系統トランジスタ12Bがオフ状態になる。この制御は、メイントランジスタ11のオフ動作時に適用される。一方、モニタトランジスタ13では、メイントランジスタ11に連動して第1系統モニタトランジスタ14Aおよび第2系統モニタトランジスタ14Bがオフ状態になる。

[0050] n 個の第1ゲートFGの全てにゲート閾値電圧以上のゲート信号 (つまりオン信号) が入力されると、第1系統トランジスタ12Aおよび第2系統トランジスタ12Bがオン状態になる。これにより、メイントランジスタ11は、第1系統トランジスタ12Aの系統電流 I_S および第2系統トランジスタ12Bの系統電流 I_S を含む出力電流 I_O を生成する。この場合、メイントランジスタ11のチャンネル利用率が相対的に増加し、オン抵抗が相対的に減少する。この制御は、メイントランジスタ11の通常動作時に適用される。

[0051] 一方、モニタトランジスタ13では、メイントランジスタ11に連動して第1系統モニタトランジスタ14Aおよび第2系統モニタトランジスタ14

Bがオン状態になる。モニタトランジスタ13は、第1系統モニタトランジスタ14Aの系統モニタ電流ISMおよび第2系統モニタトランジスタ14Bの系統モニタ電流ISMを含むモニタ電流IMを生成する。この場合、モニタトランジスタ13のチャンネル利用率が相対的に増加し、オン抵抗が相対的に減少する。

[0052] 第1系統トランジスタ12Aの第1ゲートFGにゲート閾値電圧以上のゲート信号（つまりオン信号）が入力され、第2系統モニタトランジスタ14Bの第1ゲートFGにゲート閾値電圧未満のゲート信号（つまりオフ信号）が入力されると、第1系統トランジスタ12Aがオン状態になり、第2系統モニタトランジスタ14Bがオフ状態になる。

[0053] これにより、メイントランジスタ11は、第1系統トランジスタ12Aの系統電流ISを含む出力電流IOを生成する。この場合、メイントランジスタ11のチャンネル利用率が相対的に減少し、オン抵抗が相対的に増加する。この制御は、メイントランジスタ11のアクティブクランプ動作時に適用される。

[0054] 一方、モニタトランジスタ13では、メイントランジスタ11に連動して第1系統モニタトランジスタ14Aがオン状態になり、第2系統モニタトランジスタ14Bがオフ状態になる。モニタトランジスタ13は、第1系統モニタトランジスタ14Aの系統モニタ電流ISMを含むモニタ電流IMを生成する。この場合、モニタトランジスタ13のチャンネル利用率が相対的に減少し、オン抵抗が相対的に増加する。

[0055] 図1および図3を参照して、半導体チップ1は、第1検温領域9に形成された第1温度センサの一例としての第1感温ダイオード15を含む。第1感温ダイオード15は、順方向電圧に関して出力領域6の温度T1に応じて変動する温度特性を有し、出力領域6の温度を検出する第1検温信号ST1を生成する。順方向電圧は、出力領域6の温度上昇に伴って線形的に低下する負の温度特性を有していてもよい。

[0056] 図1および図3を参照して、半導体チップ1は、第2検温領域10に形成

された第2温度センサの一例としての第2感温ダイオード16を含む。第2感温ダイオード16は、順方向電圧に関して制御領域8の温度 T_2 に応じて変動する温度特性を有し、制御領域8の温度を検出する第2検温信号 ST_2 を生成する。順方向電圧は、制御領域8の温度上昇に伴って線形的に低下する負の温度特性を有していてもよい。

[0057] 第2感温ダイオード16は、第1感温ダイオード15とほぼ同一の構成を有していることが好ましく、第1感温ダイオード15とほぼ等しい電気的特性を有していることが好ましい。メインランジスタ11が出力電流 I_O を生成している時、制御領域8の温度 T_2 は出力領域6の温度 T_1 未満である($T_2 < T_1$)。したがって、出力電流 I_O の生成時において、第2感温ダイオード16の順方向電圧は第1感温ダイオード15の順方向電圧よりも大きい。

[0058] 半導体チップ1は、制御領域8に形成された制御回路17を含む。制御回路17は、「コントロールIC (Control Integrated Circuit)」と称されてもよい。制御回路17は、メインランジスタ11と共にIPD (Intelligent Power Device) を構成している。IPDは、「IPM (Intelligent Power Module)」と称されてもよい。制御回路17は、外部から入力された電気信号にตอบสนองして種々の機能を実現する複数種の機能回路を含む。

[0059] 制御回路17は、この形態では、ゲート駆動回路18、アクティブクランプ回路19、過電流保護回路20および過熱保護回路21を含む。過電流保護回路20は「OCP (Over Current Protection) 回路」と称され、過熱保護回路21は「TSD (Thermal Shutdown) 回路」と称されてもよい。前述のモニタランジスタ13、第1感温ダイオード15および第2感温ダイオード16は、制御回路17の一部を構成している。

[0060] ゲート駆動回路18は、メインランジスタ11の第1ゲートFGおよびモニタランジスタ13の第1モニタゲートFMGに電氣的に接続され、外部からの電気信号にตอบสนองしてメインランジスタ11およびモニタランジスタ13を制御するゲート信号を生成する。

- [0061] アクティブクランプ回路19は、メイントランジスタ11およびゲート駆動回路18に電氣的に接続されている。具体的には、アクティブクランプ回路19は、一部（全部ではない）の第1ゲートFG、第1ドレインFDおよびゲート駆動回路18に電氣的に接続されている。
- [0062] アクティブクランプ回路19は、第1ダイオード段19a、第2ダイオード段19bおよびnチャネル型のMISFET19cを含んでいてもよい。第1ダイオード段19aは、順方向直列回路を形成する1つまたは複数のツェナダイオードを含む。第1ダイオード段19aのカソードは、第1ドレインFDに電氣的に接続される。
- [0063] 第2ダイオード段19bは、順方向直列回路を形成する1つまたは複数のpn接合ダイオードを含む。第2ダイオード段19bのアノードは、第1ダイオード段19aのアノードに逆バイアス接続される。第2ダイオード段19bのカソードは、ゲート駆動回路18に電氣的に接続される。
- [0064] MISFET19cのゲートは、第2ダイオード段19bのカソードに電氣的に接続される。MISFET19cのバックゲートは、第1ソースFSに電氣的に接続される。MISFET19cのドレインは、第1ドレインFDに接続される。MISFET19cのソースは、一部（全部ではない）の第1ゲートFGに電氣的に接続される。
- [0065] アクティブクランプ回路19は、誘導性負荷Lに蓄積されたエネルギーに起因してメイントランジスタ11に逆起電力が入力された際にゲート駆動回路18と協働して出力電圧を制限（クランプ）し、逆起電力からメイントランジスタ11を保護する。つまり、アクティブクランプ回路19は、逆起電力の入力時にメイントランジスタ11をアクティブクランプ動作させることにより、逆起電力が消費されるまで出力電圧を制限するように構成されている。
- [0066] 具体的には、アクティブクランプ回路19は、アクティブクランプ動作時において、ゲート駆動回路18と協働してメイントランジスタ11の一部（たとえば第1系統トランジスタ12A）をオン状態に制御し、メインラン

ジスタ 11 の一部（たとえば第 2 系統トランジスタ 12 B）をオフ状態に制御する。

[0067] また、アクティブクランプ回路 19 は、アクティブクランプ動作時において、ゲート駆動回路 18 と協働してモニタトランジスタ 13 の一部（たとえば第 1 系統モニタトランジスタ 14 A）をオン状態に制御し、モニタトランジスタ 13 の一部（たとえば第 2 系統モニタトランジスタ 14 B）をオフ状態に制御する。

[0068] アクティブクランプ回路 19 は、メイントランジスタ 11 の第 1 ソース F S が所定の電圧（たとえば所定の負電圧）以下になったとき、 n 個の系統トランジスタ 12（系統モニタトランジスタ 14）をオンオフ制御するように構成されていてもよい。

[0069] 過電流保護回路 20 は、モニタトランジスタ 13 およびゲート駆動回路 18 に電氣的に接続されている。過電流保護回路 20 は、モニタトランジスタ 13 の第 1 モニタソース F M S に電氣的に接続され、モニタ電流 I_M の一部または全部（この形態では全部）が入力されるように構成されている。過電流保護回路 20 は、ゲート駆動回路 18 と協働してゲート信号を制御し、過電流からメイントランジスタ 11 を保護する。

[0070] 過電流保護回路 20 は、モニタ電流 I_M が所定の閾値を超えた場合に過電流検出信号 S C を生成し、ゲート駆動回路 18 に過電流検出信号 S C を出力するように構成されていてもよい。過電流検出信号 S C は、ゲート駆動回路 18 において生成される n 個のゲート信号の一部または全部を所定値以下（たとえばオフ）に制限するための信号である。

[0071] ゲート駆動回路 18 は、過電流検出信号 S C に応答して n 個のゲート信号の一部または全部を制限し、メイントランジスタ 11 を流れる過電流を抑制する。過電流保護回路 20 は、モニタ電流 I_M が所定の閾値以下になると、ゲート駆動回路 18（メイントランジスタ 11）を通常制御に移行させる。

[0072] 過熱保護回路 21 は、第 1 感温ダイオード 15、第 2 感温ダイオード 16 およびゲート駆動回路 18 に電氣的に接続されている。過熱保護回路 21 は

、ゲート駆動回路18と協働してゲート信号を制御し、過熱からメインランジスタ11を保護するように構成されている。過熱保護回路21には、第1感温ダイオード15から第1検温信号ST1が入力され、第2感温ダイオード16から第2検温信号ST2が入力される。

[0073] 過熱保護回路21は、第1検温信号ST1および第2検温信号ST2の差分値が所定の閾値を超えた場合に過熱検出信号SHを生成し、ゲート駆動回路18に過熱検出信号SHを出力するように構成されていてもよい。過熱検出信号SHは、ゲート駆動回路18において生成されるn個のゲート信号の一部または全部をオフに制限するための信号である。

[0074] ゲート駆動回路18は、過熱検出信号SHに応答してメインランジスタ11の一部または全部をオフ状態に制御し、出力領域6の温度上昇を抑制する。また、ゲート駆動回路18は、過熱検出信号SHに応答してモントランジスタ13の一部または全部をオフ状態に制御し、電流検出領域7（出力領域6）の温度上昇を抑制する。過熱保護回路21は、差分値が閾値以下になると、ゲート駆動回路18を通常制御に移行させる。

[0075] 図2を参照して、半導体チップ1は、第1主面3を被覆する層間絶縁膜24を含む。層間絶縁膜24は、出力領域6、電流検出領域7、制御領域8、第1検温領域9および第2検温領域10を一括して被覆している。層間絶縁膜24は、この形態では、第1主面3の上に積層された複数の絶縁膜、および、任意の絶縁膜の上に配置された複数の配線を含む多層配線構造を有している。

[0076] 各絶縁膜は、酸化シリコン膜および窒化シリコン膜のうちの少なくとも1つを含んでいてもよい。各配線は、純Al層（純度が99%以上のAl層）、Cu層（純度が99%以上のCu層）、AlCu合金層、AlSiCu合金層およびAlSi合金層のうちの少なくとも1種を含んでいてもよい。

[0077] 図1および図2を参照して、半導体チップ1は、複数の端子25~30を含む。複数の端子25~30の個数やレイアウト等は、メインランジスタ11の仕様や制御回路17の仕様に応じて適宜調整される。複数の端子25

～30は、この形態では、ドレイン端子25（電源端子）、ソース端子26（出力端子）、第1制御端子27、第2制御端子28、第3制御端子29および第4制御端子30を含む。

[0078] ドレイン端子25は、基板2の第2主面4を被覆し、第2主面4に電氣的に接続されている。ドレイン端子25は、Ti層、Ni層、Au層、Ag層およびAl層のうちの少なくとも1つを含んでいてもよい。ドレイン端子25は、Ti層、Ni層、Au層、Ag層およびAl層のうちの少なくとも2つを任意の態様で積層させた積層構造を有していてもよい。ドレイン端子25は、メインランジスタ11の第1ドレインFDに電氣的に接続され、電源電位を伝達する。

[0079] ソース端子26は、層間絶縁膜24の上に配置されている。ソース端子26は、平面視において制御領域8を露出させるように出力領域6を被覆している。ソース端子26のレイアウトは、出力領域6のレイアウトによって調節され、特定の形態に限定されない。ソース端子26は、この形態では、平面視において四角形状（具体的には第1方向Xに延びる長方形）に形成されている。むろん、ソース端子26は、平面視において四角形状以外の多角形状に形成されていてもよい。

[0080] ソース端子26は、この形態では、第1検温領域9（第1感温ダイオード15）を露出させるように四角形状に切り欠かれた切欠き部26aを有している。ソース端子26は、メインランジスタ11の第1ソースFSに電氣的に接続され、出力電流IOを外部に伝達する。ソース端子26は、Al系金属層およびCu系金属層のいずれか一方または双方を含んでいてもよい。ソース端子26は、純Al層、純Cu層、AlCu合金層、AlSiCu合金層およびAlSi合金層のうちの少なくとも1種を含んでいてもよい。

[0081] 第1～第4制御端子27～30は、層間絶縁膜24の上に配置されている。第1～第4制御端子27～30は、たとえば、制御回路17に入力信号を付与するインプット端子、制御回路17にイネーブル信号を付与するイネーブル端子、制御回路17の状態を診断するための電気信号を出力する自己診

断出力端子、および、制御回路17にグランド電位を付与するグランド端子であってもよい。

[0082] 第1～第4制御端子27～30は、平面視において出力領域6外の領域（具体的には制御領域8）をそれぞれ被覆している。第1～第4制御端子27～30は、いずれも、ソース端子26の平面積未満の平面積を有している。第1～第4制御端子27～30は、純Al層、純Cu層、AlCu合金層、AlSiCu合金層およびAlSi合金層のうちの少なくとも1種を含んでいてもよい。

[0083] 以下、図4～図7を併せて参照して、出力領域6の構成が説明される。図4は、出力領域6のレイアウトを示す平面図である。図5は、図4に示すV-V線に沿う断面図である。図6は、図4に示すVI-VI線に沿う断面図である。図7は、図4に示すVII-VII線に沿う断面図である。

[0084] 半導体チップ1は、基板2の第1主面3の表層部に形成されたn型（第1導電型）の第1半導体領域31を含む。第1半導体領域31は、メイントランジスタ11の第1ドレインFDおよびモニタトランジスタ13の第1モニタドレインFMDを形成している。第1半導体領域31は、「ドリフト領域」と称されてもよい。

[0085] 第1半導体領域31は、第1主面3の表層部の全域に形成され、第1主面3および第1～第4側面5A～5Dから露出している。第1半導体領域31の厚さは、5 μ m以上30 μ m以下であってもよい。第1半導体領域31の厚さは、10 μ m以上20 μ m以下であることが好ましい。第1半導体領域31は、この形態では、n型のエピタキシャル層（Siエピタキシャル層）によって形成されている。

[0086] 半導体チップ1は、基板2の第2主面4の表層部に形成されたn型の第2半導体領域32を含む。第2半導体領域32は、第1半導体領域31と共にメイントランジスタ11の第1ドレインFDおよびモニタトランジスタ13の第1モニタドレインFMDを形成している。第2半導体領域32は、「ドレイン領域」と称されてもよい。

- [0087] 第2半導体領域32は、第1半導体領域31に電氣的に接続されるように第2主面4の表層部の全域に形成され、第2主面4および第1～第4側面5A～5Dから露出している。第2半導体領域32は、第1半導体領域31よりも厚い。第2半導体領域32の厚さは、 $10\mu\text{m}$ 以上 $450\mu\text{m}$ 以下であってもよい。第2半導体領域32の厚さは、 $50\mu\text{m}$ 以上 $150\mu\text{m}$ 以下であることが好ましい。第2半導体領域32は、この形態では、n型の半導体基板（Si半導体基板）によって形成されている。
- [0088] 半導体チップ1は、出力領域6および電流検出領域7の第1半導体領域31の表層部に形成されたp型（第2導電型）のボディ領域33を含む。ボディ領域33は、第1半導体領域31の底部から第1主面3側に間隔を空けて形成され、第1半導体領域31の一部を挟んで第2半導体領域32に対向している。
- [0089] 半導体チップ1は、出力領域6において第1主面3に形成された複数のトレンチ構造35を含む。トレンチ構造35は、「トレンチゲート構造」と称されてもよい。複数のトレンチ構造35は、出力領域6に形成されたメイントランジスタ11用の複数のトレンチ構造35、および、電流検出領域7に形成されたモニタトランジスタ13用の複数のトレンチ構造35を含む。モニタトランジスタ13用の複数のトレンチ構造35の個数は、メイントランジスタ11用の複数のトレンチ構造35の個数未満である。
- [0090] 複数のトレンチ構造35は、平面視において第1方向Xに間隔を空けて配列され、第2方向Yに延びる帯状にそれぞれ形成されている。複数のトレンチ構造35は、第1半導体領域31に至るようにボディ領域33を貫通している。複数のトレンチ構造35は、第1半導体領域31の底部から第1主面3側に間隔を空けて形成され、第1半導体領域31の一部を挟んで第2半導体領域32に対向している。
- [0091] 各トレンチ構造35は、第1幅W1および第1深さD1を有している。第1幅W1は、トレンチ構造35が延びる方向に直交する方向の幅である。第1幅W1は、 $0.5\mu\text{m}$ 以上 $2\mu\text{m}$ 以下であってもよい。第1幅W1は、0

、 $5\mu\text{m}$ 以上 $1.5\mu\text{m}$ 以下であることが好ましい。第1深さD1は、 $1\mu\text{m}$ 以上 $10\mu\text{m}$ 以下であってもよい。第1深さD1は、 $2\mu\text{m}$ 以上 $6\mu\text{m}$ 以下であることが好ましい。各トレンチ構造35の底壁は、第1半導体領域31の底部から $1\mu\text{m}$ 以上 $5\mu\text{m}$ 以下の間隔を空けていることが好ましい。

[0092] 複数のトレンチ構造35は、第1方向Xにトレンチ間隔ITを空けて配列されている。トレンチ間隔ITは、第1幅W1の0.25倍以上1.5倍以下であってもよい。トレンチ間隔ITは、第1幅W1以下であることが好ましい。トレンチ間隔ITは、 $0.5\mu\text{m}$ 以上 $2\mu\text{m}$ 以下であってもよい。

[0093] 以下、1つのトレンチ構造35の構成が説明される。トレンチ構造35は、トレンチ36、第1絶縁膜37、第2絶縁膜38、第1電極39、第2電極40および第3絶縁膜41を含むマルチ電極構造を有している。つまり、トレンチ構造35は、絶縁体（ゲート絶縁体）を挟んでトレンチ36に埋設された電極（ゲート電極）を含む。絶縁体は、第1絶縁膜37、第2絶縁膜38および第3絶縁膜41によって構成されている。電極は、第1電極39および第2電極40によって構成されている。

[0094] トレンチ36は、第1主面3から第2主面4に向けて掘り下がり、トレンチ構造35の壁面を区画している。第1絶縁膜37は、トレンチ36の上壁面を膜状に被覆している。具体的には、第1絶縁膜37は、ボディ領域33の底部に対してトレンチ36の開口側の領域に位置する上壁面を被覆している。

[0095] 第1絶縁膜37は、第1半導体領域31およびボディ領域33の境界を横切り、第1半導体領域31を被覆する部分を有している。第1絶縁膜37は、酸化シリコン膜を含んでいてもよい。第1絶縁膜37は、基板2の酸化物からなる酸化シリコン膜を含むことが好ましい。第1絶縁膜37は、ゲート絶縁膜として形成されている。

[0096] 第2絶縁膜38は、トレンチ36の下壁面を膜状に被覆している。具体的には、第2絶縁膜38は、ボディ領域33の底部に対してトレンチ36の底壁側の領域に位置する下壁面を被覆している。第2絶縁膜38は、第1半導

体領域 31 を被覆している。第 2 絶縁膜 38 は、酸化シリコン膜を含んでもよい。第 2 絶縁膜 38 は、基板 2 の酸化物からなる酸化シリコン膜を含むことが好ましい。第 2 絶縁膜 38 は、第 1 絶縁膜 37 よりも厚いことが好ましい。

[0097] 第 1 電極 39 は、第 1 絶縁膜 37 を挟んでトレンチ 36 内の上側（開口側）に埋設されている。第 1 電極 39 は、平面視において第 2 方向 Y に延びる帯状に埋設されている。第 1 電極 39 は、第 1 絶縁膜 37 を挟んでボディ領域 33 および第 1 半導体領域 31 に対向している。第 1 電極 39 は、導電性ポリシリコンを含んでもよい。第 1 電極 39 は、ゲート電極として形成されている。第 1 電極 39 には、ゲート信号が入力される。

[0098] 第 2 電極 40 は、第 2 絶縁膜 38 を挟んでトレンチ 36 内の下側（底壁側）に埋設されている。第 2 電極 40 は、平面視において第 2 方向 Y に延びる帯状に埋設されている。第 2 電極 40 は、トレンチ 36 の深さ方向に関して第 1 電極 39 の厚さ（長さ）を超える厚さ（長さ）を有していてもよい。

[0099] 第 2 電極 40 は、第 2 絶縁膜 38 を挟んで第 1 半導体領域 31 に対向している。第 2 電極 40 は、第 2 絶縁膜 38 から第 1 主面 3 側に突出した上端部を有している。第 2 電極 40 の上端部は、第 2 電極 40 の底部に係合し、第 1 主面 3 に沿う横方向に第 2 電極 40 の底部を挟んで第 1 絶縁膜 37 に対向している。

[0100] 第 2 電極 40 は、導電性ポリシリコンを含んでもよい。第 2 電極 40 は、この形態では、ゲート電極として形成され、第 1 電極 39 と同電位に固定される。つまり、同一のゲート信号が、第 1 電極 39 と同時に第 2 電極 40 に印加される。これにより、第 1 電極 39 および第 2 電極 40 の間の電圧降下が抑制される結果、第 1 電極 39 および第 2 電極 40 の間の電界集中が抑制される。また、トレンチ 36 の近傍におけるキャリア密度が上昇する結果、基板 2（特に第 1 半導体領域 31）のオン抵抗が低下する。

[0101] 第 3 絶縁膜 41 は、第 1 電極 39 および第 2 電極 40 の間に介在し、第 1 電極 39 および第 2 電極 40 を電氣的に絶縁させている。第 3 絶縁膜 41 は

、第2電極40のうち第2絶縁膜38から露出する部分を被覆し、第1絶縁膜37および第2絶縁膜38に連なっている。第3絶縁膜41は、酸化シリコン膜を含んでいてもよい。第3絶縁膜41は、第2電極40の酸化物からなる酸化シリコン膜を含むことが好ましい。第3絶縁膜41は、第2絶縁膜38よりも薄いことが好ましい。

[0102] 半導体チップ1は、出力領域6において第1主面3に形成された複数のトレンチ接続構造45を含む。複数のトレンチ接続構造45は、複数のトレンチ構造35の一端部側の領域および複数のトレンチ構造35の他端部側の領域にそれぞれ形成されている。図4では、複数のトレンチ構造35の一端部側の領域が示されている。

[0103] 複数のトレンチ接続構造45は、第1方向Xに隣り合う少なくとも2つ（この形態では2つ）のトレンチ構造35の一端部を接続するように第2方向Yに延びる帯状にそれぞれ形成されている。複数のトレンチ接続構造45は、第1方向Xに隣り合う少なくとも2つ（この形態では2つ）のトレンチ構造35の他端部を接続するように第2方向Yに延びる帯状にそれぞれ形成されている。

[0104] 複数のトレンチ接続構造45は、平面視において複数のトレンチ構造35と共に環状または梯子状の1つの単位トレンチ構造をそれぞれ構成している。複数のトレンチ接続構造45は、第1半導体領域31の底部から第1主面3側に間隔を空けて形成され、第1半導体領域31の一部を挟んで第2半導体領域32に対向している。

[0105] 他方側のトレンチ接続構造45は、複数のトレンチ構造35の他端部に接続されている点を除き、一方側のトレンチ接続構造45と同様の構造を有している。以下、一方側の1つのトレンチ接続構造45の構成が説明され、他方側のトレンチ接続構造45の説明は省略される。

[0106] トレンチ接続構造45は、第1方向Xに延びる第1トレンチ部45aおよび第2方向Yに延びる複数（この形態では2つ）の第2トレンチ部45bを有している。第1トレンチ部45aは、平面視において複数の一端部に対向

している。複数の第2トレンチ部45bは、第1トレンチ部45aから複数のトレンチ構造35の一端部に向けて延び、当該複数の一端部に接続されている。

[0107] トレンチ接続構造45は、第2幅W2および第2深さD2を有している。第2幅W2は、トレンチ接続構造45が延びる方向に直交する方向の幅である。第2幅W2は、トレンチ構造35の第1幅W1とほぼ等しいことが好ましい。第2深さD2は、トレンチ構造35の第1深さD1とほぼ等しいことが好ましい。トレンチ接続構造45の底壁は、第1半導体領域31の底部から1 μ m以上5 μ m以下の間隔を空けていることが好ましい。

[0108] トレンチ接続構造45は、接続トレンチ46、接続絶縁膜47および接続電極48を含むシングル電極構造を有している。接続トレンチ46は、第1主面3から第2主面4に向けて掘り下がり、トレンチ接続構造45の壁面を区画している。接続トレンチ46の側壁および底壁は、トレンチ構造35のトレンチ36の側壁および底壁に接続されている。

[0109] 接続絶縁膜47は、接続トレンチ46の壁面を膜状に被覆している。接続絶縁膜47は、トレンチ36および接続トレンチ46の連通部において第1絶縁膜37および第2絶縁膜38に接続されている。接続絶縁膜47は、酸化シリコン膜を含んでいてもよい。接続絶縁膜47は、基板2の酸化物からなる酸化シリコン膜を含むことが好ましい。接続絶縁膜47は、第1絶縁膜37よりも厚いことが好ましい。接続絶縁膜47の厚さは、第2絶縁膜38の厚さとほぼ等しくてもよい。

[0110] 接続電極48は、接続絶縁膜47を挟んで接続トレンチ46に埋設されている。接続電極48は、導電性ポリシリコンを含んでいてもよい。接続電極48は、第1トレンチ部45aにおいて第1方向Xに延び、第2トレンチ部45bにおいて第2方向Yに延びている。接続電極48は、トレンチ36および接続トレンチ46の連通部において第2電極40に接続され、第3絶縁膜41を挟んで第1電極39に対向している。接続電極48には、第1電極39および第2電極40と同時に同一のゲート信号が印加される。

- [0111] 半導体チップ1は、出力領域6および電流検出領域7のボディ領域33の表層部において複数のトレンチ構造35に沿う領域にそれぞれ形成されたn型の複数のソース領域51を含む。複数のソース領域51のn型不純物濃度は、第1半導体領域31よりも高い。複数のソース領域51は、各トレンチ構造35の両サイドにそれぞれ配置され、各トレンチ構造35に沿って間隔を空けて配列されている。複数のソース領域51は、ボディ領域33の底部から第1主面3側に間隔を空けて形成され、対応する第1絶縁膜37を挟んで第1電極39に対向している。
- [0112] 一方のトレンチ構造35に沿う複数のソース領域51は、他方のトレンチ構造35に沿う複数のソース領域51に対して第2方向Yにずれて配列されていることが好ましい。つまり、一方のトレンチ構造35に沿う複数のソース領域51は、他方のトレンチ構造35に沿う複数のソース領域51の間の領域に第1方向Xに対向していることが好ましい。
- [0113] 半導体チップ1は、出力領域6および電流検出領域7のボディ領域33の表層部において複数のトレンチ構造35に沿う領域にそれぞれ形成されたp型の複数のコンタクト領域52を含む。複数のコンタクト領域52のp型不純物濃度は、ボディ領域33よりも高い。
- [0114] 複数のコンタクト領域52は、各トレンチ構造35の両サイドにそれぞれ配置され、各トレンチ構造35に沿って間隔を空けて配列されている。複数のコンタクト領域52は、ボディ領域33の底部から第1主面3側に間隔を空けて形成され、対応する第1絶縁膜37を挟んで第1電極39に対向している。
- [0115] 複数のコンタクト領域52は、各トレンチ構造35の両サイドにおいて複数のソース領域51と交互に配列されている。一方のトレンチ構造35に沿う複数のコンタクト領域52は、他方のトレンチ構造35に沿う複数のコンタクト領域52に対して第2方向Yにずれて配列されていることが好ましい。つまり、一方のトレンチ構造35に沿う複数のコンタクト領域52は、他方のトレンチ構造35に沿う複数のコンタクト領域52の間の領域（つまり

ソース領域 5 1) に第 1 方向 X に対向していることが好ましい。

[0116] 半導体チップ 1 は、前述の層間絶縁膜 2 4 内に互いに電氣的に独立した状態で配置された n 個のゲート配線 5 3 を含む。n 個のゲート配線 5 3 は、メイントランジスタ 1 1 用の n 個のゲート配線 5 3 およびモニタトランジスタ 1 3 用の n 個のゲート配線 5 3 を含む。n 個のゲート配線 5 3 は、出力領域 6 および電流検出領域 7 において複数の第 1 ピア電極 5 4 を介して対応する少なくとも 1 つのトレンチ構造 3 5 に選択的に電氣的に接続され、制御領域 8 において制御回路 1 7 (ゲート駆動回路 1 8) に電氣的に接続されている。複数の第 1 ピア電極 5 4 は、タングステンを含んでいてもよい。

[0117] 具体的には、メイントランジスタ 1 1 用の n 個のゲート配線 5 3 は、出力領域 6 において複数の第 1 ピア電極 5 4 を介して系統トランジスタ 1 2 として系統化 (グループ化) すべき少なくとも 1 つ (この形態では複数) のトレンチ構造 3 5 および少なくとも 1 つ (この形態では複数) のトレンチ接続構造 4 5 にそれぞれ電氣的に接続されている。

[0118] ここでは、メイントランジスタ 1 1 用の n 個のゲート配線 5 3 が、第 1 系統トランジスタ 1 2 A 用の第 1 ゲート配線 5 3 A および第 2 系統トランジスタ 1 2 B 用の第 2 ゲート配線 5 3 B を含む例が説明される。第 1 ゲート配線 5 3 A は、出力領域 6 において複数の第 1 ピア電極 5 4 を介して第 1 系統トランジスタ 1 2 A として系統化 (グループ化) すべき複数の単位トレンチ構造 (複数のトレンチ構造 3 5 および複数のトレンチ接続構造 4 5) に電氣的に接続されている。

[0119] 第 2 ゲート配線 5 3 B は、第 1 ゲート配線 5 3 A から電氣的に独立した状態で層間絶縁膜 2 4 内に配置されている。第 2 ゲート配線 5 3 B は、出力領域 6 において複数の第 1 ピア電極 5 4 を介して第 2 系統トランジスタ 1 2 B として系統化 (グループ化) すべき複数の単位トレンチ構造 (複数のトレンチ構造 3 5 および複数のトレンチ接続構造 4 5) に電氣的に接続されている。この形態では、第 2 系統トランジスタ 1 2 B 用の複数の単位トレンチ構造が、第 1 系統トランジスタ 1 2 A 用の複数の単位トレンチ構造と交互に系統

化されている。

[0120] 一方、モニタトランジスタ13用のn個のゲート配線53は、電流検出領域7において複数の第1ビア電極54を介して系統モニタトランジスタ14として系統化（グループ化）すべき少なくとも1つ（この形態では複数）のトレンチ構造35および少なくとも1つ（この形態では複数）のトレンチ接続構造45にそれぞれ電氣的に接続されている。系統モニタトランジスタ14を構成するトレンチ構造35の個数（トレンチ接続構造45の個数）は、系統トランジスタ12を構成するトレンチ構造35の個数（トレンチ接続構造45の個数）未満である。

[0121] ここでは、モニタトランジスタ13用のn個のゲート配線53が、第1系統モニタトランジスタ14A用の第1ゲート配線53Aおよび第2系統モニタトランジスタ14B用の第2ゲート配線53Bを含む例が説明される。第1ゲート配線53Aは、電流検出領域7において複数の第1ビア電極54を介して第1系統モニタトランジスタ14Aとして系統化すべき少なくとも1つのトレンチ構造35および少なくとも1つのトレンチ接続構造45に電氣的に接続されている。

[0122] 第2ゲート配線53Bは、第1ゲート配線53Aから電氣的に独立した状態で層間絶縁膜24内に配置されている。第2ゲート配線53Bは、電流検出領域7において複数の第1ビア電極54を介して第2系統モニタトランジスタ14Bとして系統化すべき少なくとも1つのトレンチ構造35および少なくとも1つのトレンチ接続構造45に電氣的に接続されている。第2系統モニタトランジスタ14B用のトレンチ構造35は、第1系統モニタトランジスタ14A用のトレンチ構造35に隣り合ってもよい。

[0123] モニタトランジスタ13用の第1ゲート配線53Aは、メイントランジスタ11用の第1ゲート配線53Aと一体的に形成されていてもよい。また、モニタトランジスタ13用の第2ゲート配線53Bは、メイントランジスタ11用の第2ゲート配線53Bと一体的に形成されていてもよい。

[0124] 半導体チップ1は、層間絶縁膜24内に配置された複数のソース配線55

を含む。複数のソース配線 5 5 は、メイントランジスタ 1 1 用の第 1 ソース配線 5 5 A およびモニタトランジスタ 1 3 用の第 2 ソース配線 5 5 B を含む。第 1 ソース配線 5 5 A は、層間絶縁膜 2 4 内において出力領域 6 を被覆し、複数の第 2 ビア電極 5 6 を介して複数のソース領域 5 1 および複数のコンタクト領域 5 2 に電氣的に接続されている。複数の第 2 ビア電極 5 6 は、タングステンを含んでいてもよい。

[0125] 第 2 ソース配線 5 5 B は、層間絶縁膜 2 4 内において電流検出領域 7 および制御領域 8 の間の領域を選択的に引き回されている。第 2 ソース配線 5 5 B は、電流検出領域 7 において複数の第 2 ビア電極 5 6 を介して複数のソース領域 5 1 および複数のコンタクト領域 5 2 に電氣的に接続され、制御領域 8 において制御回路 1 7（過電流保護回路 2 0）に電氣的に接続されている。

[0126] 半導体チップ 1 は、層間絶縁膜 2 4 の上に配置された前述のソース端子 2 6 を含む。ソース端子 2 6 は、この形態では、平面視において複数のソース配線 5 5（第 1 ソース配線 5 5 A および第 2 ソース配線 5 5 B）に重なり、全てのトレンチ構造 3 5 および全てのトレンチ接続構造 4 5 を被覆している。

[0127] ソース端子 2 6 は、層間絶縁膜 2 4 内に配置された複数の第 3 ビア電極 5 7 を介して第 1 ソース配線 5 5 A に電氣的に接続されている。複数の第 3 ビア電極 5 7 は、平面視および断面視において複数の第 2 ビア電極 5 6 の間の領域に配置されている。つまり、複数の第 3 ビア電極 5 7 は、この形態では、第 1 ソース配線 5 5 A を挟んで第 2 ビア電極 5 6 に対向していない。むしろ、複数の第 3 ビア電極 5 7 は、第 1 ソース配線 5 5 A を挟んで第 2 ビア電極 5 6 に対向していてもよい。

[0128] ソース端子 2 6 は、ソース配線 5 5 よりも大きい厚さを有していることが好ましい。ソース端子 2 6 の厚さは、複数のトレンチ構造 3 5 の第 1 深さ D 1（トレンチ接続構造 4 5 の第 2 深さ D 2）よりも大きいことが好ましい。ソース端子 2 6 の厚さは、層間絶縁膜 2 4 の厚さよりも大きいことが好まし

い。ソース端子26の厚さは、 $1\ \mu\text{m}$ 以上 $25\ \mu\text{m}$ 以下であってもよい。

[0129] ソース端子26の厚さは、 $1\ \mu\text{m}$ 以上 $5\ \mu\text{m}$ 以下、 $5\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下、 $10\ \mu\text{m}$ 以上 $15\ \mu\text{m}$ 以下、 $15\ \mu\text{m}$ 以上 $20\ \mu\text{m}$ 以下、または、 $20\ \mu\text{m}$ 以上 $25\ \mu\text{m}$ 以下であってもよい。ソース端子26がAl系金属を主成分に含む場合、ソース端子26の厚さは $1\ \mu\text{m}$ 以上 $10\ \mu\text{m}$ 以下であってもよい。ソース端子26がCu系金属を主成分に含む場合、ソース端子26の厚さは $10\ \mu\text{m}$ 以上 $25\ \mu\text{m}$ 以下であってもよい。

[0130] 図8は、図1に示す半導体チップ1が搭載された半導体装置61を示す斜視図である。図9は、図8に示す半導体装置61の内部構造を示す平面図である。図10は、図9に示すX-X線に沿う断面図である。図11は、図9に示すXI-XI線に沿う断面図である。図12は、図9の一部を拡大して示す平面図である。図13は、図12に示すXIII-XIII線に沿う断面図である。図14は、図12に示すXIV-XIV線に沿う断面図である。

[0131] 図8～図14を参照して、半導体装置61は、「半導体パッケージ」または「半導体モジュール」と称されてもよい。半導体装置61のパッケージタイプは、使用環境、実装対象、半導体チップ1の形態等に応じて種々の形態を採る。ここでは、半導体装置61が8端子タイプのSOP (Small Outline Package) からなる形態が例示される。

[0132] 半導体装置61は、直方体形状のパッケージ本体62を含む。パッケージ本体62は、マトリクス樹脂および複数のフィラーを含む。マトリクス樹脂は、熱硬化性樹脂（たとえばエポキシ樹脂）であってもよい。複数のフィラーは、絶縁球体物（たとえばシリカ粒子）であってもよい。

[0133] パッケージ本体62は、一方側の第1面63、他方側の第2面64、ならびに、第1面63および第2面64を接続する第1～第4側壁65A～65Dを有している。第1面63は実装面であり、第2面64は非実装面である。第1面63および第2面64は、平面視において四角形状（この形態では第1方向Xに延びる長方形）に形成されている。

[0134] 第1側壁65Aおよび第2側壁65Bは、第1主面3に沿う第1方向Xに

延び、第2方向Yに対向している。第1側壁65Aおよび第2側壁65Bは、パッケージ本体62の長辺を形成している。第3側壁65Cおよび第4側壁65Dは、第2方向Yに延び、第1方向Xに対向している。第3側壁65Cおよび第4側壁65Dは、パッケージ本体62の短辺を形成している。

[0135] 半導体装置61は、パッケージ本体62内に配置された直方体形状の金属板66を含む。金属板66は、金属製の「ダイパッド」と称されてもよい。金属板66は、一方側の第1板面67、他方側の第2板面68、ならびに、第1板面67および第2板面68を接続する第1～第4板側壁69A～69Dを有している。

[0136] 第1板面67および第2板面68は、平面視において四角形状（この形態では第1方向Xに延びる長方形）に形成されている。第2板面68は、パッケージ本体62の第2面64から露出している。むろん、金属板66は、第2面64から第2板面68が露出しないようにパッケージ本体62内に配置されていてもよい。

[0137] 第1板側壁69Aおよび第2板側壁69Bは、第1主面3に沿う第1方向Xに延び、第2方向Yに対向している。第1板側壁69Aおよび第2板側壁69Bは、金属板66の長辺を形成している。第3板側壁69Cおよび第4板側壁69Dは、第2方向Yに延び、第1方向Xに対向している。第3板側壁69Cおよび第4板側壁69Dは、金属板66の短辺を形成している。

[0138] 半導体装置61は、パッケージ本体62内において金属板66から第1～第4側壁65A～65Dの少なくとも1つに向けて引き出された少なくとも1つ（この形態では複数）の延出部70を含む。複数の延出部70は、第1延出部70Aおよび第2延出部70Bを含む。

[0139] 第1延出部70Aは、第3板側壁69Cから第3側壁65Cに向けて帯状に引き出されている。第1延出部70Aは、この形態では、第1面63に向けて屈曲した屈曲部を有し、第3側壁65Cにおいてパッケージ本体62の厚さ範囲途中部から露出している。第2延出部70Bは、第4板側壁69Dから第4側壁65Dに向けて帯状に引き出されている。第2延出部70Bは

、この形態では、第1面63に向けて屈曲した屈曲部を有し、第4側壁65Dにおいてパッケージ本体62の厚さ範囲途中部から露出している。

[0140] 半導体装置61は、パッケージ本体62の内部から外部に引き出されるように金属板66から間隔を空けてパッケージ本体62内に配置された金属製の第1～第8リード端子71A～71Hを含む。第1～第4リード端子71A～71Dは第1側壁65A側において第1方向Xに間隔を空けて配列され、第2方向Yに延びる帯状にそれぞれ形成されている。第5～第8リード端子71E～71Hは第2側壁65B側において第1方向Xに間隔を空けて配列され、第2方向Yに延びる帯状にそれぞれ形成されている。

[0141] 第1～第8リード端子71A～71Hは、内端部、帯部および外端部をそれぞれ有している。内端部は、金属板66の高さ位置に対して第1面63側に位置するようにパッケージ本体62の厚さ範囲途中部に配置されている。内端部の平面形状は任意である。帯部は、内端部からパッケージ本体62外に引き出され、パッケージ本体62外において第2面64側に向けて屈曲している。帯部は、パッケージ本体62の第2面64を横切る高さ位置まで延びている。外端部は、パッケージ本体62の第2面64よりも下方の高さ位置において第2面64に対してほぼ平行に延びている。

[0142] 半導体装置61は、パッケージ本体62内において金属板66（第1板面67）の上に配置された半導体チップ1を含む。半導体チップ1は、ドレイン端子25を金属板66（第1板面67）に対向させた姿勢で金属板66の上に配置されている。

[0143] 半導体装置61は、パッケージ本体62内において半導体チップ1および金属板66の間に介在された導電接合材72を含む。具体的には、導電接合材72は、ドレイン端子25および金属板66の間に介在され、ドレイン端子25および金属板66を電気的および機械的に接続している。導電接合材72は、半田または金属ペーストを含んでいてもよい。半田は、鉛フリー半田であってもよい。金属ペーストは、Au、AgおよびCuのうちの少なくとも1つを含んでいてもよい。Agペーストは、Ag焼結ペーストからなっ

ていてもよい。

- [0144] 半導体装置 61 は、パッケージ本体 62 内においてワイヤから開放された状態でソース端子 26 の上に配置された複数の疑似バンプ 75 を含む。複数の疑似バンプ 75 は、ソース端子 26 に対するワイヤボンディング工程を利用して形成された金属塊からそれぞれなる。ワイヤボンディング工程は、ボンディング装置のキャピラリ（ワイヤ供給装置）を用いて実施される。
- [0145] 複数の疑似バンプ 75 は、後述の真正バンプ 90 よりも密に、ソース端子 26 の上に配置されている。「真正バンプ 90 よりも密」とは、ソース端子 26 に接続される他の構造物（後述の真正バンプ 90）と比較してソース端子 26 に対する複数の疑似バンプ 75 の占有面積が大きいことを意味する。複数の疑似バンプ 75 は、単位平面積当たりにおいて第 1 占有面積でソース端子 26 の上に配置されている。
- [0146] 図 12 を参照して、複数の疑似バンプ 75 は、平面視において第 1 サイズ S1 をそれぞれ有している。第 1 サイズ S1 は、平面視において疑似バンプ 75 のうちの最も幅広の部分の長さによって定義される。第 1 サイズ S1 は、 $50\ \mu\text{m}$ 以上 $250\ \mu\text{m}$ 以下であってもよい。
- [0147] 第 1 サイズ S1 は、 $50\ \mu\text{m}$ 以上 $75\ \mu\text{m}$ 以下、 $75\ \mu\text{m}$ 以上 $100\ \mu\text{m}$ 以下、 $100\ \mu\text{m}$ 以上 $125\ \mu\text{m}$ 以下、 $125\ \mu\text{m}$ 以上 $150\ \mu\text{m}$ 以下、 $150\ \mu\text{m}$ 以上 $175\ \mu\text{m}$ 以下、 $175\ \mu\text{m}$ 以上 $200\ \mu\text{m}$ 以下、 $200\ \mu\text{m}$ 以上 $225\ \mu\text{m}$ 以下、または、 $225\ \mu\text{m}$ 以上 $250\ \mu\text{m}$ 以下であってもよい。第 1 サイズ S1 は、 $75\ \mu\text{m}$ 以上 $200\ \mu\text{m}$ 以下であることが好ましい。第 1 サイズ S1 は、 $100\ \mu\text{m}$ 以上 $180\ \mu\text{m}$ 以下であることが特に好ましい。
- [0148] 複数の疑似バンプ 75 は、平面視において第 1 ピッチ P1 でソース端子 26 の上に配置されている。第 1 ピッチ P1 は、複数の疑似バンプ 75 の中央部間の距離によって定義される。複数の疑似バンプ 75 は、第 1 ピッチ P1 で互いに接触するように配列されていてもよいし、第 1 ピッチ P1 で互いに間隔を空けて配列されていてもよい。複数の疑似バンプ 75 は、互いに間隔

を空けて配列されていることが好ましい。

[0149] 第1ピッチP1は、第1サイズS1の1倍以上2.5倍以下であることが好ましい。第1サイズS1に対する第1ピッチP1の比 $P1/S1$ は、1以上1.25以下、1.25以上1.5以下、1.5以上1.75以下、1.75以上2以下、2以上2.25以下、または、2.25以上2.5以下であってもよい。比 $P1/S1$ は、1よりも大きいことが好ましい。比 $P1/S1$ は、1.25以上1.75以下であることが特に好ましい。

[0150] 第1ピッチP1は、50 μm 以上250 μm 以下であってもよい。第1ピッチP1は、50 μm 以上75 μm 以下、75 μm 以上100 μm 以下、100 μm 以上125 μm 以下、125 μm 以上150 μm 以下、150 μm 以上175 μm 以下、175 μm 以上200 μm 以下、200 μm 以上225 μm 以下、または、225 μm 以上250 μm 以下であってもよい。第1ピッチP1は、75 μm 以上200 μm 以下であることが好ましい。第1ピッチP1は、100 μm 以上180 μm 以下であることが特に好ましい。

[0151] 複数の疑似バンプ75の間隔Iは、0 μm 以上100 μm 以下であってもよい。間隔Iは、0 μm 以上10 μm 以下、10 μm 以上20 μm 以下、20 μm 以上30 μm 以下、30 μm 以上40 μm 以下、40 μm 以上50 μm 以下、50 μm 以上60 μm 以下、60 μm 以上70 μm 以下、70 μm 以上80 μm 以下、80 μm 以上90 μm 以下、または、90 μm 以上100 μm 以下であってもよい。間隔Iは、10 μm 以上であることが好ましい。間隔Iは、30 μm 以上60 μm 以下であることが特に好ましい。

[0152] 図13を参照して、複数の疑似バンプ75は、第1厚さT1をそれぞれ有している。第1厚さT1は、断面視において疑似バンプ75のうちの最も厚い部分の厚さによって定義される。第1厚さT1は、複数のトレンチ構造35の第1深さD1よりも大きいことが好ましい。第1厚さT1は、ソース端子26の厚さよりも大きいことが好ましい。第1厚さT1は、第1半導体領域31の厚さよりも大きいことが好ましい。第1厚さT1は、基板2の厚さよりも大きいてもよい。むろん、第1厚さT1は、基板2の厚さよりも小さ

くてもよい。

[0153] 第1厚さT1は、10 μ m以上150 μ m以下であってもよい。第1厚さT1は、10 μ m以上25 μ m以下、25 μ m以上50 μ m以下、50 μ m以上75 μ m以下、75 μ m以上100 μ m以下、100 μ m以上125 μ m以下、または、125 μ m以上150 μ m以下であってもよい。第1厚さT1は、25 μ m以上100 μ mであることが好ましい。第1厚さT1は、50 μ m以上であることが特に好ましい。

[0154] 少なくとも3個の疑似バンプ75が、疑似バンプ群76としてソース端子26の上に配置されていることが好ましい。この場合、少なくとも3個の疑似バンプ75は、平面視において二等辺三角形の頂点に位置するレイアウトで配置されていることが好ましい。二等辺三角形は、正三角形であることが特に好ましい。つまり、複数の疑似バンプ75が平面視で三角形の頂点に位置するレイアウトで配置され、3個の疑似バンプ75に囲まれた空間に4個目のバンプが配置されていない形態である。この形態は、「複数の疑似バンプ75が密に配置されている」と定義されていてもよい。

[0155] 少なくとも7個の疑似バンプ75が、疑似バンプ群76としてソース端子26の上に配置されていることが好ましい。この場合、6個の疑似バンプ75が、平面視において1個の疑似バンプ75の周囲に配置されていることが好ましい。7個の疑似バンプ75は、平面視において1個の中心バンプ73と、中心バンプ73の中央部を中心とする同心円上に配列された6個の周囲バンプ74とを含んでいてもよい。

[0156] 6個の周囲バンプ74が平面視において六角形の頂点に位置するレイアウトで配置され、1個の中心バンプ73が平面視において六角形の中心に位置するレイアウトで配置されていることが好ましい。つまり、複数の疑似バンプ75は、平面視において六方最密配列（つまりハニカム配列）になるレイアウトでソース端子26に接合されていることが好ましい。この場合、六角形は、正六角形であることが最も好ましい。

[0157] 図9では、六方最密となるレイアウトで配列された28個の疑似バンプ7

5を含む疑似バンプ群76がソース端子26に接合されている。ソース端子26に接合される疑似バンプ75の個数は任意であるが、少なくとも3個の疑似バンプ75を含む疑似バンプ群76、および／または、少なくとも7個の疑似バンプ75を含む疑似バンプ群76が、ソース端子26に接合されていることが好ましい。むしろ、複数の疑似バンプ群76が、第1ピッチP1（間隔1）よりも大きい距離を空けてソース端子26に接合されていてもよい。

[0158] ソース端子26に対する複数の疑似バンプ75（疑似バンプ群76）の接合箇所は、半導体チップ1の温度分布に基づいて設定されてもよい。たとえば、サーモグラフィやシミュレーションツール等を用いて出力領域6の高温領域および低温領域を解析し、ソース端子26のうち出力領域6の高温領域を被覆する部分に複数の疑似バンプ75（疑似バンプ群76）を接合してもよい。

[0159] たとえば、出力領域6の内方部（たとえば中央部）は、出力領域6の周縁部よりも温度が高まりやすい。したがって、複数の疑似バンプ75（疑似バンプ群76）は、ソース端子26の内方部（たとえば中央部）において密になり、ソース端子26の周縁部において疎になるレイアウトでソース端子26に接合されていてもよい。複数の疑似バンプ75が「疎」である形態は、疑似バンプ75が存在しない形態を含む。この形態では、ソース端子26の周縁部のうち3つの辺に沿う部分に1個の疑似バンプ75がそれぞれ配置されている。

[0160] 制御領域8の温度は、出力領域6の温度よりも低い。この形態では、ソース端子26は、制御領域8を露出させるように出力領域6を被覆し、複数の疑似バンプ75（疑似バンプ群76）が平面視において出力領域6に重なる領域に配置されている。つまり、複数の疑似バンプ75（疑似バンプ群76）は、平面視においてメインランジスタ11に重なる位置に配置され、平面視において制御領域8に重なる領域には配置されていない。

[0161] 複数の疑似バンプ75（疑似バンプ群76）の一部は、平面視においてモ

ニタトランジスタ13に対向していてもよい。つまり、複数の疑似バンプ75（疑似バンプ群76）は、メイントランジスタ11用の複数のトレンチ構造35、および、モニタトランジスタ13用の複数のトレンチ構造35に対向していてもよい。むろん、複数の疑似バンプ75（疑似バンプ群76）は、モニタトランジスタ13用の複数のトレンチ構造35に対向しないようにソース端子26の上に配置されていてもよい。

[0162] 各疑似バンプ75は、10個以上200個以下のトレンチ構造35に対向していてもよい。各疑似バンプ75に係るトレンチ構造35の対向数は、10個以上25個以下、25個以上50個以下、50個以上75個以下、75個以上100個以下、100個以上125個以下、125個以上150個以下、150個以上175個以下、または、175個以上200個以下であってもよい。各疑似バンプ75に係るトレンチ構造35の対向数は、25個以上100個以下であることが好ましい。

[0163] 以下、図12および図13を参照して、1つの疑似バンプ75の具体的な形状が説明される。疑似バンプ75は、この形態では、第1バンプ本体77および第1バンプ金属膜78を含む。第1バンプ本体77は、第1金属を含む。第1金属は、ソース端子26とは異なる材料からなり、好ましくは、ソース端子26よりも硬い金属からなる。第1金属は、たとえば、Cu系金属、Al系金属、Au系金属およびAg系金属のうちの少なくとも1つを含む。

[0164] Cu系金属は、純CuまたはCu合金を含んでいてもよい。Al系金属は、純AlまたはAl合金を含んでいてもよい。Au系金属は、純AuまたはAu合金を含んでいてもよい。Ag系金属は、純AgまたはAg合金を含んでいてもよい。第1バンプ本体77は、この形態では、純Cuを含む。この場合、ソース端子26は、Al系金属層であることが好ましい。

[0165] 第1バンプ本体77は、第1ボディ部79および第1ネック部80を含む。第1ボディ部79は、ソース端子26に接続された幅広な部分からなる。第1ボディ部79は、断面視において外方に向けて湾曲した側壁を有する略

円柱状に形成されている。第1ボディ部79は、平面視において疑似バンプ75の第1サイズS1を形成する第1ボディサイズSB1を有している。

[0166] 第1ボディ部79は、疑似バンプ75の第1厚さT1の0.1倍以上0.9倍以下の第1ボディ厚さTB1を有していてもよい。第1ボディ厚さTB1は、第1半導体領域31の厚さよりも大きいことが好ましい。第1ボディ厚さTB1は、基板2の厚さよりも大きいてもよい。むしろ、第1ボディ厚さTB1は、基板2の厚さよりも小さくてもよい。

[0167] 第1厚さT1に対する第1ボディ厚さTB1の厚さ比 $T1/TB1$ は、0.1以上0.2以下、0.2以上0.3以下、0.3以上0.4以下、0.4以上0.5以下、0.5以上0.6以下、0.6以上0.7以下、0.7以上0.8以下、または、0.8以上0.9以下であってもよい。厚さ比 $T1/TB1$ は、0.4以上0.7以下であることが好ましい。厚さ比 $T1/TB1$ は、0.5以上であることが特に好ましい。

[0168] 第1ネック部80は、第1ボディ部79からソース端子26とは反対側に向けて第1ボディ部79よりも幅狭に突出した部分からなる。第1ネック部80は、断面視において略円柱状に形成されている。第1ネック部80は、この形態では、斜め下り傾斜した第1上端部81を有している。具体的には、第1上端部81は、断面視において上端頂部82、上端基部83および傾斜部84を有していてもよい。

[0169] 上端頂部82は、断面視において第1上端部81の周縁部の一方側に形成されている。上端基部83は、断面視において第1上端部81の周縁部の他方側に形成され、上端頂部82の高さ位置に対して第1ボディ部79側に位置している。傾斜部84は、断面視において上端頂部82から上端基部83に向けて斜め下り傾斜している。第1上端部81は、上端基部83において第1ボディ部79とは反対側に向けて突出した上端突起部85を有していてもよい。上端突起部85の先端部は、上端頂部82の先端部の高さ位置に対して第1ボディ部79側の高さ位置に形成されていてもよい。

[0170] 第1ネック部80は、平面視において第1ボディサイズSB1未満の第1

ネックサイズSN1を有している。第1ネックサイズSN1は、第1ボディサイズSB1（第1サイズS1）の0.1倍以上0.9倍以下であってもよい。

[0171] 第1ボディサイズSB1に対する第1ネックサイズSN1のサイズ比SN1/SB1は、0.1以上0.2以下、0.2以上0.3以下、0.3以上0.4以下、0.4以上0.5以下、0.5以上0.6以下、0.6以上0.7以下、0.7以上0.8以下、または、0.8以上0.9以下であってもよい。サイズ比SN1/SB1は、0.5以上0.7以下であることが好ましい。サイズ比SN1/SB1は、0.5よりも大きいことが特に好ましい。

[0172] 第1バンプ金属膜78は、第1バンプ本体77の第1金属とは異なる第2金属を含み、第1バンプ本体77の外面の少なくとも一部を被覆している。第1バンプ金属膜78は、第1バンプ本体77の外面のうちの上端頂部82を露出させるように上端頂部82外の領域を被覆している。

[0173] 図13では、第1バンプ金属膜78が上端頂部82外の領域の全域を被覆している形態が示されているが、第1バンプ金属膜78は必ずしもこのような形態を有している必要はない。また、複数の疑似バンプ75の間における第1バンプ金属膜78の形態は不定であり、一定の形態に定まらない。

[0174] たとえば、第1バンプ金属膜78は、上端頂部82外の領域において第1バンプ本体77（第1金属）を部分的に露出させるように第1バンプ本体77の外面の少なくとも一部を被覆していればよく、第1バンプ金属膜78の一部は第1バンプ本体77の内部に位置していてもよい。

[0175] たとえば、第1バンプ金属膜78の一部は、第1バンプ本体77の内部に溶け込んでいてもよい。たとえば、第1バンプ本体77に対する第1バンプ金属膜78の被覆面積は、第1バンプ金属膜78に対する第1バンプ本体77の露出面積未満であってもよい。むしろ、第1バンプ本体77に対する第1バンプ金属膜78の被覆面積は、第1バンプ金属膜78に対する第1バンプ本体77の露出面積以上であってもよい。

- [0176] 第1バンプ金属膜78は、めっき膜からなることが好ましい。第1バンプ金属膜78は、Niめっき膜、Pdめっき膜およびAuめっき膜のうち少なくとも1つを含むことが好ましい。たとえば、第1バンプ金属膜78は、第1バンプ本体77からこの順に積層されたNiめっき膜、Pdめっき膜およびAuめっき膜を含む積層構造を有していてもよい。
- [0177] たとえば、第1バンプ金属膜78は、第1バンプ本体77からこの順に積層されたNiめっき膜およびPdめっき膜を含む積層構造を有していてもよい。たとえば、第1バンプ金属膜78は、Niめっき膜、Pdめっき膜またはAuめっき膜からなる単層構造を有していてもよい。
- [0178] 半導体装置61は、パッケージ本体62内に配置された少なくとも1つ（この形態では複数）の第1ボンディングワイヤ89を含む。複数の第1ボンディングワイヤ89は、ソース端子26を第1～第8リード端子71A～71Hから選択される少なくとも1つの接続対象（この形態では第1～第4リード端子71A～71D）に電氣的に接続させている。第1ボンディングワイヤ89の個数は、1個以上であればよく、特定の個数に制限されない。
- [0179] この形態では、4個の第1ボンディングワイヤ89がソース端子26および第1リード端子71Aに接続され、4個の第1ボンディングワイヤ89がソース端子26および第2リード端子71Bに接続され、4個の第1ボンディングワイヤ89がソース端子26および第3リード端子71Cに接続され、4個の第1ボンディングワイヤ89がソース端子26および第4リード端子71Dに接続されている。
- [0180] 複数の第1ボンディングワイヤ89は、真正バンプ90、ワイヤループ91およびワイヤテール92をそれぞれ含む。真正バンプ90は、ワイヤ（ワイヤループ91）に接続された状態でソース端子26に接合された金属塊である。ワイヤループ91は、真正バンプ90および接続対象の間の領域をアーチ状に延びるワイヤ部である。ワイヤテール92は、接続対象に接合されたワイヤ端部である。複数の第1ボンディングワイヤ89は、ボンディング装置のキャピラリ（ワイヤ供給装置）を用いたワイヤボンディング工程を経

て形成される。

- [0181] 以下、複数の真正バンプ90の形態が説明される。複数の真正バンプ90は、複数の疑似バンプ75（疑似バンプ群76）から間隔を空けてソース端子26の上に配置されている。複数の真正バンプ90は、この形態では、ソース端子26の周縁に沿って間隔を空けてソース端子26の周縁部の上に配列されている。複数の真正バンプ90の配置箇所は、ソース端子26の周縁および複数の疑似バンプ75（疑似バンプ群76）の間の空き領域であればよく、特定の配置箇所に制限されない。
- [0182] 複数の真正バンプ90は、ソース端子26の上に複数の疑似バンプ75よりも疎に配置されている。ここに言う「疎」とは、ソース端子26に対する複数の真正バンプ90の占有面積が、ソース端子26に対する複数の疑似バンプ75の占有面積よりも小さいことを意味する。
- [0183] 単一の真正バンプ90のみがソース端子26の上に配置され、かつ、当該単一の真正バンプ90の占有面積が複数の疑似バンプ75の占有面積よりも小さい場合も、真正バンプ90が「疎」に配置された形態に含まれる。つまり、1つまたは複数の真正バンプ90が、単位平面積当たりにおいて複数の疑似バンプ75の第1占有面積未満の第2占有面積でソース端子26の上に配置されていればよい。
- [0184] 複数の真正バンプ90は、平面視において第2サイズS2をそれぞれ有している。第2サイズS2は、平面視において真正バンプ90のうちの最も幅広の部分の長さによって定義される。第2サイズS2は、50 μm 以上250 μm 以下であってもよい。
- [0185] 第2サイズS2は、50 μm 以上75 μm 以下、75 μm 以上100 μm 以下、100 μm 以上125 μm 以下、125 μm 以上150 μm 以下、150 μm 以上175 μm 以下、175 μm 以上200 μm 以下、200 μm 以上225 μm 以下、または、225 μm 以上250 μm 以下であってもよい。第2サイズS2は、75 μm 以上200 μm 以下であることが好ましい。第2サイズS2は、100 μm 以上180 μm 以下であることが特に好ま

しい。

- [0186] 第2サイズS2は、疑似バンプ75の第1サイズS1以上であってもよいし、第1サイズS1未満であってもよい。第2サイズS2は、第1サイズS1とほぼ等しいことが好ましい。この構成によれば、サイズに関して同一の製造条件で疑似バンプ75および真正バンプ90を形成できる。
- [0187] 複数の真正バンプ90は、平面視において疑似バンプ75の第1ピッチP1以上の第2ピッチP2でソース端子26の上に配置されている。第2ピッチP2は、互いに隣り合う2つの真正バンプ90の中央部間の距離によって定義される。複数の真正バンプ90は、互いに接触しないように第2ピッチP2で互いに間隔を空けて配列されていることが好ましい。
- [0188] 第2ピッチP2は、ソース端子26の周縁によって取り囲まれた範囲内に真正バンプ90の全体が位置し、かつ、第1ピッチP1以上という条件を具備する限り任意の値を取る。一例として、第1ピッチP1に対する第2ピッチP2のピッチ比 $P2/P1$ は、1以上20以下であってもよい。ピッチ比 $P2/P1$ は、1以上2以下、2以上5以下、5以上10以下、10以上15以下、または、15以上20以下であってもよい。ピッチ比 $P2/P1$ は、1よりも大きいことが好ましい。
- [0189] 複数の真正バンプ90は、近接する1つの疑似バンプ75を基準に第3ピッチP3でソース端子26の上に配置されている。第3ピッチP3は、互いに近接する疑似バンプ75および真正バンプ90の中央部間の距離によって定義される。第3ピッチP3は、疑似バンプ75の第1ピッチP1以上であることが好ましい。少なくとも1つの真正バンプ90は、第1ピッチP1よりも大きい第3ピッチP3で配置されていることが好ましい。この形態では、全ての真正バンプ90が、第1ピッチP1よりも大きい第3ピッチP3で配置されている。
- [0190] 第3ピッチP3は、ソース端子26の周縁によって取り囲まれた範囲内に真正バンプ90の全体が位置し、かつ、第1ピッチP1以上という条件を具備する限り任意の値を取る。一例として、第1ピッチP1に対する第3ピッチ

チP3のピッチ比 $P3/P1$ は、1以上20以下であってもよい。ピッチ比 $P2/P1$ は、1以上2以下、2以上5以下、5以上10以下、10以上15以下、または、15以上20以下であってもよい。

[0191] 複数の真正バンプ90は、第2厚さT2をそれぞれ有している。第2厚さT2は、断面視において真正バンプ90のうちの最も厚い部分の厚さによって定義される。第2厚さT2は、複数のトレンチ構造35の第1深さD1よりも大きいことが好ましい。第2厚さT2は、ソース端子26の厚さよりも大きいことが好ましい。第2厚さT2は、第1半導体領域31の厚さよりも大きいことが好ましい。第2厚さT2は、基板2の厚さよりも大きくてもよい。むろん、第2厚さT2は、基板2の厚さよりも小さくてもよい。

[0192] 第2厚さT2は、 $10\mu\text{m}$ 以上 $150\mu\text{m}$ 以下であってもよい。第2厚さT2は、 $10\mu\text{m}$ 以上 $25\mu\text{m}$ 以下、 $25\mu\text{m}$ 以上 $50\mu\text{m}$ 以下、 $50\mu\text{m}$ 以上 $75\mu\text{m}$ 以下、 $75\mu\text{m}$ 以上 $100\mu\text{m}$ 以下、 $100\mu\text{m}$ 以上 $125\mu\text{m}$ 以下、または、 $125\mu\text{m}$ 以上 $150\mu\text{m}$ 以下であってもよい。第2厚さT2は、 $25\mu\text{m}$ 以上 $100\mu\text{m}$ 以下であることが好ましい。第2厚さT2は、 $50\mu\text{m}$ 以上であることが特に好ましい。

[0193] 第2厚さT2は、疑似バンプ75の第1厚さT1以上であってもよいし、第1厚さT1未満であってもよい。第2厚さT2は、第1厚さT1とほぼ等しいことが好ましい。この構成によれば、厚さに関して同一の製造条件で疑似バンプ75および真正バンプ90を形成できる。

[0194] 複数の真正バンプ90は、平面視において出力領域6に重なる領域に配置されている。つまり、複数の真正バンプ90は、平面視においてメイントランジスタ11に重なる位置に配置され、平面視において制御領域8に重なる領域には配置されていない。複数の真正バンプ90の一部は、平面視においてモニタトランジスタ13に対向していてもよい。

[0195] つまり、複数の真正バンプ90は、メイントランジスタ11用の複数のトレンチ構造35、および、モニタトランジスタ13用の複数のトレンチ構造35に対向していてもよい。むろん、複数の真正バンプ90は、モニタトラ

ンジスタ13用の複数のトレンチ構造35に対向しないようにソース端子26の上に配置されていてもよい。

[0196] 各真正バンプ90は、10個以上200個以下のトレンチ構造35に対向していてもよい。各真正バンプ90に係るトレンチ構造35の対向数は、10個以上25個以下、25個以上50個以下、50個以上75個以下、75個以上100個以下、100個以上125個以下、125個以上150個以下、150個以上175個以下、または、175個以上200個以下であってもよい。各真正バンプ90に係るトレンチ構造35の対向数は、25個以上100個以下であることが好ましい。

[0197] 以下、図12および図14を参照して、1つの真正バンプ90の具体的な形状が説明される。真正バンプ90は、この形態では、第2バンプ本体97および第2バンプ金属膜98を含む。第2バンプ本体97は、第1金属を含む。第1金属は、ソース端子26とは異なる材料からなり、好ましくは、ソース端子26よりも硬い金属からなる。第1金属は、たとえば、Cu系金属、Al系金属、Au系金属およびAg系金属のうちの少なくとも1つを含む。

[0198] Cu系金属は、純CuまたはCu合金を含んでいてもよい。Al系金属は、純AlまたはAl合金を含んでいてもよい。Au系金属は、純AuまたはAu合金を含んでいてもよい。Ag系金属は、純AgまたはAg合金を含んでいてもよい。第2バンプ本体97は、この形態では、純Cuを含む。この場合、ソース端子26は、Al系金属層であることが好ましい。第2バンプ本体97は、疑似バンプ75の第1バンプ本体77と同一の金属を含むことが好ましい。むしろ、第2バンプ本体97は、第1バンプ本体77とは異なる金属を含んでいてもよい。

[0199] 第2バンプ本体97は、第2ボディ部99および第2ネック部100を含む。第2ボディ部99は、ソース端子26に接続された幅広な部分からなる。第2ボディ部99は、断面視において外方に向けて湾曲した側壁を有する略円柱状に形成されている。第2ボディ部99は、平面視において真正バン

プ90の第2サイズS2を形成する第2ボディサイズSB2を有している。

[0200] 第2ボディ部99は、真正バンプ90の第2厚さT2の0.1倍以上0.9倍以下の第2ボディ厚さTB2を有していてもよい。第2ボディ厚さTB2は、第1半導体領域31の厚さよりも大きいことが好ましい。第2ボディ厚さTB2は、基板2の厚さよりも大きくてもよい。むしろ、第2ボディ厚さTB2は、基板2の厚さよりも小さくてもよい。

[0201] 第2厚さT2に対する第2ボディ厚さTB2の厚さ比 $T2/TB2$ は、0.1以上0.2以下、0.2以上0.3以下、0.3以上0.4以下、0.4以上0.5以下、0.5以上0.6以下、0.6以上0.7以下、0.7以上0.8以下、または、0.8以上0.9以下であってもよい。厚さ比 $T2/TB2$ は、0.4以上0.7以下であることが好ましい。厚さ比 $T2/TB2$ は、0.5以上であることが特に好ましい。第2ボディ厚さTB2は、疑似バンプ75の第1ボディ厚さTB1とほぼ等しくてもよい。

[0202] 第2ネック部100は、第2ボディ部99からソース端子26とは反対側に向けて第2ボディ部99よりも幅狭に突出した部分からなる。第2ネック部100は、断面視において略円柱状に形成されている。第2ネック部100は、ワイヤループ91に接続された第2上端部101を有している。第2上端部101は、第1ネック部80の第1上端部81とは異なり、上端頂部82、上端基部83および傾斜部84を有していない。

[0203] 第2ネック部100は、平面視において第2ボディサイズSB2未満の第2ネックサイズSN2を有している。第2ネックサイズSN2は、第2ボディサイズSB2（第1サイズS1）の0.1倍以上0.9倍以下であってもよい。

[0204] 第2ボディサイズSB2に対する第2ネックサイズSN2のサイズ比 $SN2/SB2$ は、0.1以上0.2以下、0.2以上0.3以下、0.3以上0.4以下、0.4以上0.5以下、0.5以上0.6以下、0.6以上0.7以下、0.7以上0.8以下、または、0.8以上0.9以下であってもよい。サイズ比 $SN2/SB2$ は、0.5以上0.7以下であることが好

ましい。サイズ比 $S N 2 / S B 2$ は、 0.5 よりも大きいことが特に好ましい。第2ネックサイズ $S N 2$ は、疑似バンプ75の第1ネックサイズ $S N 1$ とほぼ等しくてもよい。

[0205] 第2バンプ金属膜98は、第2バンプ本体97の第1金属とは異なる第2金属を含み、第2バンプ本体97の外面の少なくとも一部を被覆している。第2バンプ金属膜98は、ワイヤループ91の外面の少なくとも一部およびワイヤテール92の外面の少なくとも一部も被覆している。

[0206] 図14では、第2バンプ金属膜98が第2バンプ本体97の外面全域を被覆している形態が示されているが、第2バンプ金属膜98は必ずしもこのような形態を有している必要はない。また、複数の真正バンプ90の間における第2バンプ金属膜98の形態は不定であり、一定の形態に定まらない。

[0207] たとえば、第2バンプ金属膜98は、第2バンプ本体97（第1金属）を部分的に露出させるように第2バンプ本体97の外面の少なくとも一部を被覆していればよく、第2バンプ金属膜98の一部は第2バンプ本体97の内部に位置していてもよい。

[0208] たとえば、第2バンプ金属膜98の一部は、第2バンプ本体97の内部に溶け込んでいてもよい。たとえば、第2バンプ本体97に対する第2バンプ金属膜98の被覆面積は、第2バンプ金属膜98に対する第2バンプ本体97の露出面積未満であってもよい。むしろ、第2バンプ本体97に対する第2バンプ金属膜98の被覆面積は、第2バンプ金属膜98に対する第2バンプ本体97の露出面積以上であってもよい。

[0209] 第2バンプ金属膜98は、めっき膜からなることが好ましい。第2バンプ金属膜98は、Niめっき膜、Pdめっき膜およびAuめっき膜のうち少なくとも1つを含むことが好ましい。たとえば、第2バンプ金属膜98は、第2バンプ本体97からこの順に積層されたNiめっき膜、Pdめっき膜およびAuめっき膜を含む積層構造を有していてもよい。

[0210] たとえば、第2バンプ金属膜98は、第2バンプ本体97からこの順に積層されたNiめっき膜およびPdめっき膜を含む積層構造を有していてもよ

い。たとえば、第2バンプ金属膜98は、Niめっき膜、Pdめっき膜またはAuめっき膜からなる単層構造を有していてもよい。第2バンプ金属膜98は、疑似バンプ75の第1バンプ金属膜78と同様の構成を有していることが好ましい。

[0211] 図13および図14を参照して、半導体装置61は、ソース端子26に形成された複数の第1薄膜部111、複数の第2薄膜部112および厚膜部113を含む。複数の第1薄膜部111は、複数の疑似バンプ75の接合に伴ってソース端子26の一部が沈下した部分からそれぞれなり、ソース端子26における複数の疑似バンプ75の接合部にそれぞれ形成されている。

[0212] 複数の第2薄膜部112は、複数の真正バンプ90の接合に伴ってソース端子26の一部が沈下した部分からそれぞれなり、ソース端子26における複数の真正バンプ90の接合部にそれぞれ形成されている。厚膜部113は、複数の疑似バンプ75および複数の真正バンプ90の接合に起因する沈下を免れた部分からなり、ソース端子26における複数の疑似バンプ75の接合部および複数の真正バンプ90の接合部外の領域に形成されている。

[0213] 厚膜部113の最大厚さは、第1薄膜部111（第2薄膜部112）の最小厚さよりも大きく、第1薄膜部111（第2薄膜部112）の最小厚さの2.5倍以下であってもよい。最小厚さに対する最大厚さの厚さ比は、1倍よりも大きく1.25以下、1.25以上1.5以下、1.5以上1.75以下、1.75以上2以下、2以上2.25以下、または、2.25以上2.5以下であってもよい。

[0214] 半導体装置61は、ソース端子26に形成された複数の第1隆起部114を含む。複数の第1隆起部114は、ソース端子26における複数の疑似バンプ75の接合縁部に形成され、ソース端子26の一部が厚膜部113よりもさらに厚化した部分からなる。各第1隆起部114は、平面視において各疑似バンプ75の縁部（接合縁部）に沿って環状に延びている。各第1隆起部114の少なくとも一部は、厚さ方向に各疑似バンプ75の周縁部に対向している。

- [0215] ソース端子26における各疑似バンプ75の縁部に沿う部分は、厚膜部113および複数の第1隆起部114によって第1薄膜部111よりも厚化されている。また、ソース端子26における複数の疑似バンプ75の間に位置する部分は、厚膜部113および第1隆起部114によって複数の第1薄膜部111よりも厚化されている。
- [0216] ソース端子26における複数の疑似バンプ75の間に位置する部分は、複数のトレンチ構造35に対向していることが好ましい。つまり、複数の疑似バンプ75の間の領域において、厚膜部113および複数の第1隆起部114は、複数のトレンチ構造35に対向していることが好ましい。
- [0217] 半導体装置61は、ソース端子26に形成された複数の第2隆起部115を含む。複数の第2隆起部115は、ソース端子26における複数の真正バンプ90の接合縁部に形成され、ソース端子26の一部が厚膜部113よりもさらに厚化した部分からなる。各第2隆起部115は、平面視において各真正バンプ90の縁部（接合縁部）に沿って環状に延びている。各第2隆起部115の少なくとも一部は、厚さ方向に各真正バンプ90の周縁部に対向している。
- [0218] ソース端子26における各真正バンプ90の縁部に沿う部分は、厚膜部113および第2隆起部115によって第2薄膜部112よりも厚化されている。また、ソース端子26における複数の真正バンプ90の間に位置する部分は、厚膜部113および複数の第2隆起部115によって第2薄膜部112よりも厚化されている。また、ソース端子26における疑似バンプ75および真正バンプ90の間に位置する部分は、厚膜部113および複数の第2隆起部115によって厚化されている。各第2隆起部115の少なくとも一部は、厚さ方向に各真正バンプ90の周縁部に対向している。
- [0219] 半導体装置61は、パッケージ本体62内に配置された少なくとも1つ（この形態では複数）の第2ボンディングワイヤ119を含む。複数の第2ボンディングワイヤ119は、第1～第4制御端子27～30を第1～第8リード端子71A～71Hから選択される少なくとも1つの接続対象（この形

態では第5～第8リード端子71E～71H)に電氣的に接続させている。

[0220] 第1～第4制御端子27～30に対する第2ボンディングワイヤ119の個数は、1個以上であればよく、特定の個数に制限されない。この形態では、1個の第2ボンディングワイヤ119が第1制御端子27および第5リード端子71Eに接続され、1個の第2ボンディングワイヤ119が第2制御端子28および第6リード端子71Fに接続され、1個の第2ボンディングワイヤ119が第3制御端子29および第7リード端子71Gに接続され、1個の第2ボンディングワイヤ119が第4制御端子30および第8リード端子71Hに接続されている。

[0221] 複数の第2ボンディングワイヤ119は、第1ボンディングワイヤ89と同様、真正バンプ90、ワイヤループ91およびワイヤテール92をそれぞれ含む。また、複数の第2ボンディングワイヤ119は、第1ボンディングワイヤ89と同様、真正バンプ90において第2バンプ本体97および第2バンプ金属膜98を含む。

[0222] 真正バンプ90が第1～第4制御端子27～30に接合され、ワイヤテール92が第5～第8リード端子71E～71Hに接合されることが好ましい。むしろ、真正バンプ90が第5～第8リード端子71E～71Hに接合され、ワイヤテール92が第1～第4制御端子27～30に接合されてもよい。第2ボンディングワイヤ119の他の説明については、第1ボンディングワイヤ89の説明が適用されるものとして、省略される。

[0223] 以上、半導体装置61は、基板2、出力領域6(デバイス領域)、ソース端子26(端子)、複数の疑似バンプ75および少なくとも1つの真正バンプ90を含む。出力領域6は、基板2に設けられている。ソース端子26は、平面視において出力領域6を被覆している。複数の疑似バンプ75は、ワイヤから開放された状態でソース端子26の上に密に配置されている。少なくとも1つの真正バンプ90は、ワイヤに接続された状態でソース端子26の上に複数の疑似バンプ75よりも疎に配置されている。

[0224] つまり、複数の疑似バンプ75は単位平面積当たりにおいて第1占有面積

でソース端子26の上に配置され、少なくとも1個の真正バンプ90は単位平面積当たりにおいて第1占有面積未満の第2占有面積でソース端子26の上に配置されている。この構成によれば、出力領域6で生じた熱を複数の疑似バンプ75によって吸収できる。これにより、出力領域6の温度上昇を抑制し、温度上昇に起因する出力領域6の電気的特性の低下を抑制できる。よって、電気的特性を向上できる半導体装置61を提供できる。

[0225] ソース端子26に対する複数の疑似バンプ75の配置箇所は、半導体チップ1の温度分布に基づいて設定されてもよい。たとえば、サーモグラフィやシミュレーションツール等を用いて出力領域6の高温領域および低温領域を解析し、ソース端子26のうち出力領域6の高温領域を被覆する部分に複数の疑似バンプ75が密に配置され、ソース端子26のうち出力領域6の低温領域を被覆する部分に複数の疑似バンプ75が疎に配置されてもよい。少なくとも1つの真正バンプ90は、複数の疑似バンプ75が疎に配置された部分に配置される。

[0226] たとえば、出力領域6の内方部は、出力領域6の周縁部よりも温度が高まりやすい。したがって、複数の疑似バンプ75は、ソース端子26の内方部において密になり、ソース端子26の周縁部において疎になるレイアウトでソース端子26に接合されてもよい。複数の疑似バンプ75が「疎」である形態は、疑似バンプ75が存在しない形態も含む。

[0227] デバイス領域で生じる熱を吸収する他の手段として、ウエハ段階においてソース端子26の上に、または、ソース端子26として比較的厚いめっき端子膜（たとえば10 μm 以上25 μm 以下のCuめっき膜）を成膜することが考えられる。

[0228] この場合、めっき端子膜の成膜に必要な設備（成膜装置やめっき液等）に起因してコストが高むだけでなく、めっき端子膜に起因してウエハに反りが生じる。ウエハの電気的特性や物理的特性は、ウエハの反りによって低下する。たとえば、ウエハの反りに起因してウエハにクラックや結晶欠陥が生じた場合、デバイス領域の電気的特性が変動する。さらに、ウエハの反りは、

ダイシング工程等の障害にもなる。

- [0229] これに対して、半導体装置 61 は、ダイシング工程を経てウエハから個片化された後の半導体チップ 1 のパッケージング工程において、複数の疑似バンプ 75 を半導体チップ 1 に接合させることができる。したがって、めっき端子膜の成膜に必要な設備を要しない。また、ウエハ段階におけるウエハの反りを抑制できるため、クラックや結晶欠陥の抑制された半導体チップ 1 を取得できる。さらに、真正バンプ 90 の形成工程に用いられる比較的安価なワイヤボンディング工程を利用して比較的厚い疑似バンプ 75 を形成できる。よって、コストを抑えながら電気的特性を向上できる。
- [0230] むろん、疑似バンプ 75 は、端子（ソース端子 26）の上に形成されためっき端子膜または端子（ソース端子 26）として形成されためっき端子膜に接合されてもよい。この場合、めっき端子膜による熱吸収効果に複数の疑似バンプ 75 による熱吸収効果を付加できる。ただし、めっき端子膜によって吸収可能な熱量が既に飽和している場合には、複数の疑似バンプ 75 をめっき端子膜に接合する利益は少ない点に留意すべきである。
- [0231] 複数の疑似バンプ 75 は、ソース端子 26 よりも厚いことが好ましい。この構成によれば、比較的厚い複数の疑似バンプ 75 を形成することによってソース端子 26 を薄化できる。よって、比較的薄いソース端子 26 を介して複数の疑似バンプ 75 に熱を伝達できると同時に、ソース端子 26 の形成コストを抑えることができる。
- [0232] たとえば、比較的厚い複数の疑似バンプ 75 を採用することにより、Cu 系金属膜または Al 系金属膜を含み、1 μm 以上 10 μm 以下の厚さを有するソース端子 26 を採用できる。このようなソース端子 26 は、スパッタ法によって形成できるため、めっき膜以外の電極膜によって構成され得る。
- [0233] 複数の真正バンプ 90 が、ソース端子 26 の上に疎に配置されていることが好ましい。つまり、複数の真正バンプ 90 に対しては、密に配置されるというデザインルールが課されないことが好ましい。この構成によれば、複数の真正バンプ 90 をソース端子 26 の適切な位置に接続させることができる

。複数の疑似バンプ75は、第1ピッチP1でソース端子26の上に配置されていてもよい。この場合、複数の真正バンプ90は、第1ピッチP1以上の第2ピッチP2でソース端子26の上に配置されていることが好ましい。

[0234] 少なくとも3個の疑似バンプ75が、ソース端子26の上に密に配置されていることが好ましい。少なくとも3個の疑似バンプ75は、平面視で二等辺三角形の頂点に位置するレイアウトで配置されていることが好ましい。この場合、二等辺三角形は正三角形であることが特に好ましい。これらの構成によれば、複数の疑似バンプ75を適切に密に配置できる。また、複数の疑似バンプ75を含む疑似バンプ群76によって、出力領域6で生じた熱を吸収できる。

[0235] 少なくとも7個の疑似バンプ75が、ソース端子26の上に密に配置されていることが好ましい。この場合、6個の疑似バンプ75（周囲バンプ74）が、1個の疑似バンプ75（中心バンプ73）の周囲に配置されていることが好ましい。6個の周囲バンプ74は、平面視において1個の中心バンプ73の中央部を中心とする同心円上に配置されていることが好ましい。6個の周囲バンプ74が平面視で六角形の頂点に位置するレイアウトで配置され、1個の中心バンプ73が平面視で六角形の中心に位置するレイアウトで配置されていることが好ましい。

[0236] つまり、複数の疑似バンプ75は、平面視において六方最密配列（つまりハニカム配列）になるレイアウトでソース端子26に接合されていることが好ましい。この場合、六角形は正六角形であること特に好ましい。これらの構成によれば、複数の疑似バンプ75を適切に密に配置できる。また、複数の疑似バンプ75を含む疑似バンプ群76によって、出力領域6で生じた熱を吸収できる。

[0237] 半導体装置61は、ソース端子26における疑似バンプ75の接合部に形成された第1薄膜部111を含むことが好ましい。この構成によれば、出力領域6で生じた熱を、第1薄膜部111を介して疑似バンプ75に伝達させることができる。半導体装置61は、ソース端子26における疑似バンプ7

5の接合部外の領域に形成された厚膜部113を含むことが好ましい。この構成によれば、疑似バンプ75の接合部外の領域において、出力領域6で生じた熱を厚膜部113によって吸収できる。厚膜部113によって吸収された熱は、疑似バンプ75に伝達される。

[0238] また、ソース端子26における複数の疑似バンプ75の間に位置する部分は、厚膜部113によって複数の第1薄膜部111よりも厚化されている。これらの構成によれば、疑似バンプ75の接合部外の領域において、出力領域6で生じた熱を厚膜部113によって吸収できる。

[0239] 疑似バンプ75は、第1金属を含む第1バンプ本体77、および、第1金属とは異なる第2金属を含み、第1バンプ本体77の外面の少なくとも一部を被覆する第1バンプ金属膜78を含んでいてもよい。疑似バンプ75は、ソース端子26に接続された幅広い第1ボディ部79、および、第1ボディ部79からソース端子26とは反対側に向けて第1ボディ部79よりも幅狭に突出した第1ネック部80を含んでいてもよい。

[0240] 半導体装置61は、出力領域6の第1主面3に形成された複数のトレンチ構造35を含んでいてもよい。この場合、疑似バンプ75は、平面視において複数のトレンチ構造35に重なっていることが好ましい。この構成によれば、複数のトレンチ構造35および／または複数のトレンチ構造35の近傍で生じた熱を直上の疑似バンプ75によって吸収できる。

[0241] 疑似バンプ75は、各トレンチ構造35の深さよりも大きい厚さを有していることが好ましい。

[0242] 半導体装置61は、出力領域6において複数のトレンチ構造35を含む絶縁ゲート型のメイントランジスタ11を有していることが好ましい。この構成によれば、メイントランジスタ11のアクティブクランプ動作時において誘導性負荷Lの逆起電力に起因する温度上昇を複数の疑似バンプ75によって抑制できる。これにより、アクティブクランプ耐量を向上できる。

[0243] メイントランジスタ11は、n個のゲート信号が個別入力されるn個の第1ゲートFGを含むn系統のゲート分割トランジスタであることが好ましい

。この構成によれば、メインランジスタ 11 は、全ての第 1 ゲート FG がオン状態になるフルオン状態、一部の第 1 ゲート FG がオン状態（一部のゲートがオフ状態）になるパートオン状態、および、全ての第 1 ゲート FG がオフ状態になるフルオフ状態の間で切り替わるように制御される。メインランジスタ 11 において、パートオン状態のオン抵抗値はフルオン状態のオン抵抗値よりも高い。

[0244] n 系統のメインランジスタ 11 によれば、アクティブクランプ動作時において、メインランジスタ 11 の一部の第 1 ゲート FG をオン状態に制御し、メインランジスタ 11 の一部の第 1 ゲート FG をオフ状態に制御することによって、メインランジスタ 11 の出力電圧をクランプさせることができる。これにより、誘導性負荷 L の逆起電力からメインランジスタ 11 を保護でき、アクティブクランプ耐量を向上できる。

[0245] 半導体装置 61 は、第 1 主面 3 に設けられた制御領域 8 を含むことが好ましい。半導体装置 61 は、複数のトレンチ構造 35 に付与されるゲート信号を生成するように制御領域 8 に形成された制御回路 17 を含むことが好ましい。この場合、ソース端子 26 は、平面視で制御領域 8 を露出させるように出力領域 6 を被覆していることが好ましい。

[0246] 半導体装置 61 は、出力領域 6 に隣り合うように第 1 主面 3 に設けられた第 1 検温領域 9、および、制御領域 8 に隣り合うように第 1 主面 3 に設けられた第 2 検温領域 10 を含むことが好ましい。半導体装置 61 は、出力領域 6 の温度を検出するように第 1 検温領域 9 に形成された第 1 感温ダイオード 15（第 1 温度センサ）、および、制御領域 8 の温度を検出するように第 2 検温領域 10 に形成された第 2 感温ダイオード 16（第 2 温度センサ）を含むことが好ましい。

[0247] この場合、制御回路 17 は、第 1 感温ダイオード 15 からの第 1 検温信号 ST1（電気信号）および第 2 感温ダイオード 16 からの第 2 検温信号 ST2（電気信号）に基づいてゲート信号を生成するように構成されていてもよい。この構成によれば、複数の疑似バンプ 75 によって出力領域 6 の温度上

昇を抑制できると同時に、制御回路 17 の制御を利用して出力領域 6 の温度上昇を抑制できる。

[0248] 図 15 A は、図 13 の二点鎖線 XV で囲まれた部分の拡大図である。図 15 B は、疑似バンプ 75 を第 2 方向 Y に沿って切断したときの断面図である。図 16 は、疑似バンプ 75 のソース端子 26 への接合方法図である。図 17 は、疑似バンプ 75 の平面視における拡大図である。図 15 A, 15 B ~ 図 17 では、疑似バンプ 75 の第 1 隆起部 114 の構造を示しているが、真正バンプ 90 の第 2 隆起部 115 も同様の構造を有している。

[0249] 図 15 A, 15 B を参照して、前述のように、ソース端子 26 には第 1 隆起部 114 が形成されている。第 1 隆起部 114 は、疑似バンプ 75 の接合縁部においてソース端子 26 の一部が厚膜部 113 よりも厚化した部分である。第 1 隆起部 114 は、疑似バンプ 75 の接合時に、各疑似バンプ 75 の下部から側部に沿って、ソース端子 26 の一部が疑似バンプ 75 の外側に排斥されることによって形成されている。したがって、第 1 隆起部 114 は、ソース端子 26 の排斥物 86 と称されてもよい。第 1 隆起部 114 は、たとえばソース端子 26 の一部が疑似バンプ 75 の周囲にしぶき状に跳ね上がった形状であるから、スプラッシュと称されてもよい。

[0250] 図 16 を参照して、排斥物 86 の形成過程を説明する。キャピラリ 93 の内孔 94 にワイヤ 95 が供給され、ワイヤ 95 に対する放電加工によってキャピラリ 93 の先端部にイニシャルボールが形成される。次に、イニシャルボールがソース端子 26 に当接され、ソース端子 26 に向かう荷重がイニシャルボールに加えられると同時に超音波振動がイニシャルボールに加えられる。超音波振動は、特定の方向に指向性を持つように加えられる。この形態では、第 1 方向 X に沿って超音波振動が選択的に加えられる。これにより、イニシャルボールが圧潰されると同時にソース端子 26 に圧着される。ソース端子 26 においてイニシャルボールに押圧されている部分は、第 1 方向 X に沿う超音波振動によってイニシャルボールの下部から外側に押し出されることにより、排斥物 86 として形成される。その後、圧潰されたイニシャル

ボールからワイヤが切り離され、疑似バンプ75が形成される。

[0251] このように、排斥物86は、ソース端子26の一部が超音波振動により押し出されて形成された構造であり、一定の形状に定まらない。したがって、各疑似バンプ75の周囲の排斥物86は、様々な形状を有していてもよい。たとえば、排斥物86は、互いに形状の異なる第1排斥物861および第2排斥物862を含んでいてもよい。

[0252] 図15Aを参照して、第1排斥物861は、厚膜部113の表面に沿って設定したベース面87に対して山状に突出した形状を有していてもよい。第1排斥物861は、断面視において、頂部863と、頂部863から疑似バンプ75の下側およびその反対側に向かってほぼ同じ角度で下り傾斜する第1傾斜部864（内側傾斜部）および第2傾斜部865（外側傾斜部）とを含んでいてもよい。第1排斥物861の第2傾斜部865は、厚膜部113から離れるように疑似バンプ75の側部に向かって延びている。これにより、第1排斥物861は、厚膜部113の上方にオーバーラップしないように形成されている。第1傾斜部864および第2傾斜部865の表面には選択的に凹部869が形成されていてもよい。

[0253] 第2排斥物862は、ベース面87に対して上方に反り上がった形状を有していてもよい。第2排斥物862は、断面視において、疑似バンプ75の下側から厚膜部113の上方位置まで延びる第1傾斜部866と、第1傾斜部866の先端部867で折り返し、疑似バンプ75の下側に向かって延びる第2傾斜部868とを含んでいてもよい。第2排斥物862の先端部867が厚膜部113の上方に位置することから、第2排斥物862は、厚膜部113の上方に間隔を空け、厚膜部113にオーバーラップするように形成されている。第1傾斜部866および第2傾斜部868の表面には選択的に凹部870が形成されていてもよい。

[0254] 厚膜部113の厚さTT1と比較して、第1排斥物861は厚さTT1よりも小さな第1厚さTS1を有し、第2排斥物862は厚さTT1よりも大きな第2厚さTS2を有していてもよい。第2厚さTS2は、第1厚さTS

1よりも大きくてもよい。

[0255] 厚膜部113および排斥物86の第1総厚さ($TT1 + TS1$ または $TT1 + TS2$)は、層間絶縁膜24の厚さよりも大きいことが好ましい。第1総厚さは、第1薄膜部111の最小厚さの1倍よりも大きく、第1薄膜部111の最小厚さの10倍以下であってもよい。最小厚さに対する第1総厚さの厚さ比は、1よりも大きく2以下、2以上4以下、4以上6以下、6以上8以下、または、8以上10以下であってもよい。厚さ比は、2以上6以下であることが好ましい。

[0256] 図17を参照して、排斥物86は第1方向Xに沿って加えられた超音波振動によって形成されるため、超音波振動の印加方向と同じ方向に指向性を持っている。この形態では、各疑似バンプ75の排斥物86は、平面視において第1方向Xに沿って指向性を持つように、各疑似バンプ75の第1方向Xにおける一方側および他方側の両側に一対形成されている。

[0257] 一対の排斥物86は、第1方向Xの一方側の排斥物86Aと他方側の排斥物86Bとを含んでもよい。排斥物86Aおよび排斥物86Bは、それぞれ、平面視円形の疑似バンプ75の周縁部751に沿う平面視曲線状に形成されている。排斥物86Aおよび排斥物86Bは、第1方向Xにおいて互いに反対側に膨らむ三日月状に形成されていてもよい。排斥物86Aおよび排斥物86Bは互いに物理的に独立している。これにより、疑似バンプ75の周縁部751は、排斥物86Aおよび排斥物86Bに第1方向Xにおいて隣接する弧状の一対の第1周縁部752と、排斥物86Aの端部と排斥物86Bの端部との間の弧状の一対の第2周縁部753とを含んでもよい。第1周縁部752は、平面視において、排斥物86Aおよび排斥物86Bに覆われた領域であり、第2周縁部753は、排斥物86Aおよび排斥物86Bに覆われていない領域であってもよい。したがって、第2周縁部753の下部においてソース端子26には、図15Bに示すように、厚膜部113からなる平坦領域116が形成されている。

[0258] 前述のとおり、疑似バンプ75の周囲には排斥物86が形成されている。

排斥物 86 は、疑似バンプ 75 の周縁部 751 よりも外側に形成されている。そのため、本開示のように複数の疑似バンプ 75 を密に配置し、隣り合う疑似バンプ 75 の距離が小さくなると、隣り合う排斥物 86 が干渉する可能性がある。そこで、以下では、図 18 および図 19 を参照して、排斥物 86 の干渉を避けることができるレイアウトについて説明する。

[0259] 図 18 は、疑似バンプ 75 の第 1 レイアウトを示す平面図である。図 19 は、疑似バンプ 75 の第 2 レイアウトを示す平面図である。

[0260] 図 18 および図 19 を参照して、第 1 レイアウトおよび第 2 レイアウトともに、少なくとも 3 個の疑似バンプ 75 が、平面視において三角形の頂点に位置するレイアウトで配置されている。さらに、互いに近接する 7 個の疑似バンプ 75 に着目すれば、7 個の疑似バンプ 75 は、平面視において 1 個の中心バンプ 73 と、中心バンプ 73 の中央部を中心とする同心円上に配列された 6 個の周囲バンプ 74 とを含んでいる。これにより、複数の疑似バンプ 75 は、平面視において六方最密配列（つまりハニカム配列）になるレイアウトで配置されている。

[0261] 図 18 を参照して、第 1 レイアウトについて詳細に説明する。第 1 レイアウトは、概念的に少なくとも 2 パターンの配列形態を含んでいてもよい。

[0262] 第 1 のパターンは、ハニカム構造レイアウト 88 である。ハニカム構造レイアウト 88 は、1 個の中心バンプ 73 と、中心バンプ 73 の中央部を中心とする同心円上に配列された 6 個の周囲バンプ 74 とを含む。さらに、周囲バンプ 74 は、第 1 周囲バンプ 741 と、第 2 周囲バンプ 742 とを含んでいてもよい。

[0263] 第 1 周囲バンプ 741 は、中心バンプ 73 に対して第 2 方向 Y に隣り合う 2 個の第 1 周囲バンプ 741 を含む。第 2 周囲バンプ 742 は、第 1 方向 X および第 2 方向 Y のいずれに対しても傾斜している斜め方向において中心バンプ 73 に隣り合う 4 個の第 2 周囲バンプ 742 を含む。第 2 周囲バンプ 742 は、中心バンプ 73 に対して第 1 方向 X の一方側および他方側に 2 個ずつ配置されている。

- [0264] ハニカム構造レイアウト88は、中心バンプ73と、第2方向Yに隣り合う2個の第2周囲バンプ742が平面視で三角形の頂点に位置する三角形レイアウト743を複数含む。この形態では、互いに中心バンプ73を共有する三角形レイアウト743を含む。各三角形レイアウト743において頂点同士を結ぶ仮想線744により正三角形が形成されている。
- [0265] 中心バンプ73および各周囲バンプ74の第1方向Xの一方側および他方側にはそれぞれ排斥物86が形成されている。たとえば、各中心バンプ73および各周囲バンプ74の第1方向Xにおける一方側の排斥物86が第1排斥物881であり、他方側の排斥物86が第2排斥物882であってもよい。
- [0266] ハニカム構造レイアウト88では、中心バンプ73の排斥物86と、2個の第1周囲バンプ741の排斥物86が、第2方向Yに沿って互いに間隔を空けて配列されている。より詳細には、中心バンプ73の第1排斥物881と、2個の第1周囲バンプ741の第1排斥物881が、第2方向Yに沿って互いに間隔を空けて配列されている。同様に、中心バンプ73の第2排斥物882と、2個の第1周囲バンプ741の第2排斥物882が、第2方向Yに沿って互いに間隔を空けて配列されている。中心バンプ73の排斥物86は、第1方向Xにおいて、第2周囲バンプ742の間の空間領域745に対向している。
- [0267] また、ハニカム構造レイアウト88では、中心バンプ73の第1排斥物881と、2個の第2周囲バンプ742の第2排斥物882が、第2方向Yに沿って互いに間隔を空けて配列されている。同様に、中心バンプ73の第2排斥物882と、2個の第2周囲バンプ742の第1排斥物881が、第2方向Yに沿って互いに間隔を空けて配列されている。
- [0268] これにより、ハニカム構造レイアウト88では、第2方向Yに沿って、第1周囲バンプ741の第1排斥物881、第2周囲バンプ742の第2排斥物882、中心バンプ73の第1排斥物881、第2周囲バンプ742の第2排斥物882、および第1周囲バンプ741の第1排斥物881が順に配

列されている。この形態では、第1排斥物881および第2排斥物882が、図18に一点鎖線で示す仮想直線883上に交互に並んで配置されている。仮想直線883上の第1排斥物881および第2排斥物882は、第2方向Yにおいて互いにオーバーラップしている。

[0269] 同様に、第1周囲バンプ741の第2排斥物882、第2周囲バンプ742の第1排斥物881、中心バンプ73の第2排斥物882、第2周囲バンプ742の第1排斥物881、および第1周囲バンプ741の第2排斥物882が、図18に一点鎖線で示す仮想直線884上に交互に並んで配置されている。仮想直線884上の第1排斥物881および第2排斥物882は、第2方向Yにおいて互いにオーバーラップしている。

[0270] 以上のように、ハニカム構造レイアウト88では、第1排斥物881および第2排斥物882が、仮想直線883、884上に交互に並んで配置され、第2方向Yにおいて互いにオーバーラップしている。排斥物86（第1排斥物881および第2排斥物882）が第1方向Xに指向性を持つように形成されているが、図18のハニカム構造レイアウト88を採用することにより、複数の排斥物86がお互いに干渉することを防止することができる。これにより、たとえば、各疑似バンプ75の間の空間領域745を、隣接する疑似バンプ75の排斥物86の逃がしスペースとして利用することができる。その結果、複数の疑似バンプ75を密なレイアウトで配置することができるので、疑似バンプ75の数を増やして放熱性を向上させることができる。

[0271] 次に、第1レイアウトの第2のパターンは、それぞれが第2方向Yに沿って配列された複数の疑似バンプ75を含む第1ラインバンプ群120および第2ラインバンプ群121を含む。図18では、第1ラインバンプ群120は、3個の疑似バンプ75を含み、第2ラインバンプ群121は、2個の疑似バンプ75を含む。第1ラインバンプ群120および第2ラインバンプ群121は、第1方向Xにおいて交互に配置されている。

[0272] 第1ラインバンプ群120の複数の疑似バンプ75は、第1疑似バンプ123と称され、第2ラインバンプ群121の複数の疑似バンプ75は、第2

疑似バンプ124と称されてもよい。第1疑似バンプ123は、第1方向Xにおいて、2個の第2疑似バンプ124の間の空間領域125に対向している。これにより、第2ラインバンプ群121を挟んで第1方向Xにおいて隣り合う一対の第1ラインバンプ群120において、一方の第1ラインバンプ群120の疑似バンプ75の排斥物86と、他方の第1ラインバンプ群120の疑似バンプ75の排斥物86とは、平面視において、第2ラインバンプ群121における複数の疑似バンプ75の間の空間領域125を介して対向している。

[0273] 一方、第2疑似バンプ124は、第1方向Xにおいて、2個の第1疑似バンプ123の間の空間領域126に対向している。

[0274] 第1疑似バンプ123および第2疑似バンプ124の第1方向Xの一方側および他方側にはそれぞれ排斥物86が形成されている。たとえば、各第1疑似バンプ123および各第2疑似バンプ124の第1方向Xにおける一方側の排斥物86が第1排斥物891であり、他方側の排斥物86が第2排斥物892であってもよい。

[0275] 第2のパターンでは、第1疑似バンプ123の第1排斥物891と、第2疑似バンプ124の第2排斥物892が、第2方向Yに沿って互いに間隔を空けて交互に配列されている。同様に、第1疑似バンプ123の第2排斥物892と、第2疑似バンプ124の第1排斥物891が、第2方向Yに沿って互いに間隔を空けて交互に配列されている。これにより、第1排斥物891および第2排斥物892が、図18に一点鎖線で示す仮想直線893、894上に交互に並んで配置されている。仮想直線893、894上の第1排斥物891および第2排斥物892は、第2方向Yにおいて互いにオーバーラップしている。

[0276] 以上のように、第2のパターンでは、第1排斥物891および第2排斥物892が、仮想直線893、894上に交互に並んで配置され、第2方向Yにおいて互いにオーバーラップしている。排斥物86（第1排斥物891および第2排斥物892）が第1方向Xに指向性を持つように形成されている

が、図18の第2のパターンのレイアウトを採用することにより、複数の排斥物86がお互いに干渉することを防止することができる。これにより、たとえば、各疑似バンプ75の間の空間領域125, 126を、隣接する疑似バンプ75の排斥物86の逃がしスペースとして利用することができる。その結果、複数の疑似バンプ75を密なレイアウトで配置することができるので、疑似バンプ75の数を増やして放熱性を向上させることができる。

[0277] これに対して、図19のレイアウトでは、キャピラリ93（図16参照）による超音波振動を加える方向（この形態では、第1方向X）に沿って、疑似バンプ75が同列に配列されている。そのため、排斥物86同士が第1方向Xにおいて重なり、干渉する場合がある。その結果、図18のレイアウトに比較して、複数の疑似バンプ75を密なレイアウトで配置することが難しい。

[0278] 図20は、図12のレイアウトの変形例を示す平面図である。

[0279] 前述の形態では、複数の疑似バンプ75のみで六方最密配列（つまりハニカム配列）になるレイアウトが構成されていた。これに対し、図20に示すように、複数の疑似バンプ75に少なくとも1つ真正バンプ90が含まれる形態で、平面視において六方最密配列（つまりハニカム配列）になるレイアウトが構成されていてもよい。

[0280] 図21は、第2形態例に係る半導体チップ200を示す平面図である。

[0281] 図21を参照して、半導体チップ200は、半導体チップ1の出力領域6のレイアウトを変更した形態を有している。出力領域6は、この形態では、平面視においてL字状に区画されている。具体的には、出力領域6は、第1側面5A側の領域において第1方向Xに沿って帯状に延びる第1領域6A、および、第3側面5C側の領域において第2方向Yに沿って帯状に延びる第2領域6Bを有している。

[0282] 制御領域8は、この形態では、第2側面5B側の領域において第1主面3の周縁、出力領域6の第1領域6Aおよび出力領域6の第2領域6Bによって区画された領域に設けられている。電流検出領域7は、出力領域6の第1

領域 6 A および出力領域 6 の第 2 領域 6 B のいずれか一方または双方に設けられていてもよい。電流検出領域 7 は、この形態では、第 1 領域 6 A に設けられている。

[0283] 第 1 検温領域 9 は、出力領域 6 の第 1 領域 6 A および出力領域 6 の第 2 領域 6 B のいずれか一方または双方に隣り合うように設けられていてもよい。第 1 検温領域 9 は、この形態では、第 1 領域 6 A に隣り合うように設けられている。第 2 検温領域 10 は、第 1 形態例の場合と同様、制御領域 8 に隣り合うように設けられている。

[0284] ソース端子 26 は、この形態では、平面視において L 字状に区画されている。具体的には、ソース端子 26 は、出力領域 6 の第 1 領域 6 A を被覆するように第 1 方向 X に沿って帯状に延びる第 1 端子部 26 A、および、出力領域 6 の第 2 領域 6 B を被覆するように第 2 方向 Y に沿って帯状に延びる第 2 端子部 26 B を有している。ソース端子 26 は、この形態では、第 1 端子部 26 A において第 1 検温領域 9 を露出させるように四角形状に切り欠かれた切欠き部 26 a を有している。

[0285] 第 1 ～第 4 制御端子 27 ～30 は、第 2 側面 5 B 側の領域において第 1 主面 3 の周縁、ソース端子 26 の第 1 端子部 26 A およびソース端子 26 の第 2 端子部 26 B によって区画された領域に配置されている。

[0286] 以上、本開示の実施形態は、すべての点において例示であり限定的に解釈されるべきではなく、すべての点において変更が含まれることが意図される。

[0287] この明細書および図面の記載から以下に付記する特徴が抽出され得る。

[0288] [付記 1 - 1]

基板 (2) と、

前記基板 (2) に設けられたデバイス領域 (6) と、

平面視で前記デバイス領域 (6) を覆う端子 (26) と、

前記端子 (26) の上に配置された複数の疑似バンプ (75) とを備え、

前記複数の疑似バンプ (75) は、平面視で三角形の頂点に位置するレイ

アウトで密に配置された少なくとも3個の疑似バンプ(75)を含み、

前記3個の前記疑似バンプ(75)のそれぞれの下部から側部に沿って、前記端子(26)の一部の隆起により排斥物(86)が形成されており、

各前記疑似バンプ(75)の前記排斥物(86)は、平面視において第1方向(X)に沿って指向性を持つように、各前記疑似バンプ(75)の前記第1方向(X)における一方側および他方側の両側に一対形成されており、

前記3個の前記疑似バンプ(75)の前記排斥物(86)は、前記第1方向(X)に直交する第2方向(Y)に沿って互いに間隔を空けて配列されている、半導体装置(61)。

[0289] この構成によれば、少なくとも3個の疑似バンプ(75)の排斥物(86)が第2方向(Y)に沿って互いに間隔を空けて配列されている。したがって、複数の排斥物(86)はそれぞれ第1方向(X)に指向性を持つように形成されているが、複数の排斥物(86)がお互いに干渉することを防止することができる。その結果、複数の疑似バンプ(75)を密なレイアウトで配置することができるので、疑似バンプ(75)の数を増やして放熱性を向上させることができる。

[0290] [付記1-2]

平面視において前記第1方向(X)および前記第2方向(Y)のいずれに対しても傾斜している斜め方向に隣り合う2つの前記疑似バンプ(75)に着目したときに、一方の前記疑似バンプ(75)の前記一対の排斥物(86)のうち他方の前記疑似バンプ(75)に近い側の前記排斥物(86)と、前記他方の前記疑似バンプ(75)の前記一対の排斥物(86)のうち前記一方の前記疑似バンプ(75)に近い側の前記排斥物(86)とが、前記第2方向(Y)において重なっている、付記1-1に記載の半導体装置(61)。

[0291] [付記1-3]

前記端子(26)は、各前記疑似バンプ(75)の前記第1方向(X)における一方側の前記排斥物(86)と他方側の前記排斥物(86)との間に

において、前記排斥物（８６）が形成されていない平坦領域（１１６）を含む、付記１－１または付記１－２に記載の半導体装置（６１）。

[0292] [付記１－４]

基板（２）と、
前記基板（２）に設けられたデバイス領域（６）と、
平面視で前記デバイス領域（６）を覆う端子（２６）と、
前記端子（２６）の上に配置された複数の疑似バンプ（７５）とを備え、
前記複数の疑似バンプ（７５）は、１個の中心バンプ（７３）と、前記中心バンプ（７３）の周囲に平面視で六角形の頂点に位置するレイアウトで密に配置された６個の周囲バンプ（７４）とを含むハニカム構造レイアウト（８８）に配置され、

前記複数の疑似バンプ（７５）のそれぞれの下部から側部に沿って、前記端子（２６）の一部の隆起により排斥物（８６）が形成されており、

各前記疑似バンプ（７５）の前記排斥物（８６）は、平面視において第１方向（Ｘ）に沿って指向性を持つように、各前記疑似バンプ（７５）の前記第１方向（Ｘ）における一方側および他方側の両側に一対形成されており、

前記中心バンプ（７３）の前記排斥物（８６）と、前記複数の周囲バンプ（７４）のうち前記中心バンプ（７３）に対して前記第１方向（Ｘ）に直交する第２方向（Ｙ）に隣り合う２個の第１周囲バンプ（７４１）の前記排斥物（８６）は、前記第２方向（Ｙ）に沿って互いに間隔を空けて配列されている、半導体装置（６１）。

[0293] この構成によれば、中心バンプ（７３）の排斥物（８６）と、２個の第１周囲バンプ（７４１）の排斥物（８６）が第２方向（Ｙ）に沿って互いに間隔を空けて配列されている。したがって、複数の排斥物（８６）はそれぞれ第１方向（Ｘ）に指向性を持つように形成されているが、複数の排斥物（８６）がお互いに干渉することを防止することができる。その結果、複数の疑似バンプ（７５）を密なハニカム構造レイアウト（８８）で配置することができるので、疑似バンプ（７５）の数を増やして放熱性を向上させることが

できる。

[0294] [付記 1-5]

前記中心バンプ (73) と、平面視において前記第 1 方向 (X) および前記第 2 方向 (Y) のいずれに対しても傾斜している斜め方向において前記中心バンプ (73) に隣り合う 2 個の第 2 周囲バンプ (742) とに着目したときに、前記中心バンプ (73) の前記排斥物 (86) は、前記第 1 方向 (X) において、前記第 2 周囲バンプ (742) の間の空間領域 (745) に対向している、付記 1-4 に記載の半導体装置 (61)。

[0295] [付記 1-6]

前記第 2 方向 (Y) に沿って、前記第 1 周囲バンプ (741) の前記排斥物 (86)、前記第 2 周囲バンプ (742) の前記排斥物 (86)、前記中心バンプ (73) の前記排斥物 (86)、前記第 2 周囲バンプ (742) の前記排斥物 (86)、および前記第 1 周囲バンプ (741) の前記排斥物 (86) が順に配列されている、付記 1-5 に記載の半導体装置 (61)。

[0296] [付記 1-7]

前記ハニカム構造レイアウト (88) は、前記中心バンプ (73) および前記複数の周囲バンプ (74) のうち隣り合う 2 個の周囲バンプ (74) が平面視で三角形の頂点に位置する三角形レイアウト (743) を複数含み、各前記三角形レイアウト (743) において、前記頂点同士を結ぶ仮想線 (744) により正三角形が形成されている、付記 1-4 ~ 付記 1-6 のいずれか一項に記載の半導体装置 (61)。

[0297] [付記 1-8]

基板 (2) と、
前記基板 (2) に設けられたデバイス領域 (6) と、
平面視で前記デバイス領域 (6) を覆う端子 (26) と、
前記端子 (26) の上に配置された複数の疑似バンプ (75) とを備え、
前記複数の疑似バンプ (75) のそれぞれの下部から側部に沿って、前記端子 (26) の一部の隆起により排斥物 (86) が形成されており、

各前記疑似バンプ（75）の前記排斥物（86）は、平面視において第1方向（X）に沿って指向性を持つように、各前記疑似バンプ（75）の前記第1方向（X）における一方側および他方側の両側に一対形成されており、

それぞれが前記第1方向（X）に直交する第2方向（Y）に沿って配列された前記複数の疑似バンプ（75）を含む第1ラインバンプ群（120）および第2ラインバンプ群（121）を含み、

前記第1ラインバンプ群（120）および前記第2ラインバンプ群（121）は、前記第1方向（X）において交互に配置されており、

前記第1ラインバンプ群（120）と前記第2ラインバンプ群（121）との間において、前記第1ラインバンプ群（120）の前記疑似バンプ（75）の前記排斥物（86）と、前記第2ラインバンプ群（121）の前記疑似バンプ（75）の前記排斥物（86）とが、前記第2方向（Y）に沿って互いに間隔を空けて交互に配列されている、半導体装置（61）。

[0298] この構成によれば、第1ラインバンプ群（120）の疑似バンプ（75）の排斥物（86）と、第2ラインバンプ群（121）の疑似バンプ（75）の排斥物（86）が第2方向（Y）に沿って互いに間隔を空けて配列されている。したがって、複数の排斥物（86）はそれぞれ第1方向（X）に指向性を持つように形成されているが、複数の排斥物（86）がお互いに干渉することを防止することができる。その結果、複数の疑似バンプ（75）を密なラインレイアウトで配置することができるので、疑似バンプ（75）の数を増やして放熱性を向上させることができる。

[0299] [付記1-9]

前記第2ラインバンプ群（121）を挟んで前記第1方向（X）において隣り合う一対の前記第1ラインバンプ群（120）において、

一方の前記第1ラインバンプ群（120）の前記疑似バンプ（75）の前記排斥物（86）と、他方の前記第1ラインバンプ群（120）の前記疑似バンプ（75）の前記排斥物（86）とは、平面視において、前記第2ラインバンプ群（121）における複数の前記疑似バンプ（75）の間の空間領

域（１２５）を介して対向している、付記１－８に記載の半導体装置（６１）。

[0300] [付記１－１０]

前記端子（２６）と前記複数の疑似バンプ（７５）の材料は異なる、付記１－１～付記１－９のいずれか一項に記載の半導体装置（６１）。

[0301] [付記１－１１]

前記複数の疑似バンプ（７５）の材料は、前記端子（２６）の材料よりも硬い、付記１－１０に記載の半導体装置（６１）。

[0302] [付記１－１２]

前記複数の疑似バンプ（７５）は銅からなり、かつ、前記端子（２６）はアルミニウムからなる、付記１－１１に記載の半導体装置（６１）。

[0303] [付記１－１３]

前記複数の疑似バンプ（７５）のピッチ（Ｐ１）は、 $50\mu\text{m}$ 以上 $250\mu\text{m}$ 以下である、付記１－１～付記１－１２のいずれか一項に記載の半導体装置（６１）。

[0304] [付記１－１４]

ワイヤ（９１）に接続された状態で前記端子（２６）上に配置された真正バンプ（９０）をさらに含む、付記１－１～付記１－１３のいずれか一項に記載の半導体装置（６１）。

[0305] [付記１－１５]

前記真正バンプ（９０）は、前記複数の疑似バンプ（７５）と同じ材料からなる、付記１－１４に記載の半導体装置（６１）。

[0306] [付記１－１６]

前記基板（２）において前記デバイス領域（６）に形成された複数のトレンチ構造（３５）をさらに含み、

前記複数のトレンチ構造（３５）を含むトランジスタ（１１）をさらに含む、付記１－１～付記１－１５のいずれか一項に記載の半導体装置（６１）。

。

[0307] [付記 1-17]

前記トランジスタ (11) は、個別制御される複数の系統トランジスタを含み、

前記複数の系統トランジスタの選択制御によって単一の出力信号を生成するゲート分割トランジスタである、付記 1-16 に記載の半導体装置 (61) 。

[0308] [付記 1-18]

前記トランジスタ (11) は、前記複数の系統トランジスタの個別制御によって、オン抵抗が変化するように構成されている、付記 1-17 に記載の半導体装置 (61) 。

[0309] [付記 1-19]

前記排斥物 (86) は、前記端子 (26) の表面に対して上方に反り上がった形状を有している、付記 1-1 ~ 付記 1-18 のいずれか一項に記載の半導体装置 (61) 。

[0310] [付記 1-20]

前記排斥物 (86, 862) は、断面視において、前記疑似バンプ (75) の下側から前記端子 (26) の平坦領域 (113, 116) の上方位置まで延びる第 1 傾斜部 (866) と、前記第 1 傾斜部 (866) の先端部 (867) で折り返し、前記疑似バンプ (75) の下側に向かって延びる第 2 傾斜部 (868) とを含み、

前記排斥物 (86, 862) は、前記端子 (26) の前記平坦領域 (113, 116) の上方に間隔を空け、前記平坦領域 (113, 116) にオーバーラップしている、付記 1-19 に記載の半導体装置 (61) 。

[0311] この構成によれば、排斥物 (86, 862) が端子 (26) の平坦領域 (113, 116) にオーバーラップするように上方に反り上がっている。このような構成においても、隣り合う疑似バンプ (75) の間の空間を排斥物 (86) がオーバーラップする領域として利用できるため、スペースの有効利用を図ることができる。

符号の説明

- [0312] 1 : 半導体チップ
- 2 : 基板
- 3 : 第1主面
- 4 : 第2主面
- 5 A : 第1側面
- 5 B : 第2側面
- 5 C : 第3側面
- 5 D : 第4側面
- 6 : 出力領域
- 6 A : 第1領域
- 6 B : 第2領域
- 7 : 電流検出領域
- 8 : 制御領域
- 9 : 第1検温領域
- 10 : 第2検温領域
- 11 : メイントランジスタ
- 12 : 系統トランジスタ
- 12 A : 第1系統トランジスタ
- 12 B : 第2系統トランジスタ
- 13 : モニタトランジスタ
- 14 : 系統モニタトランジスタ
- 14 A : 第1系統モニタトランジスタ
- 14 B : 第2系統モニタトランジスタ
- 15 : 第1感温ダイオード
- 16 : 第2感温ダイオード
- 17 : 制御回路
- 18 : ゲート駆動回路

- 19 : アクティブクランプ回路
- 19 a : 第1ダイオード段
- 19 b : 第2ダイオード段
- 20 : 過電流保護回路
- 21 : 過熱保護回路
- 24 : 層間絶縁膜
- 25 : ドレイン端子
- 26 : ソース端子
- 26 A : 第1端子部
- 26 B : 第2端子部
- 26 a : 切欠き部
- 27 : 第1制御端子
- 28 : 第2制御端子
- 29 : 第3制御端子
- 30 : 第4制御端子
- 31 : 第1半導体領域
- 32 : 第2半導体領域
- 33 : ボディ領域
- 35 : トレンチ構造
- 36 : トレンチ
- 37 : 第1絶縁膜
- 38 : 第2絶縁膜
- 39 : 第1電極
- 40 : 第2電極
- 41 : 第3絶縁膜
- 45 : トレンチ接続構造
- 45 a : 第1トレンチ部
- 45 b : 第2トレンチ部

- 4 6 : 接続トレンチ
- 4 7 : 接続絶縁膜
- 4 8 : 接続電極
- 5 1 : ソース領域
- 5 2 : コンタクト領域
- 5 3 : ゲート配線
- 5 3 A : 第1ゲート配線
- 5 3 B : 第2ゲート配線
- 5 4 : 第1ビア電極
- 5 5 : ソース配線
- 5 5 A : 第1ソース配線
- 5 5 B : 第2ソース配線
- 5 6 : 第2ビア電極
- 5 7 : 第3ビア電極
- 6 1 : 半導体装置
- 6 2 : パッケージ本体
- 6 3 : 第1面
- 6 4 : 第2面
- 6 5 A : 第1側壁
- 6 5 B : 第2側壁
- 6 5 C : 第3側壁
- 6 5 D : 第4側壁
- 6 6 : 金属板
- 6 7 : 第1板面
- 6 8 : 第2板面
- 6 9 A : 第1板側壁
- 6 9 B : 第2板側壁
- 6 9 C : 第3板側壁

- 69D : 第4板側壁
- 70 : 延出部
- 70A : 第1延出部
- 70B : 第2延出部
- 71A : 第1リード端子
- 71B : 第2リード端子
- 71C : 第3リード端子
- 71D : 第4リード端子
- 71E : 第5リード端子
- 71F : 第6リード端子
- 71G : 第7リード端子
- 71H : 第8リード端子
- 72 : 導電接合材
- 73 : 中心バンプ
- 74 : 周囲バンプ
- 75 : 疑似バンプ
- 76 : 疑似バンプ群
- 77 : 第1バンプ本体
- 78 : 第1バンプ金属膜
- 79 : 第1ボディ部
- 80 : 第1ネック部
- 81 : 第1上端部
- 82 : 上端頂部
- 83 : 上端基部
- 84 : 傾斜部
- 85 : 上端突起部
- 86 : 排斥物
- 86A : 排斥物

- 86B : 排斥物
- 87 : ベース面
- 88 : ハニカム構造レイアウト
- 89 : 第1ボンディングワイヤ
- 90 : 真正バンプ
- 91 : ワイヤループ
- 92 : ワイヤテール
- 93 : キャピラリ
- 94 : 内孔
- 95 : ワイヤ
- 97 : 第2バンプ本体
- 98 : 第2バンプ金属膜
- 99 : 第2ボディ部
- 100 : 第2ネック部
- 101 : 第2上端部
- 111 : 第1薄膜部
- 112 : 第2薄膜部
- 113 : 厚膜部
- 114 : 第1隆起部
- 115 : 第2隆起部
- 116 : 平坦領域
- 119 : 第2ボンディングワイヤ
- 120 : 第1ラインバンプ群
- 121 : 第2ラインバンプ群
- 123 : 第1疑似バンプ
- 124 : 第2疑似バンプ
- 125 : 空間領域
- 126 : 空間領域

- 200 : 半導体チップ
- 741 : 第1周囲バンプ
- 742 : 第2周囲バンプ
- 743 : 三角形レイアウト
- 744 : 仮想線
- 745 : 空間領域
- 751 : 周縁部
- 752 : 第1周縁部
- 753 : 第2周縁部
- 861 : 第1排斥物
- 862 : 第2排斥物
- 863 : 頂部
- 864 : 第1傾斜部
- 865 : 第2傾斜部
- 866 : 第1傾斜部
- 867 : 先端部
- 868 : 第2傾斜部
- 869 : 凹部
- 870 : 凹部
- 881 : 第1排斥物
- 882 : 第2排斥物
- 883 : 仮想直線
- 884 : 仮想直線
- 891 : 第1排斥物
- 892 : 第2排斥物
- 893 : 仮想直線
- 894 : 仮想直線
- D1 : 第1深さ

D 2 : 第2 深さ
I T : トレンチ間隔
P 1 : 第1 ピッチ
P 2 : 第2 ピッチ
P 3 : 第3 ピッチ
S 1 : 第1 サイズ
S 2 : 第2 サイズ
S B 1 : 第1 ボディサイズ
S B 2 : 第2 ボディサイズ
S N 1 : 第1 ネックサイズ
S N 2 : 第2 ネックサイズ
T 1 : 第1 厚さ
T 2 : 第2 厚さ
T B 1 : 第1 ボディ厚さ
T B 2 : 第2 ボディ厚さ
T S 1 : 第1 厚さ
T S 2 : 第2 厚さ
T T 1 : 厚さ
W 1 : 第1 幅
W 2 : 第2 幅
X : 第1 方向
Y : 第2 方向
Z : 法線方向

請求の範囲

- [請求項1] 基板と、
前記基板に設けられたデバイス領域と、
平面視で前記デバイス領域を覆う端子と、
前記端子の上に配置された複数の疑似バンプとを備え、
前記複数の疑似バンプは、平面視で三角形の頂点に位置するレイアウトで密に配置された少なくとも3個の疑似バンプを含み、
前記3個の前記疑似バンプのそれぞれの下部から側部に沿って、前記端子の一部の隆起により排斥物が形成されており、
各前記疑似バンプの前記排斥物は、平面視において第1方向に沿って指向性を持つように、各前記疑似バンプの前記第1方向における一方側および他方側の両側に一対形成されており、
前記3個の前記疑似バンプの前記排斥物は、前記第1方向に直交する第2方向に沿って互いに間隔を空けて配列されている、半導体装置。
- [請求項2] 平面視において前記第1方向および前記第2方向のいずれに対しても傾斜している斜め方向に隣り合う2つの前記疑似バンプに着目したときに、一方の前記疑似バンプの前記一対の排斥物のうち他方の前記疑似バンプに近い側の前記排斥物と、前記他方の前記疑似バンプの前記一対の排斥物のうち前記一方の前記疑似バンプに近い側の前記排斥物とが、前記第2方向において重なっている、請求項1に記載の半導体装置。
- [請求項3] 前記端子は、各前記疑似バンプの前記第1方向における一方側の前記排斥物と他方側の前記排斥物との間において、前記排斥物が形成されていない平坦領域を含む、請求項1または2に記載の半導体装置。
- [請求項4] 基板と、
前記基板に設けられたデバイス領域と、
平面視で前記デバイス領域を覆う端子と、

前記端子の上に配置された複数の疑似バンプとを備え、

前記複数の疑似バンプは、1個の中心バンプと、前記中心バンプの周囲に平面視で六角形の頂点に位置するレイアウトで密に配置された6個の周囲バンプとを含むハニカム構造レイアウトに配置され、

前記複数の疑似バンプのそれぞれの下部から側部に沿って、前記端子の一部の隆起により排斥物が形成されており、

各前記疑似バンプの前記排斥物は、平面視において第1方向に沿って指向性を持つように、各前記疑似バンプの前記第1方向における一方側および他方側の両側に一対形成されており、

前記中心バンプの前記排斥物と、前記複数の周囲バンプのうち前記中心バンプに対して前記第1方向に直交する第2方向に隣り合う2個の第1周囲バンプの前記排斥物は、前記第2方向に沿って互いに間隔を空けて配列されている、半導体装置。

[請求項5] 前記中心バンプと、平面視において前記第1方向および前記第2方向のいずれに対しても傾斜している斜め方向において前記中心バンプに隣り合う2個の第2周囲バンプとに着目したときに、前記中心バンプの前記排斥物は、前記第1方向において、前記第2周囲バンプの間の空間領域に対向している、請求項4に記載の半導体装置。

[請求項6] 前記第2方向に沿って、前記第1周囲バンプの前記排斥物、前記第2周囲バンプの前記排斥物、前記中心バンプの前記排斥物、前記第2周囲バンプの前記排斥物、および前記第1周囲バンプの前記排斥物が順に配列されている、請求項5に記載の半導体装置。

[請求項7] 前記ハニカム構造レイアウトは、前記中心バンプおよび前記複数の周囲バンプのうち隣り合う2個の周囲バンプが平面視で三角形の頂点に位置する三角形レイアウトを複数含み、

各前記三角形レイアウトにおいて、前記頂点同士を結ぶ仮想線により正三角形が形成されている、請求項4～6のいずれか一項に記載の半導体装置。

- [請求項8] 基板と、
前記基板に設けられたデバイス領域と、
平面視で前記デバイス領域を覆う端子と、
前記端子の上に配置された複数の疑似バンプとを備え、
前記複数の疑似バンプのそれぞれの下部から側部に沿って、前記端子の一部の隆起により排斥物が形成されており、
各前記疑似バンプの前記排斥物は、平面視において第1方向に沿って指向性を持つように、各前記疑似バンプの前記第1方向における一方側および他方側の両側に一対形成されており、
それぞれが前記第1方向に直交する第2方向に沿って配列された前記複数の疑似バンプを含む第1ラインバンプ群および第2ラインバンプ群を含み、
前記第1ラインバンプ群および前記第2ラインバンプ群は、前記第1方向において交互に配置されており、
前記第1ラインバンプ群と前記第2ラインバンプ群との間において、前記第1ラインバンプ群の前記疑似バンプの前記排斥物と、前記第2ラインバンプ群の前記疑似バンプの前記排斥物とが、前記第2方向に沿って互いに間隔を空けて交互に配列されている、半導体装置。
- [請求項9] 前記第2ラインバンプ群を挟んで前記第1方向において隣り合う一対の前記第1ラインバンプ群において、
一方の前記第1ラインバンプ群の前記疑似バンプの前記排斥物と、他方の前記第1ラインバンプ群の前記疑似バンプの前記排斥物とは、平面視において、前記第2ラインバンプ群における複数の前記疑似バンプの間の空間領域を介して対向している、請求項8に記載の半導体装置。
- [請求項10] 前記端子と前記複数の疑似バンプの材料は異なる、請求項1～9のいずれか一項に記載の半導体装置。
- [請求項11] 前記複数の疑似バンプの材料は、前記端子の材料よりも硬い、請求

項 1 0 に記載の半導体装置。

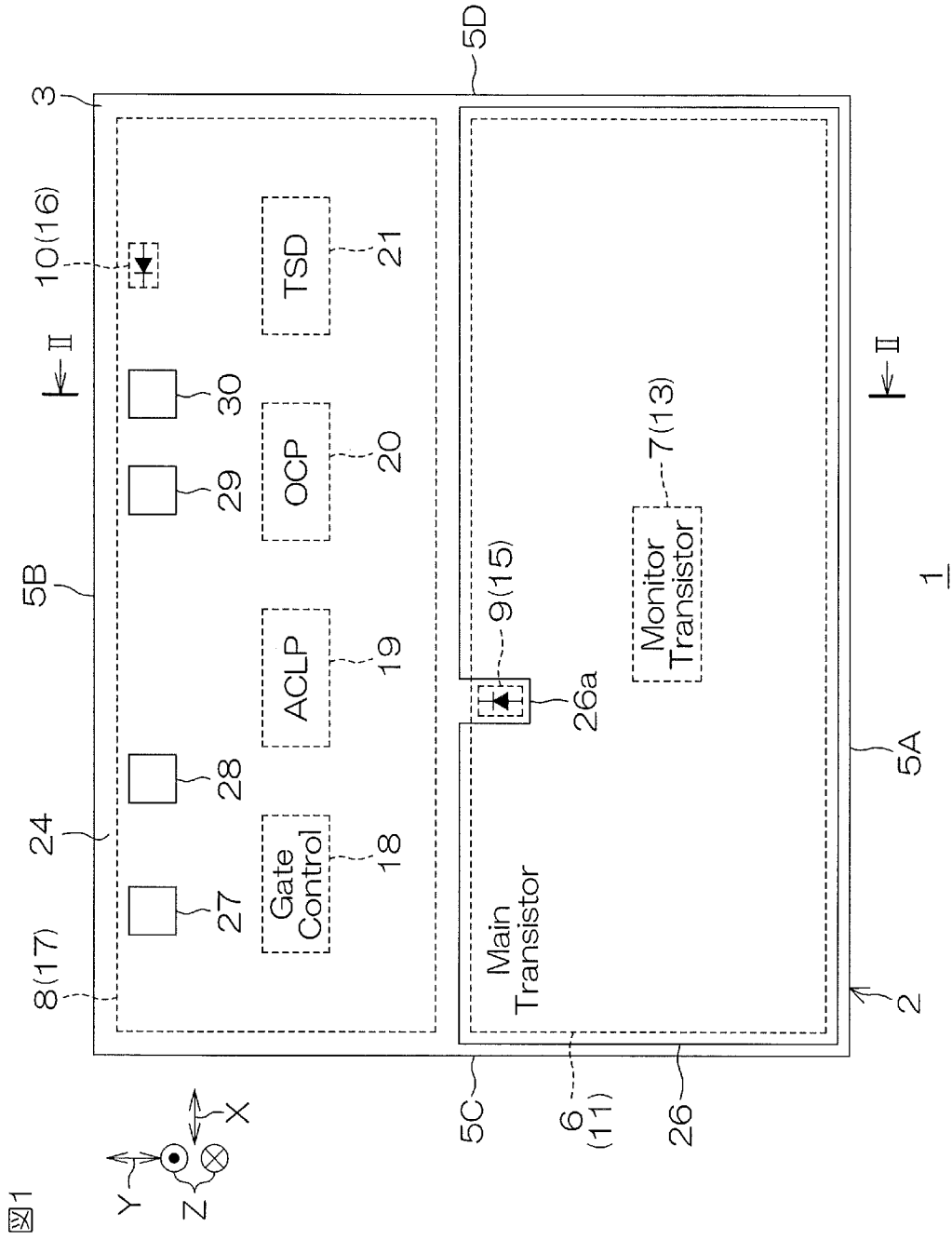
[請求項12] 前記複数の疑似バンプは銅からなり、かつ、前記端子はアルミニウムからなる、請求項 1 1 に記載の半導体装置。

[請求項13] 前記複数の疑似バンプのピッチは、 $50\ \mu\text{m}$ 以上 $250\ \mu\text{m}$ 以下である、請求項 1 ~ 1 2 のいずれか一項に記載の半導体装置。

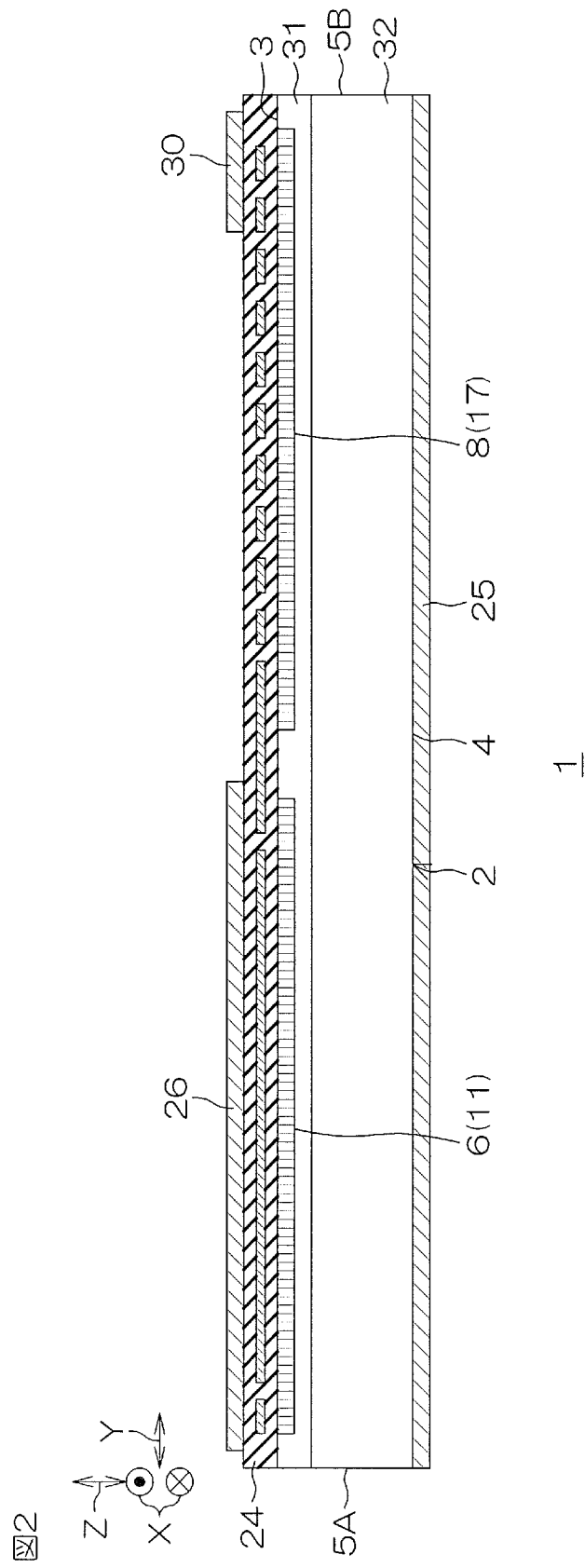
[請求項14] ワイヤに接続された状態で前記端子上に配置された真正バンプをさらに含む、請求項 1 ~ 1 3 のいずれか一項に記載の半導体装置。

[請求項15] 前記真正バンプは、前記複数の疑似バンプと同じ材料からなる、請求項 1 4 に記載の半導体装置。

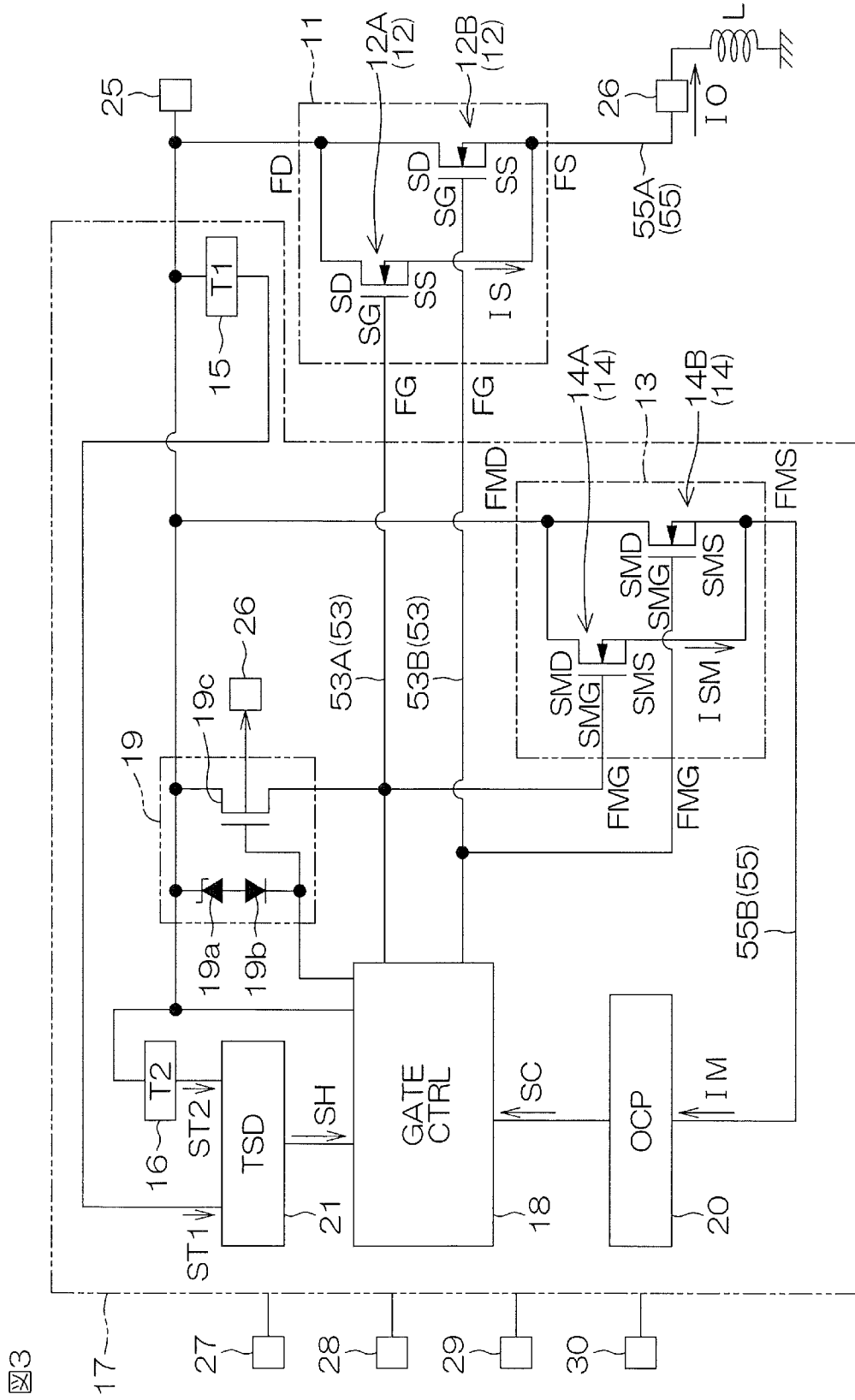
[図1]



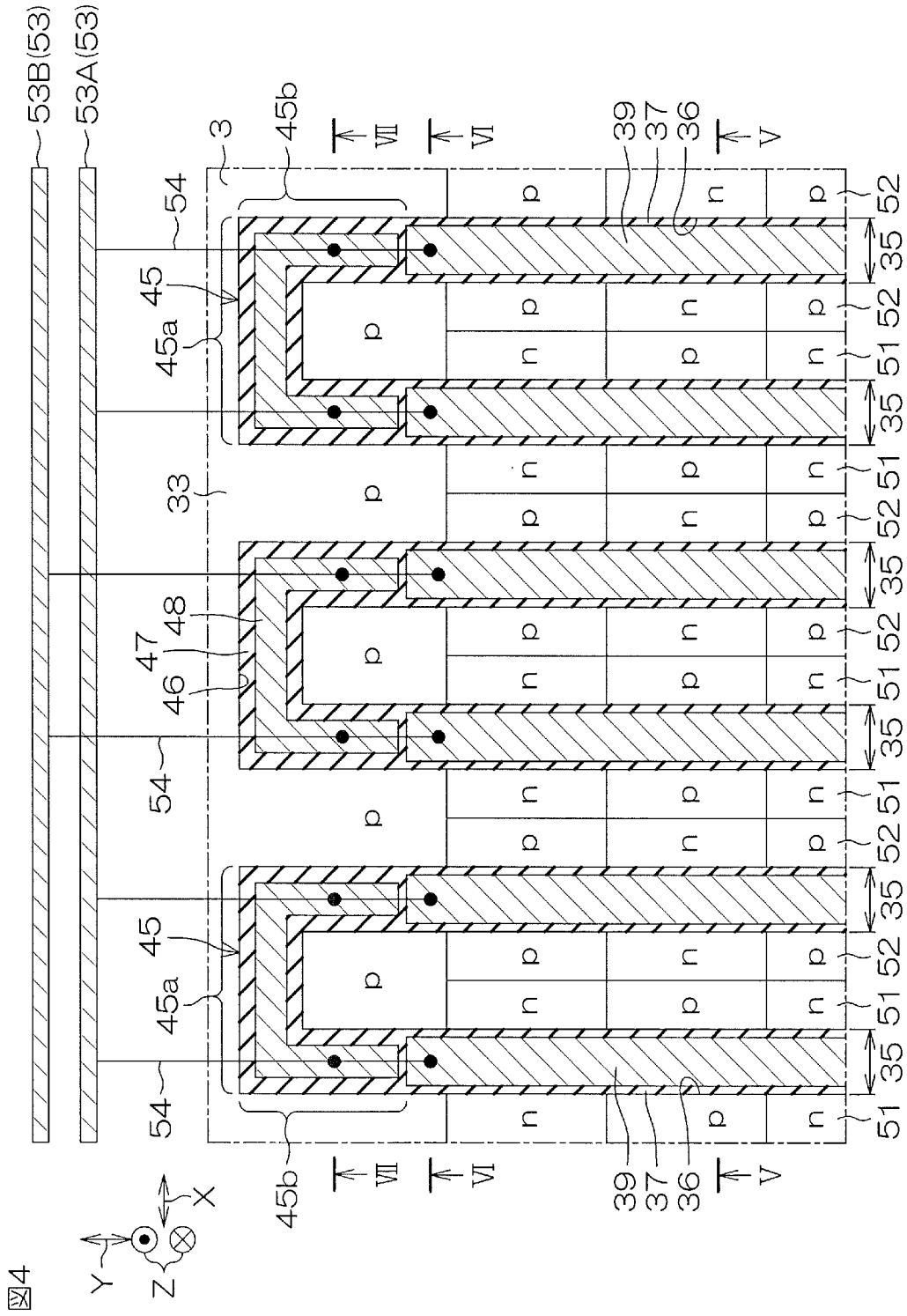
[図2]



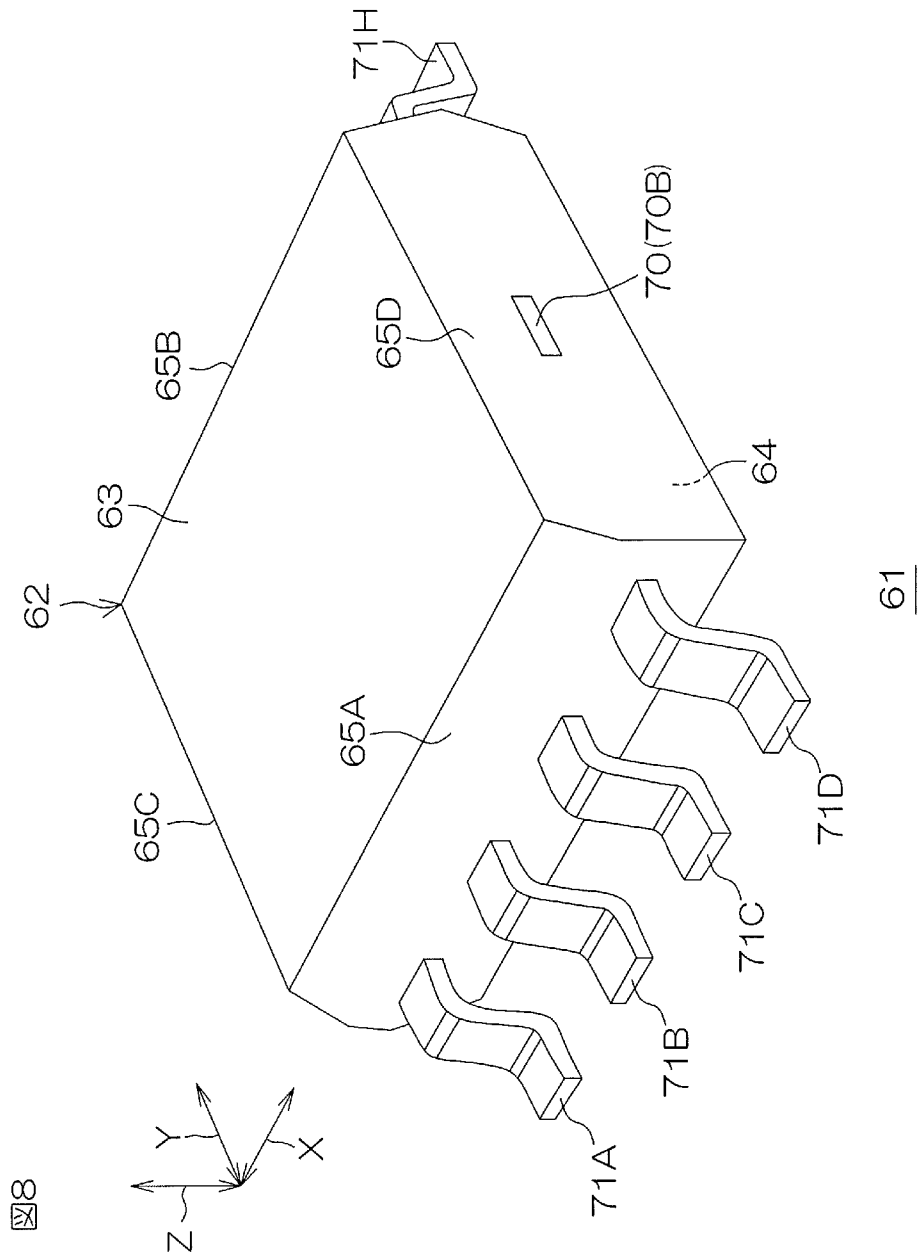
[図3]



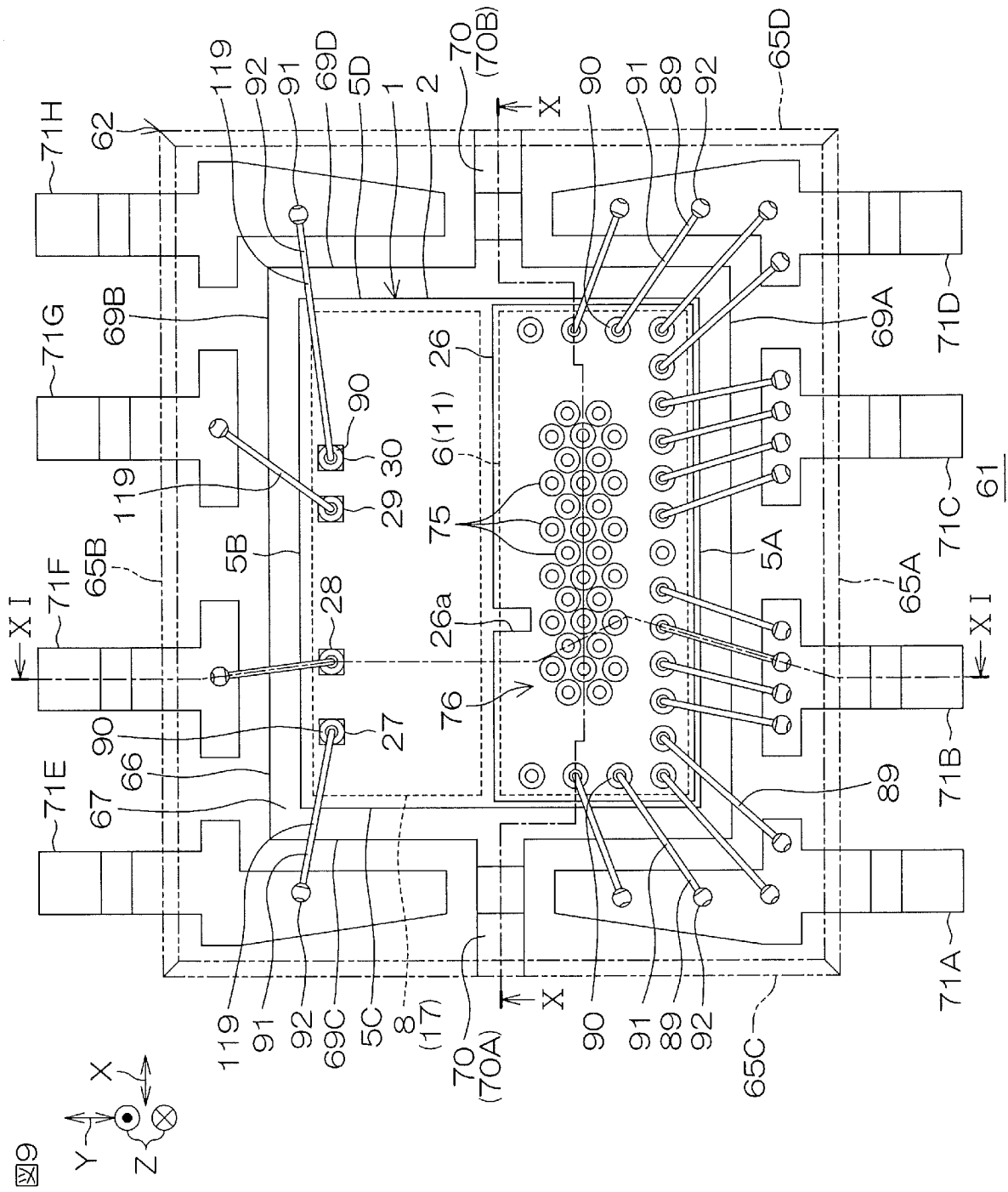
[図4]



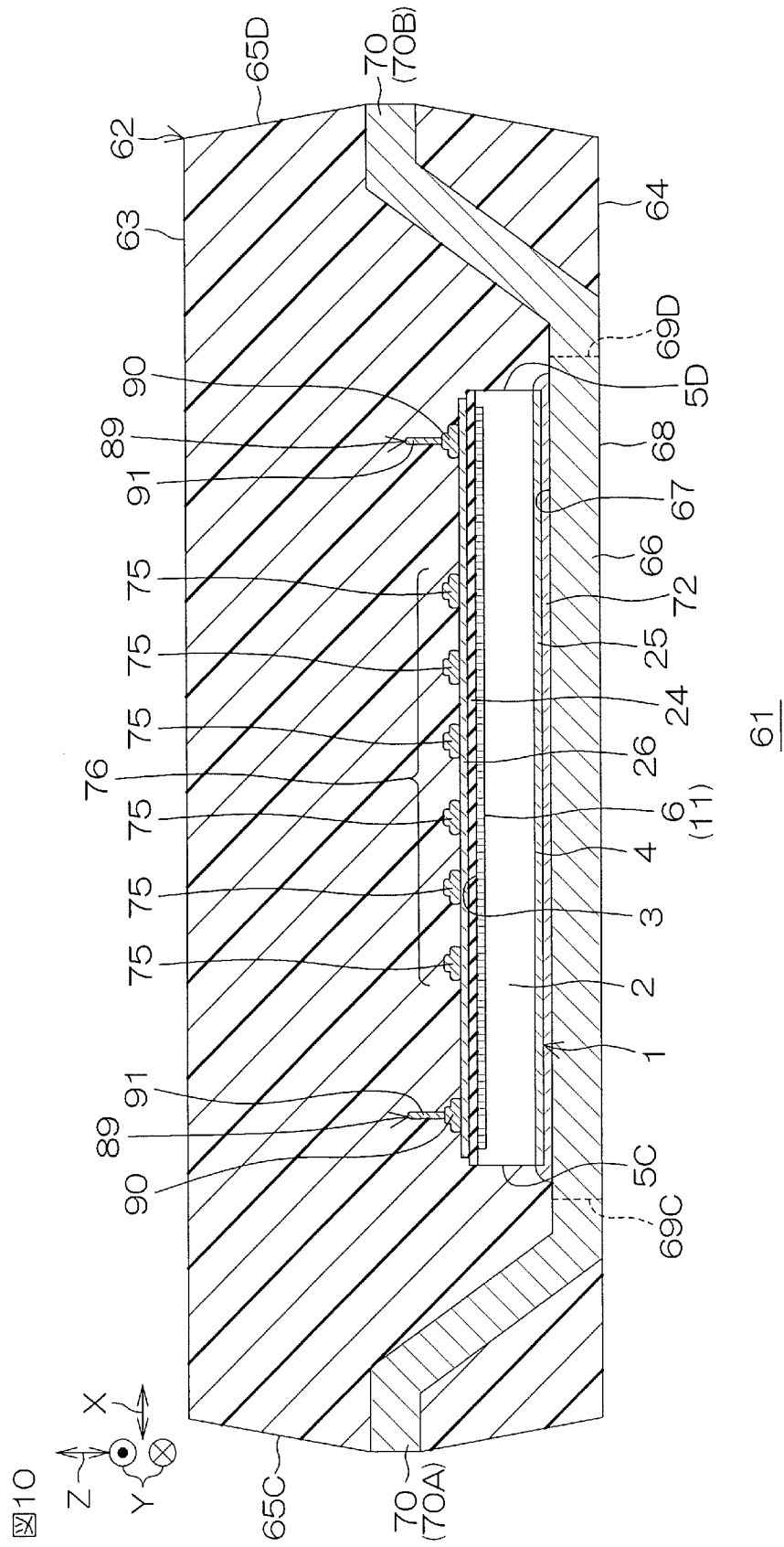
[図8]



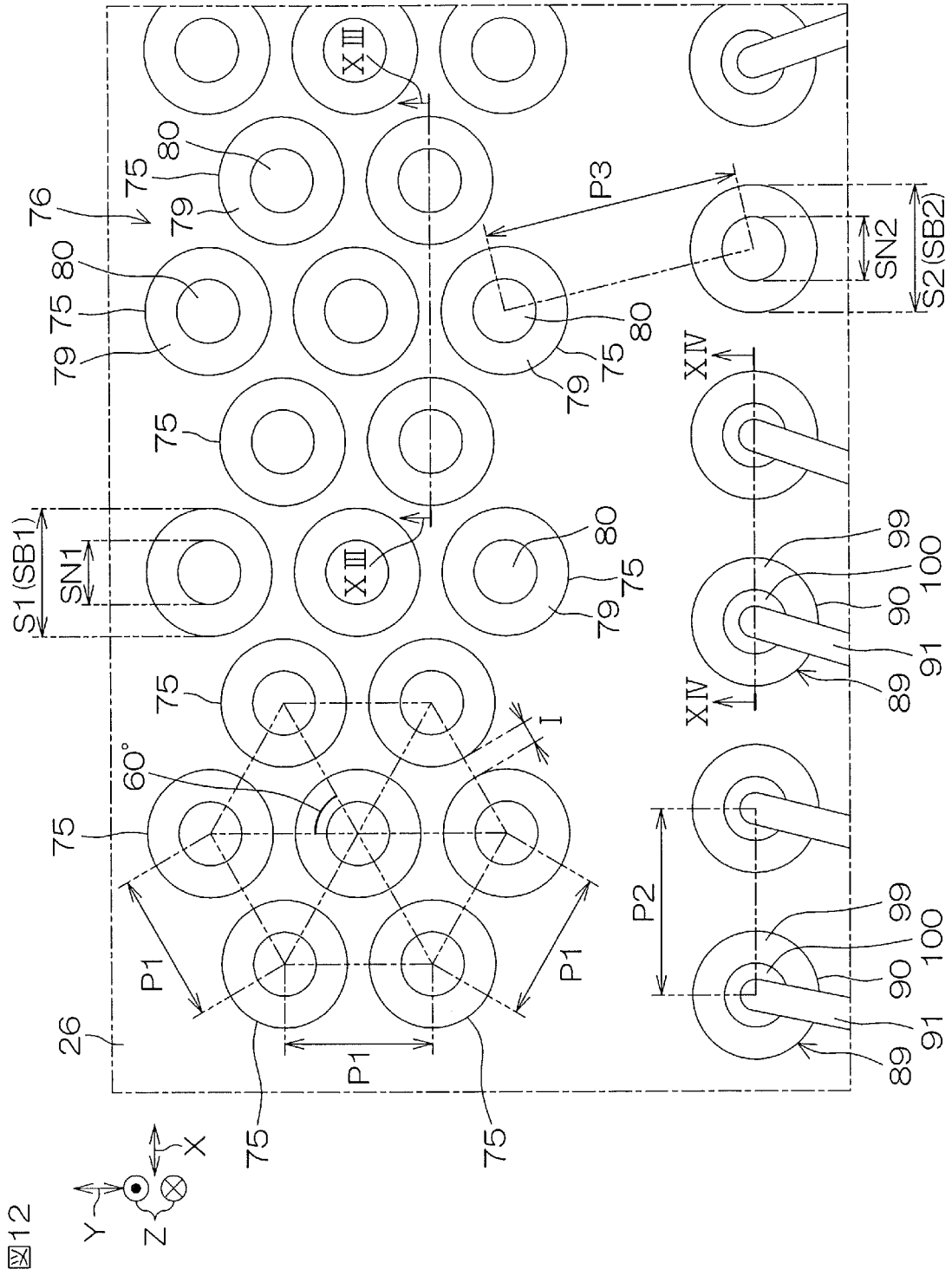
[図9]



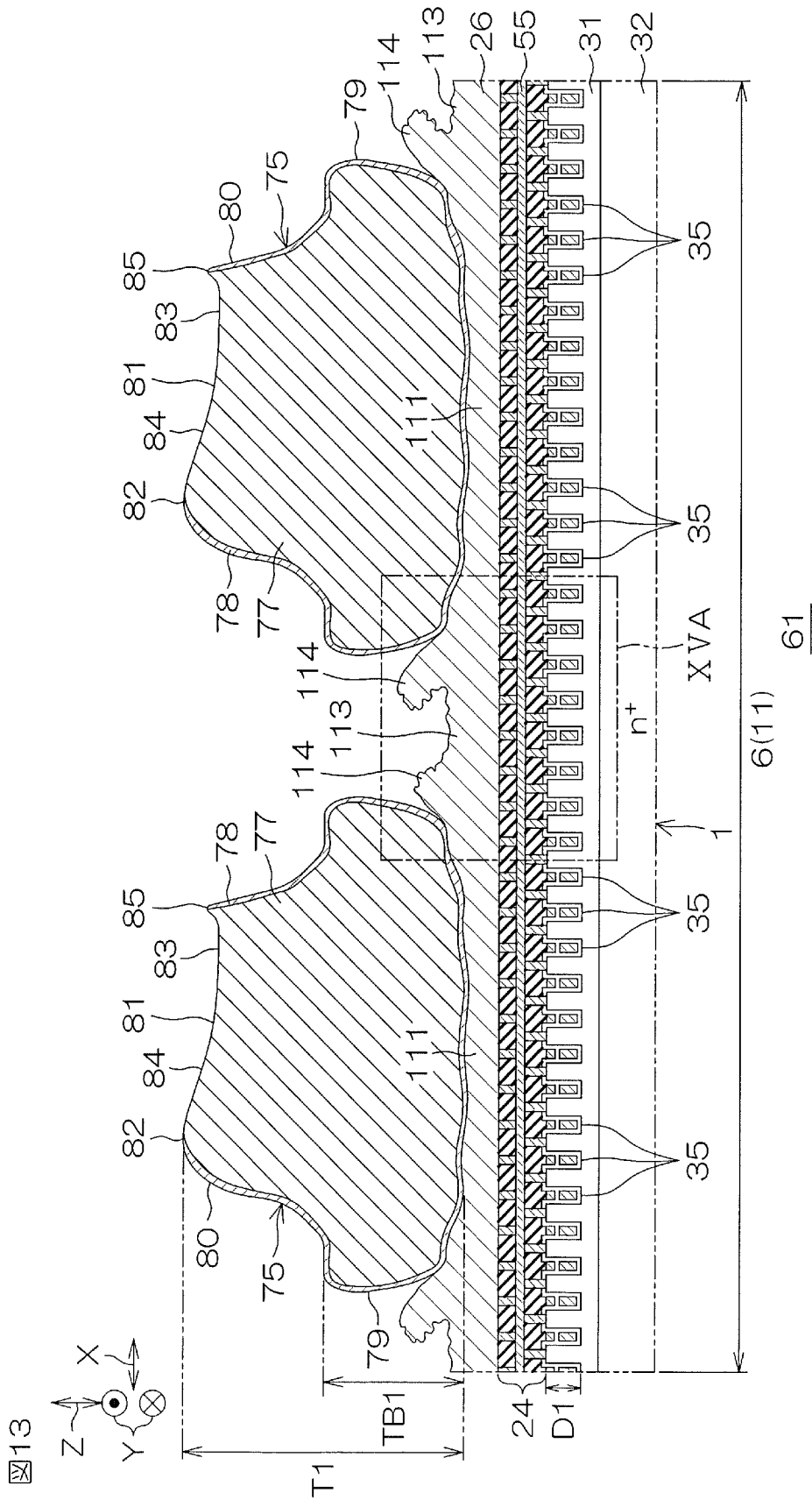
[図10]



[圖12]

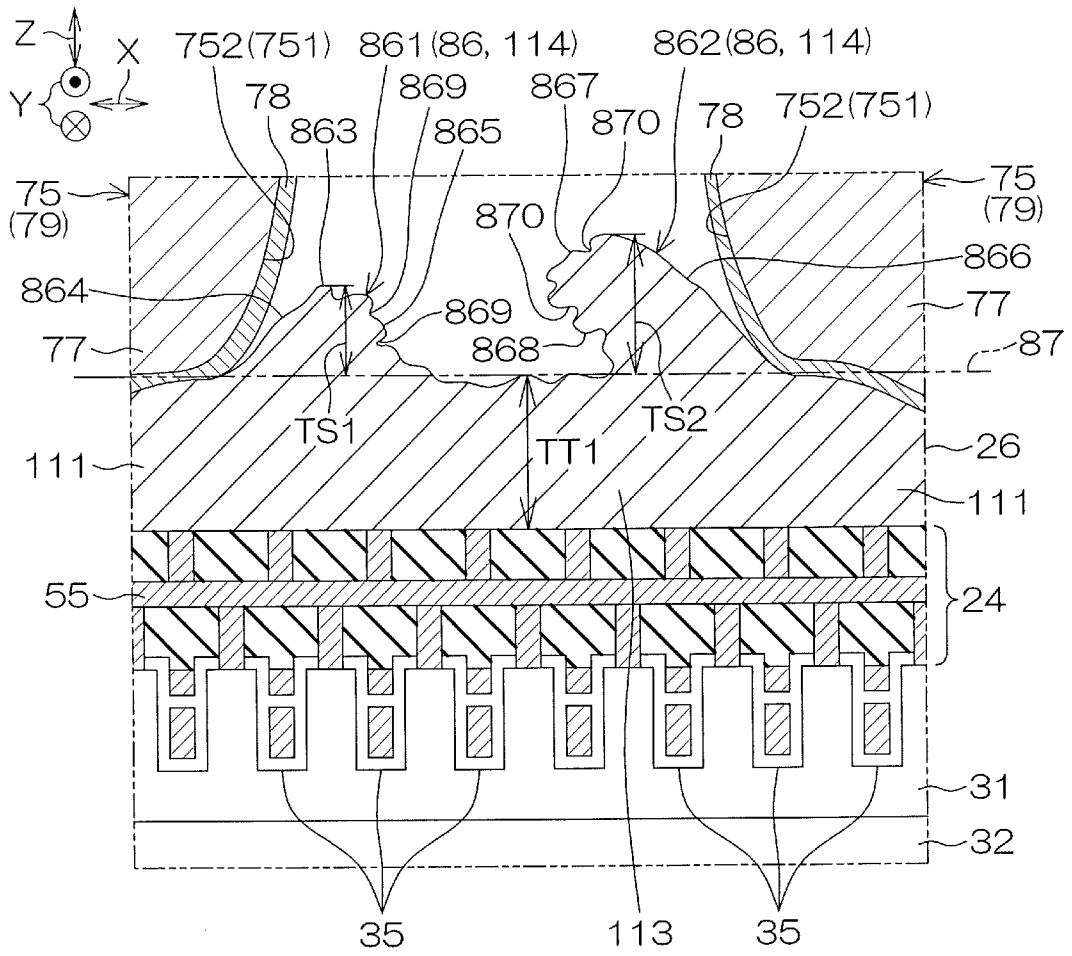


[図13]

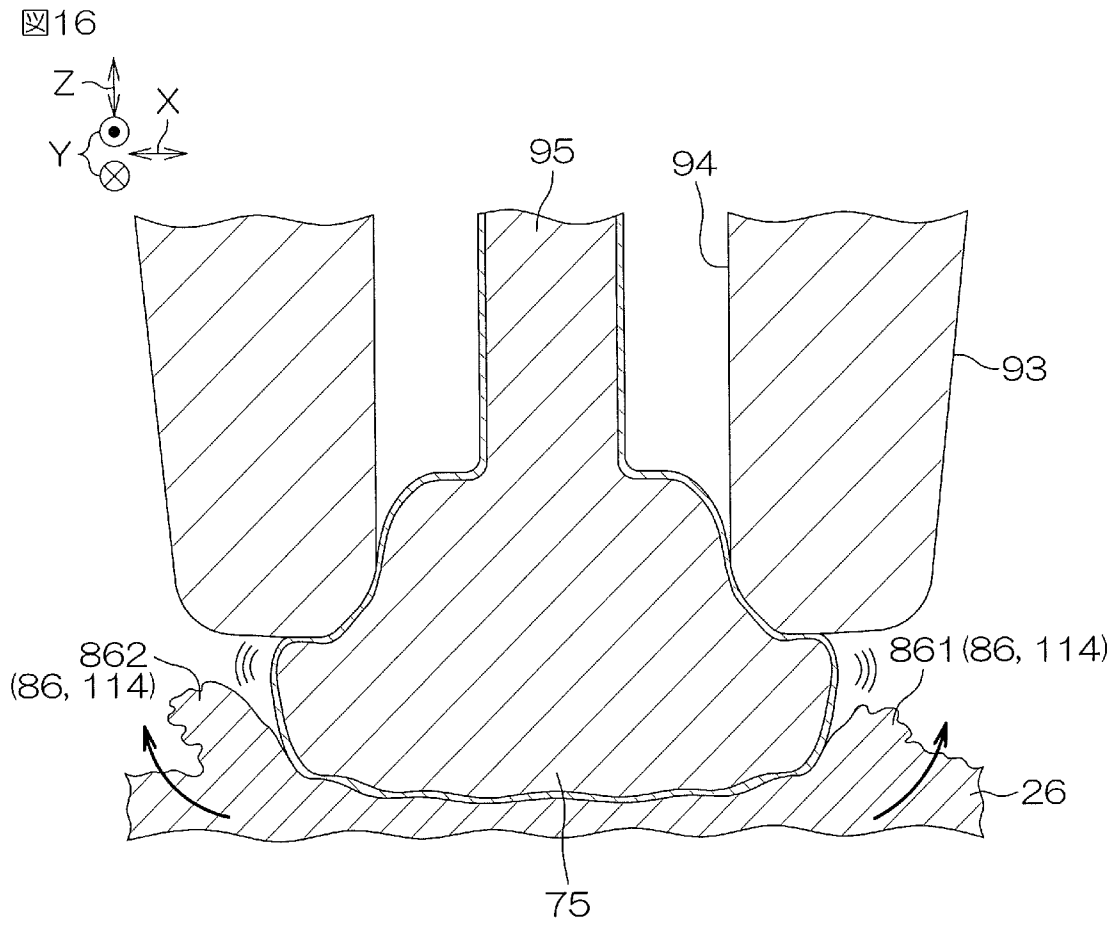


[図15A]

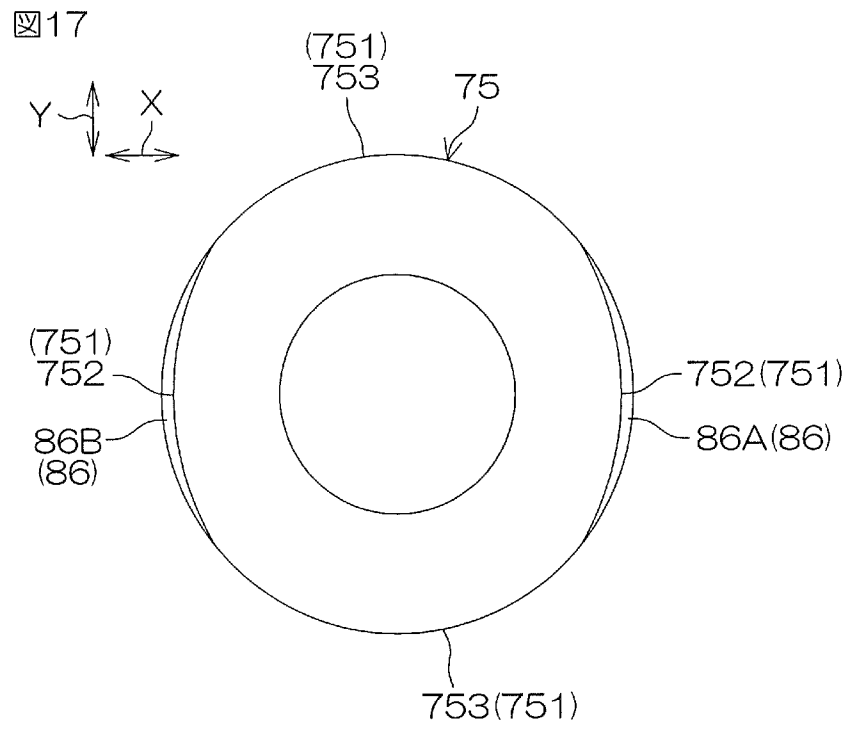
図15A



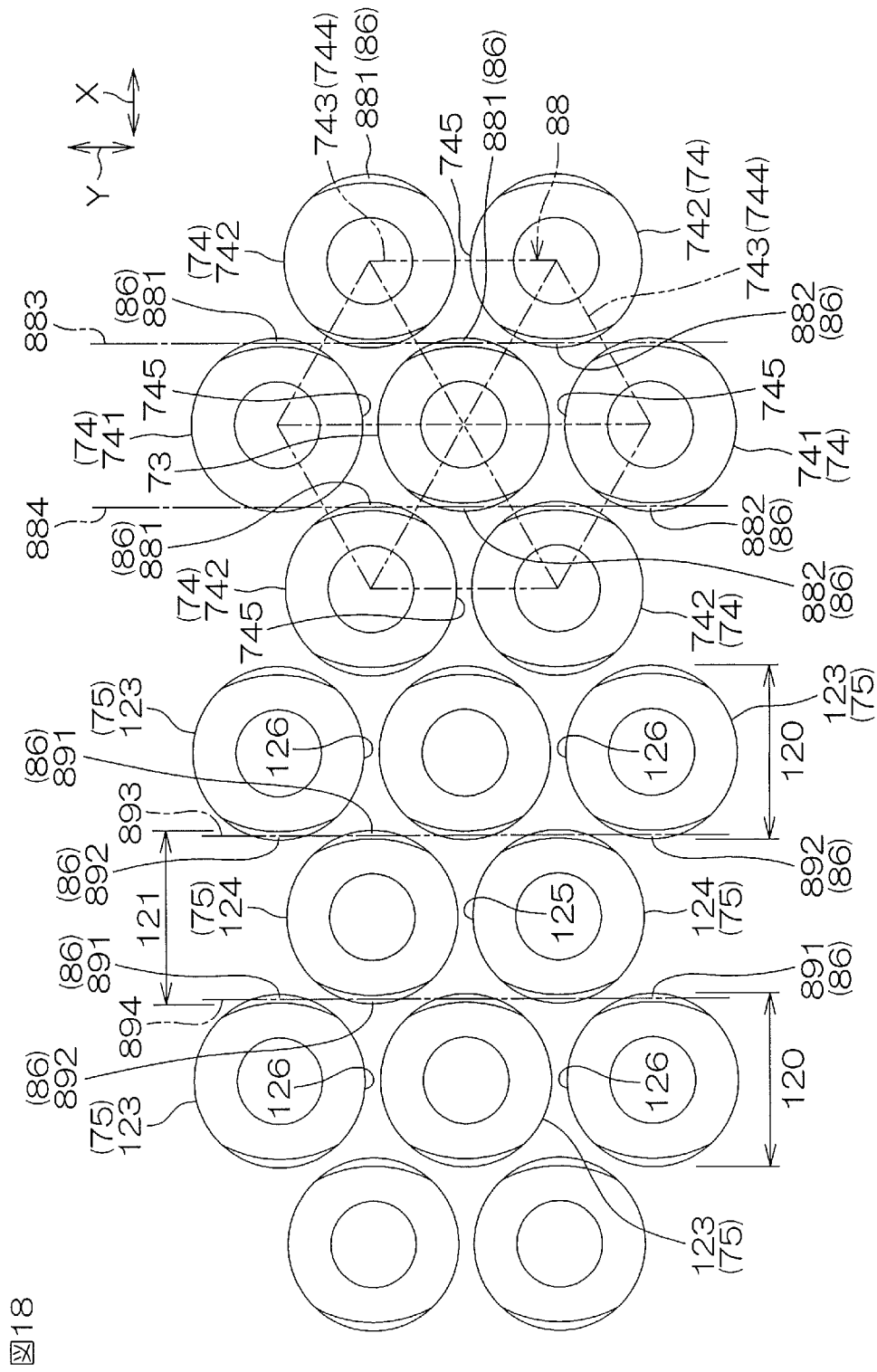
[図16]



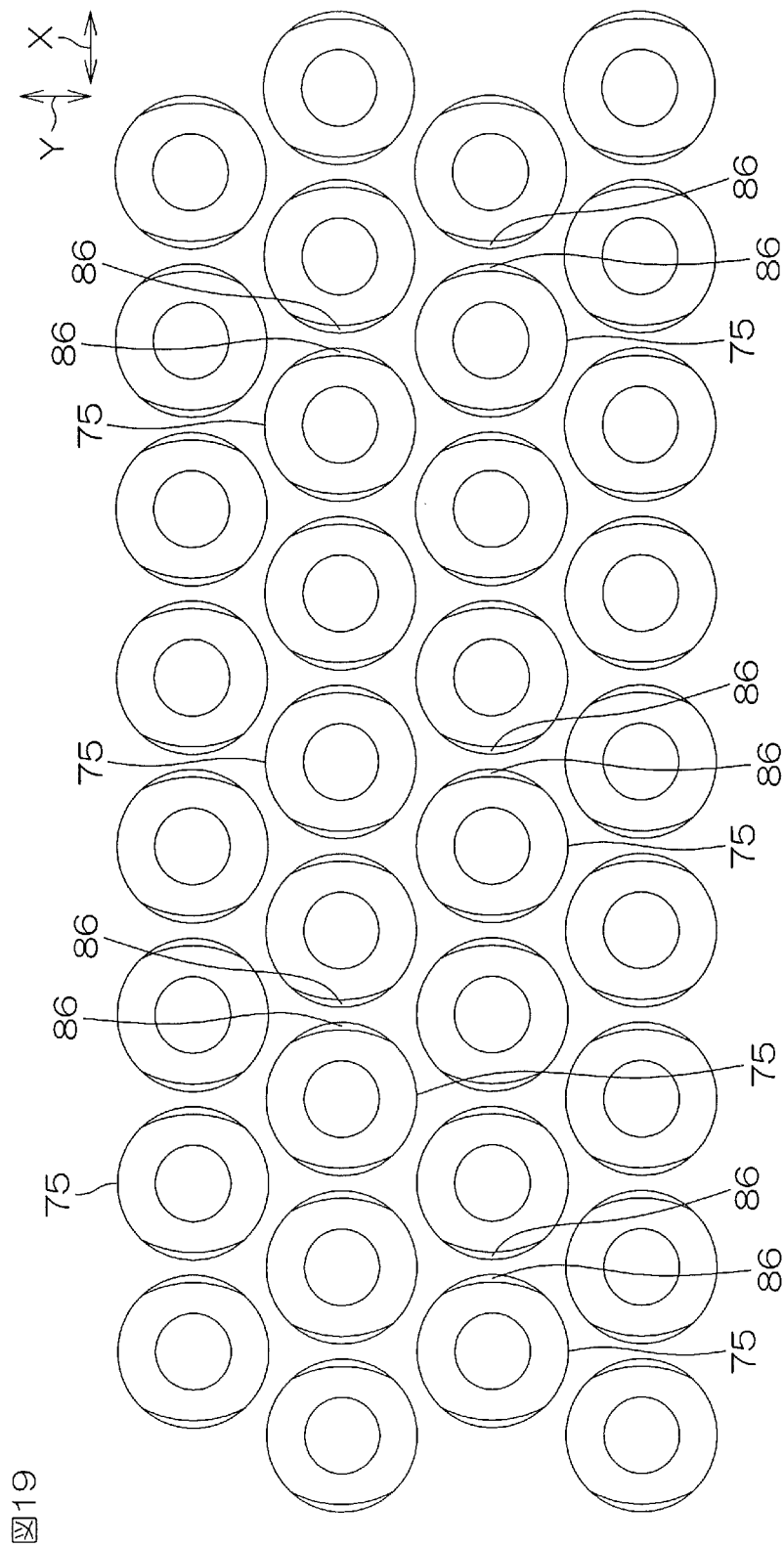
[図17]



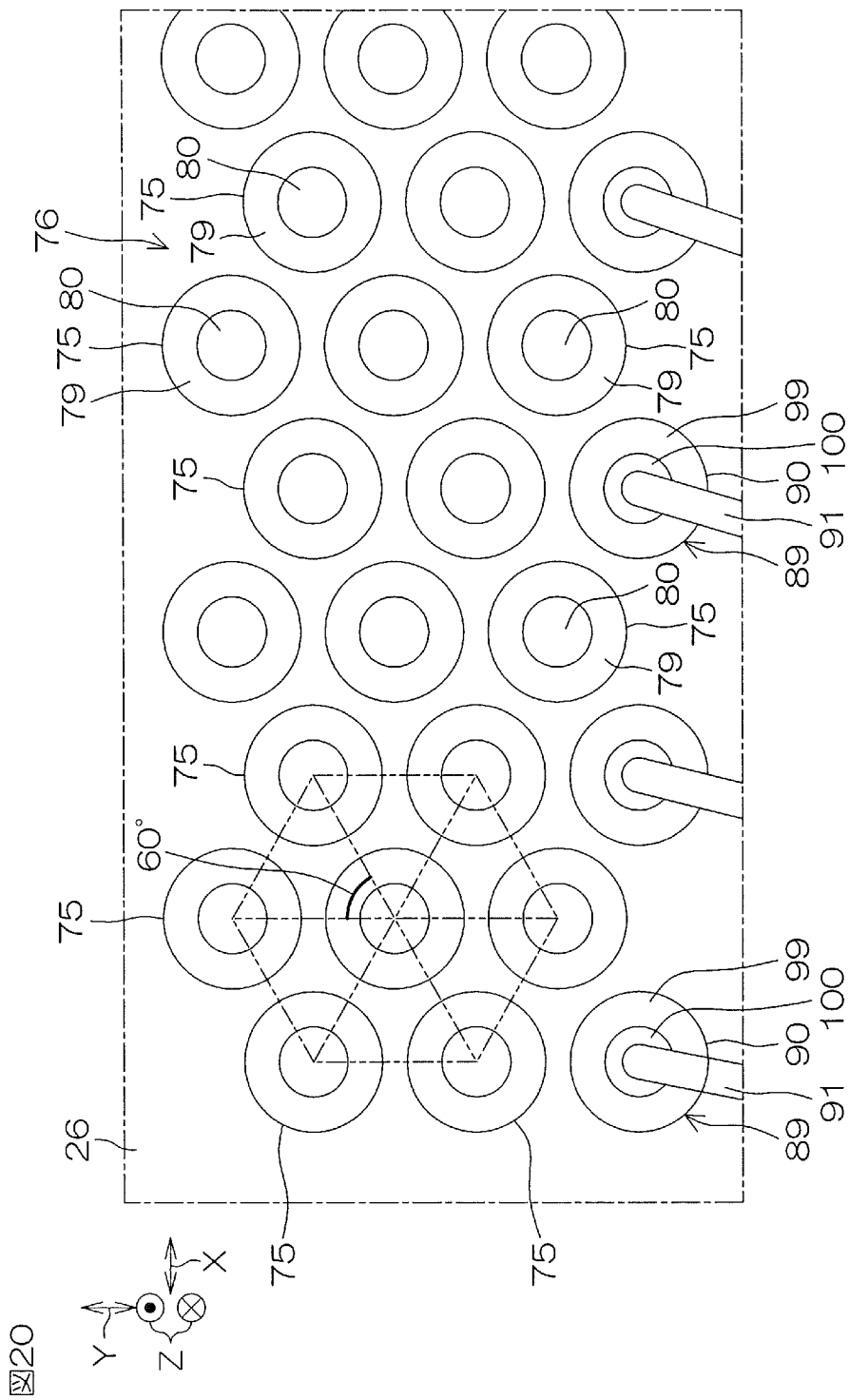
[圖18]



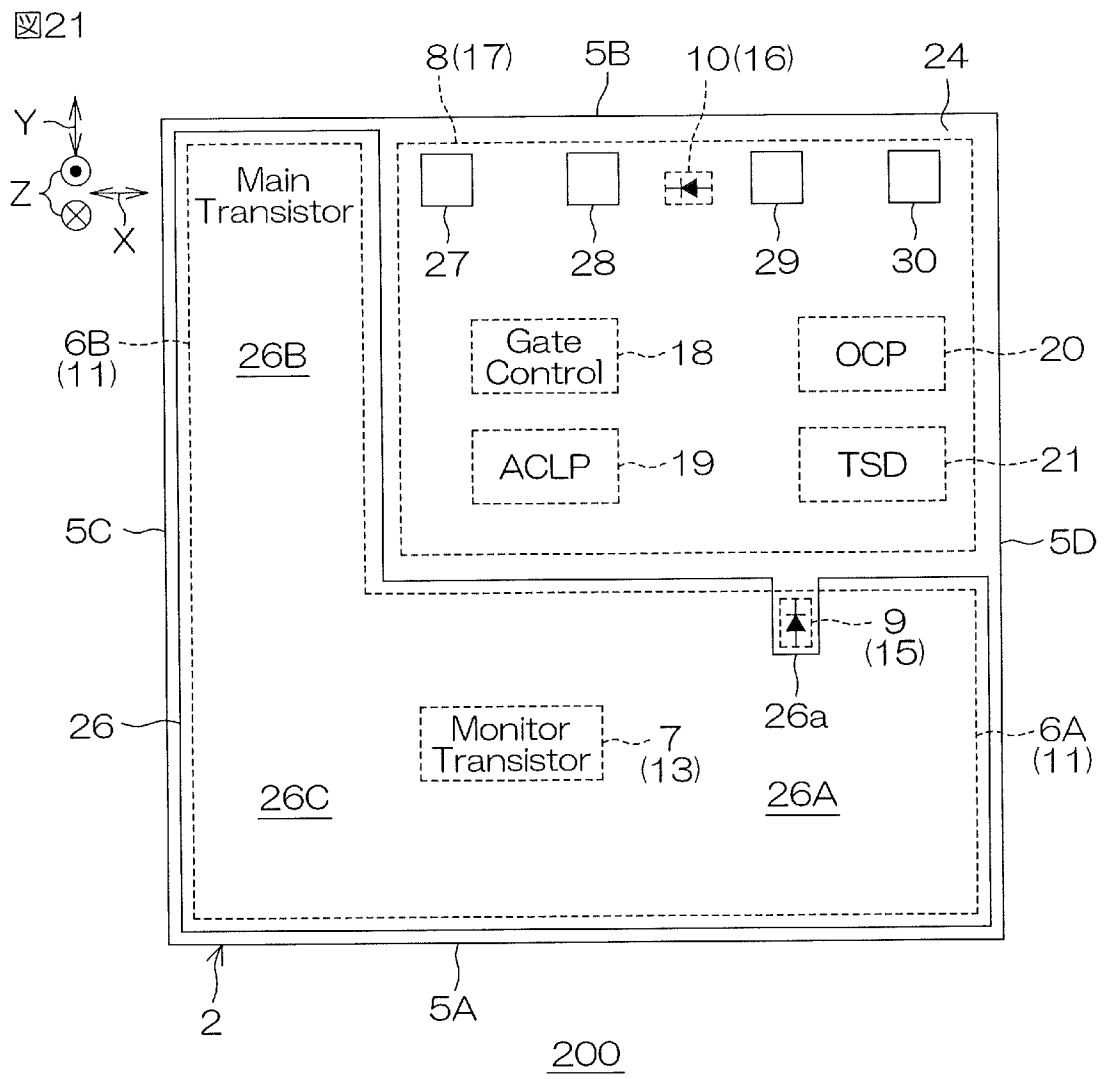
[19]



[20]



[図21]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2023/037552

| A. CLASSIFICATION OF SUBJECT MATTER | | |
|--|--|---|
| <i>H01L 23/12</i> (2006.01)i; <i>H01L 21/60</i> (2006.01)i; <i>H01L 23/29</i> (2006.01)i FI: H01L23/12 W; H01L21/92 602N; H01L23/36 A | | |
| According to International Patent Classification (IPC) or to both national classification and IPC | | |
| B. FIELDS SEARCHED | | |
| Minimum documentation searched (classification system followed by classification symbols) H01L23/12; H01L23/29; H01L21/60 | | |
| Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched Published examined utility model applications of Japan 1922-1996 Published unexamined utility model applications of Japan 1971-2023 Registered utility model specifications of Japan 1996-2023 Published registered utility model applications of Japan 1994-2023 | | |
| Electronic data base consulted during the international search (name of data base and, where practicable, search terms used) | | |
| C. DOCUMENTS CONSIDERED TO BE RELEVANT | | |
| Category* | Citation of document, with indication, where appropriate, of the relevant passages | Relevant to claim No. |
| Y | JP 8-250628 A (HITACHI, LTD.) 27 September 1996 (1996-09-27) paragraphs [0019]-[0042], fig. 1-9 | 1-15 |
| Y | JP 5-62978 A (FUJITSU LTD.) 12 March 1993 (1993-03-12) paragraph [0024], fig. 1 | 1-15 |
| Y | JP 2004-79559 A (HITACHI MAXELL LTD.) 11 March 2004 (2004-03-11) paragraph [0028], fig. 1 | 1-15 |
| Y | JP 2000-236024 A (MATSUSHITA ELECTRIC INDUSTRIAL CO., LTD.) 29 August 2000 (2000-08-29) paragraphs [0010]-[0012], fig. 3 | 1-15 |
| Y | JP 2002-252249 A (AUO CORP.) 06 September 2002 (2002-09-06) paragraph [0036], fig. 4(E) | 1-15 |
| <input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex. | | |
| * Special categories of cited documents: "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family | | |
| Date of the actual completion of the international search 14 December 2023 | | Date of mailing of the international search report 26 December 2023 |
| Name and mailing address of the ISA/JP Japan Patent Office (ISA/JP) 3-4-3 Kasumigaseki, Chiyoda-ku, Tokyo 100-8915 Japan | | Authorized officer Telephone No. |

INTERNATIONAL SEARCH REPORT
Information on patent family members

| |
|---|
| International application No. PCT/JP2023/037552 |
|---|

| Patent document cited in search report | Publication date (day/month/year) | Patent family member(s) | Publication date (day/month/year) |
|---|--------------------------------------|--|--------------------------------------|
| JP 8-250628 A | 27 September 1996 | (Family: none) | |
| JP 5-62978 A | 12 March 1993 | (Family: none) | |
| JP 2004-79559 A | 11 March 2004 | (Family: none) | |
| JP 2000-236024 A | 29 August 2000 | (Family: none) | |
| JP 2002-252249 A | 06 September 2002 | US 2002/0109227 A1 paragraph [0027], fig. 3(E) TW 484172 B | |

| | | |
|--|--|----------------------------|
| A. 発明の属する分野の分類（国際特許分類（IPC）） H01L 23/12(2006.01)i; H01L 21/60(2006.01)i; H01L 23/29(2006.01)i FI: H01L23/12 W; H01L21/92 602N; H01L23/36 A | | |
| B. 調査を行った分野 調査を行った最小限資料（国際特許分類（IPC）） H01L23/12; H01L23/29; H01L21/60 最小限資料以外の資料で調査を行った分野に含まれるもの 日本国実用新案公報 1922 - 1996年 日本国公開実用新案公報 1971 - 2023年 日本国実用新案登録公報 1996 - 2023年 日本国登録実用新案公報 1994 - 2023年 | | |
| 国際調査で使用した電子データベース（データベースの名称、調査に使用した用語） | | |
| C. 関連すると認められる文献 | | |
| 引用文献の カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示 | 関連する 請求項の番号 |
| Y | JP 8-250628 A (株式会社日立製作所) 27.09.1996 (1996 - 09 - 27) 段落[0019]-[0042], 図1-9 | 1-15 |
| Y | JP 5-62978 A (富士通株式会社) 12.03.1993 (1993 - 03 - 12) 段落[0024], 図1 | 1-15 |
| Y | JP 2004-79559 A (日立マクセル株式会社) 11.03.2004 (2004 - 03 - 11) 段落[0028], 図1 | 1-15 |
| Y | JP 2000-236024 A (松下電器産業株式会社) 29.08.2000 (2000 - 08 - 29) 段落[0010]-[0012], 図3 | 1-15 |
| Y | JP 2002-252249 A (友達光電股▼ふん▲有限公司) 06.09.2002 (2002 - 09 - 06) 段落[0036], 図4(E) | 1-15 |
| <input type="checkbox"/> C欄の続きにも文献が列挙されている。 <input checked="" type="checkbox"/> パテントファミリーに関する別紙を参照。 | | |
| * 引用文献のカテゴリー “A” 特に関連のある文献ではなく、一般的技術水準を示すもの “E” 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの “L” 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す） “O” 口頭による開示、使用、展示等に言及する文献 “P” 国際出願日前で、かつ優先権の主張の基礎となる出願の日の後に公表された文献 “T” 国際出願日又は優先日後に公表された文献であって出願と抵触するものではなく、発明の原理又は理論の理解のために引用するもの “X” 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの “Y” 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの “&” 同一パテントファミリー文献 | | |
| 国際調査を完了した日 | 14. 12. 2023 | 国際調査報告の発送日 26. 12. 2023 |
| 名称及びあて先 日本国特許庁(ISA/JP) 〒100-8915 日本国 東京都千代田区霞が関三丁目4番3号 | 権限のある職員（特許庁審査官） 佐藤 靖史 5F 5895 電話番号 03-3581-1101 内線 3516 | |

国際調査報告
 パテントファミリーに関する情報

国際出願番号

PCT/JP2023/037552

| 引用文献 | 公表日 | パテントファミリー文献 | 公表日 |
|------------------|------------|--|-----|
| JP 8-250628 A | 27.09.1996 | (ファミリーなし) | |
| JP 5-62978 A | 12.03.1993 | (ファミリーなし) | |
| JP 2004-79559 A | 11.03.2004 | (ファミリーなし) | |
| JP 2000-236024 A | 29.08.2000 | (ファミリーなし) | |
| JP 2002-252249 A | 06.09.2002 | US 2002/0109227 A1 段落[0027], 図3(E) TW 484172 B | |