

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成30年11月29日(2018.11.29)

【公開番号】特開2017-117854(P2017-117854A)

【公開日】平成29年6月29日(2017.6.29)

【年通号数】公開・登録公報2017-024

【出願番号】特願2015-249092(P2015-249092)

【国際特許分類】

H 01 L	21/822	(2006.01)
H 01 L	27/04	(2006.01)
B 41 J	2/05	(2006.01)
B 41 J	2/14	(2006.01)
H 01 L	21/82	(2006.01)
H 01 L	27/06	(2006.01)
H 01 L	21/8238	(2006.01)
H 01 L	27/092	(2006.01)
G 11 C	17/14	(2006.01)

【F I】

H 01 L	27/04	H
B 41 J	2/05	
B 41 J	2/14	2 0 1
B 41 J	2/14	6 1 1
H 01 L	21/82	F
H 01 L	27/04	V
H 01 L	27/06	3 1 1 B
H 01 L	27/04	R
H 01 L	27/06	3 1 1 A
H 01 L	27/06	3 1 1 C
H 01 L	27/08	3 2 1 H
G 11 C	17/06	B

【手続補正書】

【提出日】平成30年10月16日(2018.10.16)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

アンチヒューズ素子と、

前記アンチヒューズ素子に電圧を印加するための端子と、

前記アンチヒューズ素子を介して前記端子に接続され、前記アンチヒューズ素子への電圧の印加を制御するトランジスタと、

前記端子と、ノードを介して接続されたE S D (E l e c t r o - S t a t i c D i s c h a r g e) 保護素子と、

前記ノードと前記アンチヒューズ素子との間の電流経路に設けられた第1の抵抗素子と

、
を有し、

前記第1の抵抗素子に印加される電圧が大きくなると、前記第1の抵抗素子の抵抗値は大きくなることを特徴とする半導体装置。

【請求項2】

前記アンチヒューズ素子はMOS構造を有し、前記MOS構造のゲート酸化膜を絶縁破壊することによって情報が書き込まれるように構成されている請求項1に記載の半導体装置。

【請求項3】

前記トランジスタはMOSトランジスタである請求項1または2に記載の半導体装置。

【請求項4】

MOSトランジスタを有し、前記トランジスタを駆動する駆動部を、さらに有することを特徴とする請求項1乃至3のいずれか1項に記載の半導体装置。

【請求項5】

前記第1の抵抗素子は、前記第1の抵抗素子に印加される電圧が大きくなると、抵抗値が単調増加し、前記抵抗値の変化率も単調増加する構成である請求項1乃至4のいずれか1項に記載の半導体装置。

【請求項6】

前記アンチヒューズ素子と並列に接続された第2の抵抗素子を有し、

前記アンチヒューズ素子に情報を書き込む際に前記端子に印加する電圧より高い電圧を印加した際の抵抗の変化率が、前記第2の抵抗素子より前記第1の抵抗素子の方が大きい請求項1乃至5のいずれか1項に記載の半導体装置。

【請求項7】

前記第1の抵抗素子と前記第2の抵抗素子は拡散抵抗である請求項6に記載の半導体装置。

【請求項8】

前記第2の抵抗素子の幅が、前記第1の抵抗素子の幅より広いことを特徴とする請求項7に記載の半導体装置。

【請求項9】

前記第1の抵抗素子と前記第2の抵抗素子は、印加される電圧によって前記拡散抵抗が形成されている拡散領域の空乏層領域が変化し、高電圧を加えると実質的な抵抗幅が狭くなる請求項7に記載の半導体装置。

【請求項10】

前記ESD保護素子はMOSトランジスタから構成され、ゲートとソースとバックゲートは接地され、ドレインが前記端子と第1の抵抗素子の間に接続されていることを特徴とする請求項1乃至9のいずれか1項に記載の半導体装置。

【請求項11】

アンチヒューズ素子と、

ソースおよびドレインの一方が、前記アンチヒューズ素子の一端と接続され、ソースおよびドレインの他方に第1電位が供給されるトランジスタと、

前記アンチヒューズ素子の他端に一端が接続され、前記第1電位とは異なる第2電位が供給される端子に他端が接続された第1の抵抗素子と、

前記端子と、前記第1の抵抗素子の他端との間の電気経路に接続されたESD(Electro-Static Discharge)保護素子と、を有し、

前記第1の抵抗素子は拡散抵抗であることを特徴とする半導体装置。

【請求項12】

前記アンチヒューズ素子はMOS構造を有し、前記MOS構造のゲート酸化膜を絶縁破壊することによって情報が書き込まれるように構成されている請求項11に記載の半導体装置。

【請求項13】

前記トランジスタはMOSトランジスタである請求項11または12に記載の半導体装置。

【請求項 14】

MOSトランジスタを有し、前記トランジスタを駆動する駆動部を、さらに有する請求項11乃至13のいずれか1項に記載の半導体装置。

【請求項 15】

前記第1の抵抗素子は、前記第1の抵抗素子に印加される電圧が大きくなると、抵抗値が単調増加し、前記抵抗値の変化率も単調増加する構成である請求項11乃至14のいずれか1項に記載の半導体装置。

【請求項 16】

前記アンチヒューズ素子と並列に接続された第2の抵抗素子を有し、前記アンチヒューズ素子に情報を書き込む際に前記端子に印加する電圧より高い電圧を印加した際の抵抗の変化率が、前記第2の抵抗素子より前記第1の抵抗素子の方が大きい請求項11乃至15のいずれか1項に記載の半導体装置。

【請求項 17】

前記第2の抵抗素子の幅が、前記第1の抵抗素子の幅より広い請求項11乃至16のいずれか1項に記載の半導体装置。

【請求項 18】

前記第1の抵抗素子は、印加される電圧によって前記拡散抵抗が形成されている拡散領域の空乏層領域が変化し、高電圧を加えると実質的な抵抗幅が狭くなる請求項11乃至17のいずれか1項に記載の半導体装置。

【請求項 19】

前記ESD保護素子はMOSトランジスタから構成され、前記MOSトランジスタのゲートとソースとバックゲートは接地され、ドレインが前記端子と第1の抵抗素子の間に接続されている請求項11乃至18のいずれか1項に記載の半導体装置。

【請求項 20】

複数の吐出口と記録ヘッド用基板とを有する記録ヘッド部と、

前記記録ヘッド部に取り付けられたインクタンクと、

を有し、

前記記録ヘッド用基板は、

前記複数の吐出口に対応するように設けられた吐出用素子と、

前記吐出用素子と電気的に接続された制御回路と、

前記制御回路と電気的に接続された請求項1乃至19のいずれか1項に半導体装置と、
を有することを特徴とする記録装置。

【請求項 21】

前記吐出用素子はヒータであることを特徴とする請求項20に記載の記録装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0005

【補正方法】変更

【補正の内容】

【0005】

本発明の一様態は、アンチヒューズ素子と、前記アンチヒューズ素子に電圧を印加するための端子と、前記アンチヒューズ素子を介して前記端子に接続され、前記アンチヒューズ素子への電圧の印加を制御する高耐圧トランジスタと、前記端子と、ノードを介して接続されたESD(Electro-Static Discharge)保護素子と、前記ノードと前記アンチヒューズ素子との間の電流経路に設けられた第1の抵抗素子と、を有し、前記第1の抵抗素子の抵抗値は電圧依存性を有し、前記第1の抵抗素子に印加される電圧が大きくなると、前記第1の抵抗素子の抵抗値は抵抗値も大きくなることを特徴とする半導体装置に関する。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】 0 0 0 6

【補正方法】 変更

【補正の内容】

【0 0 0 6】

また、本発明の別の一様態は、アンチヒューズ素子と、ソースおよびドレインの一方が、前記アンチヒューズ素子の一端と接続され、ソースおよびドレインの他方に第1電位が供給されるトランジスタと、前記アンチヒューズ素子の他端に一端が接続され、前記第1電位とは異なる第2電位が供給される端子に他端が接続された第1の抵抗素子と、前記端子と、前記第1の抵抗素子の他端との間の電気経路に接続されたE S D (E l e c t r o - S t a t i c D i s c h a r g e) 保護素子と、を有し、前記第1の抵抗素子は拡散抵抗であることを特徴とする半導体装置に関する。