

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2012-178520

(P2012-178520A)

(43) 公開日 平成24年9月13日(2012.9.13)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/3205 (2006.01)	HO 1 L 21/88 J	5 F 0 3 3
HO 1 L 23/522 (2006.01)	HO 1 L 21/88 T	
HO 1 L 21/768 (2006.01)	HO 1 L 25/08 B	
HO 1 L 25/065 (2006.01)	HO 1 L 23/12 5 O 1 P	
HO 1 L 25/07 (2006.01)		

審査請求 未請求 請求項の数 20 O L (全 23 頁) 最終頁に続く

(21) 出願番号 特願2011-41735 (P2011-41735)
 (22) 出願日 平成23年2月28日 (2011. 2. 28)

(71) 出願人 500174247
 エルピーダメモリ株式会社
 東京都中央区八重洲2-2-1
 (74) 代理人 100123788
 弁理士 官崎 昭夫
 (74) 代理人 100106138
 弁理士 石橋 政幸
 (74) 代理人 100127454
 弁理士 緒方 雅昭
 (72) 発明者 藤井 誠也
 東京都中央区八重洲2-2-1 エルピー
 ダメモリ株式会社内

最終頁に続く

(54) 【発明の名称】 半導体装置及びその製造方法

(57) 【要約】

【課題】凹形状を有するホールの内壁側面上に側壁保護膜の一部を残留させることにより、ホールの内壁側面を平滑化する。後の工程でホール内に材料を埋設する際にも、ボイドを発生させることなく優れた埋設性でホール内を材料で埋設させる。

【解決手段】半導体基板の裏面上にマスクを設ける工程と、マスクを用いて半導体基板を貫通すると共に凹形状の内壁側面を有するホールであって内壁側面が側壁保護膜で覆われたホールを形成する工程と、側壁保護膜の一部を残留させるようにマスクを除去する工程と、を有する半導体装置の製造方法。

【選択図】 図 1

図 1 A

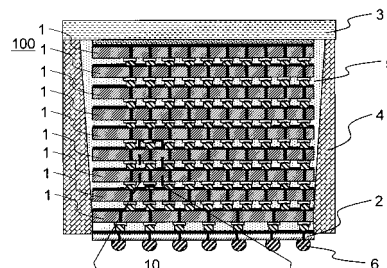
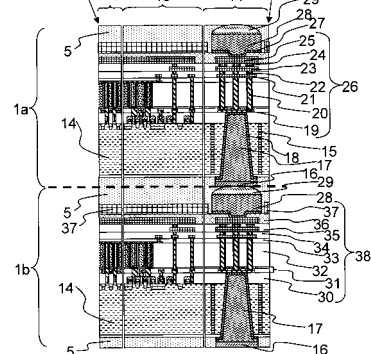


図 1 B



【特許請求の範囲】

【請求項 1】

半導体基板を貫通する開口であって側壁が保護膜で覆われた開口を形成する工程と、前記開口を形成する際に用いたマスクを、前記保護膜の一部を残したまま、除去する工程と、

を有することを特徴とする半導体装置の製造方法。

【請求項 2】

前記開口を形成する工程の前に更に、

前記半導体基板の主面上に順に、第 1 層間絶縁膜、中間配線、第 2 シード膜、表面バンブ、及び表面めっき層を形成する主面処理工程を有し、

前記開口を形成する工程は、下記工程 (1) ~ (3) からなり、前記開口として第 1 及び第 2 のバンブホールを形成する工程であり、

(1) 前記半導体基板の裏面側から、前記半導体基板の厚み方向の途中まで第 1 の開口部を形成する工程、

(2) (2 a) ~ (2 c) からなるサイクルを 1 サイクル以上、行うことにより、前記第 1 層間絶縁膜を露出させるように第 1 のバンブホールを形成する工程、

(2 a) 開口部において露出した半導体基板からなる内壁上に第 1 保護膜を形成して第 2 の開口部を形成する工程、

(2 b) 異方性エッチングにより、前記第 2 の開口部の内壁底面を構成する第 1 保護膜を除去して第 3 の開口部を形成する工程、

(2 c) 等方性エッチングにより、前記第 3 の開口部の内壁側面を構成する少なくとも一部の第 1 保護膜を除去する工程、

(3) 前記第 1 のバンブホールの底面から、前記中間配線を露出させるように前記第 1 層間絶縁膜をエッチングして第 1 層間絶縁膜内に第 2 のバンブホールを形成すると共に、第 1 及び第 2 のバンブホールの内壁側面上に側壁保護膜を形成する工程、

前記マスクを除去する工程の後に更に、

前記側壁保護膜上に、第 1 シード膜を形成する工程と、

前記第 1 及び第 2 のバンブホール内を埋め込むように、裏面バンブを設ける工程と、

前記裏面バンブ上に裏面めっき層を形成する工程と、

を有する、貫通電極を備えた請求項 1 に記載の半導体装置の製造方法。

【請求項 3】

前記工程 (2 a) において、

プロセスガスとしてパーフルオロシクロブタン (C_4F_8) を使用することにより、前記第 1 保護膜としてポリテトラフルオロエチレン ($(CF_2CF_2)_n$) を形成する、請求項 2 に記載の半導体装置の製造方法。

【請求項 4】

前記工程 (3) において、

プロセスガスとしてトリフルオロメタン (CHF_3) とアルゴン (Ar) を使用して、前記エッチング及び側壁保護膜の形成を行う、請求項 2 又は 3 に記載の半導体装置の製造方法。

【請求項 5】

前記工程 (2) において、

前記サイクルを複数回、繰り返し、

前記複数のサイクルのうち、少なくとも最後のサイクルの工程 (2 c) における等方性エッチングのエッチング選択比を、最初のサイクルの工程 (2 c) における等方性エッチングのエッチング選択比よりも大きくする、請求項 2 ~ 4 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 6】

前記主面処理工程の前に更に、

前記半導体基板の主面側からその厚み方向の途中まで、前記半導体基板の所定の領域を

10

20

30

40

50

囲むように絶縁リングを形成する工程を有し、

前記主面処理工程と前記第 1 及び第 2 のパンプホールを形成する工程の間に更に、

前記半導体基板を裏面側から研削して前記絶縁リングを露出させる工程を有し、

前記主面処理工程において、

前記中間配線の少なくとも一部が前記所定の領域上に位置するように、前記中間配線を形成し、

前記工程 (2) において、

前記絶縁リングによって囲まれるように前記第 1 のパンプホールを形成する、請求項 2 ~ 5 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 7】

前記工程 (3) と前記第 1 シード膜を形成する工程の間に更に、

前記側壁保護膜上に第 2 絶縁膜を形成する工程を有し、

前記第 1 シード膜を形成する工程において、

前記第 2 絶縁膜上に前記第 1 シード膜を形成する、請求項 2 ~ 6 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 8】

前記マスクを除去する工程において、

前記開口の側壁の凹形状の内部に前記保護膜が残留するように前記マスクを除去する、請求項 1 ~ 7 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 9】

前記マスクを除去する工程において、

異方性アッシングにより前記マスクを除去する、請求項 1 ~ 8 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 10】

酸素 (O_2)、アルゴン (Ar)、及び窒素 (N_2) をプロセスガスとし、ソースパワー、バイアスパワーを印加したプラズマアッシングにより、前記異方性アッシングを行う、請求項 9 に記載の半導体装置の製造方法。

【請求項 11】

半導体基板の主面上に順に、第 1 層間絶縁膜、中間配線、及び前記中間配線に接続された表面パンプを形成する工程と、

前記半導体基板の裏面側から、前記半導体基板の厚み方向の途中まで第 1 の開口部を形成する工程と、

ボッシュプロセスにより、前記半導体基板内に、前記第 1 層間絶縁膜を露出させると共に凹形状の内壁側面を有する第 1 のパンプホールを形成する工程と、

前記第 1 のパンプホールの底面から、前記中間配線を露出させるように前記第 1 層間絶縁膜をエッチングして第 1 層間絶縁膜内に第 2 のパンプホールを形成すると共に、第 1 及び第 2 のパンプホールの内壁側面上に側壁保護膜を形成する工程と、

前記側壁保護膜を前記凹形状の内部に残留させるように、前記側壁保護膜の一部を除去する工程と、

前記第 1 及び第 2 のパンプホール内の側壁保護膜上に第 1 シード膜を形成した後、前記第 1 及び第 2 のパンプホール内を埋め込むように裏面パンプを設ける工程と、

を有する、貫通電極を備えた半導体装置の製造方法。

【請求項 12】

貫通電極を形成した後に更に、

前記半導体基板をダイシングして半導体チップを形成する工程と、

前記半導体チップの表面パンプ及び裏面パンプをそれぞれ、他の半導体チップの裏面パンプ及び表面パンプと接続させることにより、複数の半導体チップを積層させる工程と、を有する、請求項 1 ~ 10 の何れか 1 項に記載の半導体装置の製造方法。

【請求項 13】

前記半導体チップは、DRAM を有する、請求項 12 に記載の半導体装置の製造方法。

10

20

30

40

50

【請求項 14】

半導体基板と、
前記半導体基板の主面上に設けられた第 1 層間絶縁膜と、
前記第 1 層間絶縁膜上に順に設けられた中間配線と、第 2 シード膜と、表面バンプと、
前記半導体基板を貫通するように設けられると共に凹形状の内壁側面を有する第 1 のバンプホール及び前記第 1 層間絶縁膜を貫通して前記第 1 のバンプホールに連通する第 2 のバンプホール、の内壁上に設けられた側壁保護膜と、
前記第 1 及び第 2 のバンプホールの側壁保護膜上に設けられた第 1 シード膜と、
前記第 1 及び第 2 のバンプホール内に埋め込まれた裏面バンプと、
を有する、貫通電極を備えた半導体装置。

10

【請求項 15】

前記側壁保護膜は、前記内壁側面の凹形状の内部を埋め込むように設けられる、請求項 14 に記載の半導体装置。

【請求項 16】

前記第 1 のバンプホールにおいて、前記半導体基板の裏面側の開口径は前記半導体基板の主面側の開口径よりも大きい、請求項 14 又は 15 に記載の半導体装置。

【請求項 17】

更に、前記半導体基板をその厚み方向に貫通すると共に前記半導体基板内の裏面バンプを囲むように絶縁リングを有する、請求項 14 ~ 16 の何れか 1 項に記載の半導体装置。

【請求項 18】

更に、前記第 1 及び第 2 のバンプホール内の、前記側壁保護膜と第 1 シード膜の間に第 2 絶縁膜を有する、請求項 14 ~ 16 の何れか 1 項に記載の半導体装置。

20

【請求項 19】

更に、前記半導体基板に設けられた DRAM を有する、請求項 14 ~ 18 の何れか 1 項に記載の半導体装置。

【請求項 20】

前記貫通電極を備えた半導体チップを有する複数の半導体チップが積層された、請求項 14 ~ 19 の何れか 1 項に記載の半導体装置。

【発明の詳細な説明】

【技術分野】

30

【0001】

本発明は、半導体装置及びその製造方法に関する。

【背景技術】

【0002】

従来から、積層させた半導体基板からなる半導体チップにおいて、半導体基板間の接続には、TSV (Through Silicon Via, 貫通電極) が用いられている。この TSV 用のホールの形成方法には、エッチングとデポとを繰り返す、ボッシュプロセスと呼ばれるものがある。この方法を用いると TSV 用のホールの断面がスキャロップ形状と呼ばれる、凹状になることが知られている。

特許文献 1 (特開 2008 - 053568 号公報) には、ボッシュプロセスにより TSV 用のホールを形成した後、このホール内壁にスキャロップ形状を残留させたまま、TSV のシード層を形成する方法が開示されている。

40

【0003】

特許文献 2 (特開 2007 - 311584 号公報) 及び特許文献 3 (特開 2008 - 034508 号公報) には、ボッシュプロセスにより TSV 用のホール内壁上に形成されたスキャロップ形状を除去し、平坦化する方法が開示されている。

【先行技術文献】

【特許文献】

【0004】

【特許文献 1】特開 2008 - 053568 号公報

50

【特許文献2】特開2007-311584号公報

【特許文献3】特開2008-034508号公報

【発明の概要】

【発明が解決しようとする課題】

【0005】

T S Vを形成するにはまず、バリア層やシード層と呼ばれる膜を形成し、その上に銅メッキなどで配線を形成する必要がある。しかし、特許文献1のように、T S V用のホール内壁上のスキャロップ形状が残ったままであると、この内壁上にバリア層やシード層を均一に成膜することが困難であった。このため、貫通電極の配線抵抗が増加し、歩留まり低下を招く原因になっている。

10

【0006】

また、特許文献2及び3の方法では、スキャロップ形状を除去するために、新たにエッチング工程を設ける必要があり、工程数が増加してコスト増加につながるものとなっていた。

【0007】

上記特許文献1及び2のT S Vで例示されるように、従来のボッシュプロセスを利用したホールを形成する方法では、ホールの内壁側面にスキャロップ形状が残ったままとなっていた。この結果、後の工程でこのホール内に材料を埋め込む際に、ホール内にボイドが発生することとなり、材料の埋設性に問題があった。

【課題を解決するための手段】

20

【0008】

一実施形態は、
半導体基板を貫通する開口であって側壁が保護膜で覆われた開口を形成する工程と、
前記開口を形成する際に用いたマスクを、前記保護膜の一部を残したまま、除去する工程と、
を有することを特徴とする半導体装置の製造方法に関する。

【0009】

他の実施形態は、
半導体基板の主面上に順に、第1層間絶縁膜、中間配線、及び前記中間配線に接続された表面バンプを形成する工程と、

30

前記半導体基板の裏面側から、前記半導体基板の厚み方向の途中まで第1の開口部を形成する工程と、

ボッシュプロセスにより、前記半導体基板内に、前記第1層間絶縁膜を露出させると共に凹形状の内壁側面を有する第1のバンプホールを形成する工程と、

前記第1のバンプホールの底面から、前記中間配線を露出させるように前記第1層間絶縁膜をエッチングして第1層間絶縁膜内に第2のバンプホールを形成すると共に、第1及び第2のバンプホールの内壁側面上に側壁保護膜を形成する工程と、

前記側壁保護膜を前記凹形状の内部に残留させるように、前記側壁保護膜の一部を除去する工程と、

前記第1及び第2のバンプホール内の側壁保護膜上に第1シード膜を形成した後、前記第1及び第2のバンプホール内を埋め込むように裏面バンプを設ける工程と、

40

を有する、貫通電極を備えた半導体装置の製造方法に関する。

【0010】

他の実施形態は、

半導体基板と、

前記半導体基板の主面上に設けられた第1層間絶縁膜と、

前記第1層間絶縁膜上に順に設けられた中間配線と、第2シード膜と、表面バンプと、

前記半導体基板を貫通するように設けられると共に凹形状の内壁側面を有する第1のバンプホール及び前記第1層間絶縁膜を貫通して前記第1のバンプホールに連通する第2のバンプホール、の内壁上に設けられた側壁保護膜と、

50

前記第 1 及び第 2 のパンプホールの側壁保護膜上に設けられた第 1 シード膜と、
前記第 1 及び第 2 のパンプホール内に埋め込まれた裏面パンプと、
を有する、貫通電極を備えた半導体装置に関する。

【発明の効果】

【0011】

半導体装置の製造方法では、スキヤロップ形状（凹形状）を有するホールの内壁側面上に側壁保護膜の一部を残留させることにより、ホールの内壁側面を平滑化することができる。この結果、後の工程でホール内に材料を埋設する際にも、ポイドを発生させることなく優れた埋設性でホール内に材料を埋設することができる。

【0012】

半導体装置では、パンプホールの内壁側面上に側壁保護膜を残留させることにより、パンプホールの内壁側面を均一な第 1 シード膜で覆い、ポイドの発生を防止することができる。この結果、裏面パンプの配線抵抗の増加を防ぐと共に、裏面パンプの断線から製品不良に至る原因となって歩留が低下することを防止できる。

【図面の簡単な説明】

【0013】

【図 1】本発明の一実施形態の半導体装置を説明する図である。

【図 2】本発明の一実施形態の半導体装置を説明する図である。

【図 3】本発明の一実施形態の半導体装置の製造工程を説明するフロー図である。

【図 4】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 5】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 6】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 7】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 8】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 9】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 10】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 11】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 12】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 13】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 14】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 15】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 16】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 17】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 18】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 19】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 20】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 21】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 22】本発明の一実施形態の半導体装置の製造方法を説明する図である。

【図 23】関連する半導体装置の製造方法を説明する図である。

【図 24】関連する半導体装置の製造方法を説明する図である。

【図 25】関連する半導体装置の製造方法を説明する図である。

【図 26】本発明の他の実施形態の半導体装置の製造方法を説明する図である。

【発明を実施するための形態】

【0014】

半導体装置の製造方法は、半導体基板の裏面上にマスクを設ける工程、半導体基板内にホールを形成する工程、側壁保護膜の一部を残留させるようにマスクを除去する工程を有する。ホールを形成する工程では、マスクを用いて、半導体基板を貫通すると共に内壁側面が凹形状からなるホールであって内壁側面が側壁保護膜で覆われたホールを形成する。マスクの除去後であっても、このホールの内壁側面上には側壁保護膜の一部が残留するため、ホールの内壁側面を平滑化することができる。この結果、後の工程でホール内に材料

10

20

30

40

50

を埋設する際にも、ボイドを発生させることなく優れた埋設性でホール内に材料を埋設させることができる。そして、ホール内に埋設させた材料の抵抗を低減させたり、半導体装置の歩留まりを向上させたりすることができる。ホール内に埋設させる半導体デバイスとしては、TSVの裏面パンプやコンタクトプラグなどを挙げることができる。

【0015】

半導体装置は、貫通電極を備える。この貫通電極は、半導体基板の裏面側から主面側に向けて順に設けられた、裏面パンプ、第1シード膜、中間配線、第2シード膜、及び表面パンプを有する。裏面パンプと第1シード膜は第1及び第2のパンプホール内に設けられており、第1シード膜と第1及び第2のパンプホールの間には更に側壁保護膜が設けられている。この半導体装置では、パンプホールの内壁側面上に側壁保護膜を残留させることにより、パンプホールの内壁側面を均一な第1シード膜で覆い、ボイドの発生を防止することができる。この結果、裏面パンプの配線抵抗の増加を防ぐと共に、裏面パンプの断線から製品不良に至る原因となって歩留が低下することを防止できる。

10

【0016】

本実施形態における半導体デバイスの構成と製法について、半導体デバイスがDRAM (Dynamic Random Access Memory) の場合を一例にして説明する。

【0017】

図1Aは、本実施形態による半導体デバイスを収納した半導体パッケージ100の構成を示す断面図であり、図1Bは、図1Aの破線部における半導体デバイスの構成を示す拡大断面図である。ここで、本実施形態の半導体デバイスでは、ベースとなる半導体基板にシリコン基板を用いるものとする。なお、図1Bは概略図であり、パンプホールの内壁側面のスクラップ形状(凹形状)など詳細な構造は示していない。後述する図8及び9においても同様であり、詳細な構造は示していない。

20

【0018】

また、単体の半導体基板だけでなく、半導体基板上に半導体デバイスが製造される過程の状態、および半導体基板上に半導体デバイスが形成された状態を含めて、「ウェハ」と総称する。また、ウェハから切り出された本実施形態による半導体デバイスの単体を、「チップ」と総称する。図2は、本実施形態による半導体デバイスが設けられたチップ内の構成を示した平面図である。

30

【0019】

図1Aに示すように、半導体パッケージ100は、チップ1とフィルム基板2とリードフレーム3で構成されており、フィルム基板2とリードフレーム3で挟み込んだチップ1の側面部を樹脂などのモールド材4で成型している。なお、積層されたチップ1の隙間は、樹脂などの埋め込み材5で完全に充填されている。積層されたチップ1は、夫々が電気的に接続されており、さらにフィルム基板2の下面に設けられたはんだパンプ6を介して、半導体パッケージ100が実装される基板に接続されている。ここでは、チップ1を9枚積層しているが、必要数に応じたチップ1を積層することで、半導体パッケージ100の面積を変えることなく、多様な製品仕様に応じることができる。このような半導体パッケージは、CSP (Chip Size Package) と呼称されており、これ以降の半導体パッケージ100は、「CSP100」と称する。

40

【0020】

積層されたチップ1を電気的に接続するには、シリコンである半導体基板に設けた貫通孔に導電材料を埋め込んだシリコン貫通電極(以降、「TSV」; Through Silicon Via、と称する。)が用いられている。図2に示すように、ウェハ7のチップ8に形成されたTSV9は、半導体素子領域10とは別のTSV領域11において、XY方向に配置されている。ここでは一例として、半導体素子領域10を4ヶ所としており、夫々の半導体素子領域10の間に配置したTSV領域11において、TSV9をX方向に2列、Y方向に1列配置している。しかし、これに限ることなく、チップ1の設計仕様によって、TSV領域11とTSV9の配置は種々変更することができる。これ以降は

50

、T S Vも含めて半導体デバイスと称する。

【0021】

図1Bに示すように、チップ1における半導体デバイスは、半導体素子領域10とT S V領域11に設けられており、半導体素子領域10はセルアレイ部12と周辺回路部13で構成されている。ここで、半導体素子領域10には、半導体素子としてメモリ素子のD R A Mを記載しているが、メモリ素子に限ることなく、ロジック素子としても良いし、メモリ素子とロジック素子の混在素子とすることもできる。なお、半導体素子領域10における半導体デバイスの構成は、公知のメモリ素子あるいはロジック素子である。

【0022】

T S V領域11におけるT S V9は、主として、銅(Cu)である裏面バンプ17と、中間配線26と、銅である表面バンプ28で構成されている。裏面バンプ17の上面には、チタン(Ti)と銅(Cu)を順次積層した第1シード膜18が設けられており、下面はニッケル(Ni)を主成分とした裏面めっき層16で覆われている。同様に表面バンプ28の下面には、バリア膜のチタン(Ti)と銅(Cu)を順次、積層した第2シード膜27が設けられており、上面は錫(Sn)を主成分とした合金である表面めっき層29で覆われている。

10

【0023】

中間配線層26は、タングステン(W)やアルミニウム(Al)で設けられた第1配線19、第2配線21、第3配線23、第4配線25と、それらを電氣的に接続するようにタングステンで設けられた第1コンタクト20、第2コンタクト22、第3コンタクト24で構成されている。これらの配線及びコンタクトは、夫々単独で設けられるのではなく、半導体素子領域10の構成要素と同時に、同じ材料を用いて設けられている。

20

【0024】

さらに、第1配線19、第2配線21、第3配線23、第4配線25と、第1コンタクト20、第2コンタクト22、第3コンタクト24は、シリコン酸化膜やシリコン窒化膜である第1層間絶縁膜30、第2層間絶縁膜31、第3層間絶縁膜32、第4層間絶縁膜33、第5層間絶縁膜34、第6層間絶縁膜35によって、半導体素子領域10の構成要素と絶縁されている。また、第4配線25は、酸素含有シリコン窒化膜(SiON)である第1パッシベーション膜36と、ポリイミドに代表される耐熱性を有した熱可塑性樹脂である第2パッシベーション膜37で覆われている。なお本実施形態では、第2層間絶縁膜31をシリコン酸化膜とシリコン窒化膜の積層構造としている。また、これ以降、第1層間絶縁膜30乃至第6層間絶縁膜35と、第1パッシベーション膜36と、第2パッシベーション37を合わせて、「T S V絶縁膜38」と称することがある。

30

【0025】

これらのT S V絶縁膜38も、半導体素子領域10の構成要素と同時に、同じ材料を用いて設けられている。しかし、表面バンプ17の周辺を取り囲むようにシリコン酸化膜やシリコン窒化膜である絶縁膜で設けられた絶縁リング15は、単独に設けられている。このような構成要素が設けられているチップ1の表裏面には、夫々露出した表面バンプ28と裏面バンプ17が突出して備えられており、上層チップ1aにおける裏面バンプ17と下層チップ1bにおける表面バンプ28を裏面めっき層16及び表面めっき層29を介して接続することで、上層チップ1aと下層チップ1bが電氣的にも接続されることになる。なお、上層チップ1aと下層チップ1bの間は、埋め込み材5が充填されており、モールド材5の侵入を阻止してチップ1を保護している。

40

【0026】

次に、本実施形態による半導体デバイスの製造工程について、図3から図9を参照しながら説明する。図3は、本実施形態による半導体デバイスの主要工程を示す製造フローである。図4乃至図9は、図3で示した主要工程における半導体デバイスの断面図であり、図1Bに示した上層チップ1aの断面構造に基づいて示している。

【0027】

図3の製造フローは、主として3つの工程に区分されており、第1の工程は半導体基板

50

の主面を上にして行う加工工程であり、第2の工程は半導体基板の裏面を上にして行う加工工程で、第3の工程はチップの形成工程（ウェハの切断工程）である。ここで、半導体基板の主面とは半導体素子を設ける面であり、裏面とは主面の反対側の面である。

【0028】

第1の工程では、図4に示すように、まず半導体基板14の主面39に、平面視でリング状となった絶縁リング15を形成する（工程A）。工程Aでは、半導体基板14のTSV領域11において、フォトリソグラフィとドライエッチングによってリング状の溝を形成し、その溝を絶縁膜で埋めて、絶縁リング15を形成する。なお絶縁リング15の底面は、半導体基板14の裏面40から露出させずに、半導体基板14中に位置している。

【0029】

次に、図5に示すように、半導体基板14の主面39に、半導体素子41を形成する（工程B）。工程Bでは、半導体基板14のセルアレイ部12と周辺回路部13に半導体素子41を形成しているが、TSV領域11にも半導体素子41と同じ製法によって、中間配線26を形成している。

【0030】

次に、図6に示すように、中間配線26を構成している第4配線25上に、表面バンプ28と表面めっき層29を形成する（工程C）。工程Cでは、スパッタ法を用いて第4配線25の表面に第2シード膜27を形成してから、めっき法を用いて第2シード膜27上に表面バンプ28と表面めっき層29を形成する。なお、めっき終了時において、表面めっき層29の上面は平坦となっている。

【0031】

次に、図6に示すように、リフロー法によって半導体基板14を加熱して、表面めっき層29の上面をドーム状に成形する（工程D）。

【0032】

次に、図7に示すように、表面めっき層29と第2パッシベーション膜37を覆うように、接着層42によって、半導体基板14と同じ直径のガラスである支持基板43を半導体基板14（ウェハ）の主面39側に貼り付ける（工程E）。さらに、半導体基板14の裏面40を研削して、絶縁リング15の底面を裏面40から露出させる（工程F）。支持基板43は、半導体基板14の裏面40を切削する際に、半導体基板14の主面39側に形成された表面バンプ28などへ汚染異物が付着するのを防止するとともに、切削して薄くなった半導体基板14の機械強度を補う役割を果たしている。この役割は、後続の第2の工程でも同様である。なお、切削されて薄くなった半導体基板14Aから支持基板43までの厚さは、切削前の半導体基板14と同じ厚さになるようにして、支持基板43を貼り付けても半導体基板14だけの場合と同じ取り扱いができるようにしている。

【0033】

第2の工程では、図8に示すように、絶縁リング15の内側に裏面バンプ17を形成する（工程G）。なお、実際は前述したように半導体基板14を反転し、裏面40を上にして裏面バンプ17を形成するが、図4乃至図7に対する新規加工領域を容易に認識できるように、図8も裏面40を下にして記載している。ここでは、フォトリソグラフィとドライエッチングによって、絶縁リング15の内側に、半導体基板14を貫通して第1配線19の一部を露出させるバンプホール44を形成する。次に、スパッタ法によって形成した第1シード膜18でバンプホール44の内壁を覆ってから、めっき法によって裏面バンプ17と裏面めっき層16を形成する（工程G）。

【0034】

第3の工程では、図示していないが、半導体基板14の裏面40にダイシングフィルムを貼り付ける（工程H）。

【0035】

次に、図9に示すように、支持基板43にレーザー光を照射し、支持基板43を透過したレーザー光が接着層42の接着力を低減させるのを利用して、支持基板43を半導体基板14から剥離し、半導体基板14の主面側における表面バンプ28と表面めっき層29

10

20

30

40

50

を露出させる（工程 I）。

【0036】

次に、図9に示すように、ダイサーによってウェハを切断し、切断されてウェハから分離したチップをピックアップすることで、半導体基板14からダイシングフィルムを剥離して、裏面バンプ17と裏面めっき層16を露出させる（工程 J）。ここで、TSV9の形成は完了し、後続のチップの積層工程へ移行して、前述したCSP100を形成する。

【0037】

次に、本実施形態による半導体デバイスであるTSVの製法について、図10から図22を参照しながら説明する。図10乃至図22は、本実施形態による半導体デバイスの製法を示す断面図であり、図23乃至図25は、従来技術による半導体デバイスの製法を示す断面図であり、図26は、本実施形態による半導体デバイスの第2の構造を示す断面図である。なお、これらの断面図は、半導体デバイスのTSVを構成している裏面バンプの製法を説明するために、半導体基板14の裏面40を上にして記載している。

10

【0038】

図10は、図7におけるTSV領域11の断面図である。図10に示すように、半導体基板14には絶縁リング15が形成されており、半導体基板14の下方のTSV絶縁膜38中には、中間配線26が形成されている。ここで、TSV絶縁膜38及び中間配線26の構成は、図1Bで説明した通りである。中間配線26を構成している第4配線25の下方には、表面バンプ28が形成されており、表面バンプ28の下面はドーム状となった表面めっき層29で覆われている。さらに表面バンプ28と表面めっき層29は、接着層42で貼り付けられた支持基板43で覆われている。

20

【0039】

図11に示すように、CVD法によって、半導体基板14の上面にシリコン窒化膜である絶縁膜45を形成する。さらにフォトリソグラフィによって、絶縁膜45上にフォトレジスト46を塗布して、平面視で円形状としたマスク用開口部47を形成する。マスク用開口部47は、絶縁リング15の内側に位置しており、開口寸法X1は $11\mu\text{m}$ となっている。マスク用開口部47によって、絶縁膜45の一部が露出している。

【0040】

図12に示すように、ドライエッチングによって、マスク用開口部47の底部に露出していた絶縁膜45と、絶縁膜45の下地となっていた半導体基板14並びに第1層間絶縁膜30をエッチングして、深さZ1が $35\mu\text{m}$ のバンプホール44を形成する。このときのドライエッチングは5ステップで行っており、夫々のステップにおけるドライエッチングの条件は、以下に示す通りである。

30

【0041】

すなわち、第1のステップでは、ソースパワーを2500W、バイアスパワーを300W、反応室の温度をマイナス10、圧力を30mTorrとして、六フッ化硫黄（ SF_6 ）をプロセスガスとし、流量を200sccm（Standard Cubic Centimeter per Minute）に設定して、30秒間処理した。なお、第1のステップの条件はこれに限定されるわけではなく、例えば、ソースパワーを1500W～3000W、バイアスパワーを100W～300W、反応室の温度を-10～0、圧力を20mT～90mT、プロセスガスのガス流量を50sccm～500sccm、時間を5～60秒間とすることができる。また、プロセスガスとしては、 SF_6 以外にも、 SF_6 と C_4F_8 の混合ガス、又は、 SF_6 と CHF_3 の混合ガスを使用することができる。

40

【0042】

第2のステップでは、ソースパワーを2500W、バイアスパワーを0W、反応室の温度をマイナス10、圧力を50mTorrとして、パーフルオロシクロブタン（ C_4F_8 ）をプロセスガスとし、流量を100sccmに設定して、1秒間処理した。なお、第2のステップの条件はこれに限定されるわけではなく、例えば、ソースパワーを1500W～3000W、バイアスパワーを0W、反応室の温度を-10～0、圧力を20mT

50

～90 mT、プロセスガスのガス流量を50 sccm～500 sccm、時間を0.5～5秒間とすることができる。また、プロセスガスとしては、 C_4F_8 以外にも CHF_3 を使用することができる。

【0043】

第3のステップでは、ソースパワーを2500W、バイアスパワーを100W、反応室の温度をマイナス10、圧力を50 mTorrとして、六フッ化硫黄(SF_6)をプロセスガスとし、流量を100 sccmに設定して、1秒間処理した。なお、第3のステップの条件はこれに限定されるわけではなく、例えば、ソースパワーを1500W～3000W、バイアスパワーを200W～1000W、反応室の温度を-10～0、圧力を20 mT～90 mT、プロセスガスのガス流量を50 sccm～500 sccm、時間を0.5～5秒間とすることができる。また、プロセスガスとしては、 SF_6 以外にも、Clガスをを使用することができる。

10

【0044】

第4のステップでは、ソースパワーを2500W、バイアスパワーを0W、反応室の温度をマイナス10、圧力を50 mTorrとして、六フッ化硫黄(SF_6)をプロセスガスとし、流量を100 sccmに設定して、1秒間処理した。なお、第4のステップの条件はこれに限定されるわけではなく、例えば、ソースパワーを1500W～3000W、バイアスパワーを0W、反応室の温度を-10～0、圧力を20 mT～90 mT、プロセスガスのガス流量を50 sccm～500 sccm、時間を0.5～5秒間とすることができる。また、プロセスガスとしては、 SF_6 以外にも、Clガスをを使用することができる。

20

【0045】

第5のステップでは、ソースパワーを2500W、バイアスパワーを500W、反応室の温度をマイナス10、圧力を50 mTorrとして、トリフルオロメタン(CHF_3)とアルゴン(Ar)をプロセスガスとし、夫々の流量を450 sccm(CHF_3)と200 sccm(Ar)に設定して、60秒間処理した。なお、第5のステップの条件はこれに限定されるわけではなく、例えば、ソースパワーを1500W～3000W、バイアスパワーを300W～1500W、反応室の温度を-10～0、圧力を20 mT～90 mT、プロセスガス全体のガス流量を50 sccm～500 sccm、時間を10～300秒間とすることができる。また、プロセスガスとしては、 CHF_3 とArの混合ガス以外にも、 C_4F_8 とArの混合ガス、又は、 CF_4 とArの混合ガスを使用することができる。

30

【0046】

このドライエッチングでは、図13に示すようにまず、第1のステップにおいて、フォトレジスト46をマスクにして、マスク用開口部47の底面に露出している絶縁膜45を除去して、第1の開口部48を形成する。第1の開口部48の底面には、半導体基板14の一部が露出している。ここでは、マスク用開口部47の底面における絶縁膜45を完全に除去するために、半導体基板14をオーバーエッチングするので、第1の開口部48の底面は半導体基板14の内部まで到達している。

【0047】

次に、図14に示すように、第2のステップにおいて、第1の開口部48の内壁を覆うように、第1保護膜49を形成する。第1保護膜49は、プラズマエネルギーによって、パーフルオロシクロブタンが重合したポリテトラフルオロエチレン($(CF_2CF_2)_n$)を主成分とするポリマーであるが、このような保護膜となるポリマーの主成分は、第2のステップで用いるプロセスガスに依存している。なお、第2のステップによって、第1の開口部48には、新たな第2の開口部50が形成されている。

40

【0048】

次に、図15に示すように、第3のステップにおいて、第2の開口部50の底面における第1保護膜49を除去して、半導体基板14の一部を露出させる。この第3のステップによって、第2の開口部50には、新たな第3の開口部51が形成されている。このとき

50

のエッチングは、フッ素ラジカルによる異方性のドライエッチングとして半導体基板 1 4 の深さ方向 (Z 方向) だけに進行させるので、第 1 保護膜 4 9 は、第 3 の開口部 5 1 の側壁だけに残留して、第 1 保護膜 4 9 A₁ となっている。なお、符号末尾の数字は、第 3 のステップにおけるドライエッチングの回数を示しており、4 9 A₁ は 1 回目のドライエッチング後の保護膜であり、同様に 4 9 A_X は X 回目のドライエッチング後の保護膜である。

【 0 0 4 9 】

次に、図 1 6 に示すように、第 4 のステップにおいて、シリコン (Si) である半導体基板 1 4 をドライエッチングして、パンプホール 4 4 を構成するパンプホール 4 4 A₁ を形成する。なお、符号末尾の数字は、第 4 のステップにおけるドライエッチングの回数を示しており、4 4 A₁ は 1 回目のドライエッチングによって形成されたパンプホールであり、4 4 A_X は X 回目のドライエッチングによって形成されたパンプホールである。このときのエッチングは、フッ素ラジカルによる等方性のドライエッチングとしており、エッチングを半導体基板 1 4 の深さ方向 (Z 方向) だけでなく、水平方向 (X 方向) にも進行させるので、パンプホール 4 4 A₁ の側壁は垂直ではなく、X 方向に凹んだ状態となっている。なお、第 4 のステップは、第 1 保護膜 4 9 A₁ が消滅するのと同時に終了させるので、第 1 保護膜 4 9 A₁ で覆われていた第 3 の開口部 5 1 の側面部は、エッチングされずにそのまま残留する。

【 0 0 5 0 】

この後、図 1 7 に示すように、第 2 のステップから第 4 のステップまでを X 回繰り返して、半導体基板 1 4 にパンプホール 4 4 A_X を形成する。さらに詳細に説明すると、パンプホール 4 4 A₁ に引き続いて形成するパンプホール 4 4 A₂ (図示せず) は、まず第 2 と第 3 のステップによって、パンプホール 4 4 A₁ の側壁に第 1 保護膜 4 9 A₂ を形成し、さらに第 4 のステップによって、パンプホール 4 4 A₁ の底面に露出させた半導体基板 1 4 をエッチングすることで、形成することができる。この第 4 のステップにおいても、第 1 保護膜 4 9 A₂ が消滅する前にエッチングを終了させるので、第 1 保護膜 4 9 A₂ で覆われていたパンプホール 4 4 A₁ の側壁は、エッチングされずにそのまま残留する。このように、第 2 のステップから第 4 のステップを順番に X 回繰り返して、パンプホール 4 4 A_X を形成すると、パンプホール 4 4 A_X の側壁に連続した凹形状 5 2 (以降、スキヤロップ 5 2 と称する) が生じて、パンプホール 4 4 A_X の内壁に露出することになる。

【 0 0 5 1 】

このようなドライエッチングは、高アスペクト比のホールを形成するボッシュプロセスとして知られており、スキヤロップの発生は、ボッシュプロセスによって形成したホールでは避けることができない。パンプホール 4 4 A_X において、スキヤロップ 5 2 の開口寸法 Z 2 と深さ X 2 は、Z 2 = 0 . 1 μm、X 2 = 0 . 3 μm である。しかし、パンプホール 4 4 A_X の底部は、第 1 層間絶縁膜 3 0 上に半導体基板 1 4 が残留しないように、十分なオーバーエッチングを行うので、その分だけスキヤロップ 5 2 A の開口寸法 Z 3 と深さ X 3 は、他の場所よりも大きくなって、Z 3 = 0 . 4 μm、X 3 = 0 . 8 μm となっている。ここでは、高選択比となるように条件を設定してオーバーエッチングを行っているので、パンプホール 4 4 A_X の底面は、第 1 層間絶縁膜 3 0 の表面に位置している。

【 0 0 5 2 】

次に、第 5 のステップにおいて、パンプホール 4 4 A_X の底部に露出させた第 1 層間絶縁膜 3 0 をドライエッチングして、第 1 層間絶縁膜 3 0 内に第 2 のパンプホール 4 4 F を形成する。これにより、図 1 2 に示したように、第 1 のパンプホール 4 4 B (図示せず)、及び第 2 のパンプホール 4 4 F (図示せず) からなるパンプホール 4 4 が完成する。このとき、第 5 のステップにおけるドライエッチングの反応生成物である側壁保護膜 (以下では、「第 2 保護膜」と記載する場合がある) 5 3 が、パンプホール 4 4 の側壁を覆うように形成されて、スキヤロップ 5 2 の露出を防いでいる。第 2 保護膜 5 3 は、カーボン (C) を主成分とし、炭素とフッ素を含有するポリマー (CF ポリマー) であるが、このような保護膜となるポリマーの主成分は、第 5 のステップで用いるプロセスガスに依存して

いる。なお、バンブホール44の底部には、第1配線19の上面の一部が露出している。

【0053】

図18に示すように、プラズマアッシングによって、フォトレジスト46を除去する。このときのプラズマアッシング条件は、ソースパワーを2000W、バイアスパワーを300W、反応室の温度をマイナス10℃、圧力を50mTorrとして、酸素(O₂)とアルゴン(Ar)と窒素(N₂)をプロセスガスとし、夫々の流量を1000sccm(O₂)と400sccm(Ar)と100sccm(N₂)に設定した。このプラズマアッシングによって、新たなバンブホール44Bが形成されている。このプラズマアッシングでは、フォトレジスト46と同じく、カーボンが主体のポリマーである第2保護膜53も除去されるが、バイアスパワーによって半導体基板14の法線方向への異方性アッシング

10

【0054】

なお、図23に示すように、従来手法におけるプラズマアッシングでは、ソースパワー並びにバイアスパワーを共に0Wとして、等方性のアッシングとしているので、新たなバンブホール44Cの側壁では、第2保護膜53が完全に除去されて、スキヤロップ52が露出している。

【0055】

本実施形態では次に、図19に示すように、バンブホール44Bを覆うように、スパッタ法によって、第1シード膜18Aを形成する。このとき、バンブホール44Bの内壁は、残留した第2保護膜53Aで滑らかな表面となっているので、第1シード膜18Aのカバレッジ(被覆性)が悪化することなく、均一な膜厚の第1シード膜18Aを形成することができる。このスパッタによって、新たなバンブホール44Dが形成されている。

20

【0056】

なお、図24に示すように、従来手法における第1シード膜18Bの形成では、バンブホール44Cの内壁にスキヤロップ52が露出しているので、第1シード膜18Bのカバレッジが悪化して、不均一な第1シード膜18Bが形成される。従って、新たに形成されるバンブホール44Eの内壁では、一部のスキヤロップ52Bが第1シード膜18Bで覆われずに露出している。

30

【0057】

本実施形態では次に、図20に示すように、半導体基板14の主面にフォトレジスト54を塗布して、フォトリソグラフィによって、第4の開口部55を形成する。第4の開口部55は、バンブホール44Dを露出させるように位置しており、第4の開口部55の開口寸法X4は、第1の開口寸法X1よりも大きくして、12μmとしている。

【0058】

本実施形態では次に、図21に示すように、めっき法によって、バンブホール44Dと第4の開口部55の内部へ裏面バンブ17と裏面めっき層16を形成する。このとき、裏面バンブ17と接触する第1シード膜18Aは、バンブホール44Dの内部を完全に覆っており、裏面バンブ17のめっき液が第1シード膜18Aの表面上を均一に濡れ拡がるので、気泡(ボイド)を含まない裏面バンブ17を形成することができる。この結果、裏面バンブ17Aの設計値通りの直径として配線抵抗の増加を防ぐことができる。また、裏面バンブ17Aの断線から製品不良に至る原因となって、歩留が低下することを防止できる。

40

【0059】

なお、図25に示すように、従来手法における裏面バンブ17Aと裏面めっき層16Aの形成では、裏面バンブ17Aの下地となっている第1シード膜18Bが、バンブホール44Eの内部を完全に覆っておらず、一部のスキヤロップ52Bが露出しているので、裏面バンブ17Aのめっき液が均一に濡れ拡がれずに、裏面バンブ17A中にボイド56が

50

生じる。ボイド 5 6 によって、裏面バンプ 1 7 A の直径の最小値 X 5 は、設計値となる X 1 よりも狭くなるので、裏面バンプ 1 7 A の配線抵抗が増加するとともに、裏面バンプ 1 7 A の断線から製品不良に至る原因となって、歩留が 3 0 % 低下する。

【 0 0 6 0 】

図 2 2 に示すように、ウェットエッチング法によって、フォトレジスト 5 4 を除去する。さらに、裏面バンプ 1 7 の下面だけに第 1 シード膜 1 8 を残留させるために、ウェットエッチング法によって、絶縁膜 4 5 上で不要となった第 1 シード膜 1 8 A を除去すると、図 9 に示した T S V 9 が完成する。

【 0 0 6 1 】

図 2 6 は、本実施形態における第 2 の構造を示している。図 2 2 では、裏面バンプ 1 7 の周囲を取り囲む半導体基板 1 4 に絶縁リング 1 5 を設けていたが、図 2 6 では、絶縁リングに代えて、バンプホール 4 4 の内部に第 2 絶縁膜 5 7 を設けた構造としている。このような構造は、本実施形態で説明した通り、残留させた第 2 保護膜 5 3 A によってバンプホール 4 4 B の側壁を滑らかな表面としているので、形成した第 2 絶縁膜 5 7 がスキャロップ 5 2 によって阻害されずに均一な膜厚となることで、実現することができる。第 2 の構造では、絶縁リング 1 5 の形成領域を無くして T S V 領域 1 1 のエリアを縮小できるので、第 1 の構造よりも半導体チップの高密度化を図ることができる。

10

【 0 0 6 2 】

第 2 の構造の形成方法は、前述した絶縁リング 1 5 の形成工程をスキップし、図 1 1 から図 1 8 で示した加工処理を行って、バンプホール 4 4 B を形成する。次に、バンプホール 4 4 B を覆うように、C V D 法によってシリコン酸化膜である絶縁膜 5 7 A (図示せず) を成膜する。次に、エッチバックによって、バンプホール 4 4 B の側壁だけに絶縁膜 5 7 A を残留させて、第 2 絶縁膜 5 7 を形成する。その後、図 1 9 以降で示した工程を経ると、T S V 5 8 を得ることができる。T S V 5 8 でも、第 1 シード膜 1 8 が第 2 絶縁膜 5 7 上で均一な膜厚で形成できるので、図 2 5 で示すボイドは発生しない。

20

【 符号の説明 】

【 0 0 6 3 】

1 0 0 半導体パッケージ

1 チップ

1 a 上層チップ

1 b 下層チップ

2 フィルム基板

3 リードフレーム

4 モールド材

5 埋め込み材

6 はんだバンプ

7 ウェハ

8 チップ

9、5 8 T S V

1 0 半導体素子領域

1 1 T S V 領域

1 2 セルアレイ部

1 3 周辺回路部

1 5 絶縁リング

1 6 裏面めっき層

1 7、1 7 A 裏面バンプ

1 8、1 8 A、1 8 B 第 1 シード膜

1 9 第 1 配線

2 0 第 1 コンタクト

2 1 第 2 配線

30

40

50

2 2	第 2 コンタクト	
2 3	第 3 配線	
2 4	第 3 コンタクト	
2 5	第 4 配線	
2 6	中間配線	
2 7	第 2 シード膜	
2 8	表面バンプ	
2 9	表面めっき層	
3 0	第 1 層間絶縁膜	
3 1	第 2 層間絶縁膜	10
3 2	第 3 層間絶縁膜	
3 3	第 4 層間絶縁膜	
3 4	第 5 層間絶縁膜	
3 5	第 6 層間絶縁膜	
3 6	第 1 パッシベーション膜	
3 7	第 2 パッシベーション膜	
3 8	T S V 絶縁膜	
3 9	主面	
4 0	裏面	
4 1	半導体素子	20
4 2	接着層	
4 3	支持基板	
4 4、4 4 C、4 4 D、4 4 E	バンプホール	
4 4 B	第 1 のバンプホール	
4 4 F	第 2 のバンプホール	
4 5	絶縁膜	
4 6、5 4	フォトレジスト	
4 7	マスク用開口部	
4 8	第 1 の開口部	
4 9	第 1 保護膜	30
5 0	第 2 の開口部	
5 1	第 3 の開口部	
5 2、5 2 B	スキヤロップ	
5 3、5 3 A	第 2 保護膜	
5 5	第 4 の開口部	
5 6	ボイド	
5 7	第 2 絶縁膜	

【 図 1 】

図 1 A

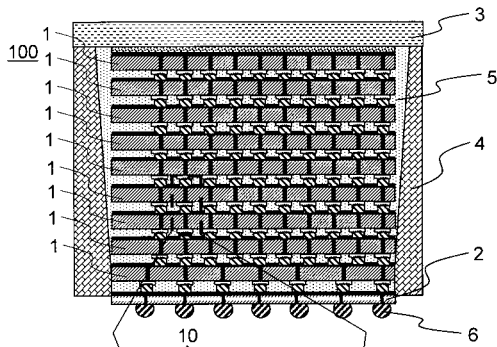
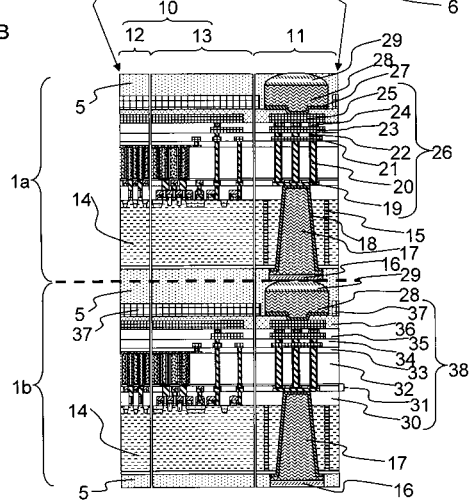
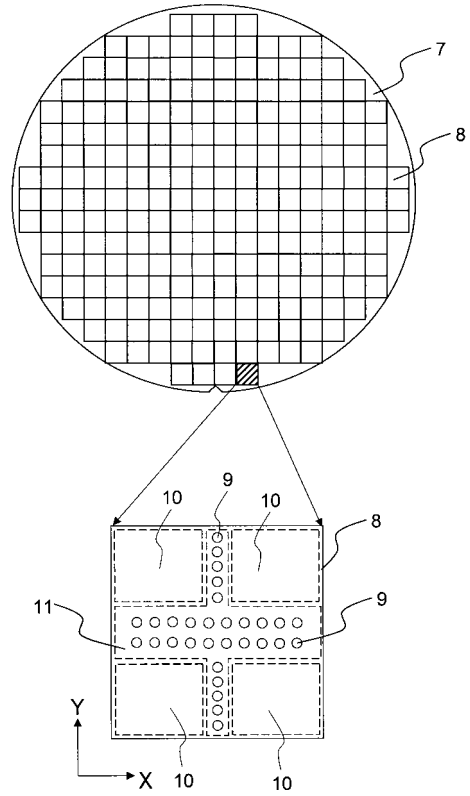


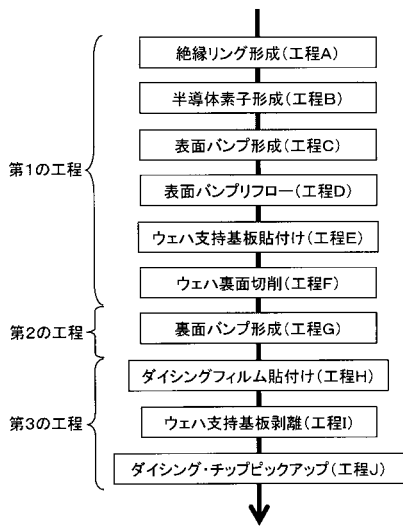
図 1 B



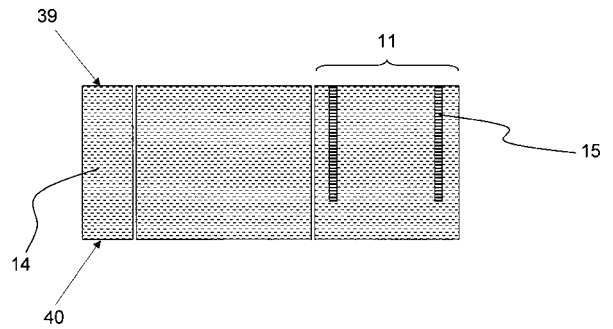
【 図 2 】



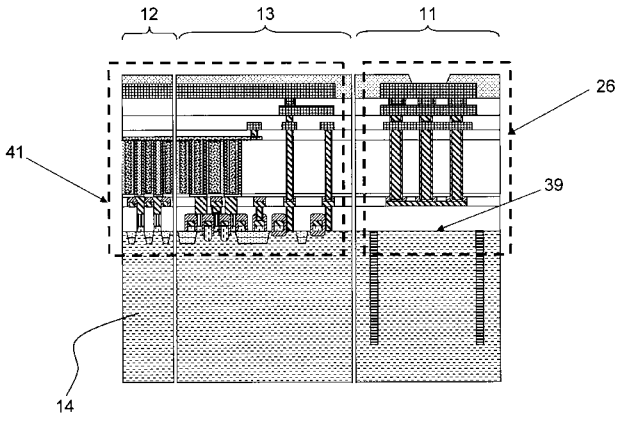
【 図 3 】



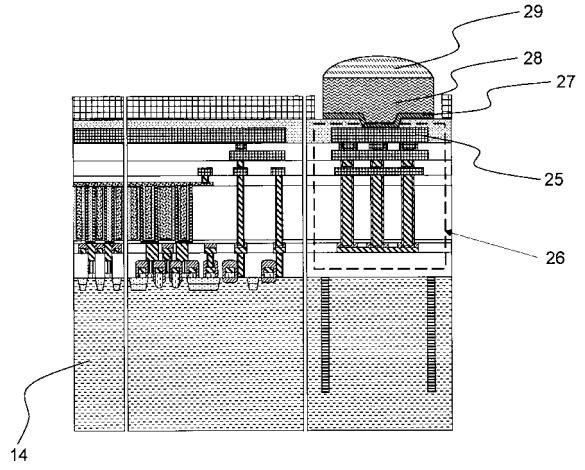
【 図 4 】



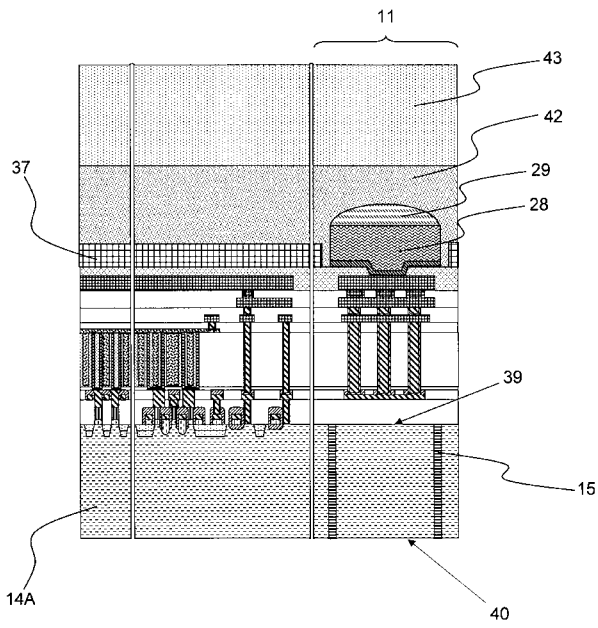
【図5】



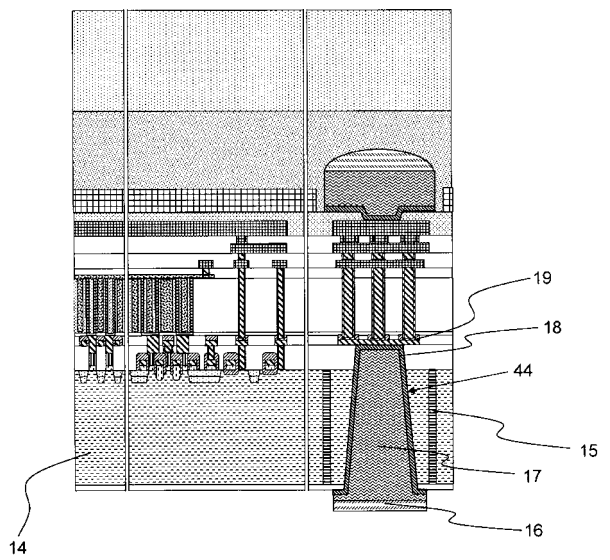
【図6】



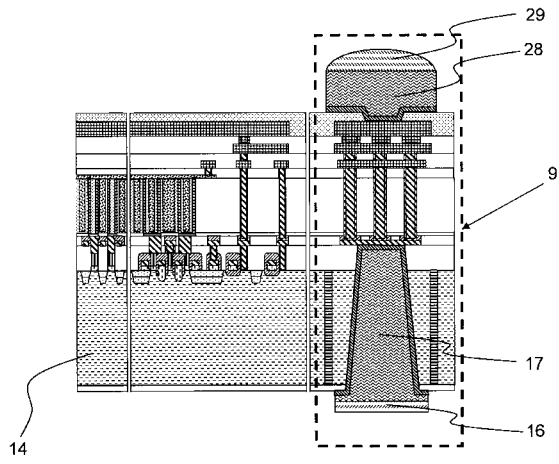
【図7】



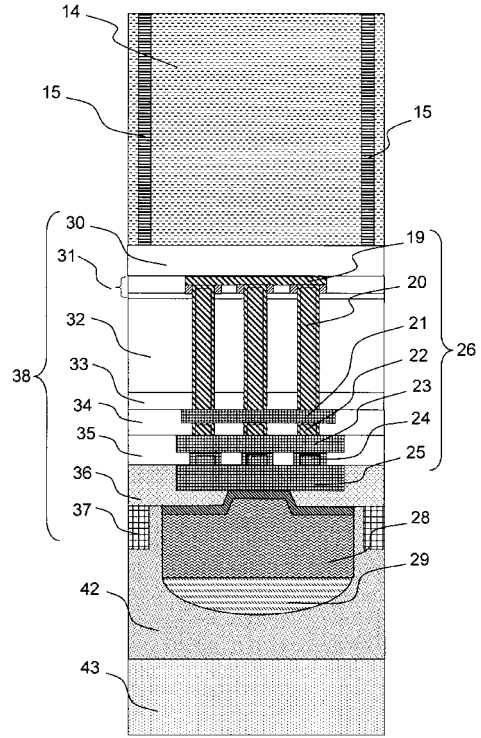
【図8】



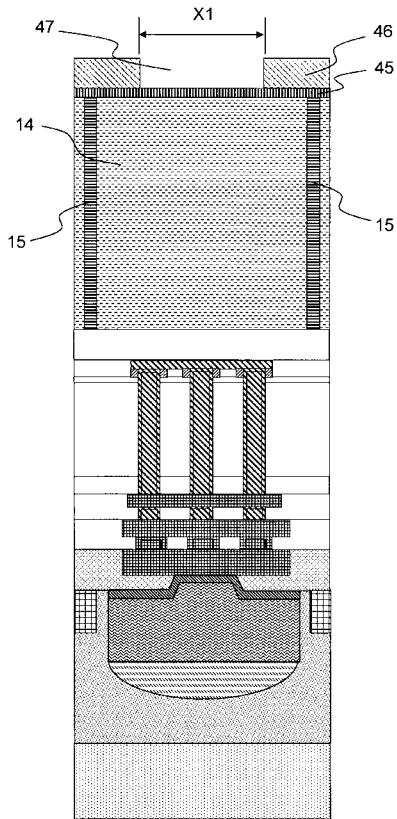
【図 9】



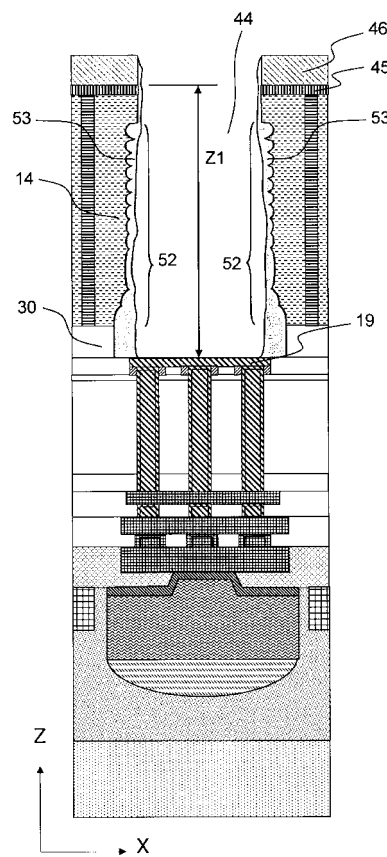
【図 10】



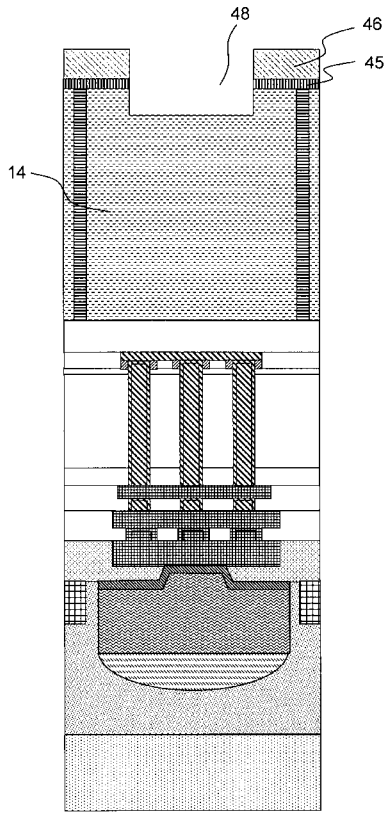
【図 11】



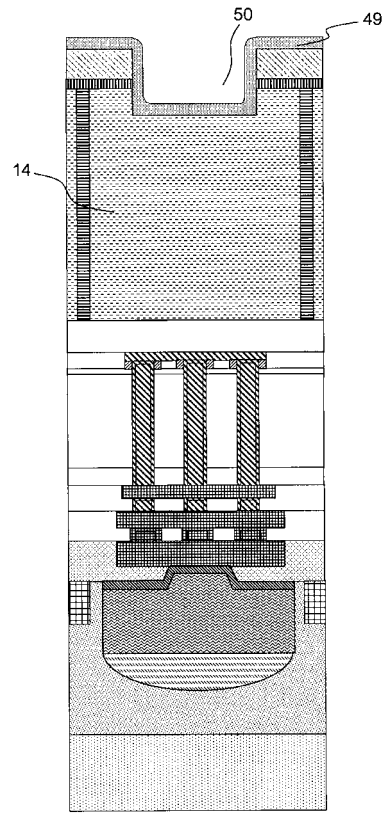
【図 12】



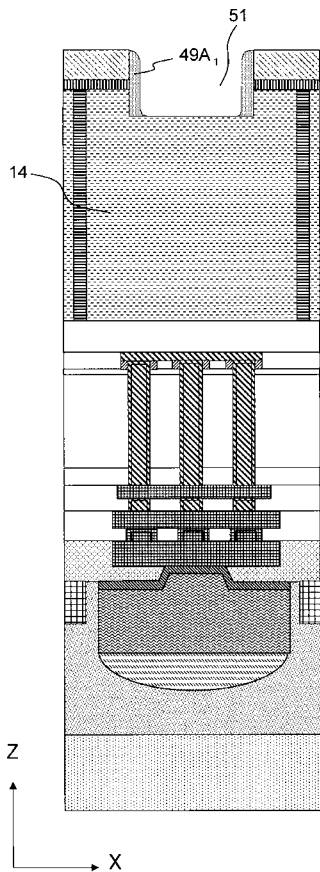
【図 13】



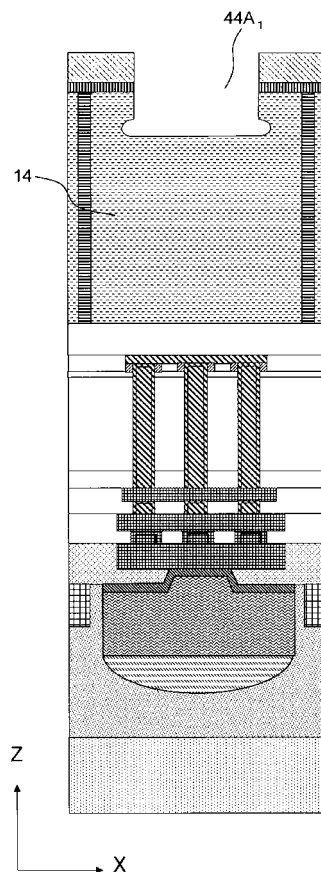
【図 14】



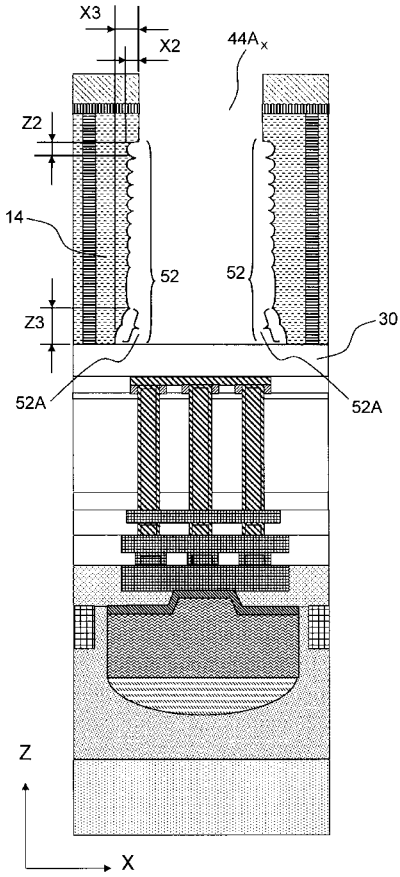
【図 15】



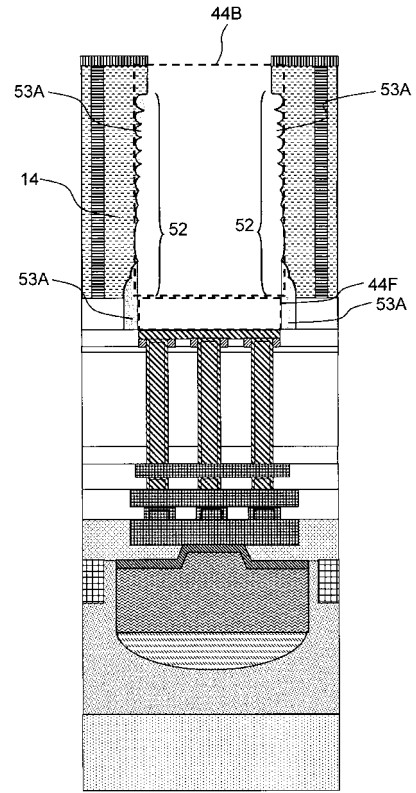
【図 16】



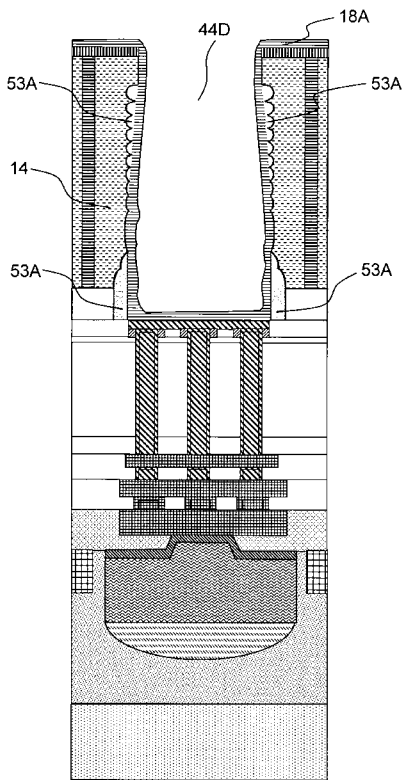
【 図 1 7 】



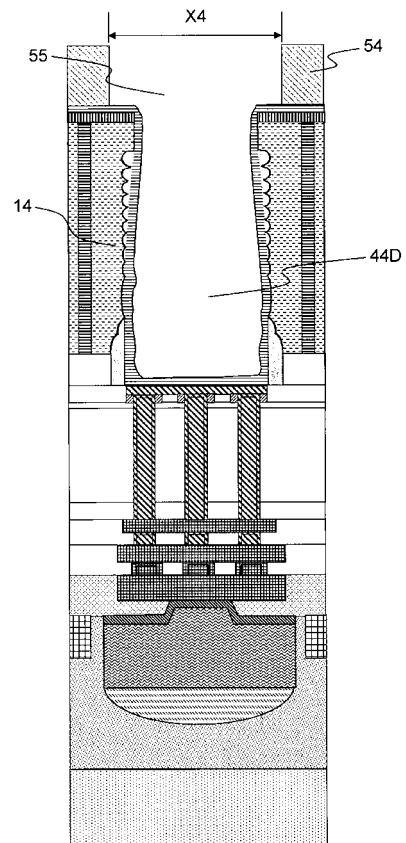
【 図 1 8 】



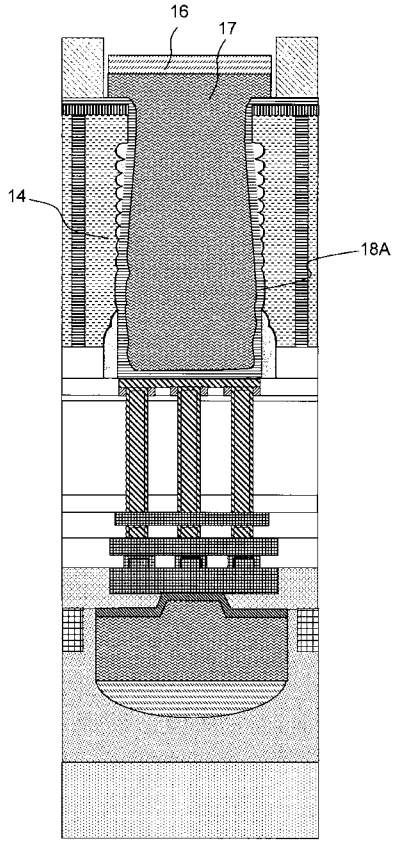
【 図 1 9 】



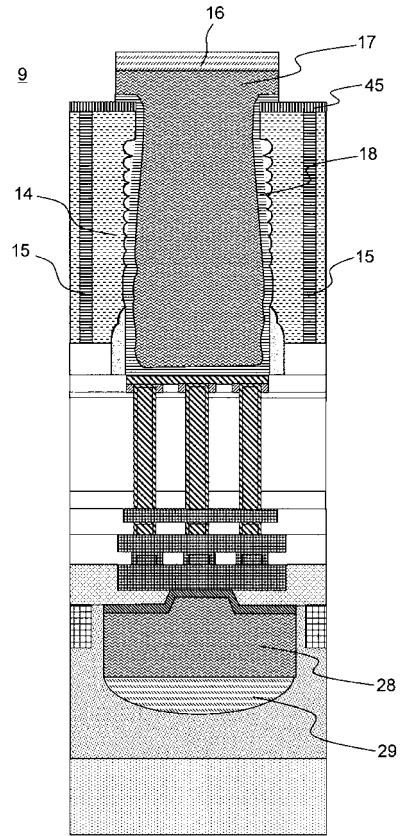
【 図 2 0 】



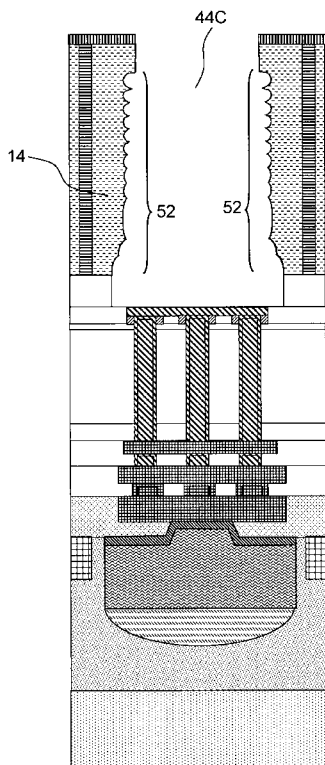
【図 2 1】



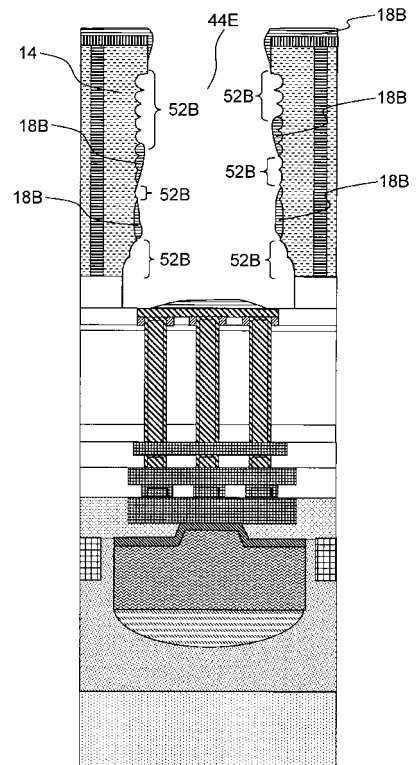
【図 2 2】



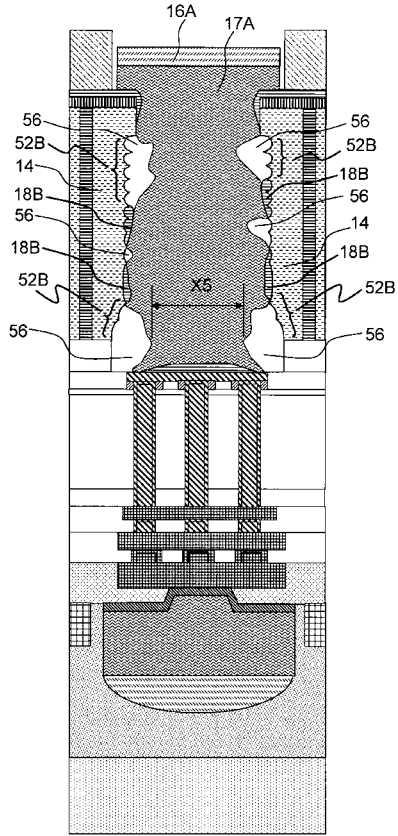
【図 2 3】



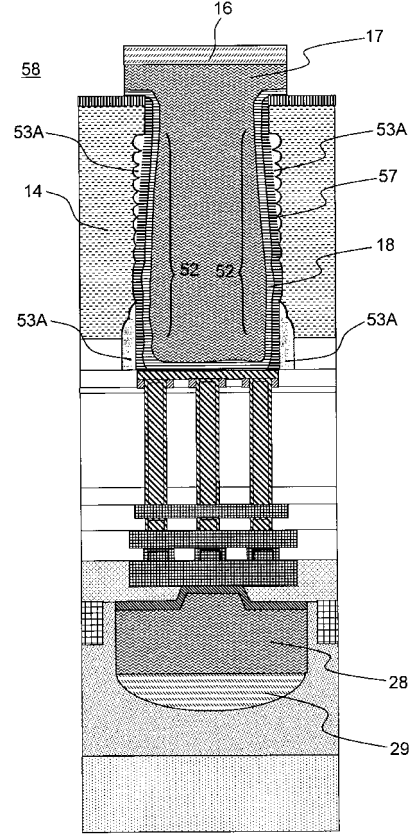
【図 2 4】



【 図 2 5 】



【 図 2 6 】



フロントページの続き

(51)Int.Cl. F I テーマコード(参考)
H 0 1 L 25/18 (2006.01)
H 0 1 L 23/12 (2006.01)

Fターム(参考) 5F033 HH08 HH11 HH18 JJ19 KK07 KK08 KK11 KK18 MM30 NN06
NN07 PP15 PP27 PP28 QQ07 QQ09 QQ11 QQ31 RR04 RR06
RR08 RR22 TT06 TT07 VV07