

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号
特開2005-354003
(P2005-354003A)

(43) 公開日 平成17年12月22日(2005. 12. 22)

(51) Int.Cl. ⁷	F I	テーマコード (参考)
H O 1 L 21/8247	H O 1 L 27/10 4 3 4	5 B 1 2 5
G 1 1 C 16/04	H O 1 L 29/78 3 7 1	5 F O 8 3
G 1 1 C 16/06	G 1 1 C 17/00 6 3 3 Z	5 F 1 O 1
H O 1 L 27/115	G 1 1 C 17/00 6 2 2 E	
H O 1 L 29/788		
審査請求 未請求 請求項の数 5 O L (全 41 頁) 最終頁に続く		

(21) 出願番号 特願2004-175876 (P2004-175876)	(71) 出願人 000003078
(22) 出願日 平成16年6月14日 (2004. 6. 14)	株式会社東芝 東京都港区芝浦一丁目1番1号
	(74) 代理人 100083806 弁理士 三好 秀和
	(74) 代理人 100100712 弁理士 岩▲崎▼ 幸邦
	(74) 代理人 100100929 弁理士 川又 澄雄
	(74) 代理人 100108707 弁理士 中村 友之
	(74) 代理人 100095500 弁理士 伊藤 正和
	(74) 代理人 100101247 弁理士 高橋 俊一
	最終頁に続く

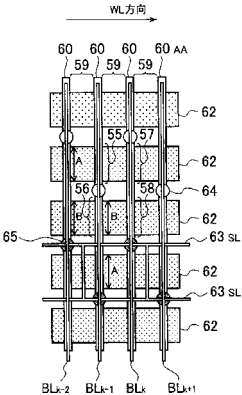
(54) 【発明の名称】 不揮発性半導体記憶装置

(57) 【要約】

【課題】ビット線コンタクトC B間のスペースを確保し、電氣的ショートに対するマージンを向上させる。

【解決手段】電氣的なデータの書き込み及び消去が可能なメモリスエルトランジスタを複数個列方向に接続したメモリスエルユニット5 5〜5 8と、メモリスエルユニットを列方向に複数個直列接続したメモリスエルユニットアレイの両端に配置され、メモリスエルユニット間で共有される活性領域上コンタクト6 4, 6 5とを備え、行方向に配列されたメモリスエルユニットアレイの,それぞれの活性領域上コンタクト6 4若しくは6 5間の距離が、行方向に配列されたメモリスエルユニットの周期の2以上の整数倍分だけ行方向に互いにずれるようにメモリスエルユニットアレイがマトリックス状に複数個配列されていることを特徴とする不揮発性半導体記憶装置。

【選択図】 図9



55〜58: NANDメモリスエルユニット
59: 素子分離領域
60: 活性領域(AA)
62: メモリスエルブロック領域
63: ソース線(SL)
64: ビット線コンタクト(CB)
65: ソース線コンタクト(CS)

【特許請求の範囲】

【請求項 1】

電氣的なデータの書き込み及び消去が可能なメモリセルトランジスタを列方向に配列したメモリセルユニットと、

前記メモリセルユニットを列方向に複数個直列接続したメモリセルユニットアレイの両端に配置され、前記メモリセルユニットアレイ間で共有される活性領域上コンタクト

とを備え、行方向に配列された前記メモリセルユニットアレイの、それぞれの前記活性領域上コンタクト間の距離が、前記行方向に配列された前記メモリセルユニットの周期の 2 以上の整数倍分だけ離隔し、前記メモリセルユニットアレイがマトリックス状に複数個配列されていることを特徴とする不揮発性半導体記憶装置。

10

【請求項 2】

前記メモリセルユニットアレイの中の、1つのメモリセルユニットを選択し、前記選択されたメモリセルユニット内の1つのメモリセルトランジスタを選択して読み出しを行う際、前記選択されたメモリセルユニット以外の非選択メモリセルユニット内にあるメモリセルトランジスタのコントロールゲートには、正電圧が与えられることを特徴とする請求項 1 記載の不揮発性半導体記憶装置。

【請求項 3】

前記メモリセルユニットアレイの中の、1つのメモリセルユニットを選択し、前記選択されたメモリセルユニット内の1つのメモリセルトランジスタを選択して書き込みを行う際、前記選択されたメモリセルユニット以外の非選択メモリセルユニット内にあるメモリセルトランジスタのコントロールゲートには、正電圧が与えられることを特徴とする請求項 1 又は 2 記載の不揮発性半導体記憶装置。

20

【請求項 4】

電氣的なデータの書き込み及び消去が可能なメモリセルトランジスタを列方向に配列したメモリセルユニットと、

前記メモリセルユニットを列方向に複数個直列接続したメモリセルユニットアレイの両端に配置され、前記メモリセルユニットアレイ間で共有される活性領域上コンタクト

とを備え、行方向に配列された前記メモリセルユニットアレイの、それぞれの前記活性領域上コンタクト間の距離が、前記列方向に配列された前記メモリセルユニットの周期の 2 以上の整数倍分だけ離隔し、前記メモリセルユニットアレイがマトリックス状に複数個配列されていることを特徴とする不揮発性半導体記憶装置。

30

【請求項 5】

電氣的なデータの書き込み及び消去が可能なメモリセルトランジスタを列方向に配列したメモリセルユニットと、

第 1 のソース線および第 2 のソース線と、

前記第 1 のソース線および前記第 2 のソース線間に、前記メモリセルユニットを列方向に 3 個直列接続したメモリセルユニットアレイと、

前記列方向に 3 個直列接続したメモリセルユニットの内、2 個直列接続したメモリセルユニットの一端に配置され、前記メモリセルユニットアレイ内で共有される活性領域上コンタクト

40

とを備え、前記活性領域上コンタクトを共有する構造が行方向に交互に配置されることにより、前記メモリセルユニットアレイがマトリックス状に複数個配列されていることを特徴とする不揮発性半導体記憶装置。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、活性領域上コンタクトの配置に特徴を有する不揮発性半導体記憶装置に関する。

【背景技術】

50

【0002】

NAND型フラッシュEEPROMの大容量化及び低コスト化を実現するためには、スケールング則にのっとり微細化することが必要不可欠である。しかしながら、微細化が進むにつれて、製造条件が厳しくなるため、微細化されたNAND型フラッシュEEPROMを実現するためのプロセス技術が追いつかなくなっているのが現状である。

【0003】

NAND型フラッシュEEPROMの構成は大きく分けると、セルアレイと周辺回路に分類できる。周辺回路は、電流や耐圧などの所望のトランジスタの性能・仕様を満たすために、メモリセルトランジスタに比べると緩いデザインルールが適用される。これに対し、メモリセルトランジスタはトランジスタとしての性能はそれほど要求されないこと、且つ規則的なレイアウトが可能であること、等の理由によってプロセス技術の限界まで徹底的に微細化を追求することが常である。従来型のNAND型フラッシュEEPROMにおいて最小のピッチが現れるのは、(1)活性領域/素子分離領域ピッチ、(2)ゲート電極ピッチ、(3)活性領域上ビット線コンタクト(CB)ピッチ、(4)ビット線ピッチ、などである。上記のような最小ピッチの加工を実現するためには、最先端の高価な製造装置や材料を導入せざるを得ない。従って、最小ピッチ箇所が多ければ多いほど、コスト増を引き起こし製品の競争力が失われる結果となる。

【0004】

特に(3)の活性領域上ビット線コンタクトピッチは、加工時のコンタクトホールのアスペクト比が最も大きくなるため非常に難易度の高いプロセスである。従来型のNAND型フラッシュEEPROMでは、活性領域上コンタクトは通常ワード線方向に横一列に形成する。コンタクトホールは順テーパ形状となるため、コンタクトホールのボトム位置でハーフピッチを実現しようとする、トップ位置ではコンタクト間距離が非常に短くなる。この近接したコンタクトは、様々な要因でビット線間ショートを引き起こす危険性がある。まず一つ目の要因を以下に述べる。コンタクトホールに対して、金属材料やポリシリコンなどの導電材料を埋め込む前に、半導体基板表面の自然酸化膜除去を目的とするウェット(又はドライ)エッチング処理を行うのが通例である。このエッチングは同時にコンタクトを隔てる層間膜をも削るために、エッチングレートの変動等で層間膜に穴が空き、ビット線間ショートが起こり得る。二つ目の要因は、層間膜は残っていても薄すぎるために電気的特性上リーク電流を発生し、電圧印加を繰り返すことによって絶縁破壊に至る場合である。

【0005】

(3)の活性領域上ビット線コンタクトピッチを緩和することが可能となれば、プロセス的な難易度を下げることが可能である。その結果次世代メモリセルトランジスタの開発において、経済的及び人的なリソースを(1)活性領域/素子分離領域ピッチや、(2)ゲート電極ピッチのピッチ緩和が不可能と思われる箇所のプロセス開発に集中することが可能となる。加えて、最先端プロセスを導入しなくても済むために、コストを削減することができる。

【0006】

以上は不揮発性半導体記憶装置の例として、NAND型フラッシュEEPROMを取り上げて説明したが、他の構造及び動作方式を持つメモリについても同様である。例えば、NAND型フラッシュEEPROM以外の不揮発性半導体記憶装置として、NOR型、DINOR型、AND型、およびフローティングゲートに隣接してアシストゲートを配置したAG-AND型等が代表的である(例えば、非特許文献1参照)。これらの構造においても、メモリトランジスタ若しくは選択ゲートトランジスタをビット線に接続するために、活性領域上コンタクトが密に並んでいる箇所があり、上記の問題は共通問題といえる。

【非特許文献1】Y. Sasagoら, “新しいAG-ANDセル技術による10メガビット/秒のプログラミング速度を有するギガビットスケールのマルチレベルフラッシュメモリー”, 2002年国際電子デバイス会議論文集、米国電気電子学会、21. 6. 1, p. 952-954 (Y. Sasago, et.al, “10-MB/s Multi-Level Programming of Gb-Scale

10

20

30

40

50

Flash Memory Enabled by New AG-AND Cell Technology”, Technical Digests of International Electron Devices Meeting, 2002 IEEE, 21.6.1, p.952-954)

【発明の開示】

【発明が解決しようとする課題】

【0007】

従来の不揮発性半導体記憶装置は、図40に示すように、素子分離領域59と、活性領域60と、活性領域60内に形成されたメモリセルユニットを複数本並列に含み、かつ選択ゲート線SGU、SGLおよびワード線WLを備えるメモリセルブロック領域62と、活性領域60上に配置されたビット線コンタクト64およびソース線コンタクト65と、ビット線コンタクト64と接続されるビット線BLと、ビット線BLと直交する方向に延伸し、ソース線コンタクト65と接続するソース線63とを備える。活性領域上ビット線コンタクト64はワード線WL方向に横一列に形成され、そのピッチは、従来型のNAND型フラッシュEEPROMでは、活性領域60のピッチに等しい。この近接したコンタクトは、様々な要因でビット線間ショートを引き起こす危険性がある。

【0008】

図40に示すような横一列に並んだビット線コンタクト64のコンタクトホールを開口する技術は、リソグラフィ技術、エッチング技術の進歩とともにある程度の改善は見られるものの、そろそろ限界に達しつつある。もっとも単純な解決方法として、図41に示すように、ビット線コンタクト64の配置を互い違いにずらして配置する方法が、提案されている。この方法では、ビット線コンタクト64を互い違いにずらして配置することで、ビット線コンタクト64間の距離を稼ぐことができる。しかしながら、図41から明らかのように、メモリセルブロック領域62の間隔を広くとる必要があり、面積の増加が問題となる。

【0009】

ここで、図40において、素子分離領域59の幅を L_{STI} 、活性領域60の幅を L_{AA} 、ビット線コンタクト64の直径を L_{CB} とすると、ビット線コンタクト64間の距離 L_1 は、
$$L_1 = L_{AA} + L_{STI} - L_{CB} \quad (1)$$

で表すことができる。微細化が進むにつれて、ビット線コンタクト64間の距離 L_1 が小さくなり、隣接するビット線コンタクト64同士が電氣的にショートし易くなる。

【0010】

このように、NAND型EEPROMに代表される不揮発性半導体記憶装置において、微細化が進むにつれてビット線コンタクトCB間が狭くなり、ビット線コンタクト同士が電氣的にショートし易くなる問題がある。

【0011】

本発明の目的は、ビット線コンタクトの配置を工夫し、ビット線コンタクト間のスペースを確保し、微細化が進んだ場合でも、ビット線コンタクト同士の電氣的ショートに対するマージンを向上させることができる不揮発性半導体記憶装置を提供することにある。

【課題を解決するための手段】

【0012】

上記目的を達成するため、本発明の第1の特徴は、(イ)電氣的なデータの書き込み及び消去が可能なメモリセルトランジスタを列方向に配列したメモリセルユニットと、(ロ)メモリセルユニットを列方向に複数個直列接続したメモリセルユニットアレイの両端に配置され、メモリセルユニットアレイ間で共有される活性領域上コンタクトとを備え、(ハ)行方向に配列されたメモリセルユニットアレイの、それぞれの活性領域上コンタクト間の距離が、行方向に配列されたメモリセルユニットの周期の2以上の整数倍分だけ離隔し、メモリセルユニットアレイがマトリックス状に複数個配列されている不揮発性半導体記憶装置であることを要旨とする。

【0013】

本発明の第2の特徴は、(イ)電氣的なデータの書き込み及び消去が可能なメモリセルトランジスタを列方向に配列したメモリセルユニットと、(ロ)メモリセルユニットを列

方向に複数個直列接続したメモリセルユニットアレイの両端に配置され、メモリセルユニットアレイ間で共有される活性領域上コンタクトとを備え、(ハ)行方向に配列されたメモリセルユニットアレイの、それぞれの活性領域上コンタクト間の距離が、列方向に配列されたメモリセルユニットの周期の2以上の整数倍分だけ離隔し、メモリセルユニットアレイがマトリックス状に複数個配列されている不揮発性半導体記憶装置であることを要旨とする。

【0014】

本発明の第3の特徴は、(イ)電氣的なデータの書き込み及び消去が可能なメモリセルトランジスタを列方向に配列したメモリセルユニットと、(ロ)第1のソース線および第2のソース線と、(ハ)第1のソース線および第2のソース線間に、メモリセルユニットを列方向に3個直列接続したメモリセルユニットアレイと、(ニ)列方向に3個直列接続したメモリセルユニットの内、2個直列接続したメモリセルユニットの一端に配置され、メモリセルユニットアレイ内で共有される活性領域上コンタクトとを備え、(ホ)活性領域上コンタクトを共有する構造が行方向に交互に配置されることにより、メモリセルユニットアレイがマトリックス状に複数個配列されている不揮発性半導体記憶装置であることを要旨とする。

【発明の効果】

【0015】

本発明の不揮発性半導体記憶装置によれば、ビット線コンタクトの配置を従来の配列と変えることによりビット線コンタクトCB間のスペースを確保し、微細化が進んだ場合でも、ビット線コンタクト同士の電氣的ショートに対するマージンを向上させることが出来る。

【発明を実施するための最良の形態】

【0016】

本発明の実施の形態に係る不揮発性半導体記憶装置の代表的な構成は、例えば、図9に示すように、ワード線WLの配線は従来のままで、ビット線コンタクトCB、ソース線コンタクトCSを1つおきに間引いて配置する。隣のビット線コンタクト列、ソース線コンタクト列も1つおきに間引いて形成するが、ワード線WL方向に活性領域60/素子分離領域59の1ピッチ分だけずらす。すなわち、ビット線コンタクトCBおよびソース線コンタクトCSは菱形格子状に配置される。これにより、同一のワード線WL方向に測ったコンタクトピッチは従来の図40の構成に比較して、2倍になる。

【0017】

本発明の実施の形態に係る不揮発性半導体記憶装置の配置方法によって、ビット線BL_K方向に直列する2つのNANDメモリセルユニット57および58でビット線コンタクトCB、及びソース線コンタクトCSを共有することになる。

【0018】

読み出し方式、書き込み/消去方式は基本的に従来の手法に準ずる。しかし、ビット線コンタクトCB及びソース線コンタクトCSを共有するために、直列する2つのNANDメモリセルユニット57或いは58の一方を選択して動作させる場合も、もう一方を同時に駆動する必要がある。このように本発明の実施の形態に係る不揮発性半導体記憶装置は、相補的な駆動方法が実現可能である。

【0019】

以上によりワード線WL方向のコンタクトピッチを2倍にできるために、プロセス的な難易度を下げ、且つプロセスコストを下げる事が可能となる。

【0020】

また、さらにビット線BL_K方向に直列する3つのNANDメモリセルユニットでビット線コンタクトCB、及びソース線コンタクトCSを共有するように、コンタクトを形成することも可能である。この場合、ワード線WL方向のコンタクトピッチは活性領域60/素子分離領域59のピッチの3倍となる。以上が本発明の実施の形態に係る不揮発性半導体記憶装置の特徴である。

10

20

30

40

50

【0021】

次に、図面を参照して、本発明の実施の形態を説明する。以下の図面において、同一又は類似の部分には同一又は類似の符号を付している。又、以下に示す実施の形態は、この発明の技術思想を具体化するための装置や方法を例示するものであって、この発明の技術思想を下記のものに特定するものではない。この発明の技術思想は、特許請求の範囲において、種々の変更を加えることができる。

(第1の実施の形態)

本発明の第1の実施の形態に係る不揮発性半導体記憶装置のメモリセルトランジスタの基本構造は、図1に示すように、半導体基板26中に形成されたソース領域又はドレイン領域となる拡散層18と、半導体基板26上に形成されたトンネル絶縁膜30と、拡散層18に挟まれたチャンネル領域上にトンネル絶縁膜30を介して形成されたフローティングゲート8と、ソース又はドレインとなる拡散層18に面し、フローティングゲート8の有する2つの側壁にゲート間絶縁膜40を介して接して形成された第1および第2のコントロールゲート2とを備える側壁コントロールゲート構造である。

【0022】

側壁コントロールゲート型構造を基本構造とする本発明の実施の形態に係る不揮発性半導体記憶装置は、図3(a), (b)に示すような回路構成および素子断面構造を有する。側壁コントロールゲート型構造を有するメモリセルトランジスタMCは、フローティングゲート(FG)8の両側をコントロールゲート(CG)2が挟む構成を有する。各コントロールゲート2には、図3(a)に示すように、コントロールゲート線CG0~CG65が接続されている。このようなメモリセルトランジスタMCを直列に接続して、NANDメモリセルトランジスタ列を構成している。

【0023】

図3(a)の構成は、NANDメモリセルユニット57, 58がビット線BL方向に2つ直列に接続された構造を備えている。2つのNANDメモリセルユニット57および58は、ビット線BL_kとソース線SLとの間において、ユニット間拡散層80を介して直列に接続されている。

【0024】

このようなNANDメモリセルトランジスタ列からなるNANDメモリセルユニット57はビット線BL_kとの間に選択ゲートトランジスタSG1を備え、ユニット間拡散層80との間に選択ゲートトランジスタSG2を備え、コントロールゲート線CG33~CG65に平行にそれぞれ選択ゲートトランジスタSG1, SG2のゲートに対して選択ゲート線SGUおよびSGLが接続されている。同様に、NANDメモリセルユニット58はユニット間拡散層80との間に選択ゲートトランジスタSG1を備え、ソース線SLとの間に選択ゲートトランジスタSG2を備え、コントロールゲート線CG0~CG32に平行にそれぞれ選択ゲートトランジスタSG1, SG2のゲートに対して選択ゲート線SGUおよびSGLが接続されている。

【0025】

隣接するビット線BL_{k+1}に対しては、図3(a)に示すようにビット線コンタクトCBはユニット間拡散層80と接触して配置されている。NANDメモリセルユニットが2個直列に接続される点は前述と同様である。ビット線コンタクトCBの配置が1NANDメモリセルユニット分だけずれて配置されていると見ることもできる。

【0026】

図3(b)に示すように、NANDメモリセルユニット57のビット線BL_k側は、ビット線側選択ゲートトランジスタSG1の選択ゲート6に接続された選択ゲート線SGUを介してビット線コンタクト領域14に接続される。NANDメモリセルユニット57のソース線SL側は、ソース線側選択ゲートトランジスタSG2の選択ゲート4に接続された選択ゲート線SGLを介してユニット間拡散層80に接続される。同様に、NANDメモリセルユニット58のビット線BL_k側は、ビット線側選択ゲートトランジスタSG1の選択ゲート6に接続された選択ゲート線SGUを介してユニット間拡散層80に接続さ

れる。NANDメモリセルユニット58のソース線SL側は、ソース線側選択ゲートトランジスタSG2の選択ゲート4に接続された選択ゲート線SGLを介してソース線コンタクト領域16に接続される。

【0027】

メモリセルトランジスタ列に対して更に、このようなソース線側の選択ゲートトランジスタSG1およびビット線側の選択ゲートトランジスタSG2までも含めた構成を「メモリセルユニット」と呼ぶことにする。図3(a)の57および58の構成は、メモリセルトランジスタ列がNANDメモリセルトランジスタ構成に直列に接続されていることから、「NANDメモリセルユニット」と呼ぶことができる。従って、図3(a)の回路構成では、NANDメモリセルユニットが2個直列に接続された構成を有する。

10

【0028】

図3(b)の構造は、図3(a)の回路構成の内、1本のNANDメモリセルユニット部分を模式的に表した断面構造に相当し、尚且つ、後述する図4(b)の平面パターン図においてIV-IV線に沿う模式的断面構造を表している。pウェル若しくはシリコン半導体基板26内に形成されたn型拡散層18はメモリセルトランジスタのソース領域若しくはドレイン領域であり、このソース領域若しくはドレイン領域に挟まれたチャンネル領域上に形成されてトンネル絶縁膜30を介して、フローティングゲート8が配置されている。

【0029】

上記例では、NANDメモリセルユニット1列に対して、ビット線側選択ゲート線SGUが1本、ソース側選択ゲート線SGLが1本の例を示したが、これに限るものではなく、ビット線側選択ゲート線SGUの本数を2本としてもよく、更に本数を増やしても良い。ソース側選択ゲート線SGLに関しても、1本に限ることは無く、2本であっても良く、更に、本数を増やしても良い。

20

【0030】

図4(a)、(b)は本発明の実施の形態に係る不揮発性半導体記憶装置の模式的回路構成図と模式的平面パターン図を示す。図4(a)、(b)はそれぞれ対応するように描かれており、ビット線コンタクトCBは2個直列に接続されたNANDメモリセルユニット57および58で1個共有し、従って、ビット線BL_Kは2個のNANDメモリセルユニットで1本配置する。図4(b)のI-I線、II-II線、III-III線に沿う素子断面構造は、それぞれ、図5(a)、図5(b)、図5(c)に示す通りである。更に、IV-IV線の沿う素子断面構造は図3(b)に模式的に示された通りである。図5(a)、(b)から明らかなように、ビット線コンタクトCBは、各ビット線BLにおいて一つ置きに間引いて配置されることから、全体として菱形格子状の平面的配置構成を有する。同様に、図5(a)、(b)から明らかなように、ソース線コンタクトCSは、2個直列に接続されたNANDメモリセルユニットのビット線コンタクトCBと対をなして配置されることから、全体として菱形格子状の平面的配置構成を有する。

30

【0031】

2個直列に接続されたNANDメモリセルユニット57および58で1本のビット線を共有する回路形式を採用し、ビット線コンタクトCBを一つ置きにずらして配置することによって、ビット線コンタクトCBの数を減少させ、図5(a)に示すように、ビット線コンタクトCB間のスペースに余裕をとることができる。特に、微細な不揮発性半導体記憶装置においては、ビット線コンタクトCBの配置上、コンタクトホール間の寸法が微細となる。2個直列に接続されたNANDメモリセルユニットで1本のビット線を共有し、かつビット線コンタクトCBを一つ置きにずらして配置する本発明の第1の実施の形態に係る不揮発性半導体記憶装置の回路構成を採用することによって、ビット線コンタクトCB間のリークの問題を解決し、歩留まりの向上を図ることができる。

40

【0032】

図5(b)から明らかなように、図4(b)のII-II線に沿う断面構造は、フローティングゲート(FG)8部分における断面構造である。トンネル絶縁膜30上にフロー

50

ティングゲート (FG) 8 が配置されている。チャンネル領域は p ウェル 26 と共通領域であるが、素子分離領域 28 によって挟まれて形成される。フローティングゲート (FG) 8 上にはキャップ絶縁膜 32 が形成され、更に全体を層間絶縁膜 52 が覆っている。

【0033】

図 5 (c) から明らかなように、図 4 (b) の I I I - I I I 線に沿う断面構造は、コントロールゲート線 CG 30 部分における断面構造である。ゲート間絶縁膜 40 上にコントロールゲート 2 が配置されている。n 型拡散層 18 はメモリセルトランジスタのソース領域またはドレイン領域であるが、素子分離領域 28 によって挟まれて形成される。コントロールゲート 2 上には金属シリサイド膜 49 が形成され、更に全体を層間絶縁膜 52 が覆っている。尚、図 5 (b) では、フローティングゲート 8 の側壁部に形成されるゲート間絶縁膜 40 は、説明を簡単にするために省いている。また、図 4 (b) に示されるソース線コンタクト CS は、ソース線 SL に対して電氣的に共通に接続される。

10

【0034】

メモリセルトランジスタの基本構造が図 1 に示したような側壁コントロールゲート構造を有する場合における、本発明の第 1 の実施の形態に係る不揮発性半導体記憶装置のマトリックス回路構成は、例えば、図 6 に示すように、NAND メモリセルユニット 55, 57 或いは 56, 58 を内部に並列に配置したメモリセルブロック領域 62 と、行方向に配列された複数本の NAND メモリセルユニット 55, 56 或いは 57, 58 と、コントロールゲート線 CG 0 ~ CG n と、選択ゲート線 SGU, SGL と、ビット線 BL_{K-2} , BL_{K-1} , BL_K , BL_{K+1} と、ソース線 SL と、ビット線駆動回路 10 と、コントロールゲート線駆動回路 20 と、選択ゲート線駆動回路 21 と、ソース線駆動回路 22 とから構成される。NAND メモリセルユニットは、図 6 の例では、任意の個数直列に接続されたメモリセルトランジスタと、コントロールゲート線 CG n に隣接して配置される選択ゲート線 SGU を備える 1 個のビット線側選択ゲートトランジスタ SG1 と、コントロールゲート線 CG 0 に隣接して配置される選択ゲート線 SGL を備える 1 個のソース線側選択ゲートトランジスタ SG2 とを備え、上記選択ゲートトランジスタを介してそれぞれビット線 BL、ソース線 SL に接続している。

20

【0035】

図 6 の特徴は、ビット線コンタクト CB の配置構成にある。2 個直列に接続された NAND メモリセルユニット 57 および 58 はビット線 BL_K と接続するビット線コンタクト CB とソース線 SL と接続するソース線コンタクト CS を備える。一方 NAND メモリセルユニット 55 と 56 の間には、図 3 (b) と同様のユニット間拡散層 80 が配置され、ビット線 BL_{K-1} と接続するビット線コンタクト CB が配置されている。

30

【0036】

n 個のメモリセルトランジスタ MC 1. k ~ MC n. k が直列に接続され、この端部においてビット線 BL_K 側には、ビット線側選択ゲートトランジスタ SG 1. k が接続され、ソース線側にはソース線側選択ゲートトランジスタ SG 2. k が接続されて 1 個の NAND メモリセルユニット 57 を構成している。同様に、n 個のメモリセルトランジスタ MC 1. k ~ MC n. k が直列に接続され、この端部においてビット線 BL_K 側には、ビット線側選択ゲートトランジスタ SG 1. k が接続され、ソース線側にはソース線側選択ゲートトランジスタ SG 2. k が接続されて 1 個の NAND メモリセルユニット 58 を構成している。更に、これらの NAND メモリセルユニット 57 および 58 は直列に接続されている。NAND メモリセルユニット 57 のビット線側選択ゲートトランジスタ SG 1. k のドレイン領域はビット線コンタクト CB を介してビット線 BL_K に接続されている。また、NAND メモリセルユニット 58 のソース線側選択ゲートトランジスタ SG 2. k のソース領域はソース線コンタクト CS を介してソース線 SL に接続されている。

40

【0037】

n 個のメモリセルトランジスタ MC 1. k - 1 ~ MC n. k - 1 が直列に接続され、この端部においてビット線 BL_{K-1} 側には、ビット線側選択ゲートトランジスタ SG 1. k - 1 が接続され、ソース線側にはソース線側選択ゲートトランジスタ SG 2. k - 1 が

50

接続されて1個のNANDメモリセルユニット55を構成している。同様に、 n 個のメモリセルトランジスタ $MC1.k-1 \sim MCn.k-1$ が直列に接続され、この端部においてビット線 BL_{k-1} 側には、ビット線側選択ゲートトランジスタ $SG1.k-1$ が接続され、ソース線側にはソース線側選択ゲートトランジスタ $SG2.k-1$ が接続されて1個のNANDメモリセルユニット56を構成している。更に、これらのNANDメモリセルユニット55および56は直列に接続されている。これら直列に接続されたNANDメモリセルユニット55および56の接続点にはビット線 BL_{k-1} と接続するためのビット線コンタクトCBが配置されている。即ち、NANDメモリセルユニット55のソース線側選択ゲートトランジスタ $SG2.k-1$ のドレイン領域はビット線コンタクトCBを介してビット線 BL_{k-1} に接続されている。また、NANDメモリセルユニット56のビット線側選択ゲートトランジスタ $SG1.k-1$ のドレイン領域はビット線コンタクトCBを介してビット線 BL_{k-1} に接続されている。同様の構成はビット線BLに関して1本置きに実現されており、図6から明らかなように、ビット線コンタクトCBも一つ置きに配置されている。同様にソース線コンタクトCSも一つ置きに配置されている。メモリセルブロック領域62は、図6に示すように、複数のNANDメモリセルユニットをコントロールゲート線CGが延伸する方向に並列に配置している。

【0038】

ソース線側選択ゲートトランジスタ $SG2.k-2, SG2.k-1, SG2.k, SG2.k+1$ のゲートは選択ゲート線 SG_L に共通に接続され、ビット線側選択ゲートトランジスタ $SG1.k-2, SG1.k-1, SG1.k, SG1.k+1$ のゲートは選択ゲート線 SG_U に共通に接続されている。これらの選択ゲート線 SG_U, SG_L によってNANDメモリセルユニットが選択される。 n 個のメモリセルトランジスタ $MC1.k-2 \sim MCn.k-2$ 、 n 個のメモリセルトランジスタ $MC1.k-1 \sim MCn.k-1$ 、 n 個のメモリセルトランジスタ $MC1.k \sim MCn.k$ 、 n 個のメモリセルトランジスタ $MC1.k+1 \sim MCn.k+1$ 等のそれぞれのフローティングゲート8の側壁にはゲート間絶縁膜40を介してコントロールゲート2が配置される。このコントロールゲート2に対して、コントロールゲート線 $CG_n, CG_{n-1}, \dots, CG_{n-k+1}, CG_{n-k}, CG_{n-k-1}, \dots, CG_1, CG_0$ がそれぞれ共通に接続されている。更に、ビット線 $BL_{k-2}, BL_{k-1}, BL_k, BL_{k+1}$ には、ビット線駆動回路10が接続され、コントロールゲート線 $CG_n, CG_{n-1}, \dots, CG_{n-k+1}, CG_{n-k}, CG_{n-k-1}, \dots, CG_1, CG_0$ には、コントロールゲート線（コントロールゲート線）駆動回路20が接続され、選択ゲート線 SG_U, SG_L には、選択ゲート線駆動回路21が接続され、ソース線SLにはソース線駆動回路22が接続されている。図6は8つのNANDメモリセルユニットを示しているが、更にビット線の延長する方向、及びコントロールゲート線の延長する方向に複数配列されていても良い。

【0039】

NANDメモリセルユニットを2個直列に接続した構成を基本単位とし、しかもこの基本単位を隣接するビット線に対して1メモリセルユニット分だけずらして配置する。結果として、ビット線コンタクトCBおよびソース線コンタクトCSはコントロールゲート線CGが延伸する方向において、一つ置きに配置されることになり、平面パターン形状から見ると菱形格子状にコンタクトCB、CSが配置されている。

【0040】

上記説明においてメモリセルユニットの端部に配置され選択ゲート線 SG_L に接続されるソース線側選択ゲートトランジスタを $SG2.k-2, SG2.k-1, SG2.k, SG2.k+1$ と表示し、或いは、選択ゲート線 SG_U に接続されるビット線側選択ゲートトランジスタを $SG1.k-2, SG1.k-1, SG1.k, SG1.k+1$ として区別して表記しているが、構造的には同一構造のトランジスタによって構成されている。更に、「ビット線側」或いは「ソース線側」という表現は隣接するメモリセルユニット間では反対の関係になる。即ち、図6の例で説明すると、ソース側選択ゲートトランジスタ $SG2.k-1, SG2.k+1$ のドレインはビット線コンタクトCBに接続され、ソース線

コンタクトCSに接続されているわけではない。直列接続された2つのメモリセルユニットが、ビット線コンタクトCBを中心にして、ビット線BLが延伸する方向に折り返した構造を有するからである。

【0041】

(システムブロック構成)

本発明の第1の実施の形態に係る不揮発性半導体記憶装置のシステムブロック構成は、例えば、図8に示すように、NAND型フラッシュメモリセルアレイ303と、ビット線制御回路301と、ロウデコーダ310と、カラムデコーダ302と、昇圧回路311とから構成される。NAND型フラッシュメモリセルアレイ303には、図1および図2に示したメモリセルトランジスタ構造をそれぞれ基本構造単位とするメモリセルアレイとして、図6において説明した不揮発性半導体記憶装置を適用することができる。このNAND型フラッシュメモリセルアレイ303には、ビット線制御回路301及びロウデコーダ310が接続されている。ビット線制御回路301は書き込みデータのラッチ、読み出し時のセンス動作等を行う回路である。このビット線制御回路301には、カラムアドレス信号をデコードしてNANDメモリセルユニットの列を選択するためのカラムデコーダ302が接続されている。昇圧回路311は、電源電圧から、書き込み電圧 V_{pgm} 、複数の中間電圧 $V_{pass0} \sim V_{passn}$ 、ビット線電圧 V_{bl} 等を発生する。ロウデコーダ310は、昇圧回路311に制御信号RDSを供給し、書き込み電圧 V_{pgm} 及び中間電圧 $V_{pass0} \sim V_{passn}$ を受ける。尚、複数の中間電圧 $V_{pass0} \sim V_{passn}$ は、本発明の第1の実施の形態に係る不揮発性半導体記憶装置の書き込み動作、読み出し動作、消去動作において使用する電圧であって、主としてコントロールゲート線CG0～CGn或いはワード線WL1～WLn等に印加する電圧である。このロウデコーダ310は、ロウアドレス信号をデコードし、昇圧回路311から供給された電圧に基づいて、上記NAND型フラッシュメモリセルアレイ303中のメモリセルトランジスタを選択するための書き込み電圧 V_{pgm} 、中間電圧 $V_{pass0} \sim V_{passn}$ 、選択ゲート線SGLに印加する電圧 V_{sgs} 、選択ゲート線SGUに印加する電圧 V_{sgd} 、ソース線SLに印加する電圧 V_{sl} 等のデコード信号を出力する。これによって、上記NAND型フラッシュメモリセルアレイ303中のコントロールゲート線CG0～CGn或いはワード線WL1～WLn、選択ゲート線SGL、SGUが選択される。更に、ビット線制御回路301は昇圧回路311からビット線電圧 V_{bl} を受け、カラムデコーダ302で選択さ

れたNANDメモリセルユニットの列に供給する。尚、図8は必要な最小限の回路のみを示しており、他にもアドレスバッファ、データ入出力バッファ、及びタイミング発生回路等が必要であるが、記載を省略している。

【0042】

尚、本発明の第1の実施の形態に係る不揮発性半導体記憶装置の動作方式は、後述するスタックゲート型メモリセル構造を有する第2の実施の形態に係る不揮発性半導体記憶装置の動作方式と同様である。

【0043】

(第2の実施の形態)

本発明の第2の実施の形態に係る不揮発性半導体記憶装置のメモリセルトランジスタの基本構造は、図2に示すように、半導体基板26中に形成されたソース領域又はドレイン領域となる拡散層18と、半導体基板26上に形成されたトンネル絶縁膜30と、拡散層18に挟まれたチャネル領域上にトンネル絶縁膜30を介して形成されたフローティングゲート8と、フローティングゲート8上に層間絶縁膜を介して配置されたコントロールゲート2とを備えるスタック型構造である。

【0044】

側壁コントロールゲート型構造によれば、フローティングゲート8周辺の寄生容量を削減することができ、コントロールゲート2とフローティングゲート8間の容量を増大することにより、書き込み電圧 V_{pgm} 低減することができ、高集積化、高速化が可能な不揮発性半導体記憶装置を実現することができる。一方、コントロールゲート線の本数は、「側

壁コントロールゲート型構造」では2本必要であるのに対して、「スタックゲート型構造」では1本で済み、「スタックゲート型構造」のメモリセルアレイのほうが回路構成は簡単である。但し、実際上は図6および図7を比較すると明らかなように、「側壁コントロールゲート型構造」では、「スタックゲート型構造」に比べて、コントロールゲート線の本数はわずかに1本増加するのみである。1本のコントロールゲートで、2つのメモリセルをコントロールすることになるからである。

【0045】

メモリセルトランジスタの基本構造が図2に示したようなスタックゲート型構造を有する場合における、本発明の第2の実施の形態に係る不揮発性半導体記憶装置のマトリックス回路構成は、例えば、図7に示すように、NANDメモリセルユニット55,57或いは56,58を内部に並列に配置したメモリセルブロック領域62と、行方向に配列された複数本のNANDメモリセルユニット55,56或いは57,58と、ワード線WL1~WLnと、選択ゲート線SGU, SGLと、ビット線BLk-2~BLk+1と、ソース線SLと、ビット線駆動回路10と、コントロールゲート(ワード)線駆動回路20と、選択ゲート線駆動回路21と、ソース線駆動回路22とから構成される。NANDメモリセルユニットは、図7の例では、n個直列に接続されたメモリセルトランジスタと、ワード線WL1に隣接して配置される選択ゲート線SGUを備える1個のビット線側選択ゲートトランジスタSG1と、ワード線WLnに隣接して配置される選択ゲート線SGLを備える1個のソース線側選択ゲートトランジスタSG2とを備え、上記選択ゲートトランジスタを介してそれぞれビット線BL、ソース線SLに接続している。

【0046】

図7の特徴は、ビット線コンタクトCBの配置構成にある。2個直列に接続されたNANDメモリセルユニット57および58はビット線BL_kと接続するビット線コンタクトCBとソース線SLと接続するソース線コンタクトCSを備える。一方NANDメモリセルユニット55と56の間には、図3(b)と同様のユニット間拡散層80が配置され、ビット線BL_{k-1}と接続するビット線コンタクトCBが配置されている。

【0047】

本発明の第2の実施の形態に係る不揮発性半導体記憶装置において、図7に示したメモリマトリックスアレイの回路構成は、メモリセルトランジスタの基本構造が異なるだけであって、基本的には、図6に示した第1の実施の形態に係る不揮発性半導体記憶装置のメモリマトリックスの回路構成と同様である。本発明の第2の実施の形態に係る不揮発性半導体記憶装置の特徴は、ビット線コンタクトCBおよびソース線コンタクトCSの配置構成にある。図7に示したスタックゲート型構造をメモリセルトランジスタの基本単位とするメモリマトリックスアレイにおいても、図6の構成と同様に、以下の特徴を有する。NANDメモリセルユニットを2個直列に接続した構成を基本単位とし、しかもこの基本単位を隣接するビット線に対して1メモリセルユニット分だけずらして配置する。結果として、ビット線コンタクトCBおよびソース線コンタクトCSはワード線WLが延伸する方向において、一つ置きに配置されることになり、平面パターン形状から見ると菱形格子状にコンタクトCB、CSが配置されている。ソース側選択ゲートトランジスタSG2, k-1, SG2, k+1のドレインはビット線コンタクトCBに接続され、ソース線コンタクトCSに接続されているわけではなく、直列接続された2つのメモリセルユニットが、ビット線コンタクトCBを中心にして、ビット線BLが延伸する方向に折り返した構造を有する点も図6と同様である。

【0048】

(平面的ブロック構成)

本発明の第2の実施の形態に係る不揮発性半導体記憶装置の平面パターン構成は、図9の模式的ブロック構成図に示すように、メモリセルブロック領域62と、活性領域60と、素子分離領域59と、活性領域60上に配置されたビット線コンタクト64およびソース線コンタクト65と、ビット線コンタクト64と接続されるビット線BLと、ビット線BLと直交するワード線WL方向に延伸し、ソース線コンタクト65と接続するソース線

63とを備える。活性領域60内に形成されたNANDメモリセルユニット55～58等は、メモリセルブロック領域62内において、ワード線WL方向に並列に配置されている。選択ゲート線SGU、SGLおよびワード線WLについては記載を省略している。本発明の第1の実施の形態に係る不揮発性半導体記憶装置の特徴は、ビット線コンタクト64をワード線WL方向に倍ピッチで配置するとともに、ソース線コンタクト65もワード線WL方向に倍ピッチで、しかも互いにずらして配置した点にある。更に又、1つのビット線コンタクト64とソース線コンタクト65との間に配置するメモリセルユニットは、図9に示すように、2個のメモリセルブロック領域62に跨って構成されている点にある。図9に示すように、ビット線コンタクト64とソース線コンタクト65の対はワード線方向において、一つ置きに活性領域60上に配置されている。例えば、図9において、64ページを割り当てることを想定すると、ページ0～31は一つのメモリセルブロック領域62内の物理的ワード線WLを割り当てることができ、ページ32～63は別のメモリセルブロック領域62内の物理的ワード線WL割り当てることができる。即ち、図9において、NANDメモリセルユニットの領域Aに対しては、一つのメモリセルブロック領域62に対応するページ32～63を割り当てることができ、NANDメモリセルユニットの領域Bに対しては、別のメモリセルブロック領域62に対応するページ0～31を割り当てることができる。

【0049】

(動作モード)

(読み出しモード)

ページ0～31を選択する場合の読み出しモードを図10に、ページ32～63を選択する場合の読み出しモードを図11に示す。ページ0～31を読むときは、図10に示すように、選択ワード線66を1本だけ選択すればよい。ページ32～63を読むときは、図11に示すように、2本の選択ワード線66を選択すれば同時に読み出すことができる。図10および図11において、SGUはビット線側(ドレイン側)の選択ゲート線、SGLはソース線側の選択ゲート線を示し、それぞれ0V或いは4V等の所定の電圧が印加される。又、非選択のワード線WLおよび選択のワード線WLに対しても0V或いは5V程度の電圧が印加される。ソース線SLに対して印加される電圧Vs1は0Vであり、ビット線BLに印加される電圧Vb1は例えば、0.7V程度である。

【0050】

(書き込みモード)

ページ0～31を選択する場合の書き込みモードを図12に、ページ32～63を選択する場合の書き込みモードを図13に示す。複数のメモリセルブロック領域62に跨って、セルフブースト動作を実行することも考えられるが、隣接するメモリセルブロックの繋ぎ目に位置する選択ゲートトランジスタSG1, SG2間の拡散層に負荷が加わり、良好な書き込み特性が得られず、良好な誤書き込み特性が得られないことが予想される。そこで、ビット線BLから初期電位を転送する動作ではなく、NANDメモリセルユニットの両側の選択ゲートトランジスタSG1, SG2をカットオフさせ、容量結合のみで昇圧させる方法が最も簡単な方法である。この場合、ビット線側選択ゲート線SGUに印加する電圧は、0Vを転送可能な十分に低い電圧Vlow(>0V)とする。ソース線側選択ゲート線SGLに印加する電圧は0Vとする。良好な誤書き込み特性を得るためには、上記2つの選択ゲート線SGU、SGLにそれぞれ接続される選択ゲートトランジスタSG1, SG2をカットオフさせる方法が重要となる。

【0051】

(書き込みモードの変形例1)

選択ゲートトランジスタSG1, SG2のカットオフを十分にするため、隣接するメモリセルブロック領域62を介してユニット間拡散層80へバックバイアス電圧を転送させる。このとき、隣接するメモリセルブロック領域62のワード線WLにはパス電圧(DC)を与える。但し、リードディスタurbを悪化させる可能性がある。

【0052】

10

20

30

40

50

(書き込みモードの変形例 2)

リードディスターブを緩和するために、パルスの的に上記パス電圧を与え、ユニット間拡散層 80 を充電する。

【0053】

(書き込みモードの変形例 3)

或いは又、メモリセルブロック領域 62 に隣接する非選択のメモリセルブロック領域 62 の選択ゲート線 S G U, S G L, ワード線 W L をすべて 0 V にして、カットオフさせる方法もある。

【0054】

0 V を転送可能な十分に低い電圧 V l o w ($> 0 V$) を印加するビット線側選択ゲート線 S G U に接続された選択ゲートトランジスタ S G 1 は、カットオフが十分ではなくリーク電流が流れ易いが、ユニット間拡散層 80 が充電されるにつれて自動的にカットオフする。但し、ユニット間拡散層 80 内の電子が選択ゲートトランジスタ S G 1, S G 2 のチャンネル領域内に流入するため、書き込み特性が悪化する可能性がある。

【0055】

(詳細な平面パターン構成)

本発明の第 2 の実施の形態に係る不揮発性半導体記憶装置のより詳細な平面パターンブロック構成は、図 14 に示すように、メモリセルブロック領域 62 と、メモリセルユニット (U1) 69, メモリセルユニット (U2) 70, メモリセルユニット (U3) 71, メモリセルユニット (U4) 72, メモリセルユニット (U5) 73, メモリセルユニット (U6) 74, メモリセルユニット (U7) 75 と、ソース線 63 と、ビット線コンタクト 64 と、ソース線コンタクト 65 とを備える。図 14 上ではビット線 B L、ワード線 W L 或いはコントロールゲート線 C G については記載を省略している。

【0056】

1 つのメモリセルユニットは、例えば、図 7 中に示した N A N D メモリセルユニット 55 ~ 58 に示すように、n 個のメモリトランジスタ (M C 1 ~ M C n) を、それらのソース若しくはドレイン拡散層を隣接するもの同士で共有する形で直列接続し、さらにその両端に選択ゲートトランジスタ S G 1, S G 2 を配置することによって構成されている。メモリセルアレイは上記メモリセルユニットをマトリクス状に配列したものである。同一行にならぶメモリセルユニットの範囲が 1 つのメモリセルブロック領域 62 である。メモリセルアレイの行方向に並ぶ複数のメモリセルトランジスタ M C 及び選択ゲートトランジスタ S G 1, S G 2 の制御ゲートは、それぞれ制御ゲート線 W L 或いは C G 及び選択ゲート線 S G U, S G L に共通接続されている。メモリセルユニット内に n 個のメモリトランジスタがある場合、メモリセルブロック領域 62 内の制御ゲート線の本数は n である。一本の制御ゲート線 W L 或いは C G に接続される複数のメモリセルトランジスタが、一括してデータの書き込み及び読み出しを行う範囲である。この書き込み及び読み出しの単位を通常、1 ページと定義するが、近年では 1 本の制御ゲート線に対して複数のページが割り当てられることもある。

【0057】

本発明の第 2 の実施の形態においては、列方向に直列した 2 つのメモリセルユニットの両端で、1 つのビット線コンタクト 64 及び 1 つのソース線コンタクト 65 が共有されている。これにより、行方向の活性領域上コンタクトピッチは、行方向の活性領域 60 のピッチの 2 倍に緩和される。その結果、従来技術に比べてプロセス的な難易度を大幅に下げることが可能である。

【0058】

以下にコンタクトの開口における製造方法を 2 通り説明する。

【0059】

(製造方法 1)

(a) 例えば、図 15 に示したように、半導体基板 26 に対して素子分離領域 28 を形成し、厚い層間絶縁膜 34 を形成後、マスク材 35 に対してリソグラフィーの段階では大き

10

20

30

40

50

めに開口しておく（図15（a））。（b）コンタクトホールにおいて、順テーパ形状が形成されるガス供給条件を使用して層間絶縁膜34に対してコンタクトホールを開口する（図15（b））。

【0060】

（製造方法2）

（a）図16に示したように、半導体基板26に対して素子分離領域28を形成し、厚い層間絶縁膜34を形成後、マスク材35に対してリソグラフィーの段階で、図15（a）と同様に大きめに開口する（図16（a））。

【0061】

（b）その後、開口部において、層間絶縁膜34に対してコンタクトホールを開口する（図16（b））。 10

【0062】

（c）その後、側壁加工することにより側壁絶縁膜48を形成し、コンタクト径を狭める（図16（c））。

【0063】

以上の製造方法1若しくは製造方法2により、まずリソグラフィーの条件が緩くなり、且つ隣接ビット線コンタクトCB間を隔てる層間膜の厚さを大きく取れるため、ビット線間リークの危険性を下げることができる。

【0064】

（動作方式）

図14に示すビット線コンタクト（CB）64およびソース線コンタクト（CS）65の配置を有する本発明の第2に実施の形態に係る不揮発性半導体記憶装置の動作方式について述べる。

【0065】

（読み出し方式）

図17に示したセルアレイ中の図中（L）と示されたメモリセルユニットU1を選択した場合を考える。このメモリセルユニットU1及び活性領域AA上に配置されるビット線コンタクト64およびソース線コンタクト65を共有しているメモリセルユニットUA1およびUA2を取り出した図が図18の模式的素子断面構造図である。即ち、図17でU1（L）とU2からなる2個直列接続されたメモリセルユニットを図18においてUA1， 30 UA2で表している。

【0066】

選択されたメモリセルユニットUA1（L）が共有しているビット線コンタクト64には、 V_{b1} （V）が与えられる。また、共有しているソース線コンタクト65には、十分低い電位 V_{ss} が与えられている。また選択ゲートトランジスタSG1、SG2のゲートには V_{sg} が与えられる。尚、選択ゲートトランジスタSG1、SG2のゲート絶縁膜31の厚さはメモリセルトランジスタを構成するトンネル絶縁膜30の厚さよりも厚く設定する。選択ゲートトランジスタSG1、SG2としてのオン・オフ特性が良好であれば良い。

【0067】

選択されたメモリセルユニットUA1内の選択されたメモリセルトランジスタのコントロールゲート2には、蓄積データに依存して選択されたメモリセルトランジスタが導通若しくは非導通状態になるような電圧 V_{read1} が与えられる。一方、選択されたメモリセルユニットUA1内の非選択メモリセルトランジスタの制御ゲートには、蓄積データに依らず非選択メモリセルトランジスタを導通させるのに十分な、 V_{read1} よりも大きい電圧 V_{read2} が与えられる。

【0068】

更に、セル電流 I_{cell} を流すためには、活性領域上コンタクトを共有しているメモリセルユニットUA1，UA2内の全ての非選択メモリセルトランジスタを導通させる必要がある。このため、メモリセルユニットUA2内の全ての非選択ワード線WLには、 V_{re} 50

a d 1 よりも大きい電圧 V_{read3} が与えられるのが大きな特徴である。図 18 中において矢印 Q で示される方向は、セル電流 I_{cell} が流れる方向であることを示す。

【0069】

(書き込み方式)

次に書き込みの場合について述べる。書き込みの場合、幾つかの状態が考えられる。まず、“0”書き込みの場合として、図 19 中の (N) と表示されたメモリセルユニット U1 が“0”書き込みされる場合を考える。図 20 は上記メモリセルユニット U1 (N) の“0”書き込み時のバイアス関係を示す模式的素子断面構造図である。即ち、図 19 において、U1 (N) と U2 からなる 2 個直列接続されたメモリセルユニットを図 20 において UB1, UB2 で表している。

10

【0070】

メモリセルユニット UB1 及び UB2 が共有するビット線コンタクト 64 には十分低い電圧 V_{b11} (例えば 0 V) が与えられている。 V_{b11} をメモリセルユニット UB1 に転送するために、メモリセルユニット UB2 内の非選択メモリセルトランジスタの制御ゲートには V_{pass2} が与えられ、また選択ゲートトランジスタ SG1、SG2 のゲートには V_{sg} が与えられる。メモリセルユニット UB1 内のビット線コンタクト 64 側の選択ゲートトランジスタ SG1 の選択ゲート 6 には、 V_{low} が与えられている。図 20 中において、矢印 R で示される方向は、電圧 V_{b11} を転送する方向であることを示す。

【0071】

ここで、 V_{b11} をチャネルに転送できるように

20

$$V_{low} > V_{b11} + V_{th_sg1}(V_{b11}) \quad (1)$$

という条件を満たす必要がある。(1)式において、 $V_{th_sg1}(V_{b11})$ は V_{b11} のバックバイアスが印加されたときの選択ゲートトランジスタ SG1 の閾値を意味する。また、メモリセルユニット (UB1) 内のソース線コンタクト 65 側の選択ゲートトランジスタ SG2 には、カットオフさせるためのカットオフ電圧 V_{ss} が与えられている。この状態でメモリセルユニット (UB1) 内の選択メモリセルトランジスタのコントロールゲート 2 には V_{pgm} を与え、非選択メモリセルトランジスタのコントロールゲート 2 には V_{pass1} を与えることにより、選択メモリセルトランジスタ直下のトンネル絶縁膜 30 に高電界を印加して“0”書き込みを行う。

【0072】

30

次に、“1”書き込みのバイアスとしては、図 19 中の (M) と表示されたメモリセルユニット U4 又は (O) と表示されたメモリセルユニット U1 の 2 種類が考えられる。まず 1 つ目の“1”書き込みの場合として、図 19 中の (O) と表示されたメモリセルユニット U1 のバイアス条件を図 21 に示す。即ち、図 19 において、U1 (O) と U2 からなる 2 個直列接続されたメモリセルユニットを図 21 において UC1, UC2 で表している。

【0073】

メモリセルユニット UC1 および UC2 は、それぞれメモリセルユニット UB1 および UB2 と制御ゲート線を共有しているため、ゲート電圧は全て同じである。バイアス条件で異なるのは、ビット線 BL_{K-2} , BL_{K+1} にビット線 BL_{K-1} の V_{b11} よりも大きい電圧 V_{b12} が与えられていることである。このとき、メモリセルユニット UC1 と UC2 の間のユニット間拡散層 80 には、ある正の電圧 V_{node} が転送される。図 21 中において、矢印 S で示される方向は、選択ゲートトランジスタ SG1, SG2 のバックバイアス用の電圧が転送される方向であることを示す。

40

【0074】

メモリセルユニット UC1 の選択された制御ゲート線 (ワード線) WL に V_{pgm} , 非選択のワード線 WL に V_{pass1} が与えられたときに、

$$V_{low} < V_{node} + V_{th_sg1}(V_{node}) \quad (2)$$

という関係を満たすならば、メモリセルユニット (UC1) 内の選択ゲートトランジスタ SG1 は自動的にカットオフされ、チャネル及び拡散層が一体化した状態で容量結合によって昇圧される。この昇圧電圧によって、 V_{pgm} が印加されたメモリセルトランジスタ直

50

下のトンネル絶縁膜 30 に印加される電界が緩和されて、“ 1 ”書き込みが行われる。図 21 中において、メモリセルユニット UC1 内の領域 T で示されるメモリセルトランジスタの範囲は、昇圧領域であることを示す。

【0075】

また、“ 1 ”書き込み時のチャネル昇圧の際に、メモリセルユニット (UC1) 内の選択ゲートトランジスタ SG2 を介してリークが起こらないように、ソース線 SL には正電圧 V_{src} が与えられる。

【0076】

次に、もう 1 つの “ 1 ”書き込みの状態として、図 19 中の (M) のメモリセルユニット U4 (M) のバイアス条件を図 22 に示す。即ち、図 19 において、U4 (M) と U3 からなる 2 個直列接続されたメモリセルユニットを図 22 において UD1, UD2 で表している。

【0077】

“ 1 ”書き込みを実現するためには、メモリセルユニット UD1 内の選択ゲートトランジスタ SG1 及び SG2 を共にカットオフする必要がある。まず、選択ゲートトランジスタ SG1 に着目すると、(2) 式の条件を満たすならば、必然的にカットオフされることが分かる。

【0078】

一方、選択ゲートトランジスタ SG2 に関しては、メモリセルユニット UD2 を介してソース線電圧 V_{src} の一部が転送され、メモリセルユニット UD1 と UD2 の間のユニット間拡散層 80 の電圧が V_{node} に達したとすると、

$$V_{ss} < V_{node} + V_{th_sg2}(V_{node}) \quad (3)$$

を満たせば、選択ゲートトランジスタ SG2 はカットオフされる。

【0079】

以上より、“ 0 ”書き込み及び “ 1 ”書き込みを実現するためには、(1) 式乃至 (3) 式の条件を満たすように、 V_{low} , V_{b11} , V_{b12} , V_{pass2} , V_{sg} , V_{ss} , V_{src} の各値を設定する必要がある。図 22 において、メモリセルユニット UD1 内の領域 T で示されたメモリセルトランジスタの範囲が昇圧領域を示し、矢印 V で示された方向が選択ゲートトランジスタ SG2, SG1 のバックバイアス用の電圧が転送される方向であることを示す。

【0080】

(第 3 の実施の形態)

本発明の第 2 の実施の形態に係る不揮発性半導体記憶装置では、図 20 に示すように、選択されたメモリセルユニット UB1 のワード線に対して、書き込み時のパルス電圧 V_{pgm} , V_{pass1} を与えている間、隣接する非選択メモリセルユニット UB2 内の全ての制御ゲート (ワード) 線に V_{pass2} を印加していた。しかし、この場合 V_{pass2} によるディスタ urb が問題になる可能性がある。そこで、本発明の第 3 の実施の形態に係る不揮発性半導体記憶装置では、非選択メモリセルユニット U (非選択) がソース側に位置している場合は、図 23 に示すように、 V_{pgm} , V_{pass1} を印加する前に、全ての制御ゲート (ワード) 線に、パルスの V_{pass3} を与え、その後 0 V に立ち下げる動作を行う。これにより、ユニット間拡散層 80 に対して V_{node} の電位が充電され、この充電された V_{node} の値は、選択メモリセルユニット U 内の選択ゲートトランジスタ SG2 のバックバイアス電圧として働く。図 23 において、領域 T で示されたメモリセルトランジスタの範囲が昇圧領域を示し、矢印 V で示された方向が選択ゲートトランジスタ SG2, SG1 のバックバイアス用電圧が転送される方向であることを示す。

【0081】

(第 4 の実施の形態)

本発明の第 2 の実施の形態に係る不揮発性半導体記憶装置では、図 20 に示すように、選択されたメモリセルユニット UB1 のワード線に対して、書き込み時のパルス電圧 V_{pgm} , V_{pass1} を与えている間、隣接する非選択メモリセルユニット UB2 内の全て

の制御ゲート（ワード）線に V_{pass2} を印加していた。しかし、この場合 V_{pass2} によるディスタープが問題になる可能性がある。そこで、本発明の第4の実施の形態に係る不揮発性半導体記憶装置では、非選択メモリセルユニット U （非選択）がソース側に位置している場合は、図24に示すように、非選択メモリセルユニット U （非選択）内の全ての制御ゲート線（ワード線）及び選択ゲートトランジスタ $SG1$ 、 $SG2$ の選択ゲート線に対して、 V_{ss} を与える。本発明の第4の実施の形態に係る不揮発性半導体記憶装置では、図24に示すように、選択メモリセルユニット U （選択）内の選択ゲートトランジスタ $SG2$ と非選択メモリセルユニット U （非選択）内の選択ゲートトランジスタ $SG1$ の両方でカットオフを実現する。図24において、領域 T で示されたメモリセルトランジスタの範囲が昇圧領域を示す。

10

【0082】

（第5の実施の形態）

本発明の第2の実施の形態に係る不揮発性半導体記憶装置では、昇圧領域 T は図21に示すように、選択メモリセルユニット $UC1$ 内に限定していた。本発明の第5の実施の形態に係る不揮発性半導体記憶装置では、図25に示すように、選択メモリセルユニット U （選択）と非選択メモリセルユニット U （非選択）の間にある2つの選択ゲートトランジスタ $SG2$ 、 $SG1$ を導通することにより、選択メモリセルユニット U （選択）と非選択メモリセルユニット U （非選択）の両方を昇圧させることを特徴とする。図25中において、領域 T は、昇圧領域であることを示す。

20

【0083】

（第6の実施の形態）

本発明の第5の実施の形態に係る不揮発性半導体記憶装置では、図26に示すように、3つの直列する $NAND$ メモリセルユニット 82～84 で活性領域 60 上のビット線コンタクト 64 およびソース線コンタクト 65 を共有している点に特徴を有する。

【0084】

本発明の第6の実施の形態に係る不揮発性半導体記憶装置の平面パターン構成は、図26の模式的ブロック構成図に示すように、メモリセルブロック領域 62 と、活性領域 60 と、素子分離領域 59 と、活性領域 60 上に配置されたビット線コンタクト 64 およびソース線コンタクト 65 と、ビット線コンタクト 64 と接続されるビット線 BL と、ビット線 BL と直交するワード線 WL 方向に延伸し、ソース線コンタクト 65 と接続するソース線 63 とを備える。

30

【0085】

活性領域 60 内に形成された例えば、 $NAND$ メモリセルユニット 82～84 等で代表されるメモリセルユニットは、図14或いは図17に示したように、メモリセルブロック領域 62 内において、ワード線 WL 方向に並列に配置されている。選択ゲート線 SGU 、 SGL およびワード線 WL については記載を省略している。

【0086】

本発明の第6の実施の形態に係る不揮発性半導体記憶装置の特徴は、ビット線コンタクト 64 をワード線 WL 方向に3倍ピッチで配置するとともに、ソース線コンタクト 65 もワード線 WL 方向に3倍ピッチで、しかも互いにずらして配置した点にある。更に又、1つのビット線コンタクト 64 とソース線コンタクト 65 との間に配置するメモリセルユニットは、図26に示すように、3個のメモリセルブロック領域 62 に跨って構成されている点にある。

40

【0087】

図26に示すように、3個のメモリセルユニット 82～84 を挟むビット線コンタクト 64 とソース線コンタクト 65 の対はワード線方向において、3つ置きに活性領域 60 上に配置されている。例えば、図26において、96ページを割り当てることを想定すると、ページ 0～31 は一つのメモリセルブロック領域 62 内の物理的ワード線 WL を割り当てることができ、ページ 32～63 は別のメモリセルブロック領域 62 内の物理的ワード線 WL を割り当てることができ、更にページ 64～95 は別のメモリセルブロック領域 62

50

内の物理的ワード線WL割り当てることができる。

【0088】

尚、図26から明らかなように、ビット線コンタクト64とソース線コンタクトとの間に挟まれ、3個のメモリセルユニット82,83および84を直列接続した構成は、ソース線コンタクト65を中心にして、ビット線方向において折り返した構成を有する。或いは又、ビット線コンタクトCBを中心にして、ビット線BL方向に折り返した構成を有すると考えてもよい。3個のメモリセルユニット82,83および84を直列接続した構成は、ワード線方向において3倍ピッチで配置され、かつビット線方向に折り返した配置構成を採用することで、集積度を高め、かつビット線コンタクト64、ソース線コンタクト65の配置に余裕を持たせることができる。

10

【0089】

(第7の実施の形態)

本実施の第7の実施の形態に係る不揮発性半導体記憶装置では、図27に示すように、1つのNANDメモリセルユニット85の一端において、活性領域60上のビット線コンタクト64が配置される構造と、列方向に連続する2個のNANDメモリセルユニット86,87の一端で活性領域60上のビット線コンタクト64を共有する構造とを行方向に交互に配置する点に特徴を有する。その結果として、行方向に隣接する活性領域60上のビット線コンタクト64間ピッチは、行方向に活性領域ピッチの2倍に設定している。

【0090】

本発明の第7の実施の形態に係る不揮発性半導体記憶装置の平面パターン構成は、図27の模式的ブロック構成図に示すように、メモリセルブロック領域62と、活性領域60と、素子分離領域59と、活性領域60上に配置されたビット線コンタクト64と、ビット線コンタクト64と接続されるビット線 BL_{K-2} , BL_{K-1} , BL_K , BL_{K+1} と、ビット線 BL_{K-2} , BL_{K-1} , BL_K , BL_{K+1} と直交するワード線WL方向に延伸するソース線67とを備える。

20

【0091】

活性領域60内に形成された例えば、NANDメモリセルユニット85~86等で代表されるメモリセルユニットは、図14或いは図17に示したように、メモリセルブロック領域62内において、ワード線WL方向に並列に配置されている。選択ゲート線SGU、SGLおよびワード線WLについては記載を省略している。

30

【0092】

本発明の第7の実施の形態に係る不揮発性半導体記憶装置の特徴は、ビット線コンタクト64をワード線WL方向に2倍ピッチで配置するとともに、1つのNANDメモリセルユニット85の一端において、活性領域60上のビット線コンタクト64が配置される構造と、列方向に連続する2個のNANDメモリセルユニット86,87の一端で活性領域60上のビット線コンタクト64を共有する構造とを行方向に交互に配置する点にある。

【0093】

更に、ソース線67は、ソース線コンタクトCSを介してソース線コンタクト領域16に接触する構成ではなく、拡散層上のシリサイド構造、若しくは埋め込まれた多結晶シリコン、多結晶シリコンとシリサイドとの積層構造、又は金属電極により形成される。このようなソース線67としては、例えば、ソース線コンタクトCSが、数珠繋ぎに形成されて、一連の金属配線を構成する「数珠繋ぎCS」構造によって実現しても良い。或いは又、図2に示されたスタックゲート型構造と同等の構造をソース線コンタクト領域16上に形成し、しかもインターポリ絶縁膜を剥離して全体として一体化された金属配線として構成する「インターポリ膜剥離ゲート線(LI)」を用いても良い。

40

【0094】

(読み出しモード)

本発明の第7の実施の形態に係る不揮発性半導体記憶装置において、図27に示したブロック1(Block1)を選択する場合の読み出しモードを図28に、ブロック2(Block2)を選択する場合の読み出しモードを図29に示す。本発明の第6の実施の形

50

態に係る不揮発性半導体記憶装置においては、図 27 に示すように、1つの NAND メモリセルユニット 85 の一端において、活性領域 60 上のビット線コンタクト 64 が配置される構造と、列方向に連続する 2 個の NAND メモリセルユニット 86, 87 の一端で活性領域 60 上のビット線コンタクト 64 を共有する構造とを行方向に交互に配置することから、ブロック 1 (Block 1) ~ ブロック 3 (Block 3) を読むときは、隣接するブロックも必ずオンさせる必要がある。更に又、ブロック 2 を読むときは、ビット線コンタクト 64 の位置によって流れる電流方向が逆になる。

【0095】

ブロック 1 を読み出す場合には、図 28 に示すように、ブロック 1 およびブロック 2 をオンさせる必要がある。ブロック 1 内の選択ゲート線 SGU, SGL に対して、例えば 4 V, 選択ワード線 66 には 0 V, 非選択ワード線 WL には 5 V、ブロック 2 内の選択ゲート線 SGU, SGL に対しても、例えば 4 V, 非選択ワード線 WL にも 5 V を印加している。このような電圧パルス印加することによって、ビット線コンタクト 64 とソース線 67 との間には、矢印 F で示されるような方向に読み出し電流が流れることになる。

10

【0096】

読み出し時においては、ソース線 67 に対して印加される電圧 V_{s1} は 0 V であり、ビット線 BL_{K-2} , BL_{K-1} , BL_K , BL_{K+1} に印加される電圧 V_{b1} は例えば、0.7 V 程度である。

【0097】

ブロック 2 を読み出す場合には、図 29 に示すように、ブロック 1 とブロック 2 若しくはブロック 3 とブロック 2 をオンさせる必要がある。ブロック 2 内の選択ゲート線 SGU, SGL に対して、例えば 4 V, 選択ワード線 66 には 0 V, 非選択ワード線 WL には 5 V、ブロック 1 内の選択ゲート線 SGU, SGL に対しても、例えば 4 V, 非選択ワード線 WL にも 5 V を印加している。このような電圧パルス印加することによって、ビット線コンタクト 64 とソース線 67 との間には、矢印 G で示されるような方向に読み出し電流が流れることになる。

20

【0098】

読み出し時においては、ソース線 67 に対して印加される電圧 V_{s1} は 0 V であり、読み出し電流が流れるビット線 BL_{K-1} , BL_{K+1} に印加される電圧 V_{b1} は例えば、0.7 V 程度である。隣接するビット線 BL_{K-2} , BL_K を読むときは、ブロック 2 とブロック 3 が選択されることから、読み出し電流の向きは G と反対方向になる。

30

【0099】

(書き込みモード)

本発明の第 7 の実施の形態に係る不揮発性半導体記憶装置において、図 27 に示したブロック 1 を選択する場合の書き込みモードを図 30 に、ブロック 2 を選択する場合の書き込みモードを図 31 に示す。

【0100】

複数のメモリセルブロック領域 62 に跨って、セルフブースト動作を実行することも考えられるが、隣接するメモリセルブロック領域 62 の繋ぎ目に位置する選択ゲートトランジスタ SG1, SG2 間のユニット間拡散層 80 に負荷が加わり、良好な書き込み特性が得られず、誤書き込みが発生することが予想される。

40

【0101】

そこで、ビット線 BL_{K-2} , BL_{K-1} , BL_K , BL_{K+1} 等から初期電位を転送する動作ではなく、メモリセルユニットの両側の選択ゲートトランジスタ SG1, SG2 をカットオフさせ、容量結合のみで昇圧させる方法がもっとも簡単な方法である。

【0102】

この場合、ソース線側選択ゲート線 SGL に印加する電圧は、0 V を転送可能な十分に低い電圧 V_{low} ($> 0 V$) とする。ビット線側選択ゲート線 SGU に印加する電圧は 0 V とする。良好な書き込み特性を得るためには、上記 2 つの選択ゲート線 SGU, SGL をカットオフさせる方法が重要となる。

50

【0103】

(書き込みモードの変形例1)

選択ゲートトランジスタSG1, SG2のカットオフを十分にするため、隣接するメモリセルブロック領域62を介してユニット間拡散層80へバックバイアス電圧を転送させる。このとき、隣接するメモリセルブロック領域62のワード線WLにはパス電圧(DC)を与える。

【0104】

(書き込みモードの変形例2)

パルスのように上記パス電圧を与え、選択ゲートトランジスタSG1, SG2間に配置されるユニット間拡散層80を充電する。これにより、変形例1の場合より、リードディスタ
10

【0105】

(書き込みモードの変形例3)

或いは又、メモリセルブロック領域62に隣接する非選択のメモリセルブロック領域62の選択ゲート線SGU, SGL, ワード線WLをすべて0Vにして、カットオフさせる方法もある。

【0106】

0Vを転送可能な十分に低い電圧Vlow(>0V)を印加するビット線側選択ゲート線SGUに接続された選択ゲートトランジスタSG1は、カットオフが十分ではなくリーク電流が流れ易いが、ユニット間拡散層80が充電されるにつれて自動的にカットオフす
20

【0107】

ブロック1を選択して書き込む場合には、図30に示すように、ブロック1およびブロック2をオンさせる必要がある。ブロック1内の選択ゲート線SGUに対しては0V, SGLに対して、例えば0Vを転送可能な十分に低い電圧Vlow(>0V)を印加する。ブロック1内の選択ワード線66にはVp gm, 非選択ワード線WLにはVpassを印加する。

【0108】

ブロック2内の選択ゲート線SGU, SGLに対しては、例えばVcc, 非選択ワード線
30

【0109】

書き込み時においては、ソース線67に対して印加される電圧Vslは1Vであり、ビット線BLに対して印加される電圧Vblは、例えば、“1”書き込み時にはビット線BL_{K-2}, BL_K, BL_{K+1}に対してVccであり、“0”書き込み時にはビット線BL_{K-1}に対して0Vである。図30において、領域Hで示される範囲がブースト領域を示している。

【0110】

ブロック2を選択して書き込む場合には、図31に示すように、ブロック1とブロック
40

【0111】

ブロック2内の選択ワード線66にはVp gm, 非選択ワード線WLにはVpassを印加する。ブロック1内の選択ゲート線SGU, SGLに対しては、例えばVcc, 非選択ワード線WLにはVpass2(DC)を印加している。このような電圧パルス
50

【0112】

書き込み時においては、ソース線 67 に対して印加される電圧 V_{s1} は 1 V であり、ビット線 BL に対して印加される電圧 V_{b1} は、例えば、ビット線 BL_{K-2} , BL_K , BL_{K+1} に対して “1” 書き込み時には V_{cc} であり、ビット線 BL_{K-1} に対して “0” 書き込み時には 0 V である。

【0113】

図 31 において、領域 I で示される範囲がブースト領域を示している。隣接するビット線 BL を用いて書き込み動作を行うときは、ブロック 2 とブロック 3 が選択されることから、書き込み電流の向きは K と反対方向になる。

【0114】

(第 8 の実施の形態)

本発明の第 8 の実施の形態に係る不揮発性半導体装置の平面パターン構成は、図 32 に示すように、活性領域 60 と、素子分離領域 59 と、選択ゲート線 77, 78 と、ソース線 63 と、ワード線 79 と、ビット線コンタクト 64 とから構成される。図 32 において、点線で囲まれた 88~93 は、それぞれ 1 個の NAND メモリセルユニットに対応するパターン部分を示す。

【0115】

ビット線コンタクト 64 を活性領域 60 に対して、一つ置きに千鳥格子状に配置することで、隣接するビット線コンタクト 64 間の幅を確保することができる。図 32 において、ワード線 79 の本数は 3 本の例で示されているが、8 本、16 本、32 本等に設定しても良いことはもちろんである。

【0116】

ここで、図 32 において、図 40 における定義と同様に、素子分離領域 59 の幅を L_{ST1} , 活性領域 60 の幅を L_{AA} , ビット線コンタクト 64 の直径を L_{CB} とすると、ビット線コンタクト 64 間の距離を L_2 は、

$$L_2 = 2 \times (L_{AA} + L_{ST1}) - L_{CB} \quad (4)$$

で表すことができる。

【0117】

図 32 に示すように、ビット線コンタクト 64 を一つ置きに千鳥格子状に配置にすることにより、図 40 の場合に比べ、 $CB-CB$ 間の幅 (L_2) を大きくすることができる。 CB のコンタクト抵抗を維持しつつ、 $CB-CB$ 間距離を大きくすることができる。微細化とともに、ビット線コンタクト 64 間の距離は小さくなるが、ビット線コンタクト 64 を千鳥格子状に配置することで、同じデザインルールであれば、 $CB-CB$ 間の幅 (L_2) を従来の配置よりも大きくできる。

【0118】

図 32 に示した平面パターン構成に対応する回路構成は、図 33 に示すように、ソース線 $SL1$, $SL2$ と、ビット線 $BL1$, $BL2$ と、選択ゲート線 $SG1-1$, $SG1-2$, $SG2-1$, $SG2-2$, $SG3-1$, $SG3-2$ と、選択ゲートトランジスタ $SG1$, $SG2$ と、選択ゲートトランジスタ $SG1$ と $SG2$ の間に直列に接続されたスタックゲート型構造を有するメモリセルトランジスタ MC とから構成されている。

【0119】

図 33 は図 32 における活性領域 60 の 2 列分に対応しており、点線で囲まれた領域はそれぞれ NAND メモリセルユニット 88~93 の回路構成に対応している。メモリセルトランジスタ MC が直列に接続される数は、図 32 の例では 3 個であるが、8 個、16 個、32 個、或いは 64 個等であっても良い。選択ゲートトランジスタ $SG1$, $SG2$ とその間に直列に接続されるメモリセルトランジスタによって NAND メモリセルユニット 88~93 等が構成される。

【0120】

図 33 の例では、ソース線 $SL1$ および $SL2$ 間に 3 個の NAND メモリセルユニット 88~90 および 91~93 がそれぞれ直列に接続されている。3 個の NAND メモリセルユニット 88~90 は、図 33 に示すように、2 個直列接続された NAND メモリセル

10

20

30

40

50

ユニット 88, 89 と 1 個の NAND メモリセルユニット 90 との間の選択ゲートトランジスタ SG1 間にビット線コンタクト 64 を配置し、このビット線コンタクト 64 を介して、ビット線 BL2 に接続されている。

【0121】

同様に、NAND メモリセルユニット 91 ~ 93 は、2 個直列接続された NAND メモリセルユニット 92, 93 と 1 個の NAND メモリセルユニット 91 との間の選択ゲートトランジスタ SG1 間にビット線コンタクト 64 を配置し、このビット線コンタクト 64 を介して、ビット線 BL1 に接続されている。

【0122】

一方、2 個直列接続された NAND メモリセルユニット 88, 89 或いは 92, 93 間はユニット間拡散層 80 を介して接続される。図 32 および図 33 から明らかなように、2 個直列接続された NAND メモリセルユニットと 1 個の NAND メモリセルユニットの構成は、対応する活性領域 60 毎に、互い違いに配置されている。活性領域 60 が延伸する方向はビット線 BL が延伸する方向である。一つの活性領域 60 に対してビット線コンタクト 64 を介してビット線 BL が 1 本接続されることから、2 個直列接続された NAND メモリセルユニットと 1 個の NAND メモリセルユニットの構成は、対応するビット線毎に、互い違いに配置されている。

【0123】

(動作モード)

消去動作モードを図 34 に、“0”書き込み動作モードを図 35 に、“0”書き込み動作モードのときの同じワード線 WL に繋がったメモリセルトランジスタの“1”書き込み動作モードを図 36 に、読み出し動作モードを図 37 (a) ~ (d) にそれぞれ示す。図 34 ~ 図 37 には、各動作モードにおける動作電圧が示されている。図 34 ~ 図 37 中の上段、下段の表記は図 33 の回路図の上段、下段と対応している。

【0124】

(A) 消去動作モード

図 33 に示した回路構成において、NAND メモリセルユニット 91 ~ 93 からなる上段に示した回路部分の消去動作においては、図 34 に示すように、ソース線 SL1, SL2、選択ゲート線 SG1-1, SG1-2, SG2-1, SG2-2, SG3-1, SG3-2、ビット線 BL1 をすべてオープン (OPEN) 状態にし、ワード線 WL1-1, WL1-2, WL1-3, WL2-1, WL2-2, WL2-3, WL3-1, WL3-2, WL3-3 のすべてに 0V を印加し、更に p ウェル若しくは半導体基板 (26) に対して消去電圧 V_{erase} を印加する。このように電圧を印加することで、メモリセルトランジスタのフローティングゲート 8 から電子を引き抜くことで、消去動作を実現することができる。消去電圧 V_{erase} の値としては例えば、約 17V 程度である。

【0125】

(B) 書き込み動作モード

(“0”書き込みモード)

“0”書き込みの動作電圧を図 35 に示す。又、そのとき同じワード線 WL に繋がっているメモリセルトランジスタの“1”書き込みの動作電圧を図 36 にそれぞれ示す。

【0126】

“0”書き込み時、図 35 から明らかなように、書き込みたいメモリセルトランジスタには V_{pgm} を印加している。図 33 に示した回路構成において、NAND メモリセルユニット 91 ~ 93 からなる上段に示した回路部分のワード線 WL1-1 に接続されるメモリセルトランジスタに対して“0”書き込みする動作においては、図 35 に示すように、WL1-1 に V_{pgm} , WL1-2, WL1-3 に V_{pass} , 選択ゲート線 SG1-2 に V_{cc} を印加し、ソース線 SL1, SL2、選択ゲート線 SG1-1, SG2-1, SG2-2, SG3-1, SG3-2、ビット線 BL1, WL2-1, WL2-2, WL2-3, WL3-1, WL3-2, WL3-3 のすべてに 0V を印加する。

【0127】

このように電圧を印加することで、ワード線WL1-1に接続されるメモリセルトランジスタに対して“0”書き込みすることができる。書き込み電圧V_{pgm}の値としては例えば、約20V程度である。中間電圧V_{pass}の値としては例えば、約10V程度、電源電圧V_{cc}の値としては、例えば、1.5V～3.3V程度である。他のワード線WL1-2～WL3-3に接続されるメモリセルトランジスタに対して“0”書き込みする動作においても、図35に示すように、それぞれのラインに印加する電圧を設定すればよい。

【0128】

(“1”書き込みモード)

図33に示した回路構成において、NANDメモリセルユニット91～93からなる上段に示した回路部分のワード線WL1-1に接続されるメモリセルトランジスタに対して“0”書き込みする動作においては、同じワード線WL1-1に書き込み電圧V_{pgm}が加わるため、NANDメモリセルユニット88～90からなる下段に示した回路部分のワード線WL1-1に接続されるメモリセルトランジスタが“1”であった場合には、保護しなければならない。そのときの書き込みを“1”書き込みという。

【0129】

ワード線WL1-1に接続されるメモリセルトランジスタに対して“1”書き込みする動作においては、図36に示すように、WL1-1にV_{pgm}、WL1-2、WL1-3にV_{pass}、選択ゲート線SG1-2にV_{cc}を印加し、ソース線SL1、SL2、選択ゲート線SG1-1、SG2-1、SG2-2、SG3-1、SG3-2、ビット線BL2、WL2-1、WL2-2、WL2-3、WL3-1、WL3-2、WL3-3のすべてに0Vを印加する。

【0130】

或いは又、ワード線WL3-1に接続されるメモリセルトランジスタに対して“1”書き込みする動作においては、WL3-1にV_{pgm}、WL2-1～WL2-3、WL3-2、WL3-3にV_{pass}、選択ゲート線SG2-1、SG2-2、SG3-1にV_{cc}を印加し、ソース線SL1、SL2、選択ゲート線SG1-1、SG1-2、SG3-2、ワード線WL1-1～WL1-3のすべてに0Vを印加する。

【0131】

このように電圧を印加することで、ワード線WL3-1に接続されるメモリセルトランジスタに対して“1”書き込みすることができる。書き込み電圧V_{pgm}の値としては例えば、約20V程度である。中間電圧V_{pass}の値としては、例えば、約10V程度、電源電圧V_{cc}の値としては、例えば、1.5V～3.3V程度である。他のワード線WL1-2～WL2-3、WL3-2～WL3-3に接続されるメモリセルトランジスタに対して“1”書き込みする動作においても、図36に示すように、それぞれのラインに印加する電圧を設定すればよい。

【0132】

(C)読み出し動作モード

図33に示した回路構成において、NANDメモリセルユニット91～93からなる上段に示した回路部分の読み出し動作を説明する。

【0133】

(“1”読み出しモード)

ワード線WL1-1に接続されるメモリセルトランジスタに“1”が書き込まれている場合、図37(a)に示すように、読み出し対象のメモリセルトランジスタが繋がっているワード線WL1-1には0Vを印加するが、このメモリセルトランジスタはカットオフ状態にあるので、その他のメモリセルトランジスタに読み出し電圧V_{read}(オン状態になる)を加えても電流は流れない。

【0134】

(i)読み出し対象のメモリセルトランジスタがビット線BL1より左側にある場合には、図37(a)に示すように、ワード線WL1-1に0Vを印加してワード線WL1-1

10

20

30

40

50

に接続されるメモリセルトランジスタのデータ“1”を読み出す際、ワード線WL1-2, WL1-3にVread、選択ゲート線SG1-1, SG1-2にVcc, ビット線BL1にVb1, ソース線SL1, SL2, 選択ゲート線SG2-1~SG3-2, ワード線WL2-1~WL3-3のすべてに0Vを印加する。尚、読み出し電圧Vreadの値としては、例えば4.5V程度であり、Vb1の値としては、例えば0.7V程度である。

【0135】

(ii) 読み出したいメモリセルトランジスタがビット線BL1より右側にある場合には、図37(b)に示すように、ワード線WL2-2に0Vを印加してワード線WL2-2に接続されるメモリセルトランジスタのデータ“1”を読み出す際、ワード線WL2-1, WL2-3, WL3-1~WL3-3にVread、選択ゲート線SG2-1, SG3-1, SG3-2にVcc, ビット線BL1にVb1, ソース線SL1, SL2, 選択ゲート線SG1-1, SG1-2, ワード線WL1-1~WL1-3のすべてに0Vを印加する。 10

【0136】

(“0”読み出しモード)

ワード線WL1-1に接続されるメモリセルトランジスタに“0”が書き込まれている場合、図37(c)に示すように、読み出し対象のメモリセルトランジスタが繋がっているワード線WL1-1には0Vを印加するが、このメモリセルトランジスタはカットオフ状態にあるので、その他のメモリセルトランジスタにVread(オン状態になる)を加えても電流は流れない。 20

【0137】

(iii) 読み出し対象のメモリセルトランジスタがビット線BL1より左側にある場合には、図37(c)に示すように、ワード線WL1-1に0Vを印加してワード線WL1-1に接続されるメモリセルトランジスタのデータ“0”を読み出す際、ワード線WL1-2, WL1-3にVread、選択ゲート線SG1-1, SG1-2にVcc, ビット線BL1にVb1, ソース線SL1, SL2, 選択ゲート線SG2-1~SG3-2, ワード線WL2-1~WL3-3のすべてに0Vを印加する。

【0138】

(iV) 読み出し対象のメモリセルトランジスタがビット線BL1より右側にある場合には、図37(d)に示すように、ワード線WL2-2に0Vを印加してワード線WL2-2に接続されるメモリセルトランジスタのデータ“0”を読み出す際、ワード線WL2-1, WL2-3, WL3-1~WL3-3にVread、選択ゲート線SG2-1, SG3-1, SG3-2にVcc, ビット線BL1にVb1, ソース線SL1, SL2, 選択ゲート線SG1-1~SG1-2, SG2-1, ワード線WL1-1~WL1-3のすべてに0Vを印加する。 30

【0139】

(第9の実施の形態)

本発明の第9の実施の形態に係る不揮発性半導体記憶装置は、メモリセルユニットをANDメモリセルユニットにて構成した点に特徴を有し、図38に示すように、メモリセルトランジスタM11~M44と、選択ゲートトランジスタS1, S2と、ビット線BL1~BL6と、ソース線SL1, SL2と、ワード線WL1~WL12と、ANDメモリセルユニット94~97と、ビット線コンタクト64とから構成される。メモリセルトランジスタM11~M44の基本構成は第2の実施の形態で説明したようなスタックゲート型構造を有する。もちろん、第1の実施の形態で説明したような側壁コントロールゲート型構造を採用しても同様の回路構成およびビット線コンタクト64の配置を実現できることは明らかである。 40

【0140】

図38の回路構成構成は、本発明の第8の実施の形態に係る不揮発性半導体記憶装置を表す図33と同様の回路構成およびビット線コンタクト64の配置構成を実現している。 50

即ち、図 3 3 の例では、メモリセルユニットの基本構成が N A N D メモリセルユニット 8 8 ~ 9 3 等であったのに対して、図 3 8 の例では、メモリセルユニットの基本構成は A N D メモリセルユニット 9 4 ~ 9 7 等である。ビット線コンタクトの配置についても千鳥格子状に配置されており、図 3 3 と同様である。

【0 1 4 1】

A N D メモリセルユニットにおいては、メモリセルトランジスタのソースおよびドレインはそれぞれ共通に接続されており、ソースとドレインに対してまったく対称に形成されているため、ソース、ドレインを入れ替えてもまったく同様の回路が実現される。又、選択ゲートトランジスタ S 1, S 2 に関しても便宜上ビット線コンタクト 6 4 に接続される側の選択ゲートトランジスタを S 1、ソース線 S L に接続される側の選択ゲートトランジスタを S 2 と呼んでいるに過ぎない。選択ゲートトランジスタ S 1 と S 2 を入れ替えたとしても実質上はまったく同様のトランジスタが配置されているため、回路構成上は同様の A N D メモリセルユニットが実現される。

10

【0 1 4 2】

従って、図 3 8 に示した A N D メモリセルユニット 9 4 ~ 9 7 等を基本構成とする不揮発性半導体装置においては、A N D メモリセルユニットの配置はそのまま、ビット線コンタクト 6 4 の配置とメモリセルユニット間の配線を変更するだけで、極めて容易に、ビット線コンタクト C B 間の距離に余裕を持たせた配置構成を実現することができる。尚、第 8 の実施の形態の変形例としては、例えば、仮想接地型 (A N D) メモリセルユニットをメモリセルユニットの基本構成とすることもできる。

20

【0 1 4 3】

(適用例)

本発明の第 1 の実施の形態乃至第 9 の実施の形態に係る不揮発性半導体記憶装置における適用例を図 3 9 に示す。図 3 9 は、本発明の実施の形態に係る不揮発性半導体記憶装置によって実現されるフラッシュメモリ装置及びシステムの主要構成要素の概略的なブロック図である。図に示すように、フラッシュメモリシステム 1 4 2 はホストプラットフォーム 1 4 4、及びユニバーサル・シリアル・バス (U S B) フラッシュ装置 1 4 6 より構成される。

【0 1 4 4】

ホストプラットフォーム 1 4 4 は、U S B ケーブル 1 4 8 を介して、本発明の実施の形態に係る不揮発性半導体記憶装置による U S B フラッシュ装置 1 4 6 へ接続されている。ホストプラットフォーム 1 4 4 は、U S B ホストコネクタ 1 5 0 を介して U S B ケーブル 1 4 8 に接続し、U S B フラッシュ装置 1 4 6 は U S B フラッシュ装置コネクタ 1 5 2 を介して U S B ケーブル 1 4 8 に接続する。ホストプラットフォーム 1 4 4 は、U S B バス上のパケット伝送を制御する U S B ホスト制御器 1 5 4 を有する。

30

【0 1 4 5】

U S B フラッシュ装置 1 4 6 は、U S B フラッシュ装置 1 4 6 の他の要素を制御し、かつ U S B フラッシュ装置 1 4 6 の U S B バスへのインタフェースを制御する U S B フラッシュ装置制御器 1 5 6 と、U S B フラッシュ装置コネクタ 1 5 2 と、本発明の第 1 の実施の形態乃至第 9 の実施の形態に係る不揮発性半導体記憶装置で構成された少なくとも一つのフラッシュメモリモジュール 1 5 8 を含む。

40

【0 1 4 6】

U S B フラッシュ装置 1 4 6 がホストプラットフォーム 1 4 4 に接続されると、標準 U S B 列挙処理が始まる。この処理において、ホストプラットフォーム 1 4 4 は、U S B フラッシュ装置 1 4 6 を認知して U S B フラッシュ装置 1 4 6 との通信モードを選択し、エンドポイントという、転送データを格納する F I F O バッファを介して、U S B フラッシュ装置 1 4 6 との間でデータの送受信を行う。ホストプラットフォーム 1 4 4 は、他のエンドポイントを介して U S B フラッシュ装置 1 4 6 の脱着等の物理的、電気的状態の変化を認識し、受け取るべきパケットがあれば、それを受け取る。

【0 1 4 7】

50

ホストプラットフォーム 144 は、USB ホスト制御器 154 へ要求パケットを送ることによって、USB フラッシュ装置 146 からのサービスを求める。USB ホスト制御器 154 は、USB ケーブル 148 上にパケットを送信する。USB フラッシュ装置 146 がこの要求パケットを受け入れたエンドポイントを有する装置であれば、これらの要求は USB フラッシュ装置制御器 156 によって受け取られる。

【0148】

次に、USB フラッシュ装置制御器 156 は、フラッシュメモリモジュール 158 から、あるいはフラッシュメモリモジュール 158 へ、データの読み出し、書き込み、あるいは消去等の種々の操作を行う。それとともに、USB アドレスの取得等の基本的な USB 機能をサポートする。USB フラッシュ装置制御器 156 は、フラッシュメモリモジュール 158 の出力を制御する制御ライン 160 を介して、また、例えば、/CE 等の種々の他の信号や読み取り書き込み信号を介して、フラッシュメモリモジュール 158 を制御する。また、フラッシュメモリモジュール 158 は、アドレスデータバス 162 によっても USB フラッシュ装置制御器 156 に接続されている。アドレスデータバス 162 は、フラッシュメモリモジュール 158 に対する読み出し、書き込みあるいは消去のコマンドと、フラッシュメモリモジュール 158 のアドレス及びデータを転送する。

【0149】

ホストプラットフォーム 144 が要求した種々の操作に対する結果及び状態に関してホストプラットフォーム 144 へ知らせるために、USB フラッシュ装置 146 は、状態エンドポイント（エンドポイント 0）を用いて状態パケットを送信する。この処理において、ホストプラットフォーム 144 は、状態パケットがないかをチェックし（ポーリング）、USB フラッシュ装置 146 は、新しい状態メッセージのパケットが存在しない場合に空パケットを、あるいは状態パケットそのものを返す。

【0150】

以上、USB フラッシュ装置 146 の様々な機能を実現可能である。上記 USB ケーブル 148 を省略し、コネクタ間を直接接続することも可能である。

【0151】

（その他の実施の形態）

上記のように、本発明は実施の形態によって記載したが、この開示の一部をなす論述及び図面はこの発明を限定するものであると理解すべきではない。この開示から当業者には様々な代替実施の形態、実施の形態及び運用技術が明らかとなろう。したがって、本発明の技術範囲は上記の説明から妥当な特許請求の範囲に係る発明特定事項によってのみ定められるものである。

【0152】

その他、本発明の要旨を逸脱しない範囲で、様々な変形して実施することができる。なお、上記各実施の形態は、それぞれ組み合わせて実施することができる。このように、本発明はここでは記載していない様々な実施の形態等を含むことは勿論である。

【図面の簡単な説明】

【0153】

【図 1】本発明の第 1 の実施の形態に係る不揮発性半導体記憶装置に共通に適用されるメモリセルトランジスタの基本構造であって、側壁コントロール型構造の模式的断面構造図。

【図 2】本発明の第 2 の実施の形態に係る不揮発性半導体記憶装置に共通に適用されるメモリセルトランジスタの基本構造であって、スタックゲート型構造の模式的断面構造図。

【図 3】本発明の第 1 の実施の形態に係る不揮発性半導体記憶装置の（a）模式的回路構成図、（b）（a）に対応し、かつ図 4（b）の $I-V-I$ 線に沿う模式的素子断面構造図。

【図 4】本発明の第 1 の実施の形態に係る不揮発性半導体記憶装置の（a）模式的回路構成図、（b）（a）に対応する模式的素子平面パターン構成図。

【図 5】本発明の第 1 の実施の形態に係る不揮発性半導体記憶装置の模式的素子断面構造

図であって、(a)図4(b)のI-I線に沿う素子断面構造図、(b)図4(b)のI-I-I線に沿う素子断面構造図、(c)図4(b)のI-I-I-I線に沿う素子断面構造図。

【図6】メモリセルトランジスタの基本構造が側壁コントロールゲート構造を有する場合における、本発明の第1の実施の形態に係る不揮発性半導体記憶装置の模式的マトリックス回路構成図。

【図7】メモリセルトランジスタの基本構造がスタックゲート構造を有する場合における、本発明の第2の実施の形態に係る不揮発性半導体記憶装置の模式的マトリックス回路構成図。

【図8】本発明の第1の実施の形態に係る不揮発性半導体記憶装置のシステムブロック構成図。 10

【図9】本発明の第2の実施の形態に係る不揮発性半導体記憶装置の平面パターン構成の模式的ブロック構成図。

【図10】図9に示す本発明の第2の実施の形態に係る不揮発性半導体記憶装置において、ページ0～31を選択する場合の読み出しモードを説明する平面パターン構成の模式的ブロック構成図。

【図11】図9に示す本発明の第2の実施の形態に係る不揮発性半導体記憶装置において、ページ32～63を選択する場合の読み出しモードを説明する平面パターン構成の模式的ブロック構成図。

【図12】図9に示す本発明の第2の実施の形態に係る不揮発性半導体記憶装置において、ページ0～31を選択する場合の書き込みモードを説明する平面パターン構成の模式的ブロック構成図。 20

【図13】図9に示す本発明の第2の実施の形態に係る不揮発性半導体記憶装置において、ページ32～63を選択する場合の書き込みモードを説明する平面パターン構成の模式的ブロック構成図。

【図14】本発明の第2の実施の形態に係る不揮発性半導体記憶装置のより詳細な平面パターンブロック構成図。

【図15】本発明の第2の実施の形態に係る不揮発性半導体記憶装置のコンタクトの開口における製造方法の一例を説明する図であって、(a)半導体基板26に対して素子分離領域28を形成し、厚い層間絶縁膜34を形成後、マスク材35に対してリソグラフィーの段階では大きめに開口する工程図、(b)コンタクトホールにおいて、順テーパ形状が形成されるガス供給条件を使用して層間絶縁膜34に対してコンタクトホールを開口する工程図。 30

【図16】本発明の第2の実施の形態に係る不揮発性半導体記憶装置のコンタクトの開口における製造方法の別の例を説明する図であって、(a)半導体基板26に対して素子分離領域28を形成し、厚い層間絶縁膜34を形成後、マスク材35に対してリソグラフィーの段階で、大きめに開口する工程図、(b)開口部において、層間絶縁膜34に対してコンタクトホールを開口する工程図、(c)側壁加工することにより側壁絶縁膜48を形成し、コンタクト径を狭める工程図。

【図17】本発明の第2の実施の形態に係る不揮発性半導体記憶装置において、読み出し方式を説明するための詳細な平面パターンブロック構成図。 40

【図18】読み出し動作として、図17中の(L)と表示されたメモリセルユニットU1のバイアス条件を説明する図であって、ビット線コンタクト(CB)64とソース線コンタクト(CS)65を共有するメモリセルユニットUA1およびUA2の読み出し動作電圧を説明する模式的素子断面構造図。

【図19】本発明の第2の実施の形態に係る不揮発性半導体記憶装置において、書き込み方式を説明するための詳細な平面パターンブロック構成図。

【図20】“0”書き込みのバイアスとして、図19中の(N)と表示されたメモリセルユニットU1のバイアス条件を説明する図であって、ビット線コンタクト(CB)64とソース線コンタクト(CS)65を共有するメモリセルユニットUB1およびUB2の書き 50

込み動作電圧を説明する模式的素子断面構造図。

【図 2 1】“ 1 ”書き込みのバイアスとして、図 1 9 中の (O) と表示されたメモリセルユニット U 1 のバイアス条件を説明する図であって、ビット線コンタクト (C B) 6 4 とソース線コンタクト (C S) 6 5 を共有するメモリセルユニット U C 1 および U C 2 の書き込み動作電圧を説明する模式的素子断面構造図。

【図 2 2】別の“ 1 ”書き込みの状態として、図 1 9 中の (M) と表示されたメモリセルユニット U 4 のバイアス条件を説明する図であって、ビット線コンタクト (C B) 6 4 とソース線コンタクト (C S) 6 5 を共有するメモリセルユニット U D 1 および U D 2 の書き込み動作電圧を説明する模式的素子断面構造図。

【図 2 3】本発明の第 3 の実施の形態に係る不揮発性半導体記憶装置において、ビット線コンタクト (C B) 6 4 とソース線コンタクト (C S) 6 5 を共有するメモリセルユニット U (非選択) および U (選択) の書き込み動作電圧を説明する模式的素子断面構造図。 10

【図 2 4】本発明の第 4 の実施の形態に係る不揮発性半導体記憶装置において、ビット線コンタクト (C B) 6 4 とソース線コンタクト (C S) 6 5 を共有するメモリセルユニット U (非選択) および U (選択) の書き込み動作電圧を説明する模式的素子断面構造図。

【図 2 5】本発明の第 5 の実施の形態に係る不揮発性半導体記憶装置において、ビット線コンタクト (C B) 6 4 とソース線コンタクト (C S) 6 5 を共有するメモリセルユニット U (非選択) および U (選択) の書き込み動作電圧を説明する模式的素子断面構造図。

【図 2 6】本発明の第 6 の実施の形態に係る不揮発性半導体記憶装置の平面パターン構成の模式的ブロック構成図。 20

【図 2 7】本発明の第 7 の実施の形態に係る不揮発性半導体記憶装置の平面パターン構成の模式的ブロック構成図。

【図 2 8】図 2 7 において、ブロック 1 を選択する場合の読み出しモードを説明する平面パターン構成の模式的ブロック構成図。

【図 2 9】図 2 7 において、ブロック 2 を選択する場合の読み出しモードを説明する平面パターン構成の模式的ブロック構成図。

【図 3 0】図 2 7 において、ブロック 1 を選択する場合の書き込みモードを説明する平面パターン構成の模式的ブロック構成図。

【図 3 1】図 2 7 において、ブロック 2 を選択する場合の書き込みモードを説明する平面パターン構成の模式的ブロック構成図。 30

【図 3 2】本発明の第 8 の実施の形態に係る不揮発性半導体装置の模式的平面パターン構成図。

【図 3 3】本発明の第 8 の実施の形態に係る不揮発性半導体装置の模式的回路構成図。

【図 3 4】本発明の第 8 の実施の形態に係る不揮発性半導体装置における消去動作モードの動作電圧例。

【図 3 5】本発明の第 8 の実施の形態に係る不揮発性半導体装置における“ 0 ”書き込み動作モードの動作電圧例。

【図 3 6】本発明の第 8 の実施の形態に係る不揮発性半導体装置における“ 1 ”書き込み動作モードの動作電圧例。

【図 3 7】本発明の第 8 の実施の形態に係る不揮発性半導体装置において、(a) ビット線 B L 1 より左側にあるメモリセルトランジスタを読み出す際の“ 1 ”読み出し動作モードの動作電圧例。(b) ビット線 B L 1 より右側にあるメモリセルトランジスタを読み出す際の“ 1 ”読み出し動作モードの動作電圧例。(c) ビット線 B L 1 より左側にあるメモリセルトランジスタを読み出す際の“ 0 ”読み出し動作モードの動作電圧例。(d) ビット線 B L 1 より右側にあるメモリセルトランジスタを読み出す際の“ 0 ”読み出し動作モードの動作電圧例。 40

【図 3 8】メモリセルユニットを A N D メモリセルユニットにて構成した、本発明の第 9 の実施の形態に係る不揮発性半導体記憶装置の模式的回路構成図。

【図 3 9】本発明の実施の形態に係る不揮発性半導体記憶装置によって実現されるフラッシュメモリ装置及びシステムの主要構成要素の概略的なブロック図。 50

【図 4 0】横一列に並んだビット線コンタクト C B を備える、従来の不揮発性半導体記憶装置の模式的ブロック構成図。

【図 4 1】互い違いにずらして配置したビット線コンタクト C B を備える、従来の不揮発性半導体記憶装置の模式的ブロック構成図。

【符号の説明】

【 0 1 5 4 】

2 …	コントロールゲート	
4 , 6 …	選択ゲート	
8 …	フローティングゲート	
1 0 …	ビット線駆動回路	10
1 4 …	ビット線コンタクト領域	
1 6 …	ソース線コンタクト領域	
1 8 …	拡散層	
2 0 …	コントロールゲート線駆動回路	
2 1 …	選択ゲート線駆動回路	
2 2 …	ソース線駆動回路	
2 6 …	p ウェル若しくは半導体基板	
2 8 , 5 9 …	素子分離領域	
3 0 …	トンネル絶縁膜	
3 1 …	ゲート絶縁膜	20
3 2 …	キャップ絶縁膜	
3 4 , 5 2 …	層間絶縁膜	
3 5 …	マスク材	
4 0 …	ゲート間絶縁膜	
4 8 …	側壁絶縁膜	
4 9 …	金属シリサイド膜	
5 5 ~ 5 8 , 6 9 ~ 7 6 , 8 2 ~ 9 3 …	N A N D メモリセルユニット	
6 0 …	活性領域 (A A)	
6 2 …	メモリセルブロック領域	
6 3 , 6 7 …	ソース線 (S L)	30
6 4 …	ビット線コンタクト (C B)	
6 5 …	ソース線コンタクト (C S)	
6 6 …	選択ワード線 (W L)	
7 7 , 7 8 …	選択ゲート線 (S G)	
7 9 …	ワード線 (W L)	
8 0 …	ユニット間拡散層	
9 4 ~ 9 7 …	A N D メモリセルユニット	
1 4 2 …	フラッシュメモリシステム	
1 4 4 …	ホストプラットフォーム	
1 4 6 …	U S B フラッシュ装置	40
1 4 8 …	U S B ケーブル	
1 5 0 …	U S B ホストコネクタ	
1 5 2 …	U S B フラッシュ装置コネクタ	
1 5 4 …	U S B ホスト制御器	
1 5 6 …	U S B フラッシュ装置制御器	
1 5 8 …	フラッシュメモリモジュール	
1 6 0 …	制御ライン	
1 6 2 …	アドレスデータバス	
3 0 1 …	ビット線制御回路	
3 0 2 …	カラムデコーダ	50

3 0 3	… NAND 型フラッシュメモリセルアレイ	
3 1 0	… ロウデコーダ	
3 1 1	… 昇圧回路	
MC,	MC 1 . k - 2 , MC 2 . k - 2 , … , MC n . k - 2 , … , MC 1 . k + 1 , MC 2 . k + 1 , … , MC n . k + 1 , M 1 1 ~ M 4 4	… メモリセルトランジスタ
SG 1 .	k - 2 ~ SG 1 . k + 1	… ビット線側選択トランジスタ
SG 2 .	k - 2 ~ SG 2 . k + 1	… ソース線側選択トランジスタ
S 1 , S 2 . . .	選択ゲートトランジスタ	
SG U ,	SG 1	… ビット線側選択ゲート線
SG L ,	SG 2 . . .	… ソース線側選択ゲート線
SG 1 - 1 , SG 1 - 2 , SG 2 - 1 , SG 2 - 2 , SG 3 - 1 , SG 3 - 2 . . .	選択ゲート線	10
BL ,	BL k - 1 ~ BL k + 1	… ビット線
WL ,	WL 1 ~ WL n , WL 1 - 1 ~ WL 1 - 3 , WL 2 - 1 ~ WL 2 - 3 , WL 3 - 1 ~ WL 3 - 3	… ワード線 (制御ゲート線)
CG 0 ~ CG n	… コントロールゲート (制御ゲート線) 線	
SL ,	SL 1 , SL 2	… ソース線
Cch	… 1 つのメモリトランジスタのチャネル部の空乏層容量と拡散層の接合容量の和	
Cox	… 1 つのメモリトランジスタの浮遊ゲートー基板間容量	
Cono	… 1 つのメモリトランジスタの制御ゲートー浮遊ゲート間容量	20
Vth_s g 1	… ビット線側選択ゲートトランジスタ SG 1 の閾値	
Vth_s g 2	… ソース線側選択ゲートトランジスタ SG 2 の閾値	
Vlow	… 0 V を転送可能な十分に低い電圧	
Vsrc	… ソース線電圧	
Vss	… ソース側選択ゲート線に印加する十分に低い電圧 (カットオフ電圧)	
Vnode	… ユニット間拡散層の電位	
Vsgd . . .	ビット線側選択ゲート線 SG U に印加する電圧	
Vsgs . . .	ソース線側選択ゲート線 SG L に印加する電圧	
Vbl 1 , Vbl 2	… ビット線電圧	
Vsl . . .	ソース線 SL に印加する電圧	30
Vsgs	… ソース側選択ゲートトランジスタ SG 2 . 1 , SG 2 . 2 のカットオフ電圧	
Vpgm	… 書き込み電圧	
Vpass , Vpass 0 ~ Vpass n	… 中間電圧	
Vread 1 , Vread 2	… 読み出し電圧	
RDS	… ロウデコーダ制御信号	
U 1 ~ U 7 , UA 1 , UA 2 , UB 1 , UB 2 , UC 1 , UC 2 , UD 1 , UD 2	… メモリセルユニット	
L _{STI} . . .	素子分離領域 5 9 の幅	
L _{AA} . . .	活性領域 (AA) 6 0 の幅	
L _{CB} . . .	ビット線コンタクト (CB) 6 4 の直径	40
L ₁ , L ₂ . . .	ビット線コンタクト (CB) 6 4 間の距離	
I _{cell} . . .	セル電流	

【图 3】

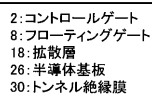


Figure 1 consists of two circuit diagrams, (a) and (b), illustrating a NAND memory unit.

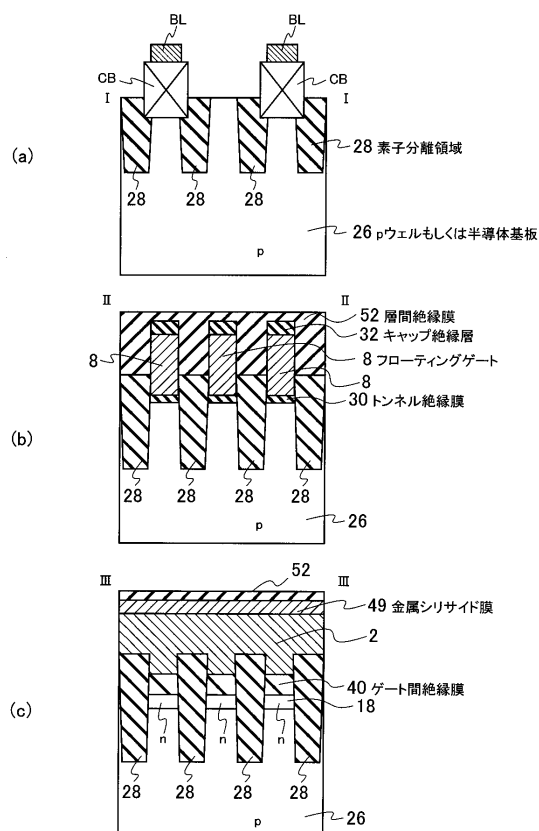
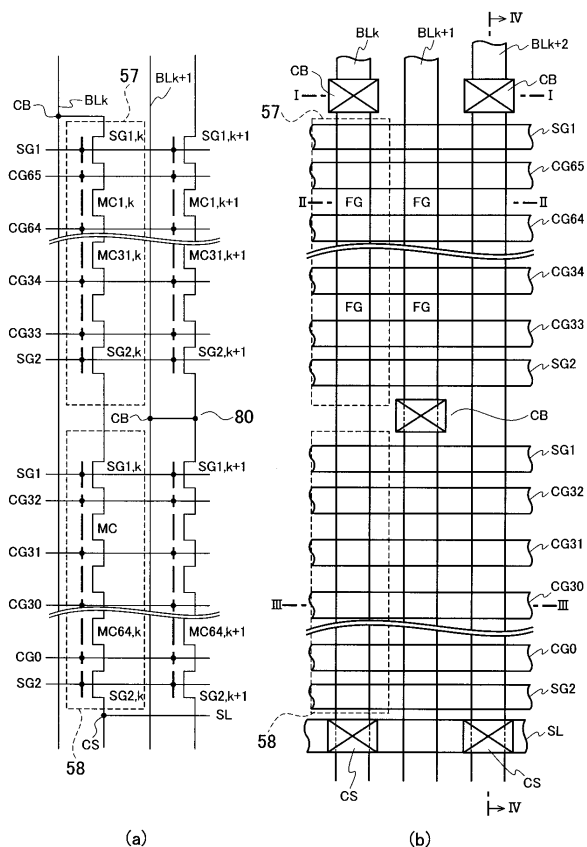
Diagram (a) is a cross-sectional view of the NAND memory unit. It shows a series of gates labeled SGU, SGL, CG33, CG34, CG64, and CG65. The gates are connected to a common line labeled BLK+1. The unit is divided into two main sections, each containing a series of gates labeled SG1, SG2, and SG3. The gates are connected to a common line labeled BLK. The unit is also connected to a 14-bit line contact region.

Diagram (b) is a top-down view of the NAND memory unit. It shows a series of gates labeled SGU, SGL, CG33, CG34, CG64, and CG65. The gates are connected to a common line labeled BLK. The unit is divided into two main sections, each containing a series of gates labeled SG1, SG2, and SG3. The gates are connected to a common line labeled BLK. The unit is also connected to a 14-bit line contact region.

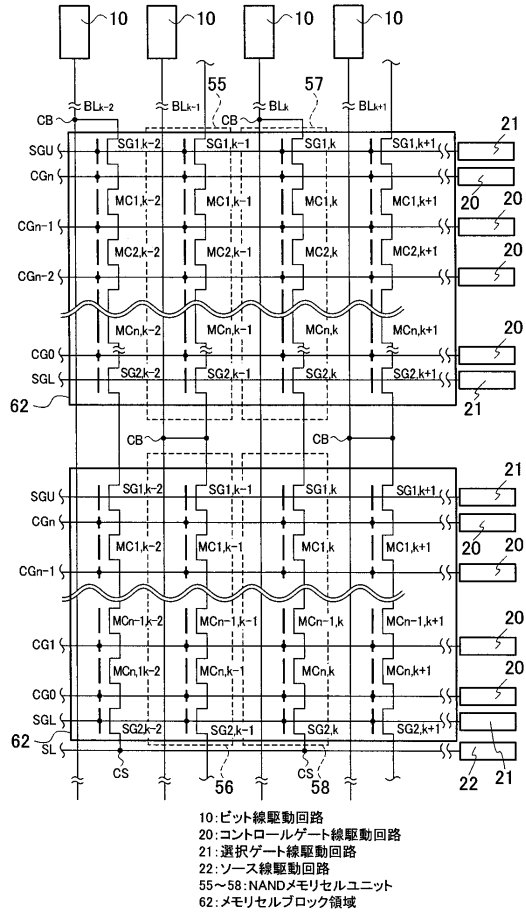
Legend:

- 2: Control Gate
- 4.6: Select Gate
- 8: Floating Gate
- 57.58: NAND Memory Cell Unit
- 80: Unit Threshold Shift

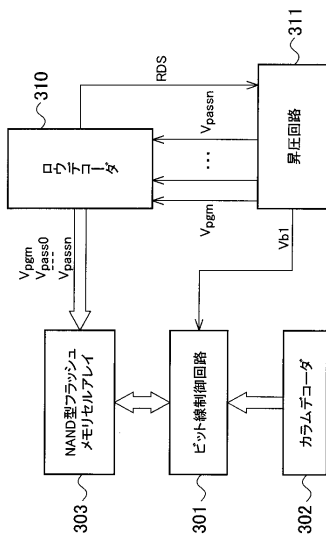
【图 5】



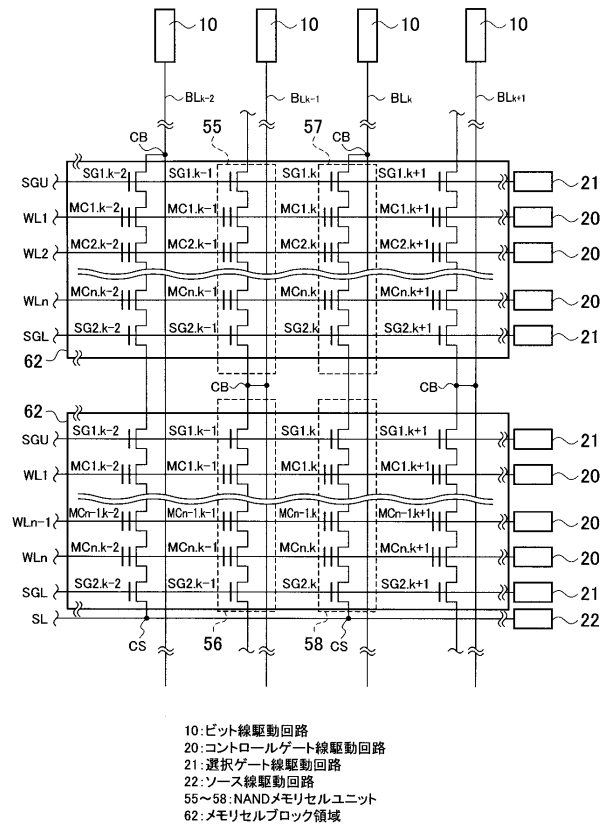
【図 6】



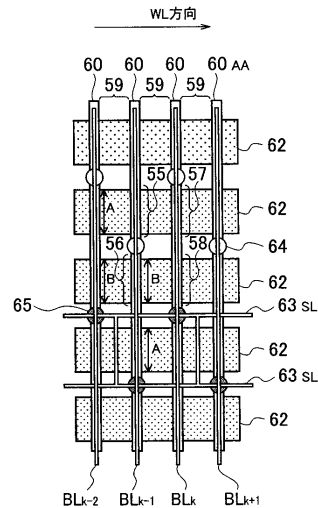
【図 8】



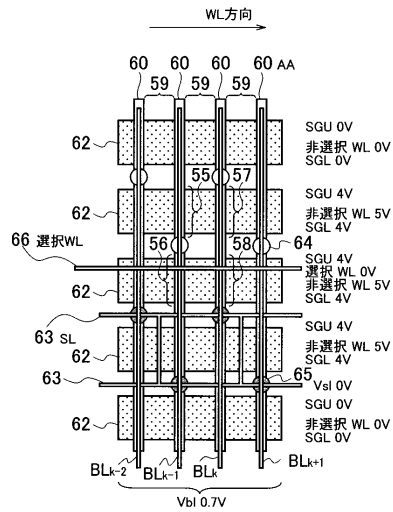
【図 7】



【図 9】

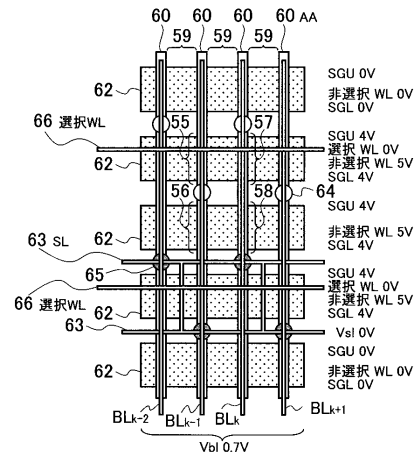


【図 10】



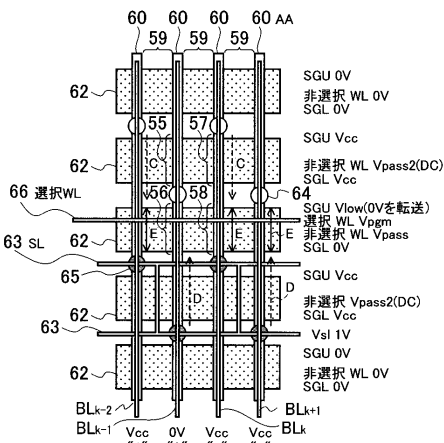
55~58: NANDメモリセルユニット
 59: 素子分離領域
 60: 活性領域(AA)
 62: メモリセルブロック領域
 63: ソース線(SL)
 64: ビット線コンタクト(CB)
 65: ソース線コンタクト(CS)
 66: 選択ワード線(WL)

【図 11】



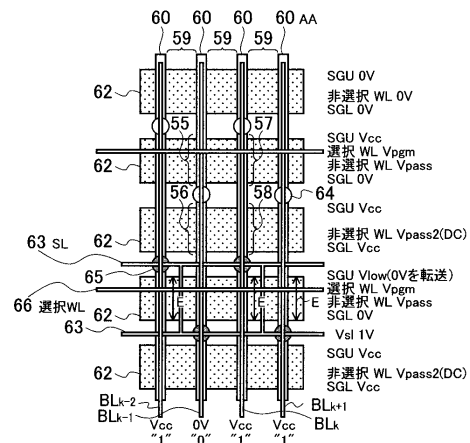
55~58: NANDメモリセルユニット
 59: 素子分離領域
 60: 活性領域(AA)
 62: メモリセルブロック領域
 63: ソース線(SL)
 64: ビット線コンタクト(CB)
 65: ソース線コンタクト(CS)
 66: 選択ワード線(WL)

【図 12】



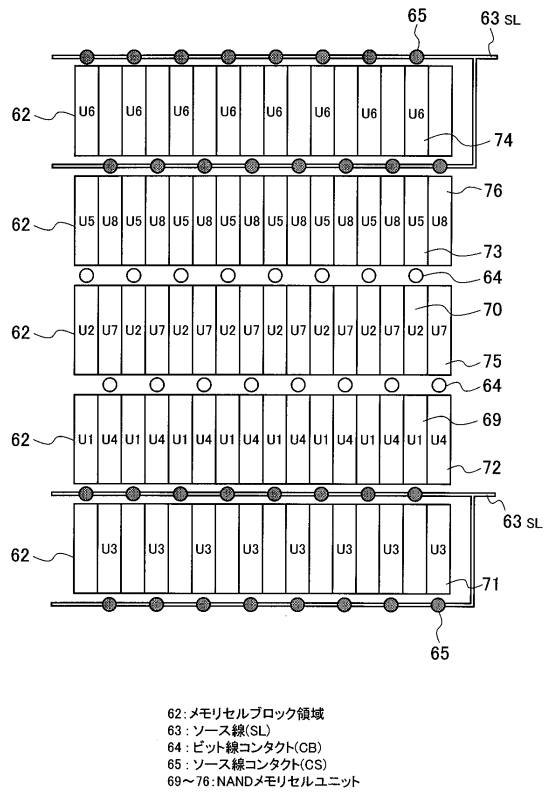
55~58: NANDメモリセルユニット
 59: 素子分離領域
 60: 活性領域(AA)
 62: メモリセルブロック領域
 63: ソース線(SL)
 64: ビット線コンタクト(CB)
 65: ソース線コンタクト(CS)
 66: 選択ワード線(WL)

【図 13】

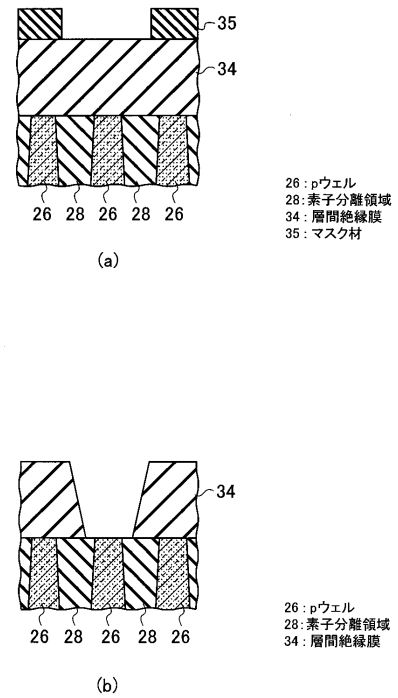


55~58: NANDメモリセルユニット
 59: 素子分離領域
 60: 活性領域(AA)
 62: メモリセルブロック領域
 63: ソース線(SL)
 64: ビット線コンタクト(CB)
 65: ソース線コンタクト(CS)
 66: 選択ワード線(WL)

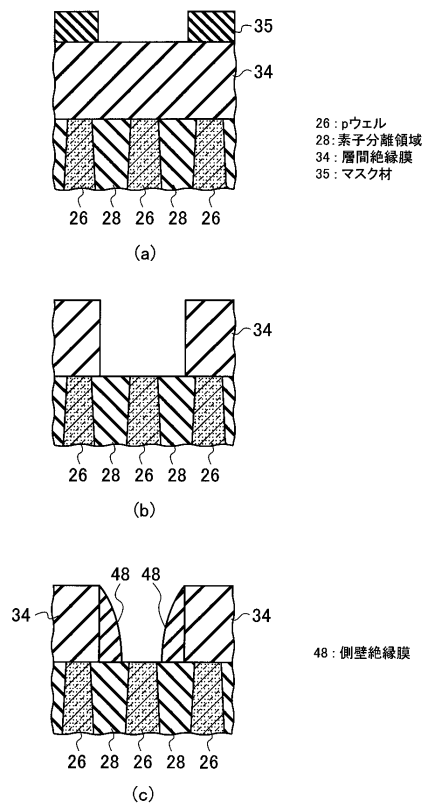
【図 1 4】



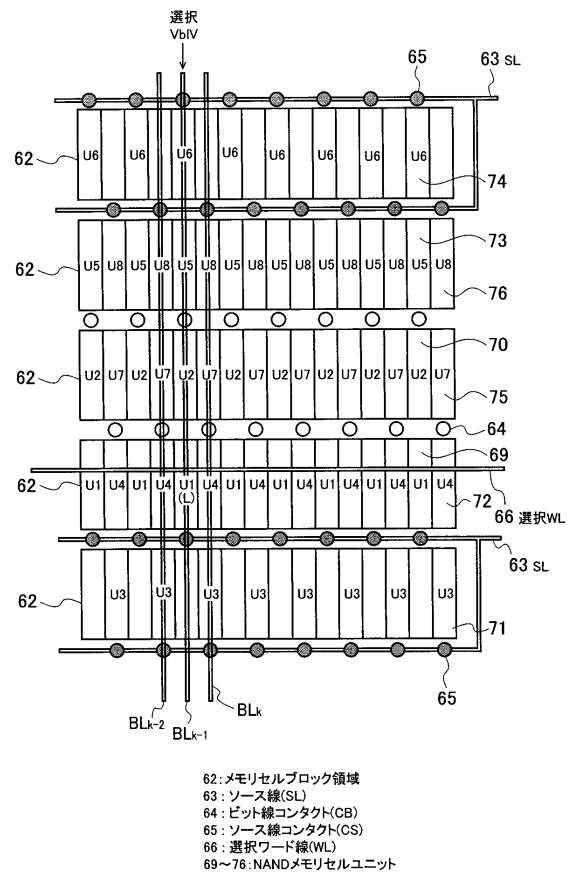
【図 1 5】



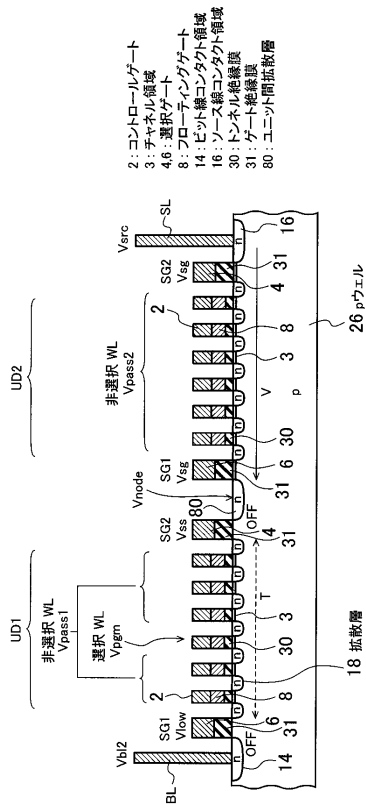
【図 1 6】



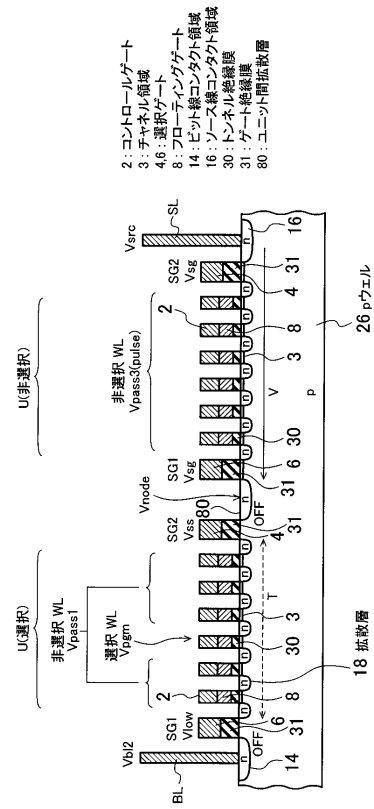
【図 1 7】



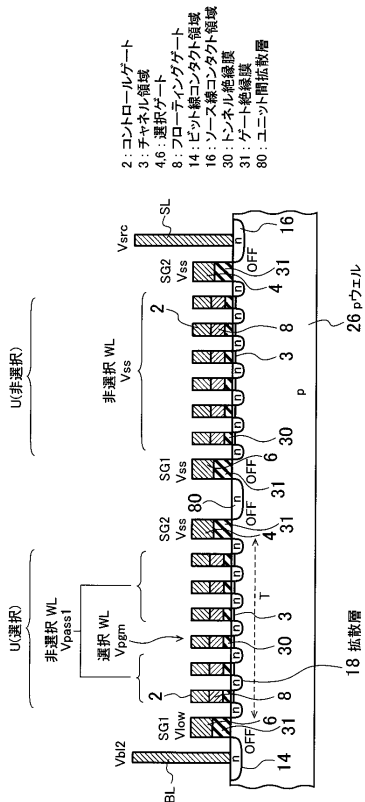
【図 2 2】



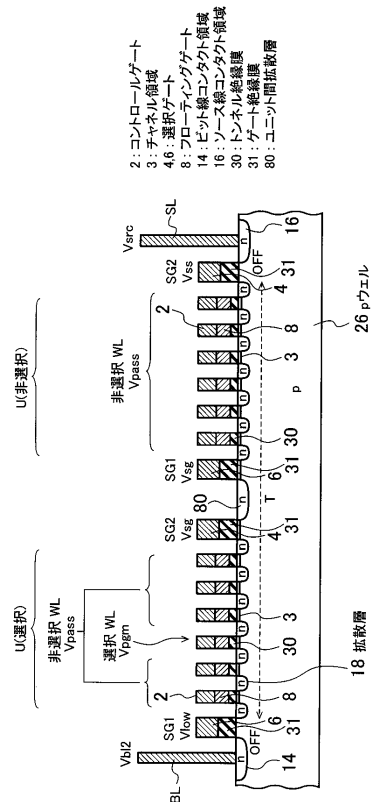
【図 2 3】



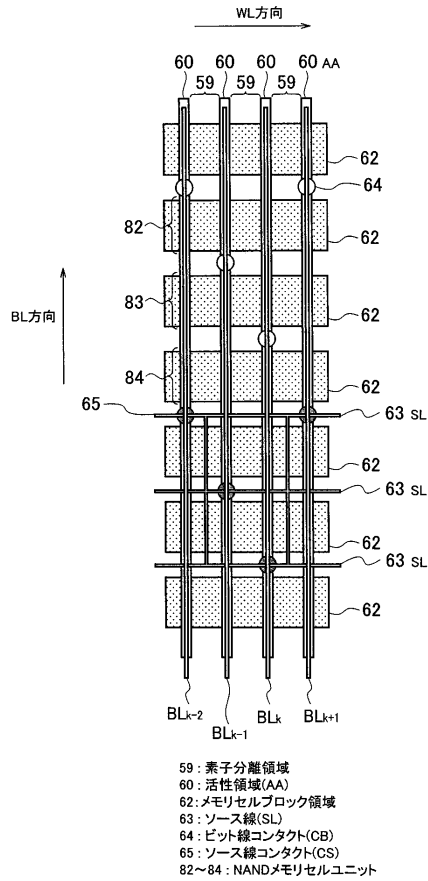
【図 2 4】



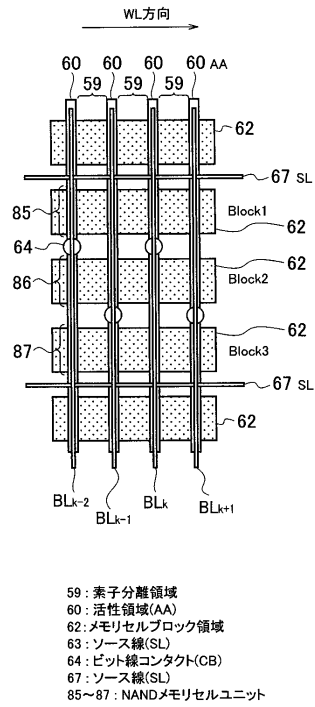
【図 2 5】



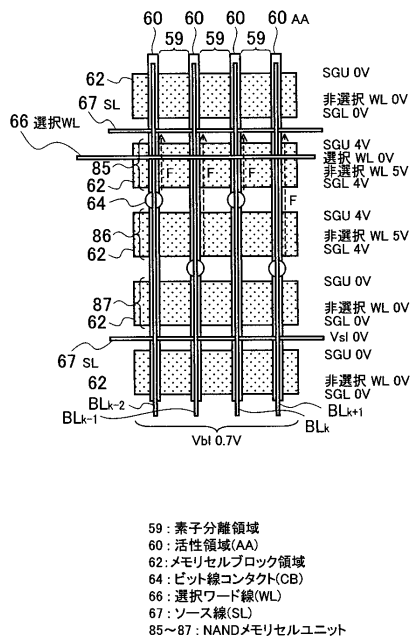
【図 26】



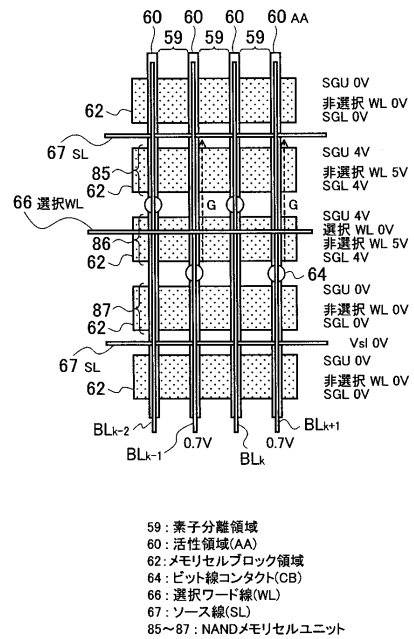
【図 27】



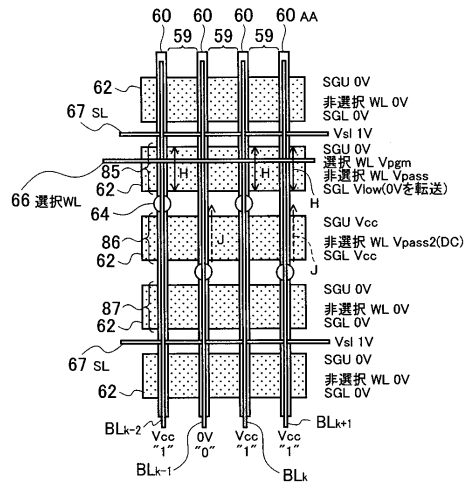
【図 28】



【図 29】

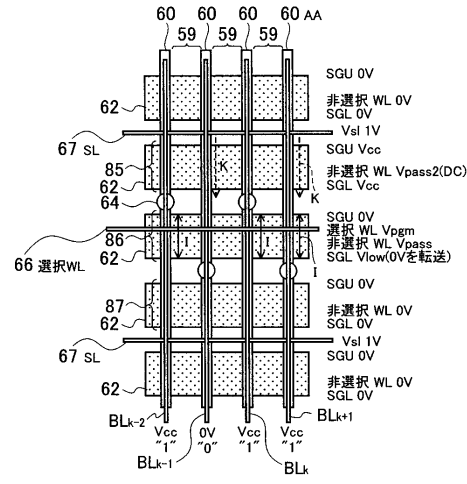


【図 30】



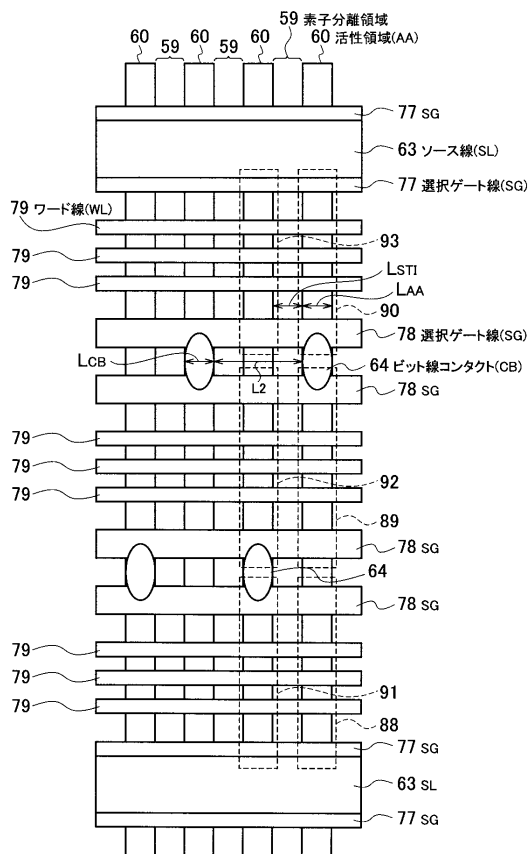
59 : 素子分離領域
60 : 活性領域(AA)
62 : メモリセルブロック領域
64 : ビット線コンタクト(CB)
66 : 選択ワード線(WL)
67 : ソース線(SL)
85~87 : NANDメモリセルユニット

【図 31】



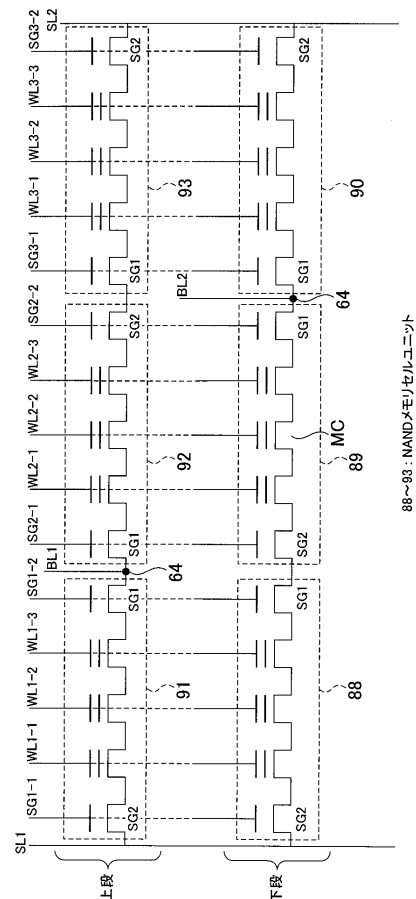
59 : 素子分離領域
60 : 活性領域(AA)
62 : メモリセルブロック領域
64 : ビット線コンタクト(CB)
66 : 選択ワード線(WL)
67 : ソース線(SL)
85~87 : NANDメモリセルユニット

【図 32】



88~93 : NANDメモリセルユニット

【図 33】



88~93 : NANDメモリセルユニット

【图 3 4】

上段																		
α_1''	SL1	SG1-1	WL1-1	WL1-2	WL1-3	SG2-1	BL1	WL2-1	WL2-2	WL2-3	SG2-2	BL2	SG3-1	WL3-1	WL3-2	WL3-3	SG3-2	SL2
WL1-1	open	open	OV	OV	OV	open	open/open	OV	OV	OV	open	open	open	OV	OV	OV	open	open

【 図 3 5 】

No	上段																		
	SL1	SG1-1	WL1-1	WL1-2	WL1-3	SG1-2	BL1	SG2-1	WL2-1	WL2-2	WL2-3	SG2-2	BL2	SG3-1	WL3-1	WL3-2	WL3-3	SG3-2	SL2
WL1-1	OV	Vpvm	Vpasm	Vpasm	Vcc	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV
WL1-2	OV	Vpasm	Vpvm	Vpasm	Vcc	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV
WL1-3	OV	Vpasm	Vpasm	Vpvm	Vcc	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV	OV
WL2-1	OV	OV	OV	OV	Vcc	Vpvm	Vpasm	Vcc	Vpvm	Vpasm	Vcc	Vpasm	Vcc	Vpasm	Vpasm	Vpasm	Vpasm	Vpasm	OV
WL2-2	OV	OV	OV	OV	Vcc	Vpvm	Vpasm	Vcc	Vpvm	Vpasm	Vcc	Vpasm	Vcc	Vpasm	Vpasm	Vpasm	Vpasm	Vpasm	OV
WL2-3	OV	OV	OV	OV	Vcc	Vpvm	Vpasm	Vcc	Vpvm	Vpasm	Vcc	Vpasm	Vcc	Vpasm	Vpasm	Vpasm	Vpasm	Vpasm	OV
WL3-1	OV	OV	OV	OV	Vcc	Vpasm	Vpasm	Vcc	Vpasm	Vpasm	Vcc	Vpasm	Vcc	Vpasm	Vpasm	Vpasm	Vpasm	Vpasm	OV
WL3-2	OV	OV	OV	OV	Vcc	Vpasm	Vpasm	Vcc	Vpasm	Vpasm	Vcc	Vpasm	Vcc	Vpasm	Vpasm	Vpasm	Vpasm	Vpasm	OV
WL3-3	OV	OV	OV	OV	Vcc	Vpasm	Vpasm	Vcc	Vpasm	Vpasm	Vcc	Vpasm	Vcc	Vpasm	Vpasm	Vpasm	Vpasm	Vpasm	OV

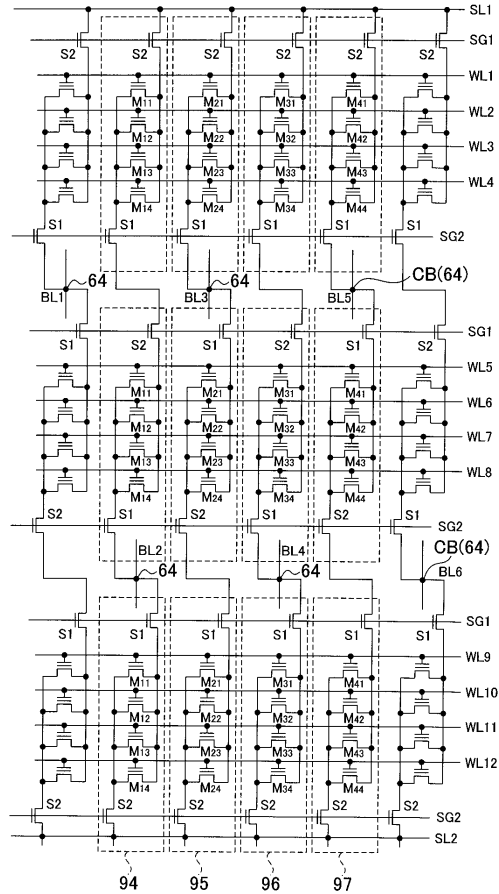
【 図 3 6 】

[illegible]

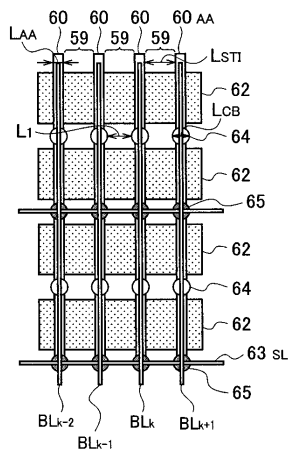
【図 3 7】

[illegible]

【図 38】

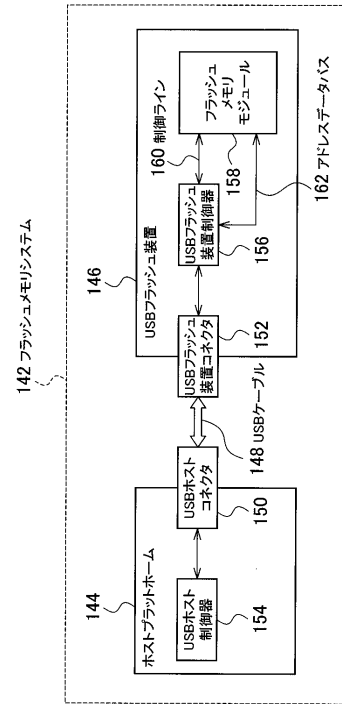


【図 40】

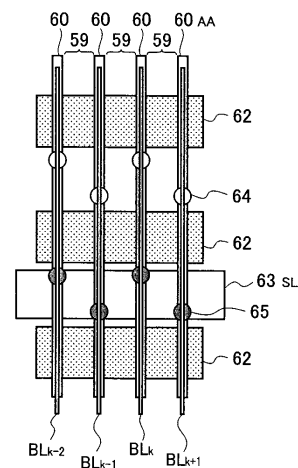


59: 素子分離領域
60: 活性領域(AA)
62: メモリセルブロック領域
63: ソース線(SL)
64: ビット線コンタクト(CB)
65: ソース線コンタクト(CS)

【図 39】



【図 41】



59: 素子分離領域
60: 活性領域(AA)
62: メモリセルブロック領域
63: ソース線(SL)
64: ビット線コンタクト(CB)
65: ソース線コンタクト(CS)

フロントページの続き

(51)Int.Cl.⁷

F I

テーマコード (参考)

H 0 1 L 29/792

(74)代理人 100098327

弁理士 高松 俊雄

(72)発明者 松永 泰彦

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 荒井 史隆

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 佐久間 誠

神奈川県横浜市磯子区新杉田町 8 番地 株式会社東芝横浜事業所内

(72)発明者 井口 直

三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四日市工場内

(72)発明者 角田 弘昭

三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四日市工場内

(72)発明者 渡野邊 恒

三重県四日市市山之一色町 8 0 0 番地 株式会社東芝四日市工場内

F ターム (参考) 5B125 BA01 CA06 EA05 FA06 FA07

5F083 EP02 EP23 EP24 EP32 EP76 EP79 JA35 LA12 LA16 LA20

MA06 MA20 NA01 PR10

5F101 BA01 BB04 BB05 BD02 BD22 BD34 BE02 BE05 BE07