

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2024 年 7 月 11 日 (11.07.2024)



(10) 国际公布号
WO 2024/145773 A1

(51) 国际专利分类号:
G09G 3/3266 (2016.01)

(21) 国际申请号: PCT/CN2023/070183

(22) 国际申请日: 2023 年 1 月 3 日 (03.01.2023)

(25) 申请语言: 中文

(26) 公布语言: 中文

(71) 申请人: 京东方科技集团股份有限公司(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN]; 中国北京市朝阳区酒仙桥路 10 号, Beijing 100015 (CN)。成都京东方光电科技有限公司(CHENGDU BOE OPTOELECTRONICS TECHNOLOGY CO., LTD.) [CN/CN]; 中国四川省成都市高新区(西区)合作路 1188 号, Sichuan 611731 (CN)。

(72) 发明人: 青海刚(QING, Haigang); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。胡明(HU, Ming); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。邱海军(QIU, Haijun); 中国北京市北京经济技术开发区地泽路 9 号, Beijing 100176 (CN)。

(74) 代理人: 北京同达信恒知识产权代理有限公司(TDIP & PARTNERS); 中国北京市西城区裕民路 18 号北环中心 A 座 2002, Beijing 100029 (CN)。

(81) 指定国(除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CV, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IQ, IR, IS, IT, JM, JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE,

(54) Title: SHIFT REGISTER, DRIVING METHOD, GATE DRIVING CIRCUIT, AND DISPLAY DEVICE

(54) 发明名称: 一种移位寄存器、驱动方法、栅极驱动电路及显示装置

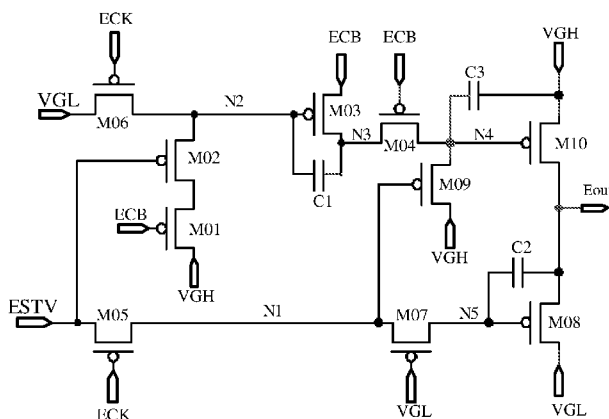


图 3

(57) Abstract: The present disclosure relates to the field of display. Disclosed are a shift register, a driving method, a gate driving circuit, and a display device. The shift register comprises: an input sub-circuit coupled with a signal input end, a first clock signal end and a first node, and configured to charge and reset the first node under the control of the first clock signal end; a control sub-circuit coupled with the first clock signal end, a second clock signal end, the signal input end, a first power end, a second power end and a second node, and configured to determine the potential of the second node by means of the first power end or the second power end under the control of the first clock signal end, the second clock signal end and the signal input end; and an output sub-circuit coupled with the first power end, the second power end, the first node, the second node and a signal output end, and configured to determine the potential of the signal output end by means of the first power end or the second power end under the control of the first node and the second node. The number of transistors in the shift register is reduced, and the circuit connection relationship is simplified.



PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE,
SG, SK, SL, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA,
UG, US, UZ, VC, VN, WS, ZA, ZM, ZW。

- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, CV, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SC, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚
(AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE,
BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR,
HU, IE, IS, IT, LT, LU, LV, MC, ME, MK, MT, NL, NO,
PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF,
CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN,
TD, TG)。

本国际公布:

— 包括国际检索报告(条约第21条(3))。

(57) 摘要: 本公开涉及显示领域, 公开了一种移位寄存器、驱动方法、栅极驱动电路及显示装置, 该移位寄存器包括: 输入子电路, 与信号输入端、第一时钟信号端及第一节点耦接, 在第一时钟信号端控制下, 对第一节点进行充电与复位, 控制子电路, 与第一时钟信号端、第二时钟信号端、信号输入端、第一电源端和第二电源端及第二节点耦接, 在第一时钟信号端、第二时钟信号端和信号输入端控制下, 由第一电源端或第二电源端决定第二节点的电位, 输出子电路, 与第一电源端、第二电源端、第一节点、第二节点以及信号输出端耦接, 在第一节点、第二节点的控制下, 由第一电源端或第二电源端决定信号输出端的电位, 减少了移位寄存器中的晶体管的数量, 简化了电路连接关系。

一种移位寄存器、驱动方法、栅极驱动电路及显示装置

技术领域

本公开涉及显示技术领域，提供了一种移位寄存器、驱动方法、栅极驱动电路及显示装置。

5

背景技术

目前，集成于显示面板上的低温多晶硅（Low Temperature Poly-Silicon，LTPS）移位寄存电路一般都能实现如下功能：利用 N 型晶体管实现高电平脉冲信号的移位输出，利用 P 型晶体管实现低电平脉冲信号的移位输出。相应的，有机发光二极管（Organic Light Emitting Diode，OLED）的移位寄存电路需要利用 P 型晶管构建高电平移位寄存电路，同时还要能实现输出脉宽的可调节，因此，有关 OLED 的移位寄存电路构建更加复杂，并且，电路布局会占用较大的空间，不利于相关显示装置的边框的窄化。

10

15

发明内容

本公开实施例提供一种移位寄存器、驱动方法、栅极驱动电路及显示装置，用以简化电路连接关系，进而优化移位寄存器的电路的布局。

本公开提供的具体技术方案如下：

第一方面，本公开实施例提供了一种移位寄存器，包括：

20

输入子电路，与信号输入端、第一时钟信号端以及第一节点耦接，被配置为在第一时钟信号端的控制下，对第一节点进行充电与复位；

25

控制子电路，与第一时钟信号端、第二时钟信号端、信号输入端、第一电源端和第二电源端以及第二节点耦接，被配置为在第一时钟信号端、第二时钟信号端和信号输入端的控制下，由第一电源端或者第二电源端决定第二节点的电位；

输出子电路，与第一电源端、第二电源端、第一节点、第二节点以及信

号输出端耦接，被配置为在第一节点、第二节点的控制下，由第一电源端或者第二电源端决定信号输出端的电位。

可选地，控制子电路包括第一晶体管、第二晶体管、第三晶体管和第四晶体管；

5 第一晶体管的栅极与第二时钟信号端耦接，第一晶体管的第一极与第二电源端耦接，第一晶体管的第二极与第二晶体管的第一极耦接；

 第二晶体管的第二极与第三晶体管的栅极耦接，第二晶体管的栅极与信号输入端耦接；

10 第三晶体管的第一极与第二时钟信号端耦接，第三晶体管的第二极与第四晶体管的第一极耦接；

 第四晶体管的栅极与第二时钟信号端耦接。

 可选地，输入子电路包括第五晶体管；

 第五晶体管的栅极与第一时钟信号端耦接，第五晶体管的第一极与信号输入端耦接，第五晶体管的第二极与第一节点耦接。

15 可选地，控制子电路还包括第六晶体管；

 第六晶体管的栅极与第一时钟信号端耦接，第六晶体管的第一极与第一电源端耦接，第六晶体管的第二极与第三晶体管的栅极耦接。

 可选地，控制子电路还包括第一电容；

20 第一电容的第一端与第三晶体管的栅极耦接，第一电容的第二端与第三晶体管的第二极耦接。

 可选地，输出子电路包括第七晶体管、第八晶体管和第二电容；

 第七晶体管的栅极与第一电源端耦接，第七晶体管的第一极与第五晶体管的第二极耦接，第七晶体管的第二极与第八晶体管的栅极耦接；

25 第八晶体管的第一极与第一电源端耦接，第八晶体管的第二极与信号输出端耦接；

 第二电容的第一端与第八晶体管的栅极耦接，第二电容的第二端与信号输出端耦接。

可选地，输出子电路还包括第九晶体管、第十晶体管和第三电容；

第九晶体管的栅极与第七晶体管的第一极耦接，第九晶体管的第一极与第二电源端耦接，第九晶体管的第二极与第十晶体管的栅极耦接；

第十晶体管的第一极与信号输出端耦接，第十晶体管的第二极与第二电
5 源端耦接；

第三电容的第一端与第十晶体管的栅极耦接，第三电容的第二端与第二电源端耦接。

第二方面，本公开实施例还提供了一种上述移位寄存器的驱动方法，包括：

10 信号保持输出阶段，输入子电路根据输入信号端与第一时钟信号端的信号，控制第一节点处于维持状态，控制子电路在第一时钟信号端、第二时钟信号端和信号输入端的控制下，由第一电源端或者第二电源端控制第二节点处于维持状态，以使信号输出端输出延迟保持信号；

15 高电平信号输出阶段，输入子电路根据输入信号端与第一时钟信号端的信号，控制第一节点处于截止状态，控制子电路在第一时钟信号端、第二时钟信号端和信号输入端的控制下，由第一电源端或者第二电源端控制第二节点处于导通状态，以使信号输出端输出高电平信号；

20 低电平信号输出阶段，输入子电路根据输入信号端与第一时钟信号端的信号，控制第一节点处于导通状态，控制子电路在第一时钟信号端、第二时钟信号端和信号输入端的控制下，由第一电源端或者第二电源端控制第二节点处于截止状态，以使信号输出端输出低电平信号。

第三方面，一种栅极驱动电路，包括多个级联的上述移位寄存器；

第一极移位寄存器的输入信号端被配置为与帧起始信号端耦接；

25 每相邻两个移位寄存器中，下一级移位寄存器的输入信号端被配置为与上一级移位寄存器的输出端耦接。

第四方面，一种显示装置，包括上述的栅极驱动电路。

本公开有益效果如下：

综上所述，本公开实施例中，提供一种移位寄存器、驱动方法、栅极驱动电路及显示装置，该移位寄存器包括：输入子电路，与信号输入端、第一时钟信号端以及第一节点耦接，被配置为在第一时钟信号端的控制下，对第一节点进行充电与复位，控制子电路，与第一时钟信号端、第二时钟信号端、信号输入端、第一电源端和第二电源端以及第二节点耦接，被配置为在第一时钟信号端、第二时钟信号端和信号输入端的控制下，由第一电源端或者第二电源端决定第二节点的电位，输出子电路，与第一电源端、第二电源端、第一节点、第二节点以及信号输出端耦接，被配置为在第一节点、第二节点的控制下，由第一电源端或者第二电源端决定信号输出端的电位，从而有效减少了移位寄存器中的晶体管的数量，进而简化了电路连接关系，优化了移位寄存器的电路的布局。

本公开的其它特征和优点将在随后的说明书中阐述，并且，部分地从说明书中变得显而易见，或者通过实施本公开而了解。本公开的目的和其他优点可通过在所写的说明书、权利要求书、以及附图中所特别指出的结构来实现和获得。

附图说明

此处所说明的附图用来提供对本公开的进一步理解，构成本公开的一部分，本公开的示意性实施例及其说明用于解释本公开，并不构成对本公开的不当限定。在附图中：

图 1 为本公开实施例中一种移位寄存器的子电路连接示意图；

图 2 为本公开实施例中一种移位寄存器的结构示意图；

图 3 为本公开实施例中另一种移位寄存器的结构示意图；

图 4 为本公开实施例中移位寄存器对应的信号时序图；

图 5 为本公开实施例中一种移位寄存器的驱动方法的流程示意图；

图 6 为本公开实施例中的栅极驱动电路的结构示意图；

图 7 为本公开实施例中的栅极驱动电路的仿真模拟图。

具体实施方式

为使本公开实施例的目的、技术方案和优点更加清楚，下面将结合本公开实施例中的附图，对本公开的技术方案进行清楚、完整地描述，显然，所描述的实施例是本公开技术方案的一部分实施例，而不是全部的实施例。基于本公开文件中记载的实施例，本领域普通技术人员在没有作出创造性劳动前提下所获得的所有其他实施例，都属于本公开技术方案保护的范围。

本发明的说明书和权利要求书及上述附图中的术语“第一”、“第二”等是用于区别类似的对象，而不必用于描述特定的顺序或先后次序。应该理解这样使用的数据在适当情况下可以互换，以便这里描述的本发明的实施例能够使用除了在这里图示或描述的那些以外的顺序实施。

相关技术中使用 P 型晶体管来构建发光控制移位寄存器，上述移位寄存器可以实现高电平移位和高电平脉宽调节，但为了实现移位寄存器脉冲信号的移位输出，上述移位寄存器的电路中采用的晶体管数量较多，电路连接关系复杂且布局空间占用较大，非常不利于显示边框的窄化。

下面结合附图对本公开优选的实施方式进行详细说明。

参阅图 1 所示，本公开实施例中，一种移位寄存器具体包括：输入子电路 1、控制子电路 2 和输出子电路 3。

输入子电路 1，与信号输入端、第一时钟信号端以及第一节点耦接，被配置为在第一时钟信号端的控制下，对第一节点进行充电与复位。

参阅图 2 所示，在具体实施时，输入信号 ESTV 经上述信号输入端接入输入子电路 1，同时，输入子电路 1 还与第一时钟信号端以及第一节点耦接，需要进行说明的是，上述第一节点包括图 2 中的节点 N1 和节点 N5，当第一时钟信号 ECK 为低电平时，第五晶体管 M05 开启，如果输入信号 ESTV 为高电平，则实现对第一节点的充电功能，如果输入信号 ESTV 为低电平，则实现对第一节点的复位功能。具体的，第一时钟信号 ECK 经上述第一时钟信号端接入输入子电路 1，即输入子电路 1 受第一时钟信号 ECK 的控制。上述输入子电路 1 包括第五晶体管 M05，第五晶体管 M05 的栅极与第一时钟信号端

耦接，第五晶体管 M05 的第一极与信号输入端耦接，第五晶体管 M05 的第二极与第一节点 N1 耦接。

在具体实施时，上述第一时钟信号 ECK 作用于第五晶体管 M05 的栅极，第一时钟信号 ECK 的信号电平的高低直接决定第五晶体管 M05 是处于开启状态还是截止状态。并且，第五晶体管 M05 的第一极与信号输入端耦接，即上述输入信号 ESTV 由第五晶体管 M05 的第一极接入输入子电路 1，第五晶体管 M05 的第二极用于输出，具体的，第一节点 N1 用于表示第五晶体管 M05 的第二极的输出，上述第五晶体管 M05 的第二极与输出子电路 3 耦接，具体的，在上述第五晶体管 M05 的第二极与输出子电路 3 之间还设置有第七晶体管 M07，在第七晶体管 M07 的第二极与信号输出端之间还设置有另一个第一节点 N5，为了与节点 N1 区别开来，上述节点 N5 在后续的描述中称为第五节点 N5。

需要补充说明的是，第一节点 N1 和第五节点 N5 都是移位寄存器中的虚拟节点，这个节点仅是为了方便对移位寄存器的结构和信号的传输进行描述，而针对移位寄存器的具体结构和信号的传输，可以根据移位寄存器中的各晶体管与电容之间的耦接方式来进行确定。

控制子电路 2，与第一时钟信号端、第二时钟信号端、信号输入端、第一电源端和第二电源端以及第二节点耦接，被配置为在第一时钟信号端、第二时钟信号端和信号输入端的控制下，由第一电源端或者第二电源端决定第二节点的电位。

为了实现 ESTV 信号的移位输出，本申请实施例中的控制子电路 2 基于第一时钟信号 ECK、第二时钟信号 ECB、信号输入端 ESTV、第一电源信号 VGL 和第二电源信号 VGH 以及第二节点（如图 2 中的节点 N2、节点 N3 和节点 N4 统称为第二节点）来进行控制，具体的，控制子电路分别与第一时钟信号端、第二时钟信号端、第一电源端和第二电源端耦接。

并且，本申请实施例中的控制子电路 2 采用较少个数的晶体管即可实现控制功能，具体的，控制子电路 2 包括第一晶体管 M01、第二晶体管 M02、

第三晶体管 M03 和第四晶体管 M04，第一晶体管 M01 的栅极与第二时钟信号端耦接，第一晶体管 M01 的第一极与第二电源端耦接，第一晶体管 M01 的第二极与第二晶体管 M02 的第一极耦接，第二晶体管 M02 的第二极与第三晶体管 M03 的栅极耦接，第二晶体管 M02 的栅极与信号输入端耦接，第三晶体管 M03 的第一极与第二时钟信号端耦接，第三晶体管 M03 的第二极与第四晶体管 M04 的第一极耦接，第四晶体管 M04 的栅极与第二时钟信号端耦接。

在具体实施时，上述第一晶体管 M01 的开启与截止受第二时钟信号 ECB 的控制，上述第二晶体管 M02 的开启与截止受 ESTV 的控制，上述第三晶体管 M03 的开启与截止受第二节点 N2 的控制，上述第四晶体管 M04 的开启与截止受第二时钟信号 ECB 的控制。同样的，上述第二节点 N2 也是一个虚拟节点，为了便于区分上述第二节点中的节点 N2、节点 N3 和节点 N4，在后续的描述中将节点 N3 称为第三节点 N3，该第三节点 N3 设置在第三晶体管 M03 与第四晶体管 M04 之间，将节点 N4 称为第四节点 N4，该第四节点 N4 设置在第四晶体管 M04 与第十晶体管 M10 之间。

此外，还需要进行说明的是，控制子电路 2 还包括第六晶体管 M06，第六晶体管 M06 的栅极与第一时钟信号端耦接，第六晶体管 M06 的第一极与第一电源端耦接，第六晶体管 M06 的第二极与第三晶体管 M03 的栅极耦接。

在具体实施时，上述第六晶体管 M06 的开启与截止受第一时钟信号 ECK 的控制，第六晶体管 M06 的第二极与第三晶体管 M03 的栅极之间通过上述第二节点 N2 相连接。

参阅图 3 所示，为了使第三晶体管 M03 输出的电平可以达到第一电源信号 VGL，控制子电路 2 还包括第一电容 C1，第一电容 C1 的第一端与第三晶体管 M03 的栅极耦接，第一电容 C1 的第二端与第三晶体管 M03 的第二极耦接。

在具体实施时，上述第一电容 C1 为自举电容，通过第一电容 C1 的自举作用能够使第三晶体管 M03 的开启程度尽可能的大，以便将第一电源信号 VGL 顺利的输出到第三节点 N3。同样的，第三节点 N3 也是移位寄存器中的

虚拟节点。

输出子电路 3，与第一电源端、第二电源端、第一节点、第二节点以及信号输出端耦接，被配置为在第一节点、第二节点的控制下，由第一电源端或者第二电源端决定信号输出端的电位。

5 本申请实施例中，移位寄存器的高低电平信号的输出是通过输出子电路 3 实现的。

10 为了输出低电平信号，输出子电路 3 包括第七晶体管 M07、第八晶体管 M08 和第二电容 C2，第七晶体管 M07 的栅极与第一电源端耦接，第七晶体管 M07 的第一极与第五晶体管 M05 的第二极耦接，第七晶体管 M07 的第二极与第八晶体管 M08 的栅极耦接，第八晶体管 M08 的第一极与第一电源端耦接，第八晶体管 M08 的第二极与信号输出端耦接，第二电容 C2 的第一端与第八晶体管 M08 的栅极耦接，第二电容 C2 的第二端与信号输出端耦接。

15 在具体实施时，上述第七晶体管 M07 的开启与截止受第一电源信号 VGL 的控制，上述第八晶体管 M08 的开启与截止受第七晶体管 M07 的第二极的输出信号（即第五节点 N5 处的信号）的控制。由于，信号输出端通过第八晶体管 M08 被下拉为低电平，在信号输出端的电位下降过程中，信号输出端的电位下降通过上述第二电容 C2 将第八晶体管 M08 的栅极耦合得更低，从而使信号输出端的电位下降更快，形成正向反馈。

20 为了输出高电平，输出子电路 3 还包括第九晶体管 M09、第十晶体管 M10 和第三电容 C3，第九晶体管 M09 的栅极与第七晶体管 M07 的第一极耦接，第九晶体管 M09 的第一极与第二电源端耦接，第九晶体管 M09 的第二极与第十晶体管 M10 的栅极耦接，第十晶体管 M10 的第一极与信号输出端耦接，第十晶体管 M10 的第二极与第二电源端耦接，第三电容 C3 的第一端与第十晶体管 M10 的栅极耦接，第三电容 C3 的第二端与第二电源端耦接。

25 在具体实施时，上述第九晶体管 M09 的开启与截止受第一节点 N1 的控制，上述第十晶体管 M10 的开启与截止受第四节点 N4 处的信号的控制。为了顺利的输出高电平信号，也即保障第十晶体管 M10 尽可能的开启，低电平

信号在通过第四晶体管 M04 传输到第十晶体管 M10 的栅极后,保存于第三电容 C3,在第三电容 C3 的作用下,第十晶体管 M10 开启,第二电源信号 VGH 通过第十晶体管 M10 到达信号输出端,从而使信号输出端输出高电平。

需要进行说明的是,上述输入子电路 1、控制子电路 2 和输出子电路 3 中各自包括的晶体管的类型相同。

优选地,上述晶体管的类型为 P 型晶体管,本申请实施例中,以 P 型晶体管来进行具体说明,P 型晶体管在高电平信号作用下截止,在低电平信号作用下导通。在另一些实施例中,上述晶体管的类型也可以为 N 型晶体管,N 型晶体管在高电平信号作用下导通,在低电平信号作用下截止。当采用 N 型晶体管来实现移位寄存器的输出时过程类似,这里不再赘述。

参阅图 4 所示为移位寄存器对应的信号时序图,下面结合图 4 来讲述下移位寄存器的工作过程。需要说明的是,下述描述中以 1 表示高电平信号,0 表示低电平信号,其中,1 和 0 是逻辑电平,其仅是为了更好的解释本公开实施例的具体工作过程,而不是在具体实施时施加在各晶体管的栅极上的电压。

在时序 1 阶段,输入信号 ESTV 为高电平,第二时钟信号 ECB 为高电平,第一时钟信号 ECK 为低电平,第五晶体管 M05、第六晶体管 M06 开启,第二晶体管 M02、第一晶体管 M01、第四晶体管 M04 截止,输入信号 ESTV 的高电平通过第五晶体管 M05、第七晶体管 M07 写入到第二电容 C2 中,第一节点 N1 和第五节点 N5 均为高电平,因此,第九晶体管 M09 和第八晶体管 M08 均截止,同时,第六晶体管 M06 开启,第一电源信号 VGL 的低电平通过第六晶体管 M06 将第二节点 N2 下拉为低电平,第三晶体管 M03 开启,第三节点 N3 被写为高电平,第四晶体管 M04 截止,第四节点 N4 保持上一阶段的高电平状态,第十晶体管 M10 截止,由于,第十晶体管 M10 和第八晶体管 M08 都截止,因此,电路输出维持上一阶段的状态,保持不变。

在时序 2 阶段,输入信号 ESTV 为高电平,第一时钟信号 ECK 为高电平,第二时钟信号 ECB 为低电平,第五晶体管 M05、第二晶体管 M02 和第六晶体管 M06 均截止,第一晶体管 M01 和第四晶体管 M04 均开启,第一节点 N1、

第二节点 N2 均维持不变, 因此, 第九晶体管 M09、第八晶体管 M08 仍然处于截止状态, 第三晶体管 M03 保持开启, 第二时钟信号 ECB 的低电平通过第三晶体管 M03 和第一电容 C1 自举输出, 使得输出的电平可以达到第一电源信号 VGL 的电平, 上述第一电源信号 VGL 的电平通过第四晶体管 M04 (即通过第四节点 N4) 传输到第十晶体管 M10 的栅极, 并保存于第三电容 C3, 5 第四节点 N4 的低电平使第十晶体管 M10 开启, 第二电源信号 VGH 通过第十晶体管 M10 到达信号输出端, 从而信号输出端完成高电平的输出。

在时序 3 阶段, 输入信号 ESTV 为高电平, 第二时钟信号 ECB 为高电平, 第一时钟信号 ECK 为低电平, 第二晶体管 M02、第一晶体管 M01 和第四晶体管 M04 均截止, 第五晶体管 M05 和第六晶体管 M06 开启, 第一节点 N1 10 通过第五晶体管 M05 写入高电平, 第二节点 N2 通过第六晶体管 M06 写入低电平, 第一节点 N1、第二节点 N2 状态与上阶段仍然一致, 因此, 第九晶体管 M09、第八晶体管 M08 仍然处于截止状态, 第三晶体管 M03 保持开启, 第二时钟信号 ECB 的高电平虽然通过第三晶体管 M03 写入到第三节点 N3, 但第四晶体管 M04 截止, 因此, 第四节点 N4 的状态维持上阶段不变, 第十晶体管 M10 仍然开启, 第二电源信号 VGH 通过第十晶体管 M10 到达信号输出端, 从而信号输出端仍然为高电平。 15

在时序 4 阶段, 输入信号 ESTV 为低电平, 第二时钟信号 ECB 为低电平, 第一时钟信号 ECK 为高电平, 第五晶体管 M05 和第六晶体管 M06 均截止, 20 第二晶体管 M02、第一晶体管 M01 和第四晶体管 M04 均开启, 第一节点 N1 维持不变, 第九晶体管 M09 截止, 由于, 第二晶体管 M02 和第一晶体管 M01 开启, 第二节点 N2 被写入高电平, 第三晶体管 M03 截止, 由于, 第三晶体管 M03、第九晶体管 M09 截止, 第四节点 N4 维持原有状态不变, 第十晶体管 M10 仍然开启, 第二电源信号 VGH 通过第十晶体管 M10 到达信号输出端, 从而信号输出端仍然为高电平。 25

在时序 5 阶段, 输入信号 ESTV 为低电平, 第一时钟信号 ECK 为低电平, 第二时钟信号 ECB 为高电平, 第五晶体管 M05、第二晶体管 M02 和第六晶

5 体管 M06 开启, 第一晶体管 M01 和第四晶体管 M04 均截止, 输入信号 ESTV 的低电平通过第五晶体管 M05 写入并保存于第二电容 C2 中, 第一节点 N1 成为低电平, 因此, 第九晶体管 M09 和第八晶体管 M08 开启, 由于, 第四晶体管 M04 截止, 第九晶体管 M09 开启, 第四节点 N4 被第九晶体管 M09 上拉为高电平并通过第三电容 C3 维持高电平, 因此, 第十晶体管 M10 截止, 第五节点 N5 为低电平, 第八晶体管 M08 开启, 信号输出端通过第八晶体管 M08 被下拉为低电平, 在信号输出端电位下降过程中, 信号输出端的电位下降通过第二电容 C2 将第八晶体管 M08 的栅极耦合得更低, 从而使信号输出端的电位下降更快, 形成正向反馈, 同时, 在第五节点 N5 电位下降的同时, 由于, 10 第七晶体管 M07 的栅电位固定, 第七晶体管 M07 会处于截止状态, 使第八晶体管 M08 的低电平输出更加顺利。

至此, 在下一个输入信号 ESTV 的高电平到来前, 移位寄存器仍然会继续维持低电平输出, 后续阶段不再累述。

15 基于同一发明构思, 参阅图 5 所示, 本公开实施例中提供了一种上述移位寄存器的驱动方法, 包括:

步骤 201: 信号保持输出阶段, 输入子电路根据输入信号端与第一时钟信号端的信号, 控制第一节点处于维持状态, 控制子电路在第一时钟信号端、第二时钟信号端和信号输入端的控制下, 由第一电源端或者第二电源端控制第二节点处于维持状态, 以使信号输出端输出延迟保持信号。

20 在具体实施时, 为了实现移位寄存器的移位输出, 上述第一节点和第二节点所在的电路都处于维持状态, 这样, 输入信号 ESTV 中包含的高电平和低电平都无法输出, 从而达到延迟输出的目的, 信号输出端的延迟输出的时间长度即为延迟输出的时长。

25 步骤 202: 高电平信号输出阶段, 输入子电路根据输入信号端与第一时钟信号端的信号, 控制第一节点处于截止状态, 控制子电路在第一时钟信号端、第二时钟信号端和信号输入端的控制下, 由第一电源端或者第二电源端控制第二节点处于导通状态, 以使信号输出端输出高电平信号。

在具体实施时，为了实现移位寄存器的高电平信号的输出，通过控制子电路来控制第二节点所在的电路处于导通状态，同时，控制第一节点所在的电路处于截止状态，这样，在第二节点的作用下，信号输出端输出高电平信号。

5 步骤 203: 低电平信号输出阶段，输入子电路根据输入信号端与第一时钟信号端的信号，控制第一节点处于导通状态，控制子电路在第一时钟信号端、第二时钟信号端和信号输入端的控制下，由第一电源端或者第二电源端控制第二节点处于截止状态，以使信号输出端输出低电平信号。

10 在具体实施时，为了实现移位寄存器的低电平信号的输出，通过控制子电路来控制第二节点所在的电路处于截止状态，同时，控制第一节点所在的电路处于导通状态，这样，在第一节点的作用下，信号输出端输出低电平信号。

15 基于同一发明构思，参阅图 6 所示，本公开实施例中提供了一种栅极驱动电路，包括多个级联的上述移位寄存器，第一级移位寄存器的输入信号端被配置为与帧起始信号端耦接，每相邻两个移位寄存器中，下一级移位寄存器的输入信号端被配置为与上一级移位寄存器的输出端耦接。

上述栅极驱动电路可以应被配置为液晶显示面板中，也可以应被配置为电致发光显示面板中，在此不作限定。

20 具体地，各级移位寄存器 $SR(n)$ 的第一参考信号端 $VREF1$ 均与同一直流信号端 vdd 耦接，各级移位寄存器 $SR(n)$ 的第二参考信号端 $VREF2$ 均与同一直流信号端 vss 耦接。第 $2k-1$ 级移位寄存器的第一个时钟信号端 $CK1$ 和第 $2k$ 级移位寄存器的第二个时钟信号端 $CK2$ 均与同一时钟端即第一个时钟信号端 $ck1$ 耦接；第 $2k-1$ 级移位寄存器的第二个时钟信号端 $CK2$ 和第 $2k$ 级移位寄存器的第一个时钟信号端 $CK1$ 均与同一时钟端即第二个时钟端 $ck2$ 耦接；其中， k 为正整数。

25

参阅图 7 所示，以四个级联的上述移位寄存器来进行仿真，发现从第一级移位寄存器的输出 $Eout1$ 、第二级移位寄存器的输出 $Eout2$ 、第三级移位寄

寄存器的输出 Eout3 和第四级移位寄存器的输出 Eout4 的波形依次延迟,即实现了输入信号 ESTV 在各级移位寄存器中的依次延迟输出。

基于同一发明构思,本公开实施例中提供了一种显示装置,包括上述的栅极驱动电路。

5 该显示装置解决问题的原理与前述移位寄存器相似,因此该显示装置的实施可以参见前述移位寄存器的实施,重复之处在此不再赘述。

本公开实施例提供的上述显示装置也可以为平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。对于该显示装置的其它必不可少的组成部分均为本领域的普通技术人员应该理解具
10 有的,在此不做赘述,也不应作为对本公开的限制。

综上所述,本公开实施例中,提供的一种移位寄存器、驱动方法、栅极驱动电路及显示装置,该移位寄存器包括:输入子电路,与信号输入端、第一时钟信号端以及第一节点耦接,被配置为在第一时钟信号端的控制下,对第一节点进行充电与复位,控制子电路,与第一时钟信号端、第二时钟信号
15 端、信号输入端、第一电源端和第二电源端以及第二节点耦接,被配置为在第一时钟信号端、第二时钟信号端和信号输入端的控制下,由第一电源端或者第二电源端决定第二节点的电位,输出子电路,与第一电源端、第二电源端、第一节点、第二节点以及信号输出端耦接,被配置为在第一节点、第二节点的控制下,由第一电源端或者第二电源端决定信号输出端的电位,有效
20 减少了移位寄存器中的晶体管的数量,进而简化了电路连接关系,优化了移位寄存器的电路的布局。

本领域内的技术人员应明白,本公开的实施例可提供为方法、系统、或计算机程序产品系统。因此,本公开可采用完全硬件实施例、完全软件实施例、或结合软件和硬件方面的实施例的形式。而且,本公开可采用在一个或多个其中包含有计算机可用程序代码的计算机可用存储介质(包括但不限于
25 磁盘存储器、CD-ROM、光学存储器等)上实施的计算机程序产品系统的形式。

本公开是参照根据本公开的方法、设备（系统）、和计算机程序产品系统的流程图和 / 或方框图来描述的。应理解可由计算机程序指令实现流程图和 / 或方框图中的每一流程和 / 或方框、以及流程图和 / 或方框图中的流程和 / 或方框的结合。可提供这些计算机程序指令到通用计算机、专用计算机、
5 嵌入式处理机或其他可编程数据处理设备的处理器以产生一个机器，使得通过计算机或其他可编程数据处理设备的处理器执行的指令产生用于实现在流程图一个流程或多个流程和 / 或方框图一个方框或多个方框中指定的功能的装置。

这些计算机程序指令也可存储在能引导计算机或其他可编程数据处理设备以特定方式工作的计算机可读存储器中，使得存储在该计算机可读存储器中的指令产生包括指令装置的制造品，该指令装置实现在流程图一个流程或多个流程和 / 或方框图一个方框或多个方框中指定的功能。

这些计算机程序指令也可装载到计算机或其他可编程数据处理设备上，使得在计算机或其他可编程设备上执行一系列操作步骤以产生计算机实现的处理，从而在计算机或其他可编程设备上执行的指令提供用于实现在流程图一个流程或多个流程和 / 或方框图一个方框或多个方框中指定的功能的步骤。

显然，本领域的技术人员可以对本公开进行各种改动和变型而不脱离本公开的精神和范围。这样，倘若本公开的这些修改和变型属于本公开权利要求及其等同技术的范围之内，则本公开也意图包含这些改动和变型在内。

权 利 要 求

1、一种移位寄存器，其中，包括：

输入子电路，与信号输入端、第一时钟信号端以及第一节点耦接，被配置为在所述第一时钟信号端的控制下，对所述第一节点进行充电与复位；

5 控制子电路，与所述第一时钟信号端、第二时钟信号端、所述信号输入端、第一电源端和第二电源端以及第二节点耦接，被配置为在所述第一时钟信号端、所述第二时钟信号端和所述信号输入端的控制下，由所述第一电源端或者所述第二电源端决定所述第二节点的电位；

10 输出子电路，与所述第一电源端、所述第二电源端、所述第一节点、所述第二节点以及信号输出端耦接，被配置为在所述第一节点、所述第二节点的控制下，由所述第一电源端或者所述第二电源端决定所述信号输出端的电位。

2、如权利要求 1 所述的移位寄存器，其中，所述控制子电路包括第一晶体管、第二晶体管、第三晶体管和第四晶体管；

15 所述第一晶体管的栅极与所述第二时钟信号端耦接，所述第一晶体管的第一极与所述第二电源端耦接，所述第一晶体管的第二极与所述第二晶体管的第一极耦接；

所述第二晶体管的第二极与所述第三晶体管的栅极耦接，所述第二晶体管的栅极与所述信号输入端耦接；

20 所述第三晶体管的第一极与所述第二时钟信号端耦接，所述第三晶体管的第二极与所述第四晶体管的第一极耦接；

所述第四晶体管的栅极与所述第二时钟信号端耦接。

3、如权利要求 1 所述的移位寄存器，其中，所述输入子电路包括第五晶体管；

25 所述第五晶体管的栅极与所述第一时钟信号端耦接，所述第五晶体管的第一极与所述信号输入端耦接，所述第五晶体管的第二极与所述第一节点耦

接。

4、如权利要求 1 所述的移位寄存器，其中，所述控制子电路还包括第六晶体管；

5 所述第六晶体管的栅极与所述第一时钟信号端耦接，所述第六晶体管的第一极与所述第一电源端耦接，所述第六晶体管的第二极与所述第三晶体管的栅极耦接。

5、如权利要求 1 所述的移位寄存器，其中，所述控制子电路还包括第一电容；

10 所述第一电容的第一端与所述第三晶体管的栅极耦接，所述第一电容的第二端与所述第三晶体管的第二极耦接。

6、如权利要求 1 所述的移位寄存器，其中，所述输出子电路包括第七晶体管、第八晶体管和第二电容；

15 所述第七晶体管的栅极与所述第一电源端耦接，所述第七晶体管的第一极与所述第五晶体管的第二极耦接，所述第七晶体管的第二极与所述第八晶体管的栅极耦接；

所述第八晶体管的第一极与所述第一电源端耦接，所述第八晶体管的第二极与所述信号输出端耦接；

所述第二电容的第一端与所述第八晶体管的栅极耦接，所述第二电容的第二端与所述信号输出端耦接。

20 7、如权利要求 1 所述的移位寄存器，其中，所述输出子电路还包括第九晶体管、第十晶体管和第三电容；

所述第九晶体管的栅极与所述第七晶体管的第一极耦接，所述第九晶体管的第一极与所述第二电源端耦接，所述第九晶体管的第二极与所述第十晶体管的栅极耦接；

25 所述第十晶体管的第一极与所述信号输出端耦接，所述第十晶体管的第二极与所述第二电源端耦接；

所述第三电容的第一端与所述第十晶体管的栅极耦接，所述第三电容的

第二端与所述第二电源端耦接。

8、一种如权利要求 1-7 任一项所述的移位寄存器的驱动方法，其中，包括：

信号保持输出阶段，输入子电路根据输入信号端与第一时钟信号端的信号，控制第一节点处于维持状态，控制子电路在第一时钟信号端、第二时钟信号端和信号输入端的控制下，由第一电源端或者第二电源端控制第二节点处于维持状态，以使信号输出端输出延迟保持信号；

高电平信号输出阶段，所述输入子电路根据所述输入信号端与所述第一时钟信号端的信号，控制所述第一节点处于截止状态，所述控制子电路在所述第一时钟信号端、所述第二时钟信号端和信号输入端的控制下，由第一电源端或者第二电源端控制所述第二节点处于导通状态，以使所述信号输出端输出高电平信号；

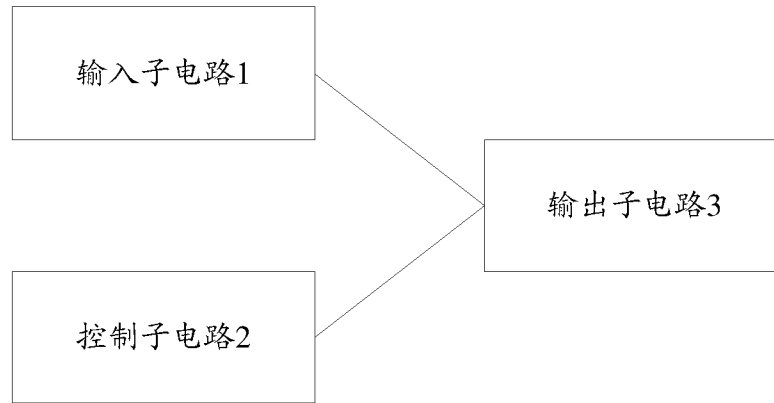
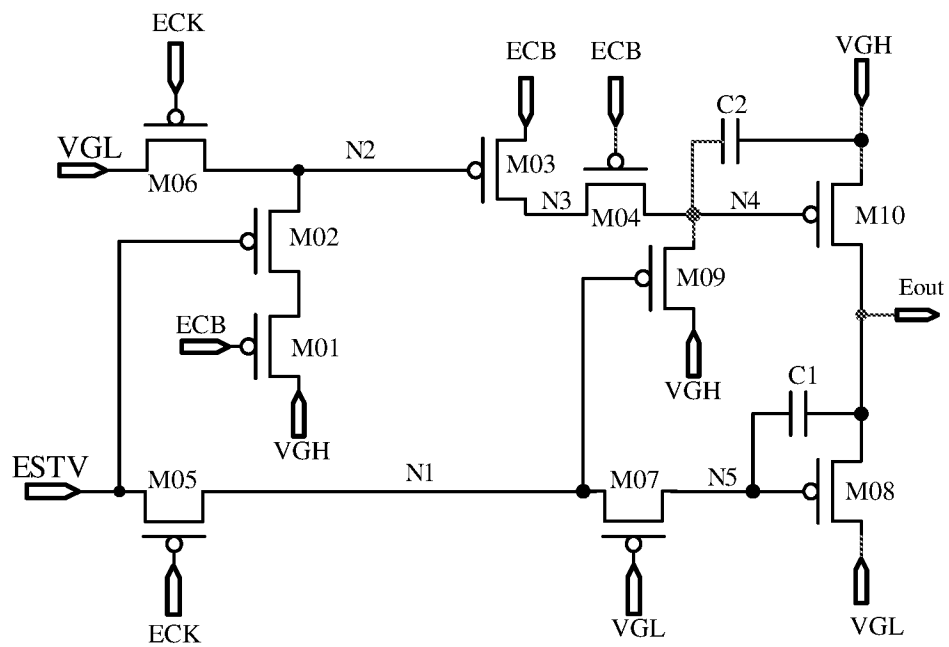
低电平信号输出阶段，所述输入子电路根据所述输入信号端与所述第一时钟信号端的信号，控制所述第一节点处于导通状态，所述控制子电路在所述第一时钟信号端、所述第二时钟信号端和信号输入端的控制下，由第一电源端或者第二电源端控制所述第二节点处于截止状态，以使所述信号输出端输出低电平信号。

9、一种栅极驱动电路，其中，包括多个级联的如权利要求 1-7 任一项所述的移位寄存器；

第一极移位寄存器的输入信号端被配置为与帧起始信号端耦接；

每相邻两个移位寄存器中，下一级移位寄存器的输入信号端被配置为与上一级移位寄存器的输出端耦接。

10、一种显示装置，其中，包括如权利要求 9 所述的栅极驱动电路。



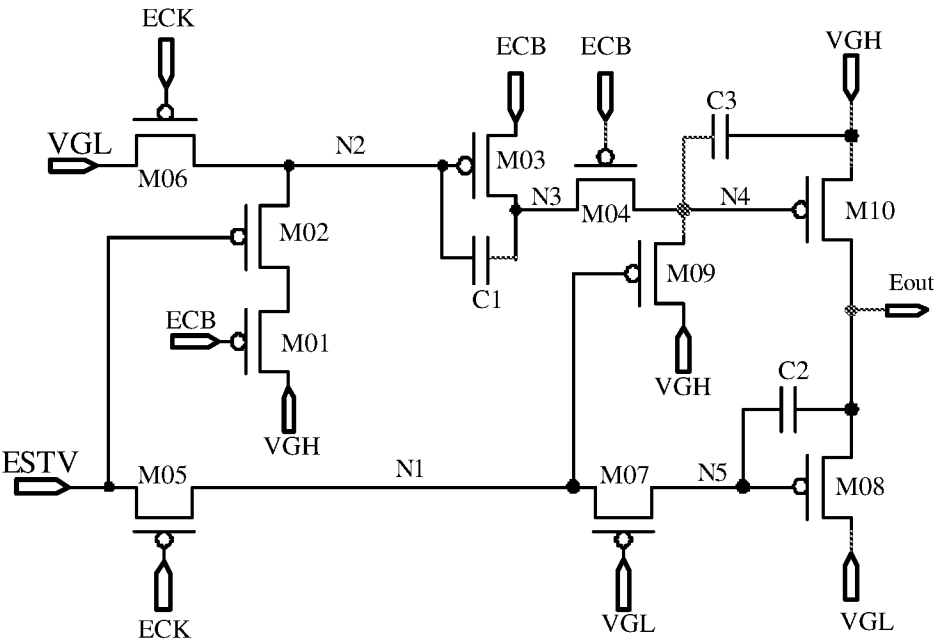


图 3

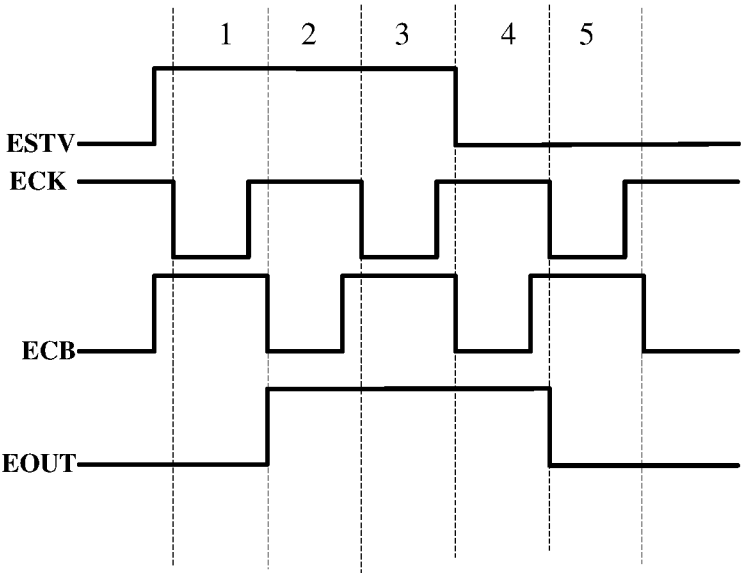


图 4

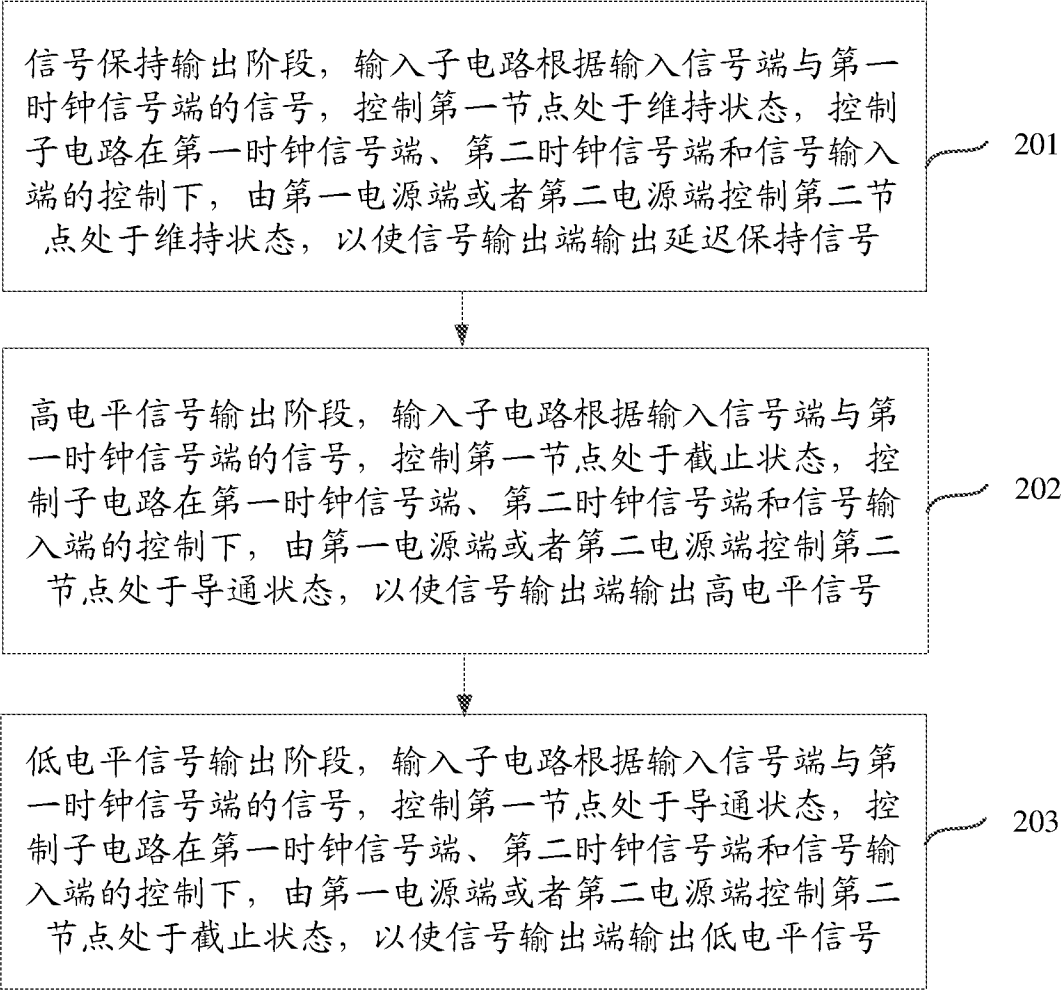


图 5

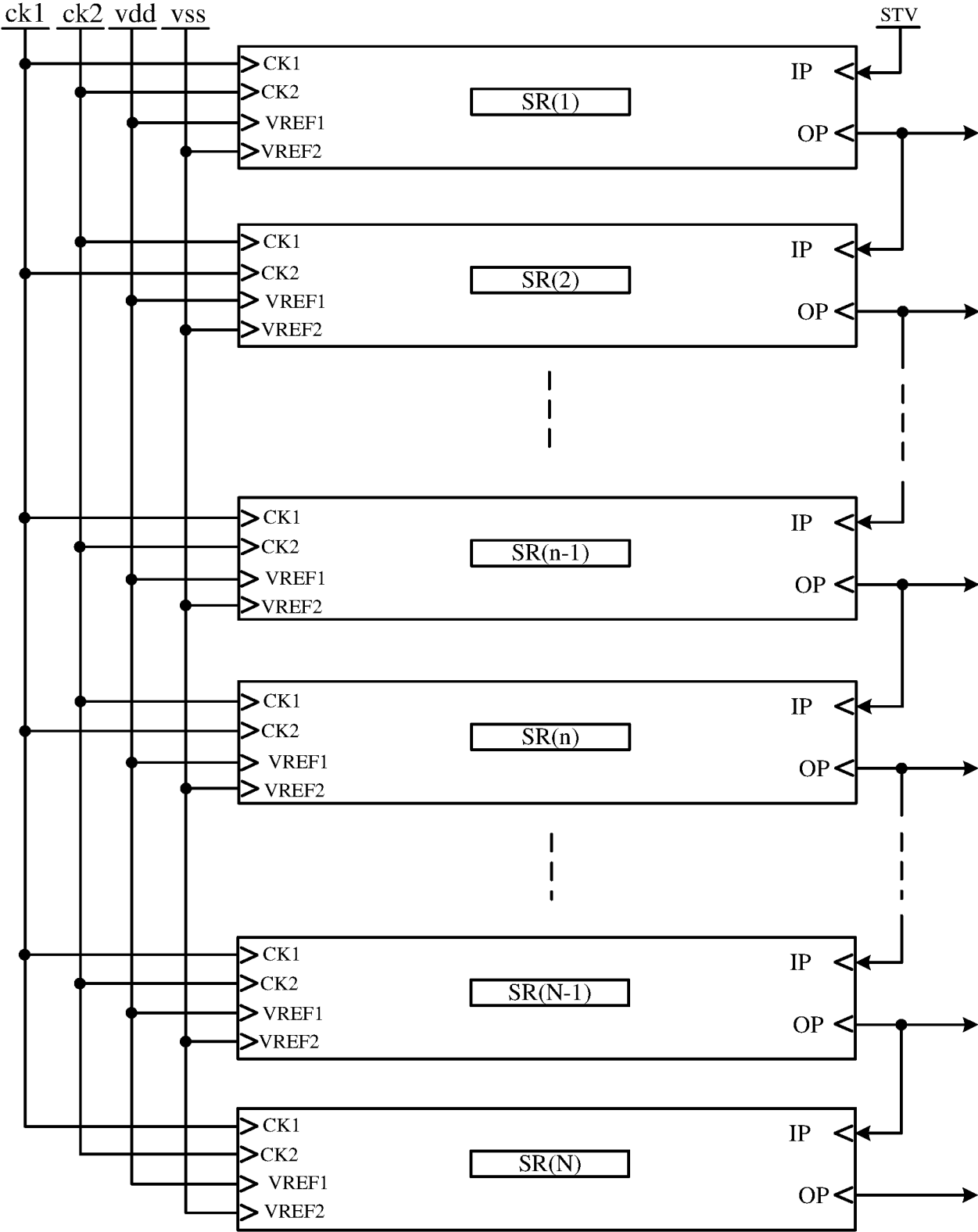


图 6

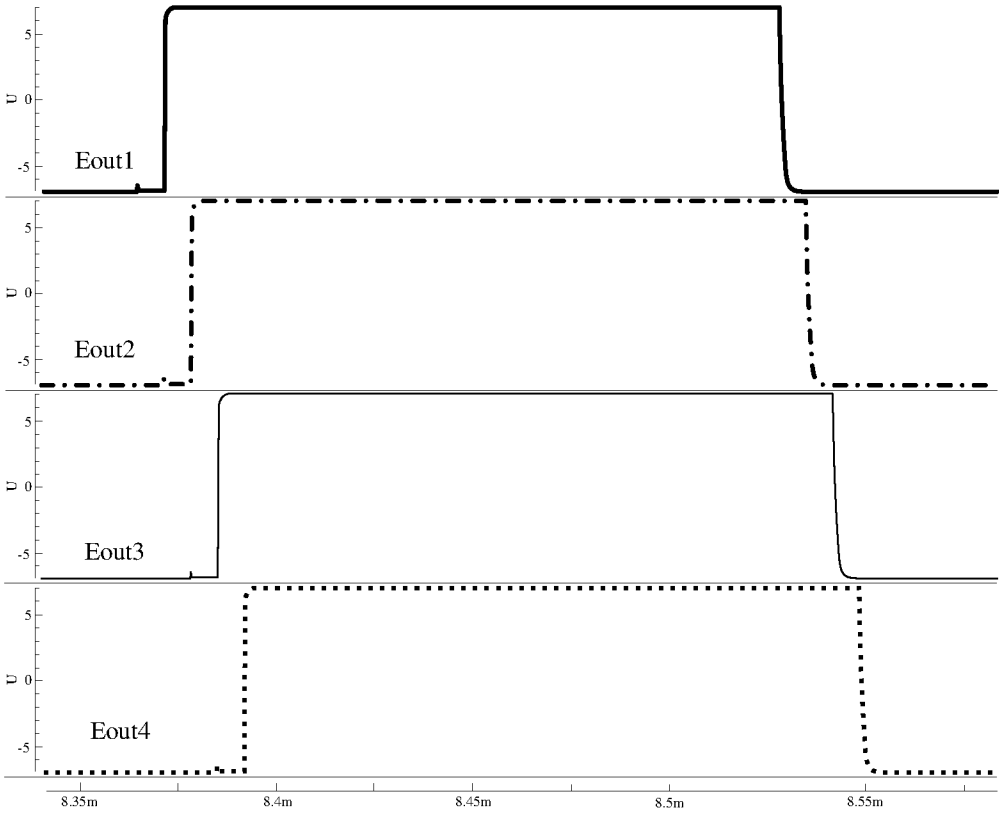


图 7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2023/070183

A. CLASSIFICATION OF SUBJECT MATTER

G09G3/3266(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNTXT, CNKI, ENTXT, IEEE: 显示器, 边框, 窄, 移位寄存器, 布局, 空间, 占用, 第一时钟, 第二时钟, 电位, 输入端, 输出端, 第一电源, 第二电源, display, LCD, OLED, frame, narrow, shift register, layout, room, space, occupy, first clock signal, second clock signal, voltage, input, output, first power, second power

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 114333706 A (HEFEI BOE ZHUOYIN TECHNOLOGY CO., LTD. et al.) 12 April 2022 (2022-04-12) description, pages 7-18, and figures 4-13	1-10
A	CN 104900268 A (TIANMA MICRO-ELECTRONICS CO., LTD. et al.) 09 September 2015 (2015-09-09) entire document	1-10
A	US 2021343210 A1 (ORDOS YUANSHEG OPTOELECTRONICS CO., LTD. et al.) 04 November 2021 (2021-11-04) entire document	1-10
A	CN 113113069 A (BOE TECHNOLOGY GROUP CO., LTD. et al.) 13 July 2021 (2021-07-13) entire document	1-10



Further documents are listed in the continuation of Box C.



See patent family annex.

* Special categories of cited documents:

“A” document defining the general state of the art which is not considered to be of particular relevance

“D” document cited by the applicant in the international application

“E” earlier application or patent but published on or after the international filing date

“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

“O” document referring to an oral disclosure, use, exhibition or other means

“P” document published prior to the international filing date but later than the priority date claimed

“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

“&” document member of the same patent family

Date of the actual completion of the international search

19 June 2023

Date of mailing of the international search report

23 June 2023

Name and mailing address of the ISA/CN

China National Intellectual Property Administration (ISA/
CN)
China No. 6, Xitucheng Road, Jimenqiao, Haidian District,
Beijing 100088

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2023/070183

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	114333706	A	12 April 2022	None			
CN	104900268	A	09 September 2015	None			
US	2021343210	A1	04 November 2021	WO	2019141003	A1	25 July 2019
				CN	108231122	A	29 June 2018
CN	113113069	A	13 July 2021	WO	2022213579	A1	13 October 2022

<p>A. 主题的分类</p> <p>G09G3/3266 (2016.01) i</p> <p>按照国际专利分类 (IPC) 或者同时按照国家分类和 IPC 两种分类</p>																	
<p>B. 检索领域</p> <p>检索的最低限度文献 (标明分类系统和分类号)</p> <p>IPC: G09G</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库 (数据库的名称, 和使用的检索词 (如使用))</p> <p>CNXT, CNKI, ENTXT, IEEE: 显示器, 边框, 窄, 移位寄存器, 布局, 空间, 占用, 第一时钟, 第二时钟, 电位, 输入端, 输出端, 第一电源, 第二电源, display, LCD, OLED, frame, narrow, shift register, layout, room, space, occupy, first clock signal, second clock signal, voltage, input, output, first power, second power</p>																	
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类 型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>A</td> <td>CN 114333706 A (合肥京东方卓印科技有限公司 等) 2022年4月12日 (2022 - 04 - 12) 说明书第7-18页、附图4-13</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 104900268 A (上海天马有机发光显示技术有限公司 等) 2015年9月9日 (2015 - 09 - 09) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>US 2021343210 A1 (ORDOS YUANSHEG OPTOELECTRONICS CO., LTD. 等) 2021年11月4日 (2021 - 11 - 04) 全文</td> <td>1-10</td> </tr> <tr> <td>A</td> <td>CN 113113069 A (京东方科技集团股份有限公司 等) 2021年7月13日 (2021 - 07 - 13) 全文</td> <td>1-10</td> </tr> </tbody> </table> <p>☐ 其余文件在C栏的续页中列出。 ☒ 见同族专利附件。</p> <p>* 引用文件的具体类型: “A” 认为不特别相关的表示了现有技术一般状态的文件 “D” 申请人在国际申请中引证的文件 “E” 在国际申请日的当天或之后公布的在先申请或专利 “L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的) “O” 涉及口头公开、使用、展览或其他方式公开的文件 “P” 公布日先于国际申请日但迟于所要求的优先权日的文件 “T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件 “X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性 “Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性 “&” 同族专利的文件</p>			类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求	A	CN 114333706 A (合肥京东方卓印科技有限公司 等) 2022年4月12日 (2022 - 04 - 12) 说明书第7-18页、附图4-13	1-10	A	CN 104900268 A (上海天马有机发光显示技术有限公司 等) 2015年9月9日 (2015 - 09 - 09) 全文	1-10	A	US 2021343210 A1 (ORDOS YUANSHEG OPTOELECTRONICS CO., LTD. 等) 2021年11月4日 (2021 - 11 - 04) 全文	1-10	A	CN 113113069 A (京东方科技集团股份有限公司 等) 2021年7月13日 (2021 - 07 - 13) 全文	1-10
类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求															
A	CN 114333706 A (合肥京东方卓印科技有限公司 等) 2022年4月12日 (2022 - 04 - 12) 说明书第7-18页、附图4-13	1-10															
A	CN 104900268 A (上海天马有机发光显示技术有限公司 等) 2015年9月9日 (2015 - 09 - 09) 全文	1-10															
A	US 2021343210 A1 (ORDOS YUANSHEG OPTOELECTRONICS CO., LTD. 等) 2021年11月4日 (2021 - 11 - 04) 全文	1-10															
A	CN 113113069 A (京东方科技集团股份有限公司 等) 2021年7月13日 (2021 - 07 - 13) 全文	1-10															
<p>国际检索实际完成的日期</p> <p>2023年6月19日</p>		<p>国际检索报告邮寄日期</p> <p>2023年6月23日</p>															
<p>ISA/CN的名称和邮寄地址</p> <p>中国国家知识产权局 中国北京市海淀区蓟门桥西土城路6号 100088</p>		<p>授权官员</p> <p>董立波</p> <p>电话号码 (+86) 010-53961431</p>															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2023/070183

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	114333706	A	2022年4月12日	无			
CN	104900268	A	2015年9月9日	无			
US	2021343210	A1	2021年11月4日	W0	2019141003	A1	2019年7月25日
				CN	108231122	A	2018年6月29日
CN	113113069	A	2021年7月13日	W0	2022213579	A1	2022年10月13日