

(19) 日本国特許庁(JP)

(12) 特 許 公 報(B2)

(11) 特許番号

特許第3911141号

(P3911141)

(45) 発行日 **平成19年5月9日(2007.5.9)**

(24) 登録日 平成19年2月2日(2007.2.2)

(51) Int. Cl.

F I

G09G 3/36 (2006.01)
G02F 1/133 (2006.01)
G09G 3/20 (2006.01)
H04N 5/66 (2006.01)

G09G 3/36
 G02F 1/133 550
 G09G 3/20 612T
 G09G 3/20 621B
 G09G 3/20 642A

請求項の数 14 (全 25 頁) 最終頁に続く

(21) 出願番号 特願2001-282826 (P2001-282826)
 (22) 出願日 平成13年9月18日(2001.9.18)
 (65) 公開番号 特開2003-91266 (P2003-91266A)
 (43) 公開日 平成15年3月28日(2003.3.28)
 審査請求日 平成16年4月26日(2004.4.26)

前置審査

(73) 特許権者 000005108
 株式会社日立製作所
 東京都千代田区丸の内一丁目6番6号

(74) 代理人 100083552
 弁理士 秋田 収喜

(72) 発明者 大平 智秀
 千葉県茂原市早野3300番地 株式会社
 日立製作所 ディスプレイグループ内

審査官 濱本 禎広

最終頁に続く

(54) 【発明の名称】 液晶表示装置およびその駆動方法

(57) 【特許請求の範囲】

【請求項1】

複数の画素と、前記各画素に階調電圧を印加する複数の信号線と、前記各信号線に前記階調電圧を出力する駆動手段とを有する液晶表示装置の駆動方法であって、

垂直帰線期間内を正規の水平走査時間で除算して小数点以下を切り上げた値をM、Nを1以上の整数とすると、前記垂直帰線期間内に、前記駆動手段から前記各信号線に対して、前記垂直帰線期間の開始時から連続して、水平走査時間毎に極性を反転させて、2回以上、(M - N)回以下の回数で、階調電圧を出力し、それ以降は、その垂直帰線期間が終了するまで、階調電圧を出力しないことを特徴とする液晶表示装置の駆動方法。

【請求項2】

複数の画素と、前記各画素に階調電圧を印加する複数の信号線と、前記各信号線に前記階調電圧を出力する駆動手段とを有する液晶表示装置の駆動方法であって、

垂直帰線期間内に正規の水平走査時間で走査する際に、全ての期間が走査されるライン数と、少なくとも一部の期間が走査されるライン数とを加算した値をM、Nを1以上の整数とすると、前記垂直帰線期間内に、前記駆動手段から前記各信号線に対して、前記垂直帰線期間の開始時から連続して、水平走査時間毎に極性を反転させて、2回以上、(M - N)回以下の回数で、階調電圧を出力し、それ以降は、その垂直帰線期間が終了するまで、階調電圧を出力しないことを特徴とする液晶表示装置の駆動方法。

【請求項3】

前記垂直帰線期間内に、前記駆動手段から前記各信号線に対して、M / 2回以上、(M

- N) 回以下の回数で、階調電圧を出力することを特徴とする請求項 1 または請求項 2 に記載の液晶表示装置の駆動方法。

【請求項 4】

前記垂直帰線期間内に、正規の水平同期信号に同期して、前記駆動手段から前記各信号線に対して階調電圧を出力することを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載の液晶表示装置の駆動方法。

【請求項 5】

前記垂直帰線期間内に、内部で生成された水平基準信号に同期して、前記駆動手段から前記各信号線に対して階調電圧を出力することを特徴とする請求項 1 ないし請求項 3 のいずれか 1 項に記載の液晶表示装置の駆動方法。

10

【請求項 6】

前記垂直帰線期間内に前記駆動手段から前記各信号線に対して出力する階調電圧は、白あるいは黒を表示する階調電圧であることを特徴とする請求項 1 ないし請求項 5 のいずれか 1 項に記載の液晶表示装置の駆動方法。

【請求項 7】

複数の画素と、前記各画素に階調電圧を印加する複数の信号線と、前記複数の画素に階調電圧を出力する駆動手段とを有する液晶表示装置であって、

前記駆動手段は、垂直帰線期間内を正規の水平走査時間で除算して小数点以下を切り上げた値を M、N を 1 以上の整数とすると、前記垂直帰線期間内に前記各信号線に対して、前記垂直帰線期間の開始時から連続して、水平走査時間毎に極性を反転させて、2 回以上、(M - N) 回以下の回数で、階調電圧を出力し、それ以降は、その垂直帰線期間が終了するまで、階調電圧を出力しないことを特徴とする液晶表示装置。

20

【請求項 8】

複数の画素と、前記各画素に階調電圧を印加する複数の信号線と、前記各信号線に前記階調電圧を出力する駆動手段とを有する液晶表示装置であって、

前記駆動手段は、垂直帰線期間内に正規の水平走査時間で走査する際に、全ての期間が走査されるライン数と、少なくとも一部の期間が走査されるライン数とを加算した値を M、N を 1 以上の整数とすると、前記垂直帰線期間内に前記各信号線に対して、前記垂直帰線期間の開始時から連続して、水平走査時間毎に極性を反転させて、2 回以上、(M - N) 回以下の回数で、階調電圧を出力し、それ以降は、その垂直帰線期間が終了するまで、階調電圧を出力しないことを特徴とする液晶表示装置。

30

【請求項 9】

前記駆動手段は、前記垂直帰線期間内に前記各信号線に対して、M / 2 回以上、(M - N) 回以下の回数で、階調電圧を出力することを特徴とする請求項 7 または請求項 8 に記載の液晶表示装置。

【請求項 10】

前記駆動手段は、前記垂直帰線期間内に前記各信号線に対して、白あるいは黒を表示する階調電圧を出力することを特徴とする請求項 7 ないし請求項 9 のいずれか 1 項に記載の液晶表示装置。

【請求項 11】

40

複数の画素と、前記各画素に階調電圧を印加する複数の信号線と、前記複数の画素に階調電圧を出力する駆動手段と、前記駆動手段を制御する表示制御手段とを備える液晶表示装置であって、

前記表示制御手段は、外部から入力される水平同期信号に基づき、垂直帰線期間を検出し、前記垂直帰線期間中に、1 番目から M 番目までの帰線期間中水平基準信号を生成する第 1 の手段と、

N を 1 以上の整数で、(M - N) が 2 以上となる整数とすると、前記第 1 の手段で生成される帰線期間中水平基準信号の中で、(M - N) 番目以降の帰線期間中水平基準信号をマスクして水平基準信号を生成する第 2 の手段と、

前記第 2 の手段から出力される水平基準信号に基づき、前記垂直帰線期間内に、前記駆

50

動手段を駆動する駆動信号を生成する第3の手段とを有し、

前記駆動手段は、前記駆動信号に基づき、前記垂直帰線期間内に前記各信号線に対して、水平走査時間毎に極性を反転させて、2回以上、(M - N)回以下の回数で、階調電圧を出力することを特徴とする液晶表示装置。

【請求項12】

複数の画素と、前記各画素に階調電圧を印加する複数の信号線と、前記複数の画素に階調電圧を出力する駆動手段と、前記駆動手段を制御する表示制御手段とを備える液晶表示装置であって、

前記表示制御手段は、外部から入力されるディスプレイタイミング信号に基づき、垂直帰線期間を検出し、前記垂直帰線期間中に、1番目からM番目までの帰線期間中水平基準信号を生成する第1の手段と、

Nを1以上の整数で、(M - N)が2以上となる整数とするとき、前記第1の手段で生成される帰線期間中水平基準信号の中で、(M - N)番目以降の帰線期間中水平基準信号をマスクして水平基準信号を生成する第2の手段と、

前記第2の手段から出力される水平基準信号に基づき、前記垂直帰線期間内に、前記駆動手段を駆動する駆動信号を生成する第3の手段とを有し、

前記駆動手段は、前記駆動信号に基づき、前記垂直帰線期間内に前記各信号線に対して、水平走査時間毎に極性を反転させて、2回以上、(M - N)回以下の回数で、階調電圧を出力することを特徴とする液晶表示装置。

【請求項13】

前記垂直帰線期間内に前記第2の手段から出力される水平基準信号数が、M / 2以上であることを特徴とする請求項11または請求項12に記載の液晶表示装置。

【請求項14】

前記表示制御手段は、外部から入力されるディスプレイタイミング信号に基づき、表示期間中の水平基準信号を生成する第4の手段を有することを特徴とする請求項11ないし請求項13のいずれか1項に記載の液晶表示装置。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、液晶表示装置およびその駆動方法に係わり、特に、垂直基線期間内に、映像信号線に階調電圧を印加する駆動方法に適用して有効な技術に関する。

【0002】

【従来の技術】

画素毎に能動素子（例えば、薄膜トランジスタ）を有し、この能動素子をスイッチング駆動するアクティブマトリクス型液晶表示装置は、ノート型のパーソナルコンピュータ（以下、単に、パソコンという）等の表示装置として広く使用されている。

このアクティブマトリクス型液晶表示装置の1つに、TFT（Thin Film Transistor）方式の液晶表示パネル（TFT-LCD）と、液晶表示パネルの長辺側に配置されるドレインドライバと、液晶表示パネルの短辺側に配置されるゲートドライバおよびインタフェース部とを備えるTFT方式の液晶表示モジュールが知られている。

一般に、前述のドレインドライバは、インタフェース部内に設けられる表示制御装置（または、タイミングコントローラ）からの駆動信号に基づき駆動される。

【0003】

【発明が解決しようとする課題】

前述したような液晶表示モジュールにおいて、n番目のフレームにおけるライン走査が終了してから、次の(n + 1)番目のフレームのライン走査の間の期間を垂直帰線期間、また、各フレームにおけるライン走査期間を表示期間と称している。

従来の液晶表示モジュールでは、この垂直帰線期間内に、薄膜トランジスタのリーク電流により、画素に書き込まれた電圧が変動し、表示画面中に横筋が生じるのを防止するため、垂直帰線期間内に、ドレインドライバからドレイン信号線に、白または黒を表示する階

10

20

30

40

50

調電圧を1ライン走査時間毎に、出力するようにしている。

即ち、垂直帰線期間内にも、インタフェース部内に設けられる表示制御装置からドレインドライバに対して駆動信号を送り、ドレインドライバを駆動するようにしている。

しかしながら、外部(例えば、コンピュータ本体側など)から入力される同期信号が変動して、この垂直帰線期間が変動すると、垂直帰線期間内に表示制御装置からドレインドライバに送出する駆動信号と、垂直帰線期間終了後の次のフレームの表示期間内に表示制御装置からドレインドライバに送出する駆動信号とが競合し、ドレインドライバが誤動作を起こしたり、最悪の場合には、ドレインドライバが破壊されるという問題点があった。

【0004】

本発明は、前記従来技術の問題点を解決するためになされたものであり、本発明の目的は、液晶表示装置およびその駆動方法において、垂直帰線期間が変動した場合でも、垂直帰線期間内に表示制御手段から駆動手段に送出する駆動信号と、垂直帰線期間終了後の次のフレームの表示期間内に表示制御手段から駆動手段に送出する駆動信号とが競合することを防止することが可能となる技術を提供することにある。

10

また、本発明の他の目的は、液晶表示装置およびその駆動方法において、垂直帰線期間内に、画素に書き込まれた電圧が変動し、表示画面中に横筋が生じるのを防止して、表示画面の表示品質を向上させることが可能となる技術を提供することにある。

本発明の前記目的と新規な特徴は、本明細書の記述及び添付図面によって明らかになるであろう。

【0005】

【課題を解決するための手段】

本願において開示される発明のうち、代表的なものの概要を簡単に説明すれば、下記のとおりである。

20

即ち、本発明は、垂直帰線期間内を正規の水平走査時間で除算して小数点以下を切り上げた値をM、Nを1以上の整数とすると、前記垂直帰線期間内に、前記駆動手段から前記各信号線に対して、2回以上、(M - N)回以下の回数で、階調電圧を出力することを特徴とする。

また、本発明は、垂直帰線期間内に正規の水平走査時間で走査する際に、全ての期間が走査されるライン数と、少なくとも一部の期間が走査されるライン数とを加算した値をM、Nを1以上の整数とすると、前記垂直帰線期間内に、前記駆動手段から前記各信号線に対して、2回以上、(M - N)回以下の回数で、階調電圧を出力することを特徴とする。

30

【0006】

特に、本発明では、前記垂直帰線期間内に、前記駆動手段から前記各信号線に対して、M / 2回以上、(M - N)回以下の回数で、階調電圧を出力することが好ましい。

この場合に、前記垂直帰線期間内に、正規の水平同期信号、あるいは、内部で生成された水平基準信号に同期して、前記駆動手段から前記各信号線に対して階調電圧を出力することが好ましい。

また、本発明では、前記垂直帰線期間内に前記駆動手段から前記各信号線に対して階調電圧を出力するときに、出力する階調電圧の極性を少なくとも1回反転させることが好ましい。

40

【0007】

また、本発明は、複数の画素と、前記各画素に階調電圧を印加する複数の信号線と、前記複数の画素に階調電圧を出力する駆動手段と、前記駆動手段を制御する表示制御手段とを備える液晶表示装置であって、前記表示制御手段は、外部から入力される水平同期信号に基づき、前記垂直帰線期間を検出し、前記垂直帰線期間中に、1番目からM番目までの帰線期間中水平基準信号を生成する第1の手段と、Nを1以上の整数で、(M - N)が2以上となる整数とすると、前記第1の手段で生成される帰線期間中水平基準信号の中で、(M - N)番目以降の帰線期間中水平基準信号をマスクする第2の手段と、前記第2の手段から出力される帰線期間中水平基準信号に基づき、前記垂直帰線期間内に、前記駆動手段を駆動する駆動信号を生成する第3の手段とを有し、前記駆動手段は、前記駆動信号に

50

基づき、前記垂直帰線期間内に前記各信号線に対して、2回以上、(M - N)回以下の回数で、階調電圧を出力することを特徴とする。

【0008】

また、本発明は、複数の画素と、前記各画素に階調電圧を印加する複数の信号線と、前記複数の画素に階調電圧を出力する駆動手段と、前記駆動手段を制御する表示制御手段とを備える液晶表示装置であって、前記表示制御手段は、外部から入力されるディスプレイタイミング信号に基づき、前記垂直帰線期間を検出し、前記垂直帰線期間中に、1番目からM番目までの帰線期間中水平基準信号を生成する第1の手段と、Nを1以上の整数で、(M - N)が2以上となる整数とするとき、前記第1の手段で生成される帰線期間中水平基準信号の中で、(M - N)番目以降の帰線期間中水平基準信号をマスクする第2の手段と、前記第2の手段から出力される帰線期間中水平基準信号に基づき、前記垂直帰線期間内に、前記駆動手段を駆動する駆動信号を生成する第3の手段とを有し、前記駆動手段は、前記駆動信号に基づき、前記垂直帰線期間内に前記各信号線に対して、2回以上、(M - N)回以下の回数で、階調電圧を出力することを特徴とする。

10

また、本発明において、前記第2の手段から出力される帰線期間中水平基準信号数が、M / 2以上であることが好ましい。

さらに、本発明において、前記表示制御手段は、外部から入力されるディスプレイタイミング信号に基づき、表示期間中の水平基準信号を生成する。

【0009】

前述の手段によれば、垂直帰線期間内に、表示制御装置から駆動手段に対する駆動信号の送出を、垂直帰線期間終了後の次のフレームのライン走査が開始される前の、1以上のライン走査時間前に中止するようにしたので、垂直帰線期間内に表示制御装置からドレインドライバに送出する駆動信号と、垂直帰線期間終了後の次のフレームの表示期間内に表示制御装置からドレインドライバに送出する駆動信号とが競合するのを防止することができ、ドレインドライバが誤動作を起こしたり、ドレインドライバが破壊されるのを防止することが可能となる。

20

また、垂直帰線期間内に表示制御装置からドレインドライバに送出する駆動信号と、垂直帰線期間終了後の次のフレームの表示期間内に表示制御装置からドレインドライバに送出する駆動信号とが競合することなく、垂直帰線期間内に、表示制御装置からドレインドライバに対して駆動信号を送り、ドレインドライバを駆動するようにしたので、画素に書き込まれた電圧が変動し、表示画面中に横筋が生じるのを防止して、表示画面の表示品質を向上させることが可能となる。

30

【0010】

【発明の実施の形態】

以下、本発明実施の形態を図面を参照して説明する。

なお、発明の実施の形態を説明するための全図において、同一機能を有するものは同一符号を付け、その繰り返しの説明は省略する。

[実施の形態1]

本発明が適用されるTFT方式の液晶表示モジュールの基本構成

図1は、本発明が適用されるTFT方式の液晶表示モジュールの概略構成を示すブロック図である。

40

図1に示す液晶表示モジュール(LCM)は、液晶表示パネル(TFT-LCD)10の長辺側にドレインドライバ130が配置され、また、液晶表示パネル10の短辺側にゲートドライバ140が配置される。

このドレインドライバ130、ゲートドライバ140は、液晶表示パネル10の一方のガラス基板(例えば、TFT基板)の周辺部に直接に実装される。

インタフェース部100はインタフェース基板に実装され、このインタフェース基板は、液晶表示パネル10の裏側に実装される。

【0011】

図1に示す液晶表示パネル10の構成

50

図2は、図1に示す液晶表示パネル10の一例の等価回路を示す図であり、図2に示すように、液晶表示パネル10は、マトリクス状に形成される複数の画素を有する。

各画素は、隣接する2本の信号線（ドレイン信号線（D）またはゲート信号線（G））と、隣接する2本の信号線（ゲート信号線（G）またはドレイン信号線（D））との交差領域内に配置される。

各画素は薄膜トランジスタ（TFT1, TFT2）を有し、各画素の薄膜トランジスタ（TFT1, TFT2）のソース電極は、画素電極（ITO1）に接続される。

また、画素電極（ITO1）とコモン電極（ITO2）との間に液晶層が設けられるので、画素電極（ITO1）とコモン電極（ITO2）の間には、液晶容量（CLC）が等価的に接続される。

10

さらに、薄膜トランジスタ（TFT1, TFT2）のソース電極と前段のゲート信号線（G）の間には、付加容量（CADD）が接続される。

【0012】

図3は、図1に示す液晶表示パネル10の他の例の等価回路を示す図である。

図2に示す例では、前段のゲート信号線（G）とソース電極との間に付加容量（CADD）が形成されているが、図3に示す例の等価回路では、共通電圧（Vcom）が印加される共通信号線（CN）とソース電極との間に保持容量（CSTG）が形成されている点異なっている。本発明は、どちらにも適用可能である。

なお、図2、図3は、縦電界方式の液晶表示パネルの等価回路を示しており、図2、図3において、ARは表示領域である。また、図2、図3は回路図であるが、実際の幾何学的配置に対応して描かれている。

20

図2、図3に示す液晶表示パネル10において、列方向に配置された各画素の薄膜トランジスタ（TFT1, TFT2）のドレイン電極は、それぞれドレイン信号線（D）に接続され、各ドレイン信号線（D）は、列方向の各画素の液晶に階調電圧を印加するドレインドライバ130に接続される。

また、行方向に配置された各画素における薄膜トランジスタ（TFT1, TFT2）のゲート電極は、それぞれゲート信号線（G）に接続され、各ゲート信号線（G）は、1水平走査時間、行方向の各画素の薄膜トランジスタ（TFT1, TFT2）のゲート電極に走査駆動電圧（正のバイアス電圧あるいは負のバイアス電圧）を供給するゲートドライバ140に接続される。

30

【0013】

図1に示すインタフェース部100の構成と動作概要

図1に示すインタフェース部100は、表示制御装置110と電源回路120とから構成される。

表示制御装置110は、1個の半導体集積回路（LSI）から構成され、コンピュータ本体側から送信されてくるドットクロック（CLK）、データイネーブル信号（または、ディスプレイタイミング信号；DTMG）、水平同期信号（Hsync）、垂直同期信号（Vsync）の各表示制御信号および表示用データ（R・G・B）を基に、ドレインドライバ130、および、ゲートドライバ140を制御・駆動する。

表示制御装置110は、データイネーブル信号（DTMG）が入力されると、これを表示開始位置と判断し、データラッチスタートパルス（または、表示データ取込開始信号；STH）（以下、スタートパルス（STH）と称する。）を信号線135を介して第1番目のドレインドライバ130に出力し、さらに、受け取った単純1列の表示データを、表示データのバスライン133を介してドレインドライバ130に出力する。

40

その際、表示制御装置110は、各ドレインドライバ130のデータラッチ回路に表示データをラッチするための表示制御信号であるデータラッチクロック（CL2）（以下、クロック（CL2）と称する。）を信号線131を介して出力する。

【0014】

本体コンピュータ側からの表示データは、例えば、6ビットで、1画素単位、即ち、赤（R）、緑（G）、青（B）の各データを1つの組にして単位時間毎に転送される。

50

また、第1番目のドレインドライバ130に入力されたスタートパルスにより第1番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が制御される。

この第1番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が終了すると、第1番目のドレインドライバ130からスタートパルスが、第2番目のドレインドライバ130に入力され、第2番目のドレインドライバ130におけるデータラッチ回路のラッチ動作が制御される。

以下、同様にして、各ドレインドライバ130におけるデータラッチ回路のラッチ動作が制御され、誤った表示データがデータラッチ回路に書き込まれるのを防止している。

【0015】

表示制御装置110は、データイネーブル信号(DTMG)の入力が終了するか、または、データイネーブル信号(DTMG)が入力されてから所定の一定時間が過ぎると、1水平分の表示データが終了したのものとして、各ドレインドライバ130におけるデータラッチ回路に蓄えていた表示データを液晶表示パネル10のドレイン信号線(D)に出力するための表示制御信号である出力タイミング制御用クロック;CL1(以下、単に、ドレイン出力パル(CL1)と称する。)を信号線132を介して各ドレインドライバ130に出力する。

また、表示制御装置110は、垂直同期信号入力後に、第1番目のデータイネーブル信号(DTMG)が入力されると、これを第1番目の表示ラインと判断して信号線142を介してゲートドライバ140にフレームスタートパルス(または、フレーム開始指示信号;FLM)を出力する。

さらに、表示制御装置110は、水平同期信号に基づいて、1水平走査時間毎に、順次液晶表示パネル10の各ゲート信号線(G)に正のバイアス電圧を印加するように、信号線141を介してゲートドライバ140へ1水平走査時間周期のシフトクロックであるデータシフトクロック(CL3)(以下、クロック(CL3)と称する。)を出力する。これにより、液晶表示パネル10の各ゲート信号線(G)に接続された複数の薄膜トランジスタ(TFT)が、1水平走査時間の間導通する。

以上の動作により、液晶表示パネル10に画像が表示される。

【0016】

図1に示す電源回路120の構成

図1に示す電源回路120は、階調基準電圧生成回路121、コモン電極(対向電極)電圧生成回路123、ゲート電極電圧生成回路124から構成される。

階調基準電圧生成回路121は、直列抵抗分圧回路で構成され、10値の階調基準電圧(V0~V9)を出力する。

この階調基準電圧(V0~V9)は、各ドレインドライバ130に供給される。

また、各ドレインドライバ130には、表示制御装置110からの交流化信号(交流化タイミング信号;M)も、信号線134を介して供給される。

コモン電極電圧生成回路123はコモン電極(ITO2)に印加する駆動電圧を、ゲート電極電圧生成回路124は薄膜トランジスタ(TFT)のゲート電極に印加する駆動電圧(正のバイアス電圧および負のバイアス電圧)を生成する。

【0017】

図1に示すドレインドライバ130の構成

図4は、図1に示すドレインドライバ130の一例の概略構成示すブロック図である。なお、ドレインドライバ130は、1個の半導体集積回路(LSI)から構成される。

同図において、正極性階調電圧生成回路151aは、階調基準電圧生成回路121から供給される5値の階調基準電圧(V0~V4)に基づいて、正極性の64階調の階調電圧を生成し、電圧バスライン158aを介して出力回路157に出力する。

負極性階調電圧生成回路151bは、階調基準電圧生成回路121から供給される負極性の5値の階調基準電圧(V5~V9)に基づいて、負極性の64階調の階調電圧を生成し、電圧バスライン158bを介して出力回路157に出力する。

また、ドレインドライバ130の制御回路152内のシフトレジスタ回路153は、表示

10

20

30

40

50

制御装置 110 から入力されるクロック (CL2) に基づいて、入力レジスタ回路 154 のデータ取り込み用信号を生成し、入力レジスタ回路 154 に出力する。

入力レジスタ回路 154 は、シフトレジスタ回路 153 から出力されるデータ取り込み用信号に基づき、表示制御装置 110 から入力されるクロック (CL2) に同期して、各色毎 6 ビットの表示データを出力本数分だけラッチする。

ストレージレジスタ回路 155 は、表示制御装置 110 から入力されるクロック (CL1) に応じて、入力レジスタ回路 154 内の表示データをラッチする。このストレージレジスタ回路 155 に取り込まれた表示データは、レベルシフト回路 156 を介して出力回路 157 に入力される。

出力回路 157 は、正極性の 64 階調の階調電圧、あるいは負極性の 64 階調の階調電圧に基づき、表示データに対応した 1 つの階調電圧 (64 階調の中の 1 つの階調電圧) を選択して、各ドレイン信号線 (D) に出力する。

【0018】

図 1 に示す液晶表示モジュールの交流化駆動方法

一般に、液晶層は、長時間同じ電圧 (直流電圧) が印加されていると、液晶層の傾きが固定化され、結果として残像現象を引き起こし、液晶層の寿命を縮めることになる。

これを防止するために、液晶表示モジュールにおいては、液晶層に印加する電圧をある一定時間毎に交流化、即ち、コモン電極 (または共通電極) に印加する共通電圧を基準にして、画素電極に印加する階調電圧を、一定時間毎に正電圧側 / 負電圧側に变化させるようにしている。

この液晶層に交流電圧を印加する駆動方法として、コモン対称法とコモン反転法の 2 通りの方法が知られている。

コモン反転法とは、コモン電極に印加される共通電圧と画素電極に印加する階調電圧とを、交互に正、負に反転させる方法である。

また、コモン対称法とは、コモン電極に印加される共通電圧を一定とし、画素電極に印加する階調電圧を、コモン電極に印加される共通電圧を基準にして、交互に正、負に反転させる方法である。

【0019】

図 5 は、液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバからドレイン信号線に出力される階調電圧 (即ち、画素電極に印加される階調電圧) の極性を説明するための図である。

ドット反転では、図 5 に示すように、例えば、奇数フレームの奇数ラインでは、ドレインドライバから、奇数番目のドレイン信号線に、コモン電極に印加される共通電圧 (Vcom) に対して負極性の階調電圧 (図 5 では $V_{com} - V_{th}$ で示す) が、また、偶数番目のドレイン信号線に、コモン電極に印加される共通電圧 (Vcom) に対して正極性の階調電圧 (図 5 では $V_{com} + V_{th}$ で示す) が印加される。

さらに、奇数フレームの偶数ラインでは、ドレインドライバから、奇数番目のドレイン信号線に正極性の階調電圧が、また、偶数番目のドレイン信号線に負極性の階調電圧が印加される。

【0020】

また、各ライン毎の極性はフレーム毎に反転され、即ち、図 5 に示すように、偶数フレームの奇数ラインでは、ドレインドライバから、奇数番目のドレイン信号線に正極性の階調電圧が、また、偶数番目のドレイン信号線に負極性の階調電圧が印加される。

さらに、偶数フレームの偶数ラインでは、ドレインドライバから、奇数番目のドレイン信号線に負極性の階調電圧が、また、偶数番目のドレイン信号線に正極性の階調電圧が印加される。

このドット反転法を使用することにより、隣り合うドレイン信号線に印加される電圧が逆極性となるため、コモン電極や薄膜トランジスタ (TFT) のゲート電極に流れる電流が隣同志で打ち消し合い、消費電力を低減することができる。

また、コモン電極に流れる電流が少なく電圧降下が大きくならないため、コモン電極の電

10

20

30

40

50

圧レベルが安定し、表示品質の低下を最小限に抑えることができる。

【0021】

図1に示す液晶表示モジュールのタイミングチャート

前述したように、ドレインドライバ130は、表示制御装置110から送出されるスタートパルス(STH)、クロック(CL2)、ドレイン出力パルス(CL1)および交流化信号(M)などの駆動信号により制御・駆動され、また、ゲートドライバ140は、フレームスタートパルス(FLM)およびクロック(CL3)により制御・駆動される。

図6は、図1に示す液晶表示モジュールにおいて、垂直帰線期間のバラツキがない、あるいは、バラツキが微小な場合のタイミングチャートの一例を示す図である。

図6に示す t_1 は1水平サイクル時間(即ち、1水平走査時間)であり、ドライバの仕様にもよるが、一般に、液晶表示パネル10に画像を表示するためには、データインーブル信号(DTMG)の立上りエッジを基準にして、 t_1 期間内で決められたシーケンスに基づき、ドレインドライバ130、およびゲートドライバ140を制御する必要がある。

このシーケンスの一例を図6に示す。

この図6に示すシーケンスでは、データインーブル信号(DTMG)の入力後、ゲートドライバ140に供給するクロック(CL3)をLowレベル(以下、単に、Lレベル)となし、それにより、薄膜トランジスタ(TFT1, TFT2)のゲート電極をオフとする。

【0022】

また、データインーブル信号(DTMG)の入力後、スタートパルス(STH)を送出し、ドレインドライバ130においてデータの取り込みを開始する。

ドレインドライバ130でデータの取り込み終了後、交流化信号(M)を反転させ、さらに、ドレイン出力パルス(CL1)をHighレベル(以下、単に、Hレベル)とする。次に、クロック(CL3)をHレベルとなし、それにより、走査対象ラインの薄膜トランジスタ(TFT1, TFT2)のゲート電極をオンとする。

その後、ドレイン出力パルス(CL1)をLレベルとなし、ドレインドライバ130からドレイン信号線(D)に、表示データに対応した正極性あるいは負極性の階調電圧を出力する。

このシーケンスにおいて、当然、各信号のパルス幅や周期等も液晶ドライバの仕様を満足しなければならない。

前述のシーケンスを満足しない場合、入力信号によっては期待する表示が得られなかったり、液晶ドライバを破壊する可能性もある。

【0023】

図6の t_2 は、垂直帰線期間を判定するまでに必要な時間(垂直帰線期間検出時間)を示したものである。

垂直帰線期間の判定方法は様々であるが、図6では、データインーブル信号(DTMG)の立ち上りから t_2 時間経過しても、次のデータインーブル信号(DTMG)の入力がない場合を、垂直帰線期間判定ポイントする例である。

垂直帰線期間内に、ドレインドライバ130からドレイン信号線(D)に対する階調電圧の出力は、 t_2 時間経過後、 t_1 のサイクルで行う。

なお、以下、本明細書では、この垂直帰線期間内に、ドレインドライバ130からドレイン信号線(D)に対して階調電圧を出力することを、垂直帰線期間内の液晶駆動と称する。

この垂直帰線期間内の液晶駆動の前までに、液晶表示パネル10の全てのラインの画素に、表示データに対応した階調電圧、例えば、ドット反転法で駆動する場合であれば、図5に示す正極性あるいは負極性の階調電圧が書き込まれている。

【0024】

したがって、この垂直帰線期間内の液晶駆動では、画素に階調電圧が書き込まれることはないが、後述する理由で、任意階調の階調電圧(一般には、白あるいは黒を表示する階調電圧)が、ドレインドライバ130からドレイン信号線(D)に出力されている。

そのため、図 1 に示す液晶表示モジュールでは、表示制御装置 110 から、この垂直帰線期間内の液晶駆動のためのデータをドレインドライバ 130 に少なくとも 1 回送出するようにしている。

この図 6 に示すシーケンスであれば、次フレームのデータイネーブル信号 (DTMG) 入力による出力シーケンスと、垂直帰線期間内の液晶駆動における最終ラインの出力シーケンスの競合がないため、ドレインドライバ 130 が誤動作を起こしたり、ドレインドライバ 130 が破壊されることはない。

【0025】

しかしながら、垂直帰線期間が変動した場合には、次フレームのデータイネーブル信号 (DTMG) 入力による出力シーケンスと、垂直帰線期間内の液晶駆動における最終ラインの出力シーケンスとが競合する。

例えば、信号源となる本体コンピュータ側における、S.S. (Spread Spectrum) や表示データの拡大縮小処理等により、液晶表示モジュールが受け取る同期信号の周期が一定でないことは多々あり、このような場合には、垂直帰線期間が変動する。

図 7 は、図 1 に示す液晶表示モジュールにおいて、垂直帰線期間が短くなった時のタイミングチャートを示す図である。

この図 7 中の網掛け部 (出力シーケンスの競合有り) を注目すると、次フレームのデータイネーブル信号 (DTMG) の手前のスタートパルス (STH) に対して、 t_1 期間内にドレイン出力パルス (CL1) が出力されず、次フレームのデータイネーブル信号 (DTMG) に同期するスタートパルス (STH) に対して、 t_1 期間内に、2 つのドレイン出力パルスが出力されており、また、クロック (CL3) のパルス幅が狭くなっている。

このように、図 7 に示すシーケンスは、図 6 に示すシーケンス (垂直帰線期間のバラツキがない、あるいは、バラツキが微小な場合のシーケンス) を満足していない。

【0026】

図 8 は、図 1 に示す液晶表示モジュールにおいて、垂直帰線期間が長くなった時のタイミングチャートを示す図である。

図 8 中の網掛け部 (出力シーケンスの競合有り) を注目すると、図 7 と同様、次フレームのデータイネーブル信号 (DTMG) の手前のスタートパルス (STH) に対して、 t_1 期間内にドレイン出力パルス (CL1) が出力されず、次フレームのデータイネーブル信号 (DTMG) に同期するスタートパルス (STH) に対して、 t_1 期間内に、2 つのドレイン出力パルスが出力されている。

この図 8 に示すシーケンスも、図 6 に示すシーケンスを満足していない。

外部からの入力信号が、図 7、図 8 に示すようなタイミングチャートの場合、垂直帰線期間判定後、表示期間の 1 水平走査サイクルにしたがって、出力シーケンスを生成しても、期待する表示が得られなかったり、液晶ドライバが破壊される可能性がある。

【0027】

本発明の実施の形態 1 の液晶表示モジュールのタイミングチャート

図 9 は、本発明の実施の形態 1 の液晶表示モジュールにおけるタイミングチャートの一例を示す図である。

本実施の形態では、垂直帰線期間突入後、次フレームのデータイネーブル信号 (DTMG) の手前の 1 ライン以上のラインで、垂直帰線期間内の液晶駆動を中止するようにしたものである。

図 9 は、図 7 に示すタイミングチャートと同様、垂直帰線期間が短くなった時のタイミングチャートであるが、図 9 では、次フレームのデータイネーブル信号 (DTMG) の手前の 1 ラインにおいて、垂直帰線期間内の液晶駆動を中止する。

そのため、本実施の形態では、表示制御装置 110 において、垂直帰線期間内に、表示制御装置 110 からドレインドライバ 130 およびゲートドライバ 140 に対して出力する各信号の中で、図 9 において で囲ったパルスを、ドレインドライバ 130 およびゲートドライバ 140 に送出するのを中止し、それにより、垂直帰線期間内の液晶駆動を中止する。

10

20

30

40

50

これにより、本実施の形態では、垂直帰線期間内の出力シーケンスと、垂直帰線期間終了後の次のフレームの表示期間内の出力シーケンスとが競合することなく、垂直帰線期間内の液晶駆動を行うことが可能となる。

【0028】

以下、垂直帰線期間内の液晶駆動を行う理由を説明する。

図10は、垂直帰線期間に1ラインだけ液晶駆動し、次フレームの入力まで交流化を中止する場合のタイミングチャートを示す図である。

図10に示すタイミングチャートによる駆動では、垂直帰線期間中の長さ、画素の薄膜トランジスタ(TFT1, TFT2)のリーク特性、および表示データによって、表示不良が起きる可能性がある。

10

図11、図12は、図10に示すタイミングチャートにおいて、表示不具合が起きる理由を説明するための図である。

図11は、表示データが、aの階調電圧と、a'の階調電圧との間で、振幅するようなラスタ表示であり、垂直帰線期間1ライン目の駆動で、aの階調電圧を印加して交流化を中止した場合の画素の保持特性を説明するための図である。

この場合に、画素の薄膜トランジスタ(TFT1, TFT2)のリーク特性が悪いと、a'の階調電圧に書き込まれた(チャージされた)最終ライン目の画素に対してリーク電流が生じ、画素に書き込まれた電圧が変動する。

【0029】

この場合に、最終ラインの一つ手前のライン目の画素には、aの階調電圧が書き込まれているため、垂直帰線期間1ライン目の駆動で、aの階調電圧を印加して交流化を中止しても、画素の電位とドレイン信号線(D)の電位とが一致するため、リーク電流は流れない。

20

これにより、結果的に、表示画面のライン間で輝度差が生じ横筋が発生することになる。

図12は、表示データが、aの階調電圧と、a'の階調電圧との間で、振幅するようなラスタ表示であり、垂直帰線期間1ライン目の駆動で、bの階調電圧を印加して交流化を中止した場合の画素の保持特性を説明するための図である。

この場合、最終的に印加されるbの階調電圧に対して、a'の階調電圧に書き込まれた最終ライン目の画素、および、a電位が書き込まれた最終ラインの一つ手前のライン目の画素とも、リーク電流が発生し横筋が発生する。

30

但し、図12に示す場合は、隣り合うライン上の各画素とも、リーク電流により、画素に書き込まれた電圧が変動し、隣り合うライン上の各画素間の、画素に書き込まれた電圧の電位差が、図11に示すものより小さいので、横筋はあまり目立たない。

【0030】

図13、図14は、垂直帰線期間内に複数ラインにおいて液晶駆動する場合の、画素の保持特性を説明するための図である。

図13は、図11と同じく、表示データが、aの階調電圧と、a'の階調電圧との間で、振幅するようなラスタ表示であって、垂直帰線期間1ライン目から交互に、aの階調電圧、a'の階調電圧を印加して液晶駆動する場合を示している。

この場合は、垂直帰線期間1ライン目では、図11と同様、a'の階調電圧に書き込まれた最終ライン目の画素に対してリーク電流が生じ、画素に書き込まれた電圧が変動し、aの階調電圧が書き込まれた最終ラインの一つ手前のライン目の画素には、リーク電流は流れない。

40

しかしながら、次の2ライン目では、aの階調電圧が書き込まれた最終ラインの一つ手前のライン目の画素に対してリーク電流が生じ、画素に書き込まれた電圧が変動する。

また、a'の階調電圧に書き込まれた最終ライン目の画素では、リーク電流により、1ライン目での変動分が相殺され、画素電圧が、a'の階調電圧に書き込まれる。

次の3ライン目では、前述した理由により、aの階調電圧が書き込まれた最終ラインの一つ手前のライン目の画素電圧がaの階調電圧となる。

これにより、表示画面のライン間で輝度差が生じることがないので、横筋が発生するのを

50

防止することが可能となる。

【 0 0 3 1 】

図 1 4 は、図 1 2 に示すように、表示データが、a の階調電圧と、a' の階調電圧との間で、振幅するようなラスタ表示であって、垂直帰線期間 1 ライン目から交互に、b の階調電圧、b' の階調電圧を印加して液晶駆動する場合を示している。

この場合には、最終ラインの一つ手前のライン目の画素の画素電圧、および、最終ラインの一つ手前のライン目の画素の画素電圧は、垂直帰線期間の各ライン走査により、ともに画素電圧が変動するが、その変動分がほぼ同じとなる。

したがって、図 1 4 の場合は、最終ラインの一つ手前のライン目の画素、および、最終ラインの一つ手前のライン目の画素とも、輝度が同じように変動するので、表示画面中に、横筋が発生するのを防止することができる。

10

このように、本実施の形態では、画素に書き込まれた電圧が変動し、表示画面中に横筋が生じるのを防止して、表示画面の表示品質を向上させることが可能となる。

なお、本実施の形態において、垂直帰線期間内を正規の水平走査時間で除算して小数点以下を切り上げた値を M、N を 1 以上の整数とするとき、垂直帰線期間内の液晶駆動は、2 ライン以上で、かつ、(M - N) 回以下の回数が好ましく、より好ましくは、M / 2 回以上、(M - N) 回以下の回数が望ましい。

なお、前記 M は、垂直帰線期間内に正規の水平走査時間で走査する際に、全ての期間が走査されるライン数と、少なくとも一部の期間が走査されるライン数とを加算した値でもある。

20

N の値としては、なるべく多くのラインを駆動する観点から、N = 1 または N = 2 が好ましいが、これに限られるものではない。交流化については、少なくとも 1 回、好ましくは、表示期間とほぼ同じ交流化の周期となるように所定回数行うのが望ましい。

また、垂直帰線期間内の液晶駆動の際の階調電圧は、白または黒に対応する階調電圧が好ましい。

【 0 0 3 2 】

[実施の形態 2]

本実施の形態の液晶表示モジュールの特徴的構成

本実施の形態は、図 9 に示すようなタイミングチャートを実現するために、表示制御装置 1 1 0 において、水平基準信号を生成し、この水平基準信号を元に、液晶ドライバの駆動信号を生成するとともに、予め液晶ドライバの駆動信号が競合する可能のある水平基準信号マスクするものである。

30

図 1 5 は、本発明の実施の形態 2 の水平基準信号生成部の構成を示すブロック図である。本実施の形態の水平基準信号生成部は、表示期間中水平基準信号生成回路 2 0、帰線期間中水平基準信号生成回路 3 0、および水平基準信号マスク信号生成回路 4 0 から構成される。

表示期間中水平基準信号生成回路 2 0 は、データイネーブル信号 (DTMG) を用いて、表示期間中の液晶ドライバの駆動信号を生成する水平基準信号を生成する。

帰線期間中水平基準信号生成回路 3 0 は、垂直帰線期間を検出し、以降、垂直帰線期間中の液晶ドライバの駆動信号を生成する水平基準信号を生成する。

40

水平基準信号マスク信号生成回路 4 0 は、垂直帰線期間のライン数をカウントし、任意のライン数だけ、帰線期間中水平信号をマスクする信号を生成する。

ここで、液晶ドライバの駆動信号は、前述したように、表示制御装置 1 1 0 からドレインドライバ 1 3 0 に対して送出されるスタートパルス (STH)、クロック (CL2)、ドレイン出力パルス (CL1) および交流化信号 (M)、並びに、表示制御装置 1 1 0 からゲートドライバ 1 4 0 に対して送出されるフレームスタートパルス (FLM) およびクロック (CL3) である。

【 0 0 3 3 】

図 1 6 は、図 1 5 に示す表示期間中水平基準信号生成回路 2 0 の回路構成を示す回路図である。

50

図 17 は、図 15 に示す帰線期間中水平基準信号生成回路 30 の回路構成を示す回路図である。

図 18 は、図 15 に示す水平基準信号マスク信号生成回路 40 の回路構成を示す回路図である。

また、図 19 は、図 16 ないし図 18 に示す回路により生成される主要信号のタイミングチャートを示す図である。

以下、図 16 ないし図 18 に示す回路について説明する。

図 16 に示す表示期間中水平基準信号生成回路 20 は、入力端子 (D) に、データイネーブル信号 (DTMG) が入力され、クロック入力端子 (cp) に、クロック信号 (CLK) が入力される D 形フリップフロップ回路 21 を有する。

10

そして、アンド回路 (AND2) において、D 形フリップフロップ回路 21 の出力端子 (/Q) の出力と、データイネーブル信号 (DTMG) との論理積をとることにより、図 19 に示すように、データイネーブル信号 (DTMG) の立ち上がり同期し、クロック信号 (CLK) の 1 ドットクロック幅の表示期間中水平基準信号を生成する。

図 17 に示す帰線期間中水平基準信号生成回路 30 において、Htotal カウンタ 1 (以下、単に、カウンタ 1) (31) は、ドットクロック (CLK) をカウントするとともに、表示期間中水平基準信号によりリセットされる。また、カウンタ 1 (31) のカウント数は、表示期間中水平基準信号により、Htotal ホールドレジスタ (以下、単に、レジスタ) 35 に格納される。

【0034】

20

即ち、このレジスタ 35 に格納されるカウント数は、表示期間中水平基準信号の 1 周期内のドットクロック (CLK) 数であり、表示期間中の 1 水平走査時間を表す。

図 19 に示すように、データイネーブル信号 (DTMG) が入力されなくなると、表示期間中水平基準信号も生成されないため、カウンタ 1 (31) は、表示期間中水平基準信号によりリセットされることなく、ドットクロック (CLK) をカウントする。

このカウント数は、比較器 1 (33) に入力され、カウント数が、N0 のカウント数になった時点で、比較器 1 (33) は、図 19 に示す垂直帰線期間明示信号を出力する。

この垂直帰線期間明示信号は、図 15 に示すように、オア回路 (OR1) に入力され、図 19 に示すように、垂直帰線期間内の最初の垂直帰線期間中水平基準信号となる。

ここで、 $1/CLK$ を、ドットクロック (CLK) の 1 周期とすると、N0 は、 $(1/CLK) \times N0 = t2$ を満足するように選ばれる。

30

即ち、比較器 1 (33) は、カウンタ 1 (31) の値が一定時間 (図 19 の t2 相当) 経過しても、データイネーブル信号 (DTMG) の入力がないことを検出して、垂直帰線期間を検出するものである。

【0035】

この場合に、レジスタ 35 には、表示期間中水平基準信号が入力されないため、レジスタ 35 に格納されるカウント数は、前の表示期間中水平基準信号によりラッチされたカウント数 (即ち、表示期間中の 1 水平走査時間を表すカウント数) となる。

比較器 1 (33) から出力される垂直帰線期間明示信号は、オア回路 (OR2) にも入力され、オア回路 (OR2) は、Hレベルに変化する。

40

これにより、Htotal カウンタ 2 (以下、単に、カウンタ 2) (32) が、リセットされ、カウンタ 2 (32) は、ドットクロック (CLK) をカウントする。

このカウンタ 2 (32) でのカウント数は、比較器 2 (34) に入力され、カウンタ 2 (32) でのカウント数が、レジスタ 35 に格納されているカウント数に一致したときに、比較器 2 (34) は、帰線期間中水平基準信号を出力する。

比較器 2 (34) から出力される帰線期間中水平基準信号は、オア回路 (OR2) に入力されるため、カウンタ 2 (32) がリセットされ、カウンタ 2 (32) は、再度ドットクロック (CLK) をカウントする。

これにより、図 19 に示すように、比較器 2 (34) から、t1 時間間隔で、帰線期間中水平基準信号が出力される。

50

【 0 0 3 6 】

図 1 8 に示す水平基準信号マスク信号生成回路 4 0 において、帰線ラインカウンタ 4 1 は、図 1 7 の比較器 1 (3 3) から出力される垂直帰線期間明示信号でリセットされ、図 1 7 の比較器 2 (3 4) から出力される帰線期間中水平基準信号をカウントする。

即ち、帰線ラインカウンタ 4 1 は、垂直帰線期間の全ライン数をカウントする。なお、この全ライン数とは、ラインの走査時間が、1 水平走査時間に満たないライン数も 1 ラインとしてカウントしたライン数である。なお、本実施の形態では、カウンタの値は、0 からスタートしているので、実際の全ライン数よりも 1 だけ小さい値が表示されている。

帰線ラインホールドレジスタ (以下、単に、ラインレジスタ) 4 2 は、表示期間中水平基準信号により、帰線ラインカウンタ 4 1 のカウント数を格納する。即ち、ラインレジスタ 4 2 には、前のフレームの垂直帰線期間内の全ライン数が格納される。

ラインレジスタ 4 2 に格納されたカウント数は減算器 4 3 に入力され、減算器 4 3 において、マスクするライン数 (N) だけ減算される。

この減算器 4 3 からの出力は、比較器 3 (4 4) に入力され、ラインカウンタ 4 1 から出力されるカウント数と比較される。

【 0 0 3 7 】

例えば、図 1 9 に示すように、ラインレジスタ 4 2 に格納されているライン数が 3 で、マスクしたライン数を 1 とするとき、ラインカウンタ 4 1 から出力されるカウント数が 2 (= 3 - 1) に成った時点で、図 1 9 に示すように、比較器 3 (4 4) はマスク開始信号を出力する。

このマスク開始信号は、J - K フリップフロップ回路 4 5 の j 端子に入力されるが、この時点で、k 端子には、表示期間中水平基準信号が入力されていないので、図 1 9 に示すように、J - K フリップフロップ回路 4 5 は、Q 端子から帰線期間中水平基準マスク信号を出力する。

帰線期間中水平基準マスク信号は、図 1 9 に示すように、J - K フリップフロップ回路 4 5 の k 端子に、次のフレームにおける表示期間中水平基準信号が入力された時点で L レベルとなる。

この帰線期間中水平基準マスク信号の反転信号が、図 1 5 に示すアンド回路 (A N D 1) に入力されるので、このアンド回路 (A N D 1) により、図 1 9 に示すように、帰線期間中水平基準マスク信号の H レベル期間内の帰線期間中水平基準信号がマスクされる。

【 0 0 3 8 】

また、図 1 5 に示すように、表示期間中水平基準信号生成回路 2 0 から出力される表示期間中水平基準信号、帰線期間中水平基準信号生成回路 3 0 から出力される垂直帰線期間明示信号 (この信号も、垂直帰線期間中水平基準信号の一種として用いている)、および、アンド回路 (A N D 1) から出力される帰線期間中水平基準信号は、オア回路 (O R 1) に入力され、オア回路 (O R 1) から、競合しない液晶ドライバの駆動信号を生成するための、水平基準信号が出力される。

これにより、本実施の形態では、垂直帰線期間内の出力シーケンスと、垂直帰線期間終了後の次のフレームの表示期間内の出力シーケンスとが競合することなく、垂直帰線期間内の液晶駆動を行うことが可能となる。

なお、図 1 5 に示す水平基準信号生成部は、表示制御装置 1 1 0 内に設けられ、また、この水平基準信号生成部は、データインーブル信号 (D T M G) と、ドットクロック (C L K) のみを使用するものである。

そのため、本実施の形態では、外部から入力される表示制御信号として、垂直同期信号 (V s y n c) と、水平同期信号 (H s y n c) とは必要ない。

【 0 0 3 9 】

[実施の形態 3]

本実施の形態の液晶表示モジュールの特徴的構成

本実施の形態も、図 9 に示すようなタイミングチャートを実現するために、表示制御装置 1 1 0 において、水平基準信号を生成し、この水平基準信号を元に、液晶ドライバの駆動

10

20

30

40

50

信号を生成するとともに、予め液晶ドライバの駆動信号が競合する可能性のある水平基準信号マスクするものであるが、本実施の形態は、データイネーブル信号(DTMG)と、ドットクロック(CLK)と、水平同期信号(Hsync)とを使用するようにしたものである。

図20は、本発明の実施の形態3の水平基準信号生成部の構成を示すブロック図である。本実施の形態の水平基準信号生成部も、表示期間中水平基準信号生成回路50、帰線期間中水平基準信号生成回路60、および水平基準信号マスク信号生成回路70から構成される。

しかしながら、本実施の形態の水平基準信号生成部は、帰線期間中水平基準信号生成回路60から出力される垂直帰線期間明示信号が、オア回路(OR1)に入力されない点で、前述の実施の形態2の水平基準信号生成部と相異なる。

10

【0040】

図21は、図20に示す表示期間中水平基準信号生成回路50の回路構成を示す回路図である。

図22は、図20に示す帰線期間中水平基準信号生成回路60の回路構成を示す回路図である。

図23は、図20に示す水平基準信号マスク信号生成回路70の回路構成を示す回路図である。

図24は、図21ないし図23に示す回路により生成される主要信号のタイミングチャートを示す図である。

20

図25は、本実施の形態の液晶表示モジュールにおけるタイミングチャートの一例を示す図である。

垂直帰線期間明示信号を、オア回路(OR1)に入力しない理由は、図25に記載したように、垂直帰線期間明示信号を帰線期間中水平基準信号として使用すると、帰線期間中水平基準信号生成回路60で生成される次の帰線期間中水平基準信号と競合する恐れがあるので、本実施の形態では、垂直帰線期間明示信号を、帰線期間中水平基準信号として使用しない。

図21に示す表示期間中水平基準信号生成回路50は、図16に示す表示期間中水平基準信号生成回路20と同じであるので、詳細な説明は省略する。

同様に、図23に示す水平基準信号マスク信号生成回路70は、図18に示す水平基準信号マスク信号生成回路40と同じであるので、詳細な説明は省略する。

30

【0041】

以下、図22に示す帰線期間中水平基準信号生成回路60について説明する。

J-Kフリップフロップ回路65は、j端子に水平同期信号(Hsync)が、k端子に表示期間中水平基準信号が入力されるので、出力端子(Q)(図22のa)は、水平同期信号(Hsync)が入力されると、ドットクロック(CLK)の立ち下がりに同期してHレベルとなり、表示期間中水平基準信号が入力されるとドットクロック(CLK)の立ち下がりに同期してLレベルとなる。

そのため、J-Kフリップフロップ回路65の出力端子(Q)がHレベルの間、ドットクロック(CLK)が、バックポーチ(Hbp)カウンタ(以下、単に、カウンタ)61に入力される。

40

カウンタ61のカウント数は、表示期間中水平基準信号により、バックポーチ(Hbp)ホールドレジスタ(以下、単に、レジスタ)62に格納される。

このカウンタ61は、水平同期信号(Hsync)によりリセットされるので、レジスタ62に格納されるカウント数は、図25に示す水平バックポーチ時間(t4)内のドットクロック(CLK)数であり、水平バックポーチ時間(t4)を表す。

【0042】

J-Kフリップフロップ回路66は、k端子に表示期間中水平基準信号が入力されているので、表示期間中は、出力端子(Q)がLレベルとなっており、この出力がアンド回路(AND5)に入力されるので、これにより、比較器2(64)から出力される比較結果出

50

力をマスクしている。

また、表示期間中、J - Kフリップフロップ回路66の出力端子(/Q)がHレベルとなっており、この出力がアンド回路(AND4)に入力されるが、表示期間中、比較器1(63)から比較結果出力が出力されないため、アンド回路(AND4)からの出力はない。

図24に示すように、データネーブル信号(DTMG)が入力されなくなると、表示期間中水平基準信号も生成されないため、J - Kフリップフロップ回路65の出力端子(Q)は、次のフレームにおける表示期間中水平基準信号が入力されるまでHレベルを維持する。

これにより、カウンタ61のカウンタ数がカウントアップし、比較器1(63)のカウンタ数が、N1のカウンタ数になった時点で、比較器1(63)が、比較結果出力を出力する。

10

ここで、1/CLKを、ドットクロック(CLK)の1周期とすると、N1は、 $(1/CLK) \times N1 = t5$ を満足するように選ばれる。

この比較器1(63)の比較結果出力は、アンド回路(AND4)に入力され、また、アンド回路(AND4)には、J - Kフリップフロップ回路66の出力端子(/Q)の出力が入力されているが、この出力端子(/Q)はHレベルであるため、図24に示すように、アンド回路(AND4)から垂直帰線期間明示信号が出力される。

【0043】

この比較器1(63)の比較結果出力は、J - Kフリップフロップ回路66のj端子に入力される。

20

J - Kフリップフロップ回路66のj端子に、比較器1(63)の比較結果出力が入力されると、ドットクロック(CLK)の立ち下がりに同期して、出力端子(Q)はHレベルとなり、出力端子(/Q)はLレベルとなる。

これにより、アンド回路(AND4)の出力は、J - Kフリップフロップ回路66のj端子に、次のフレームの表示期間中水平基準信号が入力されるまで、Lレベルを維持するため、アンド回路(AND4)から垂直帰線期間明示信号が出力された以降、比較器1(63)の比較結果出力がアンド回路(AND4)を通過するのを阻止する。

一方、カウンタ61のカウンタ数は、比較器2(64)にも入力され、カウンタ61のカウンタ数が、レジスタ62に格納されているカウンタ数に一致したときに、比較器2(64)は比較結果出力を出力する。

30

この場合に、レジスタ62には、表示期間中水平基準信号が入力されないため、レジスタ62に格納されるカウンタ数は、前の表示期間中水平基準信号によりラッチされたカウンタ数(即ち、水平バックポーチ時間(t4)を表すカウンタ数)となる。

この比較器2(64)の比較結果出力は、アンド回路(AND5)に入力され、また、アンド回路(AND5)には、J - Kフリップフロップ回路66の出力端子(Q)の出力が入力されているが、出力端子(Q)はHレベルであるため、図24に示すように、アンド回路(AND5)から、t1間隔で、帰線期間中水平基準信号が出力される。

【0044】

なお、比較器2(64)は、表示期間内にも、比較結果出力を出力するが、表示期間内は、J - Kフリップフロップ回路66の出力端子(Q)がLレベルとなっており、これにより、アンド回路(AND5)がLレベルを維持するため、表示期間内に、比較器2(64)から出力される比較結果出力が、アンド回路(AND5)を通過することはない。

40

このように、本実施の形態においても、垂直帰線期間内の出力シーケンスと、垂直帰線期間終了後の次のフレームの表示期間内の出力シーケンスとが競合することなく、垂直帰線期間内の液晶駆動を行うことが可能となる。

なお、図20に示す水平基準信号生成部は、表示制御装置110内に設けられ、また、この水平基準信号生成部は、データネーブル信号(DTMG)と、ドットクロック(CLK)と、水平同期信号(Hsync)のみを使用するものである。そのため、本実施の形態では、外部から入力される表示制御信号として、垂直同期信号(Vsync)は必要な

50

い。

以上説明したように、前述の各実施の形態の液晶表示モジュールでは、入力モードを広範囲に設定できるため、例えば、モニタ等の様々な入力モードが想定される液晶表示モジュールに適用して有効である。

【 0 0 4 5 】

なお、前記説明では、縦電界方式の液晶表示パネルに本発明を適用した実施の形態について説明したが、これに限定されず、本発明は、横電界方式の液晶表示パネルにも適用可能である。

図 2 または図 3 に示す縦電界方式の液晶表示パネルでは、T F T 基板と対向する基板にコモン電極 (I T O 2) が設けられるのに対して、横電界方式の液晶表示パネルでは、T F T 基板に対向電極 (C T)、および対向電極 (C T) に共通電圧 (V c o m) を印加するための対向電極信号線 (C L) が設けられる。

10

そのため、液晶容量 (C p i x) は、画素電極 (P X) と対向電極 (C T) と間に等価的に接続される。また、画素電極 (P X) と対向電極 (C T) と間には蓄積容量 (C s t g) も形成される。

また、前記各実施の形態では、駆動方法として、ドット反転法を採用した実施の形態について説明したが、これに限定されず、本発明は、複数ライン反転法、あるいは、1ラインまたは複数ライン毎に、画素電極 (I T O 1) およびコモン電極 (I T O 2) に印加する駆動電圧の極性を反転するコモン反転法にも適用可能である。

以上、本発明者によってなされた発明を、前記発明の実施の形態に基づき具体的に説明したが、本発明は、前記発明の実施の形態に限定されるものではなく、その要旨を逸脱しない範囲において種々変更可能であることは勿論である。

20

【 0 0 4 6 】

【 発明の効果 】

本願において開示される発明のうち代表的なものによって得られる効果を簡単に説明すれば、下記のとおりである。

(1) 本発明によれば、垂直帰線期間内に表示制御手段から駆動手段に送出する駆動信号と、垂直帰線期間終了後の次のフレームの表示期間内に表示制御手段から駆動手段に送出する駆動信号とが競合するのを防止することができ、駆動手段が誤動作を起こしたり、駆動手段が破壊されるのを防止することが可能となる。

30

(2) 本発明によれば、垂直帰線期間内に、2ライン以上、(垂直ライン数 - N (N は任意)) ライン以下の回数で、駆動手段から各信号線に対して階調電圧を出力するようにしたので、画素に書き込まれた電圧が変動し、表示画面中に横筋が生じるのを防止して、表示画面の表示品質を向上させることが可能となる。

【 図面の簡単な説明 】

【 図 1 】 本発明が適用される T F T 方式の液晶表示モジュールの概略構成を示すブロック図である。

【 図 2 】 図 1 に示す液晶表示パネルの一例の等価回路を示す図である。

【 図 3 】 図 1 に示す液晶表示パネルの他の例の等価回路を示す図である。

【 図 4 】 図 1 に示すドレインドライバの一例の概略構成を示すブロック図である。

40

【 図 5 】 液晶表示モジュールの駆動方法として、ドット反転法を使用した場合において、ドレインドライバからドレイン信号線 (D) に出力される液晶駆動電圧の極性を説明するための図である。

【 図 6 】 図 1 に示す液晶表示モジュールにおいて、垂直帰線期間のバラツキがない、あるいは、バラツキが微小な場合のタイミングチャートの一例を示す図である。

【 図 7 】 図 1 に示す液晶表示モジュールにおいて、垂直帰線期間が短くなった時のタイミングチャートを示す図である。

【 図 8 】 図 1 に示す液晶表示モジュールにおいて、垂直帰線期間が長くなった時のタイミングチャートを示す図である。

【 図 9 】 本発明の実施の形態 1 の液晶表示モジュールにおけるタイミングチャートの一例

50

を示す図である。

【図10】垂直帰線期間に1ラインだけ液晶駆動し、次フレームの入力まで交流化を中止する場合のタイミングチャートを示す図である。

【図11】図10に示すタイミングチャートにおいて、表示不具合が起きる理由を説明するための図である。

【図12】図10に示すタイミングチャートにおいて、表示不具合が起きる理由を説明するための図である。

【図13】垂直帰線期間内に複数ラインにおいて液晶駆動する場合の、画素の保持特性を説明するための図である。

【図14】垂直帰線期間内に複数ラインにおいて液晶駆動する場合の、画素の保持特性を説明するための図である。 10

【図15】本発明の実施の形態2の水平基準信号生成部の構成を示すブロック図である。

【図16】図15に示す表示期間中水平基準信号生成回路の回路構成を示す回路図である。

【図17】図15に示す帰線期間中水平基準信号生成回路の回路構成を示す回路図である。

【図18】図15に示す水平基準信号マスク信号生成回路の回路構成を示す回路図である。

【図19】図16ないし図18に示す回路により生成される主要信号のタイミングチャートを示す図である。 20

【図20】本発明の実施の形態3の水平基準信号生成部の構成を示すブロック図である。

【図21】図20に示す表示期間中水平基準信号生成回路の回路構成を示す回路図である。

【図22】図20に示す帰線期間中水平基準信号生成回路の回路構成を示す回路図である。

【図23】図20に示す水平基準信号マスク信号生成回路の回路構成を示す回路図である。

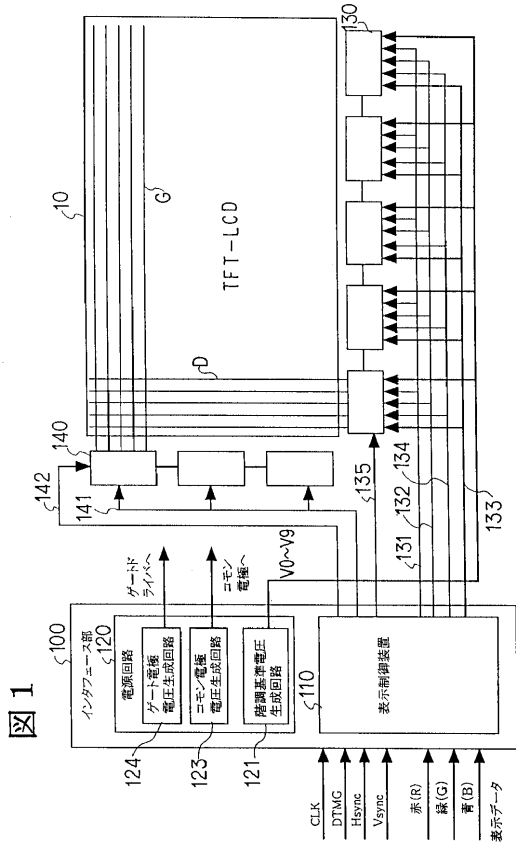
【図24】図21ないし図23に示す回路により生成される主要信号のタイミングチャートを示す図である。

【図25】本発明の実施の形態3の液晶表示モジュールにおけるタイミングチャートの一例を示す図である。 30

【符号の説明】

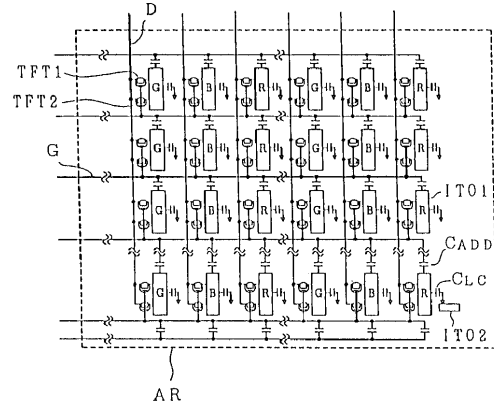
10...液晶表示パネル(TFT-LCD)、20,50...表示期間中水平基準信号生成回路、21...D形フリップフロップ回路、30,60...帰線期間中水平基準信号生成回路、31,32,41,61...カウンタ、33,34,44,63,64...比較器、35,42,62...レジスタ、40,70...水平基準信号マスク信号生成回路、43...減算器、45,65,66...J-Kフリップフロップ回路、100...インタフェース部、110...表示制御装置、120...電源回路、121...電圧生成回路、123...コモン電極電圧生成回路、124...ゲート電極電圧生成回路、130...ドレインドライバ、131,132,134,135,141,142...信号線、133...表示データのバスライン、140...ゲートドライバ、151a,151b...階調電圧生成回路、152...制御回路、153...シフトレジスタ回路、154...入力レジスタ回路、155...ストレージレジスタ回路、156...レベルシフト回路、157...出力回路、158a,158b...電圧バスライン、D...ドレイン信号線(映像信号線または垂直信号線)、G...ゲート信号線(走査信号線または水平信号線)、ITO1...画素電極、ITO2...コモン電極、CN...共通信号線、TFT...薄膜トランジスタ、CLC...液晶容量、CSTG...保持容量、CADD...付加容量、AND...アンド回路、OR...オア回路。 40

【 図 1 】



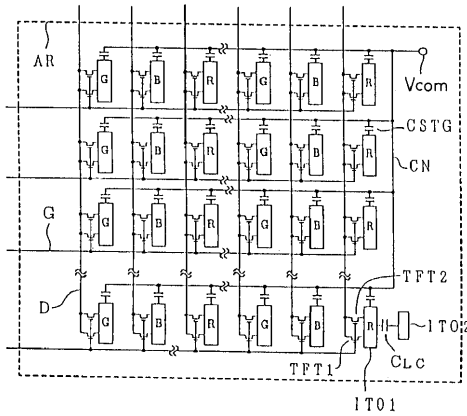
【 図 2 】

図 2



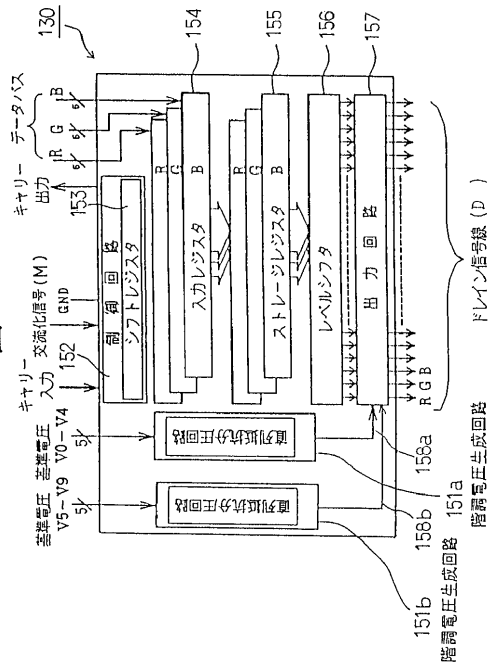
【 図 3 】

図 3



【 図 4 】

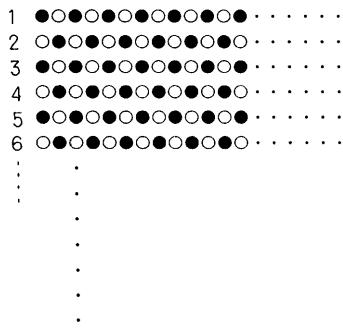
図 4



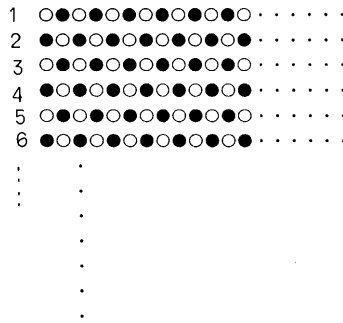
【図5】

図5

奇数フレーム

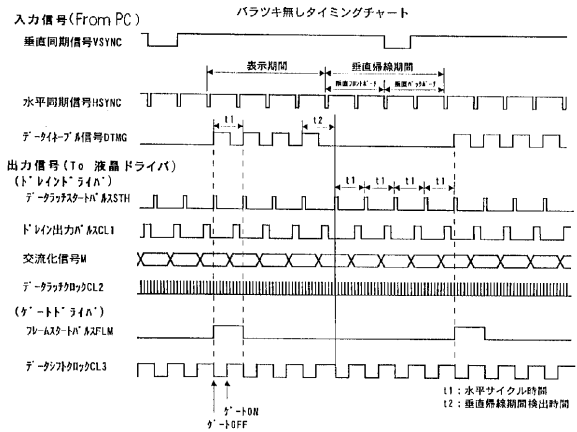


偶数フレーム



【図6】

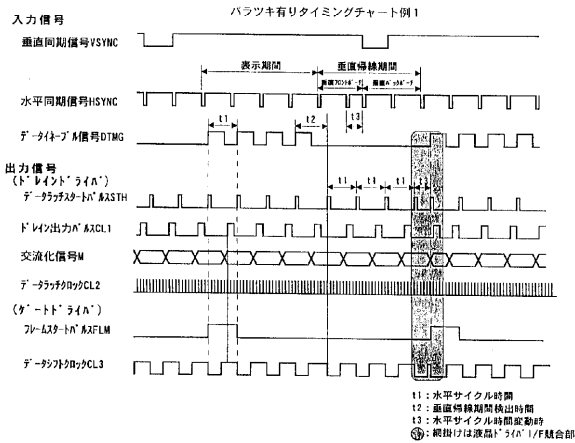
図6



液晶ドライバの入力シーケンス(例)
 DTMG入力 → ゲートOFF → データ取込開始 → データ取込終了 → ゲートON → ドレイト出力 (CL3 ↓) (ASTH出力) (M反転, CL1 ↑) (CL3 ↑) (CL1 ↓)

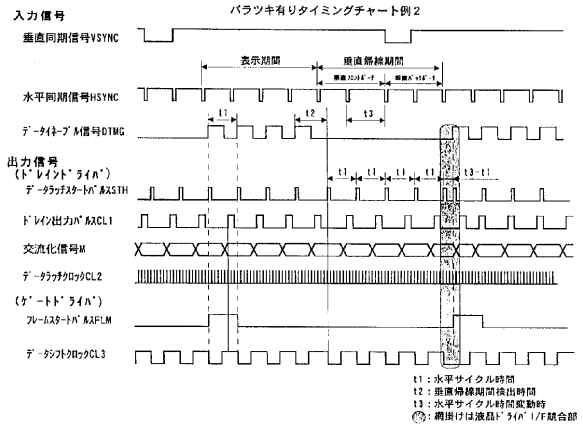
【図7】

図7



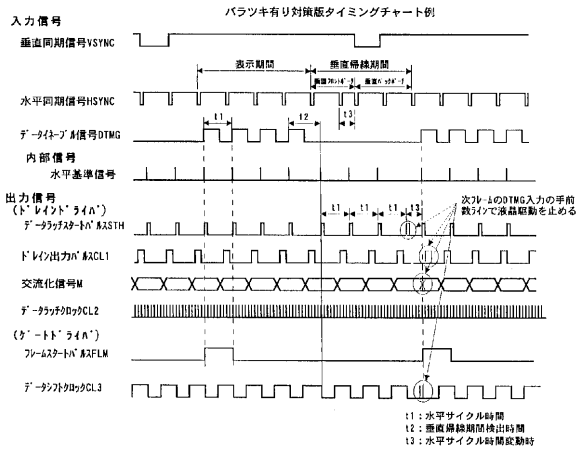
【図8】

図8



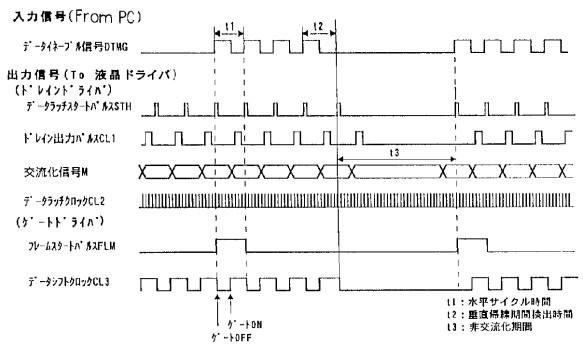
【 図 9 】

図 9



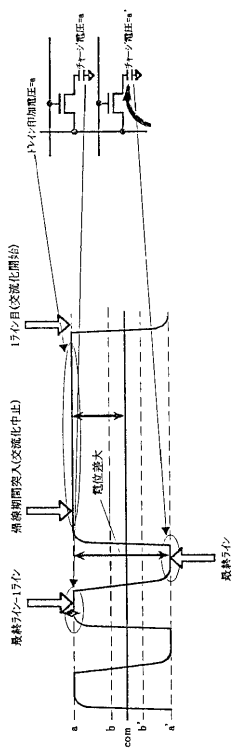
【 図 10 】

図 10



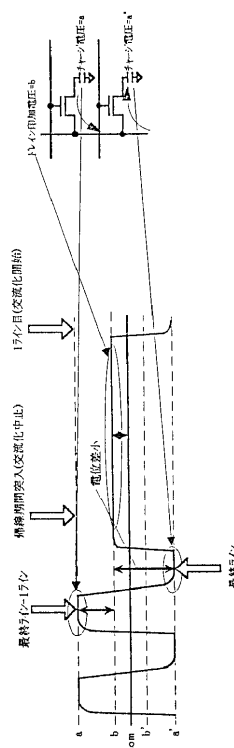
【 図 11 】

図 11



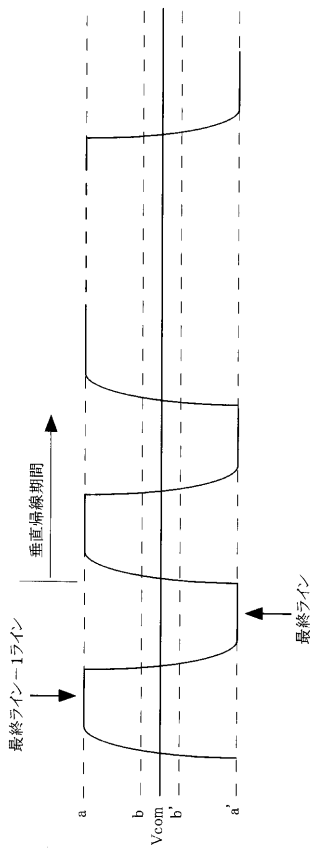
【 図 12 】

図 12



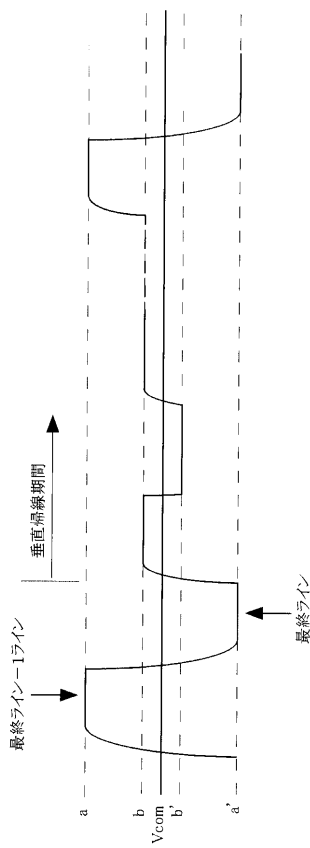
【 図 13 】

図 13



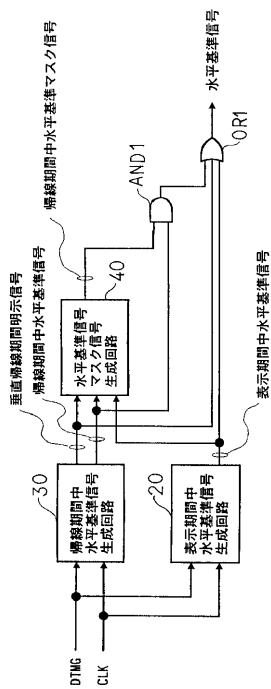
【 図 14 】

図 14



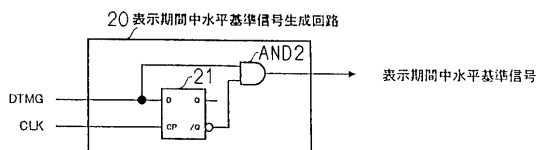
【 図 15 】

図 15



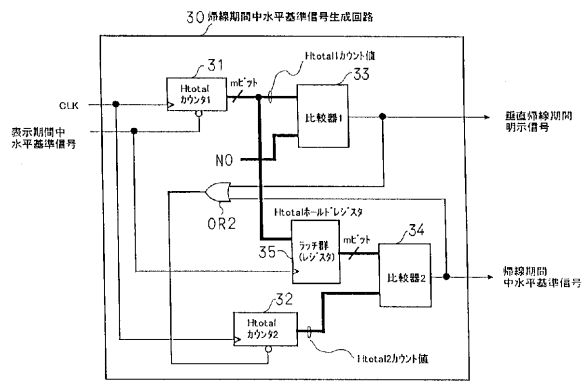
【 図 16 】

図 16

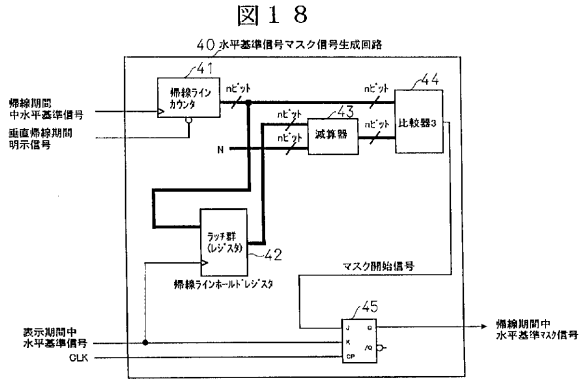


【 図 17 】

図 17



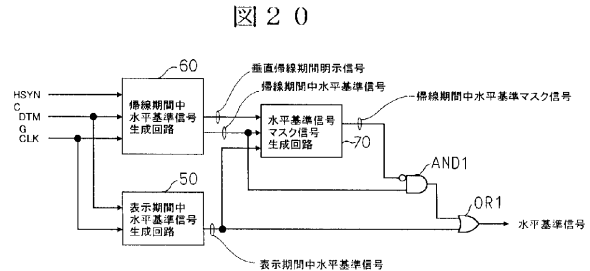
【 図 18 】



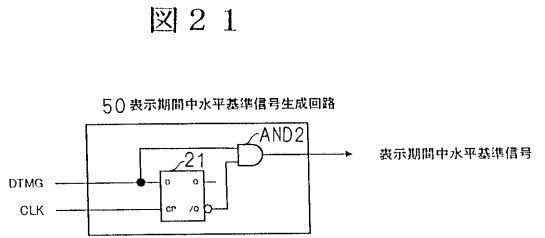
【 図 19 】



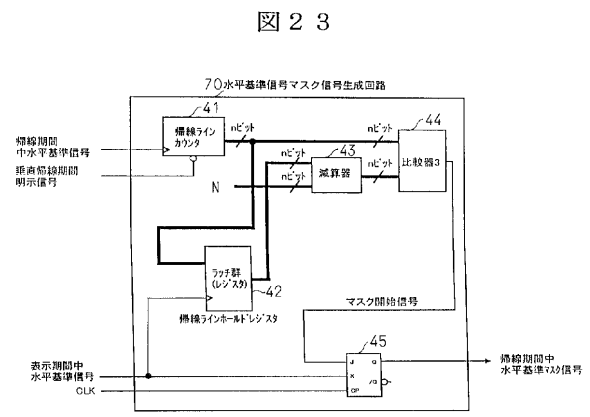
【 図 20 】



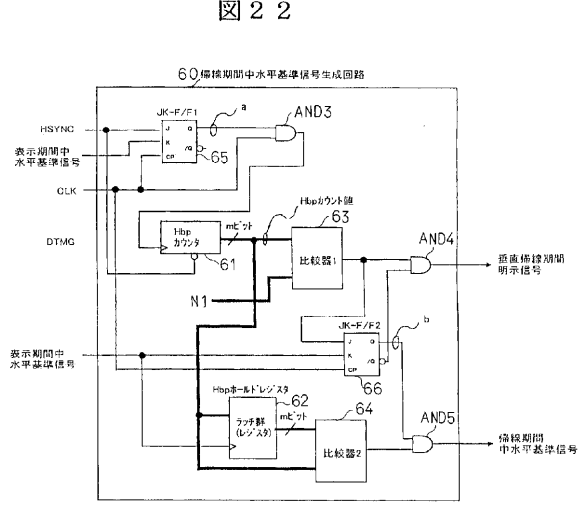
【 図 21 】



【 図 23 】

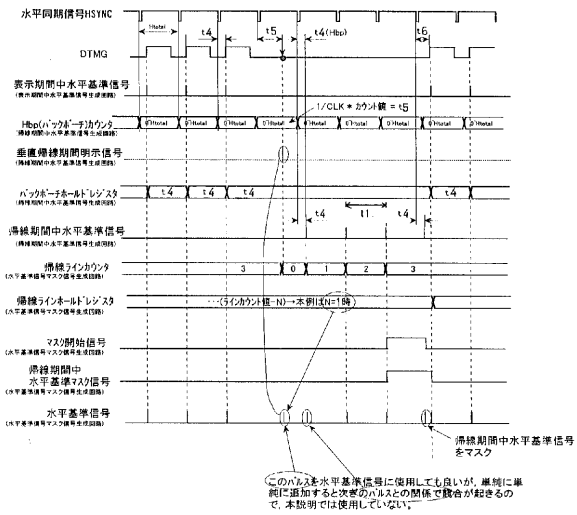


【 図 22 】



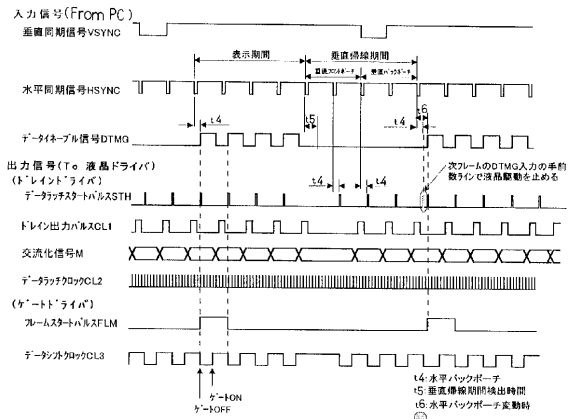
【 図 2 4 】

図 2 4



【 図 2 5 】

図 2 5



フロントページの続き

(51) Int.Cl.

F I

H 0 4 N 5/66 1 0 2 B

(56) 参考文献 特開平 1 1 - 2 9 6 1 4 8 (J P , A)
特開 2 0 0 1 - 1 9 4 6 4 4 (J P , A)
特開平 0 4 - 2 4 9 2 9 1 (J P , A)
特開平 1 1 - 2 3 1 8 4 3 (J P , A)
特開 2 0 0 0 - 3 3 8 9 3 6 (J P , A)
特開 2 0 0 1 - 2 0 2 0 6 6 (J P , A)

(58) 調査した分野(Int.Cl. , DB名)

G09G 3/00-3/38

G02F 1/133