



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2014-0100143
(43) 공개일자 2014년08월14일

(51) 국제특허분류(Int. Cl.)
G11C 16/10 (2006.01) G11C 16/24 (2006.01)
G11C 16/34 (2006.01) G11C 16/26 (2006.01)
(21) 출원번호 10-2013-0013033
(22) 출원일자 2013년02월05일
심사청구일자 없음

(71) 출원인
삼성전자주식회사
경기도 수원시 영통구 삼성로 129 (매탄동)
(72) 발명자
강동구
경기 성남시 분당구 서판교로 29, 915동 1302호
(판교동, 판교원마을한림폴에버아파트)
(74) 대리인
권혁수, 송윤호, 오세준

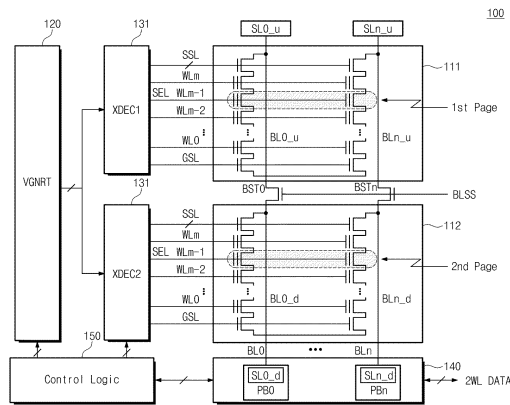
전체 청구항 수 : 총 10 항

(54) 발명의 명칭 비휘발성 메모리 장치의 프로그램 방법 및 읽기 방법

(57) 요약

본 발명에 따른 비휘발성 메모리 장치는, 비트라인들을 분리 및 분리된 비트라인들을 공유함으로써, 동시에 2개의 워드라인들에 연결된 페이지들로부터 데이터를 쓰거나 읽고, 그 결과로써 프로그램/읽기 동작의 성능을 크게 향상시킬 수 있다.

대표도



특허청구의 범위

청구항 1

비휘발성 메모리 장치의 프로그램 방법에 있어서:

제 1 워드라인에 연결된 제 1 메모리 셀들에 저장될 제 1 워드라인 데이터 및 제 2 워드라인에 연결된 제 2 메모리 셀들에 저장될 제 2 워드라인 데이터를 로딩하는 단계;

상기 제 1 워드라인 데이터에 따라 상부 비트라인들을 설정하는 단계;

상기 상부 비트라인들을 설정한 후, 비트라인 공유 트랜지스터들을 턴오프시키고 상기 제 2 워드라인 데이터에 따라 하부 비트라인들을 설정하는 단계;

상기 상부 비트라인들의 전압들을 이용하여 상기 제 1 메모리 셀들에 제 1 프로그램 동작을 수행하는 단계;

상기 비트라인 공유 트랜지스터들을 턴온시키고 상기 하부 비트라인들의 전압들을 이용하여 상기 제 2 메모리 셀들에 제 2 프로그램 동작을 수행하는 단계를 포함하고,

상기 비트라인 공유 트랜지스터들은 비트라인 공유 신호에 응답하여 상기 상부 비트라인들과 상기 하부 비트라인들을 전기적으로 연결하는 프로그램 방법.

청구항 2

제 1 항에 있어서,

상기 제 1 프로그램 동작을 수행하는 단계는,

상기 제 1 워드라인으로 프로그램 펄스를 인가하는 단계를 포함하고,

상기 제 2 프로그램 동작을 수행하는 단계는,

상기 제 2 워드라인으로 상기 프로그램 펄스를 인가하는 단계를 포함하는 프로그램 방법.

청구항 3

제 2 항에 있어서,

상기 제 1 프로그램 동작 및 상기 제 2 프로그램 동작이 동시에 수행되는 프로그램 방법.

청구항 4

제 1 항에 있어서,

상기 제 1 메모리 셀들이 포함된 제 1 메모리 블록과 상기 제 2 메모리 셀들이 포함된 제 2 메모리 블록은 서로 분리되는 프로그램 방법.

청구항 5

제 1 항에 있어서,

상기 제 1 및 제 2 프로그램 동작들을 수행한 뒤에 프로그램 검증 동작을 수행하는 단계를 더 포함하는 프로그램 방법.

청구항 6

제 5 항에 있어서,

상기 프로그램 검증 동작이 실패하면, 사전에 결정된 값만큼 프로그램 펄스를 증가시킨 후, 상기 상부 비트라인들 및 상기 하부 비트라인들을 설정하고, 상기 제 1 및 제 2 프로그램 동작들을 반복하는 단계를 더 포함하는 프로그램 방법.

청구항 7

제 1 항에 있어서,

상기 비트라인 공유 트랜지스터들 각각은 고전압용 트랜지스터인 프로그램 방법.

청구항 8

비휘발성 메모리 장치의 읽기 방법에 있어서:

비트라인 공유 트랜지스터들을 턴온시키고 상부 비트라인들과 하부 비트라인들을 프리차지시키는 단계;

상기 상부 비트라인들 및 상기 하부 비트라인들을 프리차지시킨 후, 상기 비트라인 공유 트랜지스터들을 턴오프시키는 단계;

어드레스에 응답하여 선택된 제 1 및 제 2 워드라인들로 읽기 전압을 인가하는 단계;

상기 상부 비트라인들에 연결된 상부 감지 래치들을 통하여 상기 제 1 워드라인들에 연결된 제 1 메모리 셀들의 데이터를 감지하는 제 1 감지 단계;

상기 비트라인 공유 트랜지스터들을 턴오프시키고 상기 하부 비트라인들에 연결된 하부 감지 래치들을 통하여 상기 제 2 워드라인들에 연결된 제 2 메모리 셀들의 데이터를 감지하는 제 2 감지 단계;

상기 상부 감지 래치들에 저장된 데이터 및 상기 하부 감지 래치들에 저장된 데이터에 대응하는 데이터를 데이터 래치들에 저장하는 단계; 및

상기 데이터 래치들에 저장된 데이터를 외부로 출력하는 단계를 포함하고,

상기 비트라인 공유 트랜지스터들은 비트라인 공유 신호에 응답하여 상기 상부 비트라인들과 상기 하부 비트라인들을 전기적으로 연결하는 읽기 방법.

청구항 9

제 8 항에 있어서,

상기 비휘발성 메모리 장치는 제 1 및 제 2 메모리 셀들을 갖는 메모리 셀 어레이를 포함하고,

상기 상부 감지 래치들은 상기 메모리 셀 어레이의 상부에 배치되고,

상기 데이터 래치들 및 상기 하부 감지 래치들은 상기 메모리 셀 어레이의 하부에 배치되는 읽기 방법.

청구항 10

제 8 항에 있어서,

상기 상부 비트라인들 각각에 스트링이 연결되고,

상기 스트링은, 직렬 연결된 적어도 하나의 스트링 선택 트랜지스터, 복수의 메모리 셀들, 및 적어도 하나의 접지 선택 트랜지스터를 포함하는 읽기 방법.

명세서

기술분야

[0001] 본 발명의 비휘발성 메모리 장치의 프로그램 방법 및 읽기 방법에 관한 것이다.

배경기술

[0002] 반도체 메모리 장치는 크게 휘발성 반도체 메모리 장치와 비휘발성 반도체 메모리 장치로 나누어진다. 비휘발성 반도체 메모리 장치는 전원이 차단되어도 데이터를 저장할 수 있다. 비휘발성 메모리에 저장되는 데이터는 메모리 제조 기술에 따라 영구적이거나 재프로그램 가능하다. 비휘발성 반도체 메모리 장치는 컴퓨터, 항공 전자 공학, 통신, 및 소비자 전자 기술 산업과 같은 넓은 범위의 응용에서 사용자 데이터 저장, 프로그램 및 마이크로코드의 저장을 위해서 사용된다.

발명의 내용

해결하려는 과제

[0003] 본 발명의 목적은 프로그램/읽기 동작 성능이 향상된 비휘발성 메모리 장치 및 그것의 구동 방법을 제공하는데 있다.

과제의 해결 수단

[0004] 본 발명의 실시 예에 따른 비휘발성 메모리 장치의 프로그램 방법은: 제 1 워드라인에 연결된 제 1 메모리 셀들에 저장될 제 1 워드라인 데이터 및 제 2 워드라인에 연결된 제 2 메모리 셀들에 저장될 제 2 워드라인 데이터를 로딩하는 단계; 상기 제 1 워드라인 데이터에 따라 상부 비트라인들을 설정하는 단계; 상기 상부 비트라인들을 설정한 후, 비트라인 공유 트랜지스터들을 턴오프시키고 상기 제 2 워드라인 데이터에 따라 하부 비트라인들을 설정하는 단계; 상기 상부 비트라인들의 전압들을 이용하여 상기 제 1 메모리 셀들에 제 1 프로그램 동작을 수행하는 단계; 상기 비트라인 공유 트랜지스터들을 턴오프시키고 상기 하부 비트라인들의 전압들을 이용하여 상기 제 2 메모리 셀들에 제 2 프로그램 동작을 수행하는 단계를 포함하고, 상기 비트라인 공유 트랜지스터들은 비트라인 공유 신호에 응답하여 상기 상부 비트라인들과 상기 하부 비트라인들을 전기적으로 연결한다.

[0005] 본 발명의 실시 예에 따른 비휘발성 메모리 장치의 읽기 방법은: 비트라인 공유 트랜지스터들을 턴오프시키고 상부 비트라인들과 하부 비트라인들을 프리차지시키는 단계; 상기 상부 비트라인들 및 상기 하부 비트라인들을 프리차지시킨 후, 상기 비트라인 공유 트랜지스터들을 턴오프시키는 단계; 어드레스에 응답하여 선택된 제 1 및 제 2 워드라인들로 읽기 전압을 인가하는 단계; 상기 상부 비트라인들에 연결된 상부 감지 래치들을 통하여 상기 제 1 워드라인들에 연결된 제 1 메모리 셀들의 데이터를 감지하는 제 1 감지 단계; 상기 비트라인 공유 트랜지스터들을 턴오프시키고 상기 하부 비트라인들에 연결된 하부 감지 래치들을 통하여 상기 제 2 워드라인들에 연결된 제 2 메모리 셀들의 데이터를 감지하는 제 2 감지 단계; 상기 상부 감지 래치들에 저장된 데이터 및 상기 하부 감지 래치들에 저장된 데이터에 대응하는 데이터를 데이터 래치들에 저장하는 단계; 및 상기 데이터 래치들에 저장된 데이터를 외부로 출력하는 단계를 포함하고, 상기 비트라인 공유 트랜지스터들은 비트라인 공유 신호에 응답하여 상기 상부 비트라인들과 상기 하부 비트라인들을 전기적으로 연결한다.

발명의 효과

[0006] 상술한 바와 같이 본 발명에 따른 비휘발성 메모리 장치는 프로그램 동작 및 읽기 동작시 2개의 워드라인들에 연결된 메모리 셀들을 동시에 구동함으로써, 프로그램 동작 및 읽기 동작의 성능을 크게 향상시킬 수 있다.

도면의 간단한 설명

- [0007] 도 1은 본 발명의 실시 예에 따른 비휘발성 메모리 장치를 예시적으로 보여주는 도면이다.
- 도 2는 도 1에 도시된 비휘발성 메모리 장치의 프로그램 동작을 개략적으로 설명하기 위한 도면이다.
- 도 3은 도 1에 도시된 비휘발성 메모리 장치의 프로그램 방법에 대한 실시 예를 보여주는 흐름도이다.
- 도 4는 도 1에 도시된 비휘발성 메모리 장치의 읽기 동작을 개략적으로 설명하기 위한 도면이다.
- 도 5는 본 발명의 실시 예에 따른 비휘발성 메모리 장치의 읽기 방법을 예시적으로 보여주는 흐름도이다.
- 도 6은 본 발명의 다른 실시 예에 따른 메모리 장치를 예시적으로 보여주는 도면이다.
- 도 7은 본 발명에 따른 메모리 시스템을 예시적으로 보여주는 블록도이다.
- 도 8은 본 발명의 실시 예에 따른 SSD를 예시적으로 보여주는 블록도이다.
- 도 9는 본 발명에 따른 eMMC를 예시적으로 보여주는 블록도이다.

발명을 실시하기 위한 구체적인 내용

[0008] 아래에서는 도면들을 이용하여 본 발명의 기술 분야에서 통상의 지식을 가진 자가 용이하게 실시할 수 있을 정도로 본 발명의 내용을 명확하고 상세하게 기재할 것이다.

[0009] 도 1은 본 발명의 실시 예에 따른 비휘발성 메모리 장치(100)를 예시적으로 보여주는 도면이다. 도 1을 참조하면, 비휘발성 메모리 장치(100)는 제 1 및 제 2 메모리 블록들(111, 122)로 구성된 메모리 셀 어레이(110), 전압 발생 회로(120, VGNRT), 제 1 및 제 2 어드레스 디코더들(131, 132, XDEC), 입출력 회로(140), 및 제어 로

직(150)을 포함한다.

- [0010] 본 발명의 실시 예에 따른 비휘발성 메모리 장치(100)는 낸드 플래시 메모리(NAND Flash Memory), 수직형 낸드 플래시 메모리(Vertical NAND, 이하, 'VNAND'라고 함), 노아 플래시 메모리(NOR Flash Memory), 저항성 램(Resistive Random Access Memory: RRAM), 상변화 메모리(Phase-Change Memory: PRAM), 자기저항 메모리(Magnetoresistive Random Access Memory: MRAM), 강유전체 메모리(Ferroelectric Random Access Memory: FRAM), 스핀주입 자화반전 메모리(Spin Transfer Torque Random Access Memory: STT-RAM) 등이 될 수 있다.
- [0011] 또한, 본 발명의 비휘발성 메모리 장치는 3차원 어레이 구조(three-dimensional array structure)로 구현될 수 있다. 본 발명은 전하 저장층이 전도성 부유 게이트로 구성된 플래시 메모리 장치는 물론, 전하 저장층이 절연막으로 구성된 차지 트랩형 플래시(charge trap flash; CTF)에도 모두 적용 가능하다. 아래에서는 설명의 편의를 위하여 비휘발성 메모리 장치(100)가 낸드 플래시 메모리 장치라고 하겠다.
- [0012] 메모리 셀 어레이(110)는 복수의 메모리 블록들을 포함한다. 도 1에서는 설명의 편의를 위하여 두 개의 메모리 블록들(111, 112)을 도시한다. 메모리 블록들(111, 112) 각각은, 비트라인들(BL0 ~ BLn, n은 2이상의 정수) 각각에 연결된 스트링(string)을 포함한다. 여기서 비트라인들(BL0 ~ BLn) 각각은 상부 비트라인들(BL0_u ~ BLn_u), 하부 비트라인들(BL0_d ~ BLn_d), 상부 비트라인들(BL0_u ~ BLn_u)과 하부 비트라인들(BL0_d ~ BLn_d)을 비트라인 공유 신호(BLSS)에 응답하여 연결하는 비트라인 공유 트랜지스터들(BST0 ~ BSTn)로 구성된다.
- [0013] 실시 예에 있어서, 상부 비트라인들(BL0_u ~ BLn_u)은 제 1 메모리 블록(111)에 연결되고, 하부 비트라인들(BL0_d ~ BLn_d)은 제 2 메모리 블록(112)에 연결될 것이다. 도 1에 도시되지 않았지만, 상부 비트라인들(BL0_u ~ BLn_u)에는 복수의 메모리 블록들이 연결되고, 하부 비트라인들(BL0_d ~ BLn_d)에는 복수의 메모리 블록들이 연결될 것이다.
- [0014] 실시 예에 있어서, 비트라인 공유 트랜지스터(BST0 ~ BSTn)의 게이트들은 비트라인 공유 신호(BLSS)를 입력 받는다.
- [0015] 실시 예에 있어서, 비트라인 공유 트랜지스터(BST0 ~ BSTn) 각각은 고전압용 트랜지스터일 수 있다.
- [0016] 여기서 스트링은 직렬 연결된 적어도 하나의 스트링 선택 트랜지스터(SST), 메모리 셀들(MC0 ~ MCm, m은 2 이상의 정수), 적어도 하나의 접지 선택 트랜지스터(GST)를 포함한다. 스트링 선택 트랜지스터(SST)는 스트링 선택 라인(SSL)을 통하여 전송되는 전압에 의하여 구동된다. 접지 선택 트랜지스터(GST)는 접지 선택 라인(GSL)을 통하여 전송되는 전압에 의하여 구동된다. 메모리 셀들(MC0 ~ MCm) 각각은 적어도 하나의 비트의 데이터를 저장하고, 대응하는 워드라인들(WL0 ~ WLm)에 전송되는 전압들에 의하여 구동된다.
- [0017] 전압 발생 회로(120)는 비휘발성 메모리 장치(100)의 구동에 필요한 구동 전압들(Vpp, Vers, Vpgm, Vpass, Vr, Vread, ...)을 발생한다. 전압 발생 회로(120)는 적어도 하나의 전하 펌프(도시되지 않음)를 이용하거나 외부 고전압을 분배함으로써 구동 전압들을 발생할 수 있다.
- [0018] 제 1 및 제 2 어드레스 디코더들(131, 132) 각각은 어드레스에 응답하여 복수의 메모리 블록들 중 어느 하나를 선택하고, 구동에 필요한 워드라인 전압들(예를 들어, 프로그램 전압(Vpgm), 패스 전압(Vpass), 소거 전압(Vers), 검증 전압(Vvfy), 읽기 전압(Vr), 읽기 패스 전압(Vread) 등)을 대응하는 워드라인들로 전송한다. 또한 제 1 및 제 2 어드레스 디코더들(131, 132) 각각은 프로그램 동작 혹은 읽기 동작시 입력된 어드레스를 근거로 하여 워드라인을 선택할 수 있다. 도 1에 도시되지 않았지만, 어드레스 디코더들의 개수는 메모리 블록들의 개수에 일대일로 대응될 것이다.
- [0019] 입출력 회로(140)는 프로그램 동작에서 외부로부터 입력된 2 워드라인 데이터(2 WL data)를 임시로 저장하였다가 쓰여질 페이지들(1st Page, 2nd Page)에 저장하거나, 읽기 동작에서 읽혀질 페이지들(1st Page, 2nd Page)로부터 2 워드라인 데이터를 읽어와 임시로 저장하였다가 외부로 출력한다. 여기서 페이지들(1st Page, 2nd Page) 각각은 하나의 워드라인(예를 들어, WLm-1)에 연결된 메모리 셀들을 의미한다.
- [0020] 또한, 입출력 회로(140)는 비트라인들(BL0 ~ BLn) 각각에 대응하는 페이지 버퍼들(PB0 ~ PBn)을 포함한다. 페이지 버퍼들(PB0 ~ PBn) 각각은, 프로그램/읽기 동작의 위하여 복수의 데이터 래치들(도시되지 않음), 상부 감지 래치들(SL0_u ~ SLn_u), 및 하부 감지 래치들(SL0_d ~ SLn_d)을 포함한다.
- [0021] 실시 예에 있어서, 복수의 데이터 래치들은 프로그램 동작 혹은 읽기 동작시 입출력되는 2 워드라인 데이터를 저장할 것이다.

- [0022] 실시 예에 있어서, 상부 감지 래치들(SL0_u ~ SLn_u) 각각은 메모리 셀 어레이(100)의 상부에 배치되고 상부 비트라인들(BL0_u ~ BLn_u)에 연결될 것이다.
- [0023] 실시 예에 있어서, 하부 감지 래치들(SL0_d ~ SLn_d) 각각은 메모리 셀 어레이(100)의 하부에 배치되고, 하부 비트라인들(BL0_d ~ BLn_d)에 연결될 것이다.
- [0024] 제어 로직(150)은 비휘발성 메모리 장치(100)의 전반적인 동작을 제어한다. 제어 로직(150)은 외부의 메모리 제어기로부터 제공되는 제어 신호들 및 명령을 해석하고, 해석 결과에 응답하여 전압 발생 회로(120), 어드레스 디코더들(131, 132), 및 입출력 회로(140)를 제어한다.
- [0025] 실시 예에 있어서, 제어 로직(150)은 프로그램 동작 혹은 읽기 동작시 2개의 워드라인들(예를 들어, WL1, WLm-1)에 연결된 제 1 및 제 2 페이지들/로부터 2 워드라인 데이터를 동시에 쓰거나 혹은 읽을 수 있도록 전압 발생 회로(120), 어드레스 디코더들(131, 132), 및 입출력 회로(140)를 제어할 수 있다.
- [0026] 실시 예에 있어서, 제어 로직(150)은 제 1 및 제 2 페이지들/로부터 동시에 프로그램/읽기 동작을 수행하기 위하여 비트라인 공유 신호(BLSS)를 발생시킬 것이다.
- [0027] 본 발명의 실시 예에 따른 비휘발성 메모리 장치(100)는, 비트라인들(BL0 ~ BLn)을 분리함으로써 동시에 2개의 워드라인들에 연결된 페이지들/로부터 데이터를 쓰거나 읽을 수 있다. 그 결과로써, 본 발명의 실시 예에 따른 비휘발성 메모리 장치(100)는 종래의 그것과 비교하여 프로그램/읽기 동작의 성능을 크게 향상시킬 수 있다.
- [0028] 또한, 본 발명의 실시 예에 따른 비휘발성 메모리 장치(100)는 데이터 감지 동작과 관련된 상부 감지 래치들(SL0_u ~ SLn_u)을 메모리 셀 어레이(110)의 상부에 배치시키고, 그 외의 페이지 버퍼들(PB0 ~ PBn)의 구성들은 메모리 셀 어레이(110)의 하부에 배치시킴으로써, 2 워드라인 데이터의 프로그램/읽기 동작에 대한 칩 사이즈 오버헤드를 줄일 수 있다.
- [0029] 도 2는 도 1에 도시된 비휘발성 메모리 장치(100)의 프로그램 동작을 개략적으로 설명하기 위한 도면이다. 도 1 및 도 2를 참조하면, 프로그램 동작은 다음과 같이 진행된다. 외부로 2 워드라인 데이터를 입력 받고, 2 워드라인 데이터 중에서 제 1 페이지 데이터에 대응하는 전압들이 비트라인들(BL0 ~ BLn)에 인가된다(①). 이후, 비트라인 선택 트랜지스터들(BST0 ~ BSTn)이 턴-오프된다(②). 따라서 비트라인들(BL0 ~ BLn)의 상부 비트라인들(BL0_u ~ BLn_u)이 설정될 것이다. 이후, 하부 비트라인들(BL0_d ~ BLn_d)이 디스차지시키고 2 워드라인 데이터 중에서 제 2 페이지 데이터에 대응하는 전압들이 비트라인들(BL0 ~ BLn)에 인가된다(③). 따라서 하부 비트라인들(BL0_d ~ BLn_d)이 설정될 것이다. 이후, 어드레스 디코더들(131, 132) 각각에 의해 선택된 워드라인으로 프로그램 전압이 인가될 것이다(④).
- [0030] 본 발명의 실시 예에 따른 프로그램 동작은 제 1 페이지 데이터 및 제 2 페이지 데이터를 동시에 프로그램할 수 있다.
- [0031] 도 3은 도 1에 도시된 비휘발성 메모리 장치(100)의 프로그램 방법에 대한 실시 예를 보여주는 흐름도이다. 도 1 내지 도 3을 참조하면, 비휘발성 메모리 장치(100)의 프로그램 방법은 다음과 같다.
- [0032] 프로그램 동작시 프로그램될 2 워드라인 데이터가 데이터 입출력 회로(140)를 통하여 페이지 버퍼들(PB0 ~ PBn)에 로딩된다(S110). 전압 발생 회로(120)는 제어 로직(150)의 제어에 따라 프로그램 동작에 필요한 구동 전압들(예를 들어, 프로그램 전압, 패스 전압, 고전압, 웰전압, 검증읽기 전압 등)을 발생시킬 것이다.
- [0033] 이후, 페이지 버퍼들(PB0 ~ PBn)에 로딩된 데이터에 따라 상부 비트라인들(BL0_u ~ BLn_u) 및 하부 비트라인들(BL0_d ~ BLn_d)이 설정될 것이다. 도 1에 도시된 바와 같이, 비트라인 공유 트랜지스터들(BST0 ~ BSTn)을 턴-오프시킴으로써 제 1 페이지에 쓰여질 하나의 워드라인에 대응하는 데이터에 대응하여 상부 비트라인들(BL0_u ~ BLn_u)이 설정될 것이다. 이후, 비트라인 공유 트랜지스터들(BST0 ~ BSTn)을 턴-오프시킴으로써 제 2 페이지에 쓰여질 하나의 워드라인에 대응하는 데이터에 대응하여 하부 비트라인들(BL0_d ~ BLn_d)이 설정될 것이다(S120).
- [0034] 어드레스 디코더들(131, 132) 각각은 어드레스를 근거로 하여 프로그램될 제 1 페이지 및 제 2 페이지에 대응하는 2개의 워드라인들(WLm-1)을 선택할 것이다(S130). 도 1에서는 설명의 편의를 위하여 선택된 워드라인(WLm-1)이 모두 m-1 번째 워드라인이었다. 하지만 본 발명의 어드레스 디코더들(131, 132)이 모두 동일한 위치(워드라인 순서에 있어서)의 워드라인을 선택한다고 제한될 필요는 없다. 어드레스 디코더들(131, 132) 각각은 입력 어드레스에 따라 어느 하나의 서로 다른 위치(워드라인 순서에 있어서)의 워드라인을 선택할 수 있다.

- [0035] 선택된 워드라인들(WL_{m-1})으로 프로그램 전압에 대응하는 프로그램 펄스가 인가되고, 비선택된 워드라인들(WL₀ ~ WL₂ ~ WL_{m-2}, WL_m)으로 패스 전압이 인가될 것이다. 프로그램 루프는 설정된 상부 비트라인들(BL_{0_u} ~ BL_{n_u})을 근거로 한 제 1 프로그램 동작과 설정된 하부 비트라인들(BL_{0_d} ~ BL_{n_d})을 근거로 한 제 2 프로그램 동작으로 구분될 것이다. 제 1 프로그램 동작과 제 2 프로그램 동작은 동시에 수행될 것이다.
- [0036] 이후, 프로그램 검증 동작이 수행될 것이다. 여기서 프로그램 검증 동작은 아래에서 상술된 읽기 동작과 유사하기 때문에 여기서는 설명을 생략하도록 하겠다. 프로그램 검증 동작이 패스이면 프로그램 동작은 완료될 것이다(S150). 반면에, 프로그램 검증 동작이 패스되지 않으면, 프로그램 루프 회수가 최대인지 판별한다(S160). 프로그램 루프 회수가 최대이면, 프로그램 동작은 실패한 것으로 처리될 것이다. 반면에, 프로그램 루프 회수가 최대가 아니라면, 프로그램 루프 회수는 증가되고, 프로그램 전압에 대응하는 프로그램 펄스의 레벨도 소정의 값만큼 증가되고, S140 단계로 진입될 것이다(S170).
- [0037] 본 발명의 실시 예에 따른 비휘발성 메모리 장치(100)의 프로그램 방법은, 프로그램 루프마다 선택된 2개의 워드라인들에 동시에 프로그램 펄스를 인가할 것이다.
- [0038] 도 4는 도 1에 도시된 비휘발성 메모리 장치(100)의 읽기 동작을 개략적으로 설명하기 위한 도면이다. 도 1 및 도 4를 참조하면, 읽기 동작은 다음과 같이 진행된다. 프리차지 전압들이 비트라인들(BL₀ ~ BL_n)에 인가된다(①). 이후, 비트라인 선택 트랜지스터들(BST₀ ~ BST_n)이 턴-오프된다(②). 이로써, 상부 비트라인들(BL_{0_u} ~ BL_{n_u}) 및 하부 비트라인들(BL_{0_d} ~ BL_{n_d})이 프리차지될 것이다. 이후, 선택된 워드라인들(WL_{m-1}, 도 1 참조)로 읽기 펄스가 동시에 인가될 것이다(③). 이후, 상부 비트라인들(BL_{0_u} ~ BL_{n_u})의 전압들을 감지함으로써 제 1 페이지 데이터가 상부 감지 래치들(SL_{0_u} ~ SL_{n_u})에 저장되고, 하부 비트라인들(BL_{0_d} ~ BL_{n_d})의 전압들을 감지함으로써 제 2 페이지 데이터가 하부 감지 래치들(SL_{0_d} ~ SL_{n_d})에 저장될 것이다(④).
- [0039] 본 발명의 실시 예에 따른 읽기 동작은 제 1 페이지 데이터 및 제 2 페이지 데이터를 동시에 읽을 수 있다.
- [0040] 도 5는 본 발명의 실시 예에 따른 비휘발성 메모리 장치(100)의 읽기 방법을 예시적으로 보여주는 흐름도이다. 도 1, 도 4 및 도 5를 참조하면, 비휘발성 메모리 장치의 읽기 방법은 다음과 같다.
- [0041] 페이지 버퍼들(PB₀ ~ PB_n)은 읽기 동작시 비트라인 공유 트랜지스터들(BST₀ ~ BST_n)을 턴온시킨 상태에서 상부 비트라인들(BL_{0_u} ~ BL_{n_u}) 및 하부 비트라인들(BL_{0_d} ~ BL_{n_d})을 프리차지 시킨다(S210). 이후, 감지 동작을 위하여 비트라인 공유 트랜지스터들(BST₀ ~ BST_n)을 턴오프시킨다. 이로써, 상부 비트라인들(BL_{0_u} ~ BL_{n_u}) 및 하부 비트라인들(BL_{0_d} ~ BL_{n_d})이 모두 프리차지될 것이다.
- [0042] 이후, 어드레스 디코더들(131, 132)은 어드레스를 근거로 하여 읽혀질 제 1 페이지 및 제 2 페이지에 대응하는 2개의 워드라인들(WL_{m-1})을 선택할 것이다(S220). 선택된 워드라인들로 읽기 전압이 인가될 것이다(S230). 감지 동작은 프리차지된 상부 비트라인들(BL_{0_u} ~ BL_{n_u})을 이용하는 제 1 감지 동작과 프리차지된 하부 비트라인들(BL_{0_d} ~ BL_{n_d})을 이용하는 제 2 감지 동작으로 구분될 것이다. 제 1 감지 동작 및 제 2 감지 동작은 동시에 수행될 것이다.
- [0043] 이후, 상부 감지 래치들(SL_{0_u} ~ SL_{n_u}) 및 하부 감지 래치들(SL_{0_d} ~ SL_{n_d})에 감지된 데이터에 대응하는 데이터를 페이지 버퍼들(PB₀ ~ PB_n)의 데이터 래치들에 저장할 것이다(S250). 여기서 데이터 래치들에 저장된 데이터는 2 워드라인 데이터일 것이다. 이후, 입출력 회로(140)는 읽혀진 2 워드라인 데이터를 출력할 것이다(S260).
- [0044] 본 발명의 실시 예에 따른 비휘발성 메모리 장치(100)의 읽기 방법은 2개의 워드라인들에 연결된 메모리 셀들로부터 동시에 데이터를 읽을 수 있다.
- [0045] 도 1 내지 도 5에서는 어드레스 디코더들(131, 132) 각각이 프로그램 동작 혹은 읽기 동작시 하나의 워드라인을 선택한다. 그러나 본 발명이 반드시 여기에 제한될 필요는 없다. 어드레스 디코더는 두 개의 워드라인들을 선택하도록 구현될 수도 있다.
- [0046] 도 6은 본 발명의 다른 실시 예에 따른 메모리 장치(200)를 예시적으로 보여주는 도면이다. 도 6을 참조하면, 메모리 장치(200)는 메모리 셀 어레이(210), 전압 발생 회로(220, VGNRT), 어드레스 디코더(230, XDEC), 입출력 회로(240), 및 제어 로직(250)을 포함한다.
- [0047] 메모리 셀 어레이(110)는 복수의 메모리 블록들을 포함한다. 도 5에서는 설명의 편의를 위하여 하나의 메모리 블록을 도시한다. 메모리 블록은, 비트라인들(BL₀ ~ BL_n, n은 2이상의 정수) 각각에 연결된 스트링(string)을 포함한다. 여기서 비트라인들(BL₀ ~ BL_n) 각각은 상부 비트라인들(BL_{0_u} ~ BL_{n_u}), 하부 비트라인들(BL_{0_d} ~

BLn_u), 상부 비트라인들(BL0_u ~ BLn_u)과 하부 비트라인들(BL0_d ~ BLn_d)을 비트라인 공유 신호(BLSS)에 응답하여 연결하는 비트라인 공유 트랜지스터들(BST0 ~ BSTn)로 구성된다. 비트라인 공유 트랜지스터(BST0 ~ BSTn)의 게이트들은 비트라인 공유 신호(BLSS)를 입력 받는다. 여기서 스트링은 직렬 연결된 적어도 하나의 스트링 선택 트랜지스터(SST), 메모리 셀들(MC0 ~ MCm, m은 2 이상의 정수), 적어도 하나의 접지 선택 트랜지스터(GST)를 포함한다.

- [0048] 전압 발생 회로(220)는 비휘발성 메모리 장치(200)의 구동에 필요한 구동 전압들(Vpp, Vers, Vpgm, Vpass, Vr, Vread, ...)을 발생한다. 전압 발생 회로(220)는 적어도 하나의 전하 펌프(도시되지 않음)를 이용하거나 외부 고전압을 분배함으로써 구동 전압들을 발생할 수 있다.
- [0049] 어드레스 디코더(230)는 프로그램 동작 혹은 읽기 동작시 입력된 어드레스를 근거로 하여 워드라인들(WL0 ~ WLm) 중 두 개를 선택할 수 있다.
- [0050] 입출력 회로(240)는 프로그램 동작에서 외부로부터 입력된 2 워드라인 데이터(2 WL data)를 임시로 저장하였다가 쓰여질 페이지들(1st Page, 2nd Page)에 저장하거나, 읽기 동작에서 읽혀질 페이지들(1st Page, 2nd Page)로부터 2 워드라인 데이터를 읽어와 임시로 저장하였다가 외부로 출력한다. 여기서 페이지들(1st Page, 2nd Page) 각각은 하나의 워드라인에 연결된 메모리 셀들을 의미한다.
- [0051] 또한, 입출력 회로(240)는 비트라인들(BL0 ~ BLn) 각각에 대응하는 페이지 버퍼들(PB0 ~ PBn)을 포함한다. 페이지 버퍼들(PB0 ~ PBn) 각각은, 프로그램/읽기 동작의 위하여 복수의 데이터 래치들(도시되지 않음), 상부 감지 래치들(SL0_u ~ SLn_u), 및 하부 감지 래치들(SL0_d ~ SLn_d)을 포함한다.
- [0052] 제어 로직(250)은 비휘발성 메모리 장치(200)의 전반적인 동작을 제어한다. 제어 로직(250)은 외부의 메모리 제어기로부터 제공되는 제어 신호들 및 명령을 해석하고, 해석 결과에 응답하여 전압 발생 회로(220), 어드레스 디코더(230), 및 입출력 회로(240)를 제어한다.
- [0053] 실시 예에 있어서, 제어 로직(250)은 프로그램 동작 혹은 읽기 동작시 2개의 워드라인들(예를 들어, WL1, WLm-1)에 연결된 제 1 및 제 2 페이지들/로부터 2 워드라인 데이터를 동시에 쓰거나 혹은 읽을 수 있도록 전압 발생 회로(120), 어드레스 디코더(240), 및 입출력 회로(240)를 제어할 수 있다.
- [0054] 실시 예에 있어서, 제어 로직(250)은 제 1 및 제 2 페이지들/로부터 동시에 프로그램/읽기 동작을 수행하기 위하여 비트라인 공유 신호(BLSS)를 발생할 것이다.
- [0055] 도 7은 본 발명에 따른 메모리 시스템을 예시적으로 보여주는 블록도이다. 도 7을 참조하면, 메모리 시스템(1000)은 적어도 하나의 비휘발성 메모리 장치(1100) 및 메모리 제어기(1200)를 포함한다. 비휘발성 메모리 장치(1100)는 도 1 및 도 6에서 설명된 비휘발성 메모리 장치들(100, 200) 중 어느 하나로 구현될 것이다. 즉, 비휘발성 메모리 장치(1100)는 2 워드라인 데이터 단위로 프로그램 동작을 수행하거나 읽기 동작을 수행할 수 있다.
- [0056] 메모리 제어기(1200)는 복수의 채널들을 통하여 비휘발성 메모리 장치(1100)에 연결된다. 메모리 제어기(1200)는 적어도 하나의 프로세서(1210), 버퍼 메모리(1220), 에러 정정회로(1230), 코드 메모리(1240), 호스트 인터페이스(1250) 및 메모리 인터페이스(1260)를 포함한다.
- [0057] 본 발명의 실시 예에 따른 메모리 시스템(1000)은, 2 워드라인 데이터 단위로 입출력함으로써, 비휘발성 메모리 장치(1100)의 프로그램/읽기 성능을 향상시킨다.
- [0058] 본 발명은 SSD(solid state drive)에 적용 가능하다.
- [0059] 도 8은 본 발명의 실시 예에 따른 SSD를 예시적으로 보여주는 블록도이다. 도 8을 참조하면, SSD(2000)는 복수의 플래시 메모리 장치들(2100) 및 SSD 제어기(2200)를 포함한다. 플래시 메모리 장치들(2100)은 외부 고전압(Vpp)을 제공받도록 구현될 수 있다. 플래시 메모리 장치들(2100) 각각은 도 1 내지 도 6에 설명된 2 워드라인 데이터 단위로 프로그램 동작과 읽기 동작을 수행하도록 구현될 것이다. SSD 제어기(2200)는 복수의 채널들(CH1~CHi, i는 2 이상의 정수)을 통하여 플래시 메모리 장치들(2100)에 연결된다. SSD 제어기(2200)는 적어도 하나의 중앙처리장치(2210), 버퍼 메모리(2220), 호스트 인터페이스(2250) 및 플래시 인터페이스(2260)를 포함한다.
- [0060] 본 발명에 따른 SSD(2000)는 프로그램 동작 및 읽기 동작시 2 워드라인 데이터 단위로 구동됨으로써, 대용량 데이터를 저장하는데 유리하다.

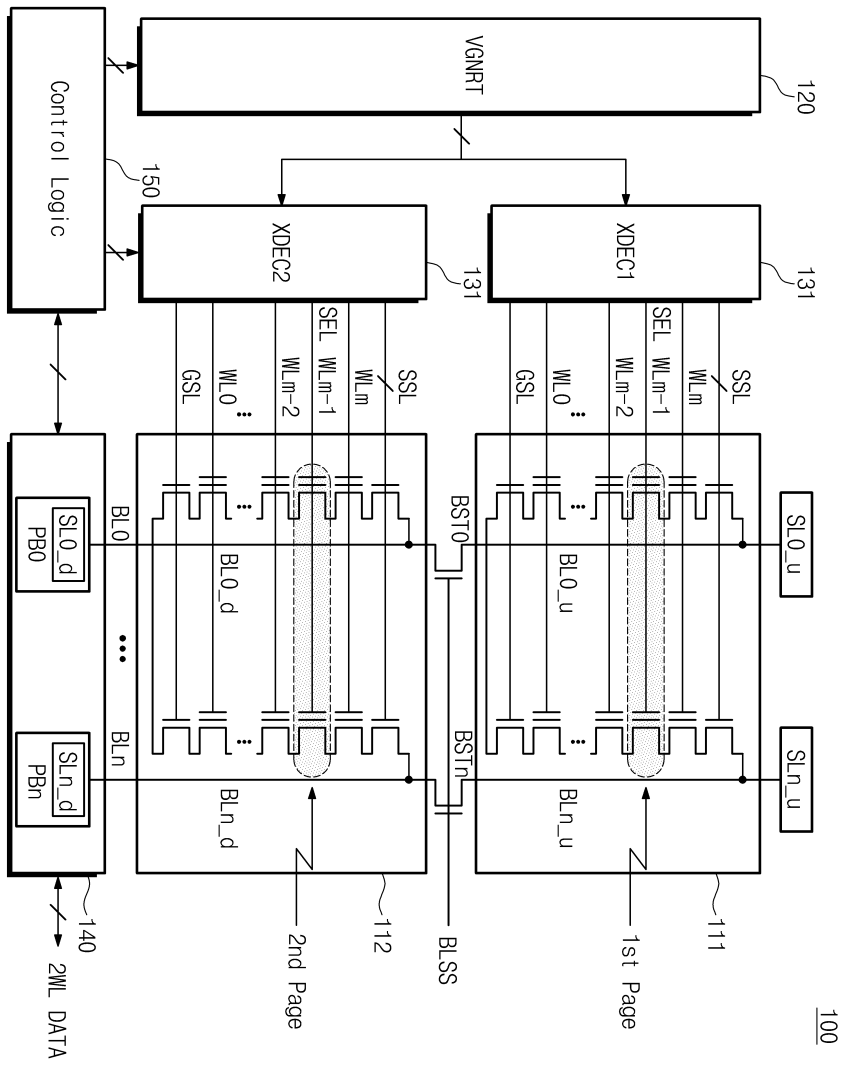
- [0061] 본 발명은 eMMC(embedded)에 적용 가능하다.
- [0062] 도 9는 본 발명에 따른 eMMC를 예시적으로 보여주는 블록도이다. 도 9를 참조하면, eMMC(3000)는 적어도 하나의 낸드 플래시 메모리 장치(3100) 및 제어기(3200)를 포함할 수 있다. 낸드 플래시 메모리 장치(3100)는 SDR(single data rate) 낸드 혹은 DDR(double data rate) 낸드, toggle NAND일 수 있다. 실시 예에 있어서, 낸드 플래시 메모리 장치(3100)는 단품의 낸드 플래시 메모리 장치들을 포함할 수 있다. 여기서, 단품의 낸드 플래시 메모리 장치들은 하나의 패키지(예를 들어, FBGA, Fine-pitch Ball Grid Array)에 적층 되어 구현될 수 있다. 여기서 낸드 플래시 메모리 장치들 각각은, 도 1 내지 도 6에서 설명된 구동 방법으로 구현될 것이다.
- [0063] 메모리 제어기(3200)는 복수의 채널들을 통하여 플래시 메모리 장치(3100)에 연결된다. 제어기(3200)는 적어도 하나의 제어기 코어(3210), 호스트 인터페이스(3250) 및 낸드 인터페이스(3260)를 포함한다. 적어도 하나의 제어기 코어(3210)는 eMMC(3000)의 전반적인 동작을 제어한다. 호스트 인터페이스(3250)는 제어기(3210)와 호스트의 인터페이싱을 수행한다. 낸드 인터페이스(3260)는 낸드 플래시 메모리 장치(3100)와 제어기(3200)의 인터페이싱을 수행한다. 실시 예에 있어서, 호스트 인터페이스(3250)는 병렬 인터페이스(예를 들어, MMC 인터페이스)일 수 있다. 다른 실시 예에 있어서, eMMC(3000)의 호스트 인터페이스(3250)는 직렬 인터페이스(예를 들어, UHS-II, UFS 인터페이스)일 수 있다.
- [0064] eMMC(3000)는 호스트로부터 전원 전압들(Vcc, Vccq)을 제공받는다. 여기서, 제 1 전원 전압(Vcc: 3.3V)은 낸드 플래시 메모리 장치(3100) 및 낸드 인터페이스(3230)에 제공되고, 제 2 전원 전압(Vccq: 1.8V/3.3V)은 제어기(3200)에 제공된다.
- [0065] 본 발명의 실시 예에 따른 eMMC(3000)는 소형 및 저전력이 요구되는 모바일 제품(예를 들어, 갤럭시S 시리즈, 갤럭시노트 시리즈, 아이폰, 아이패드, 넥서스, 페블릿(Phablit) 등)에 응용 가능하다.
- [0066] 한편, 상술 된 본 발명의 내용은 발명을 실시하기 위한 구체적인 실시 예들에 불과하다. 본 발명은 구체적이고 실제로 이용할 수 있는 수단 자체뿐 아니라, 장치 기술로 활용할 수 있는 추상적이고 개념적인 아이디어인 기술적 사상을 포함할 것이다.

부호의 설명

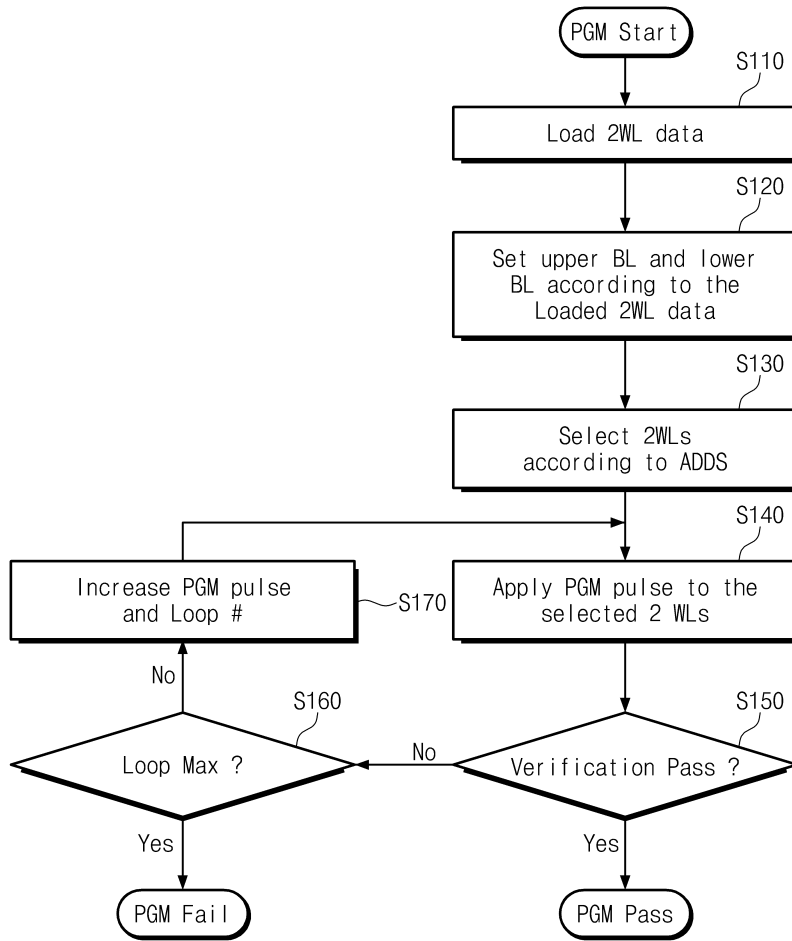
- [0067] 100: 비휘발성 메모리 장치
- 110: 메모리 셀 어레이
- 120: 전압 발생 회로
- 130: 어드레스 디코더
- 140: 입출력 회로
- 150: 제어 로직
- PB0 ~ PBn: 페이지 버퍼
- SL0_u ~ SLn_u: 상부 감지 래치
- SL0_d ~ SLn_d: 하부 감지 래치
- BST0 ~ BSTn: 비트라인 공유 트랜지스터
- BLSS: 비트라인 공유 신호
- BLO_u ~ BLn_u: 상부 비트라인
- BLO_d ~ BLn_d: 하부 비트라인
- WLO ~ WLm: 워드라인

도면

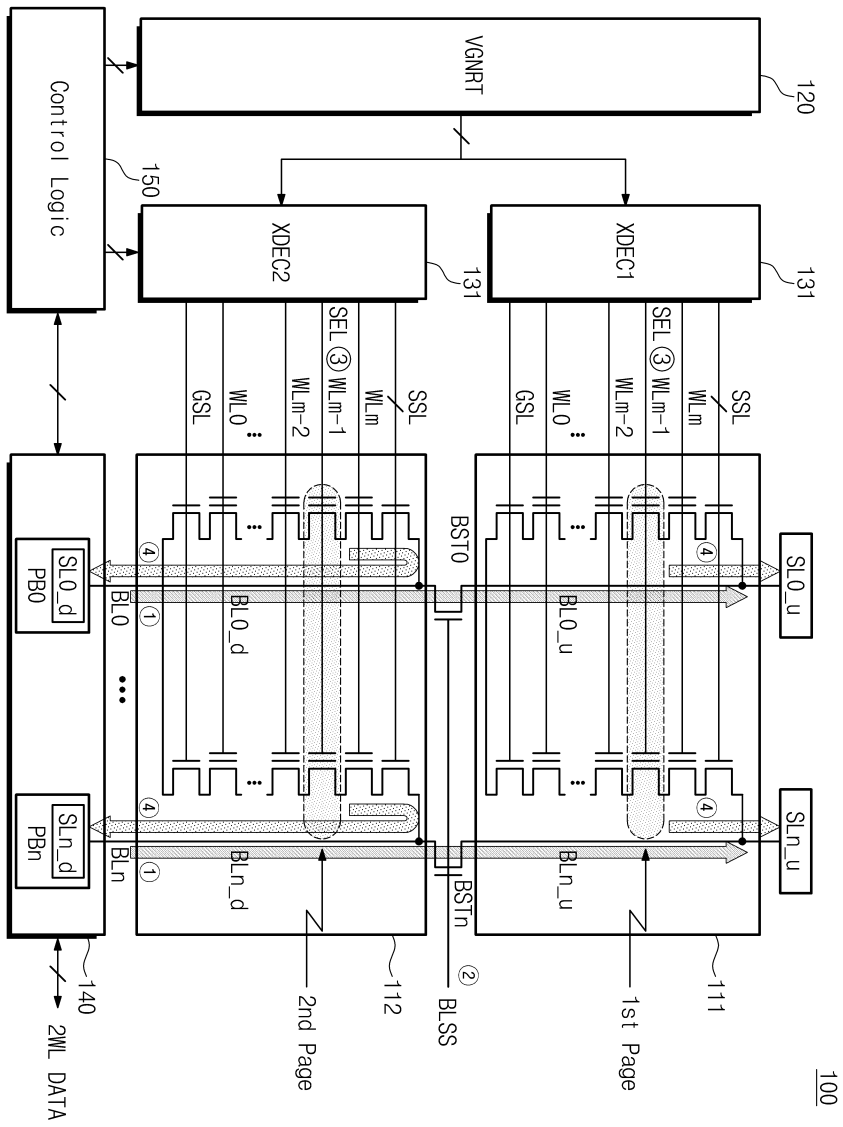
도면1



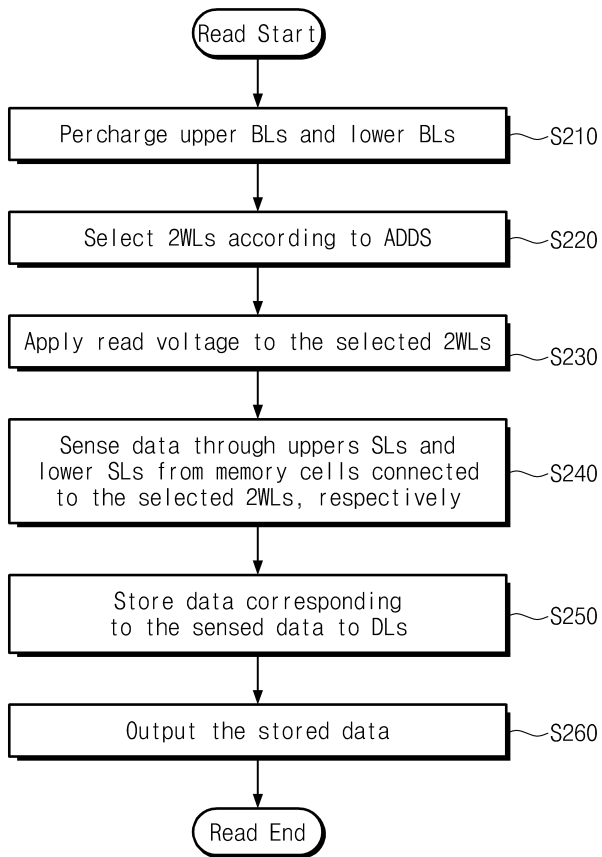
도면3



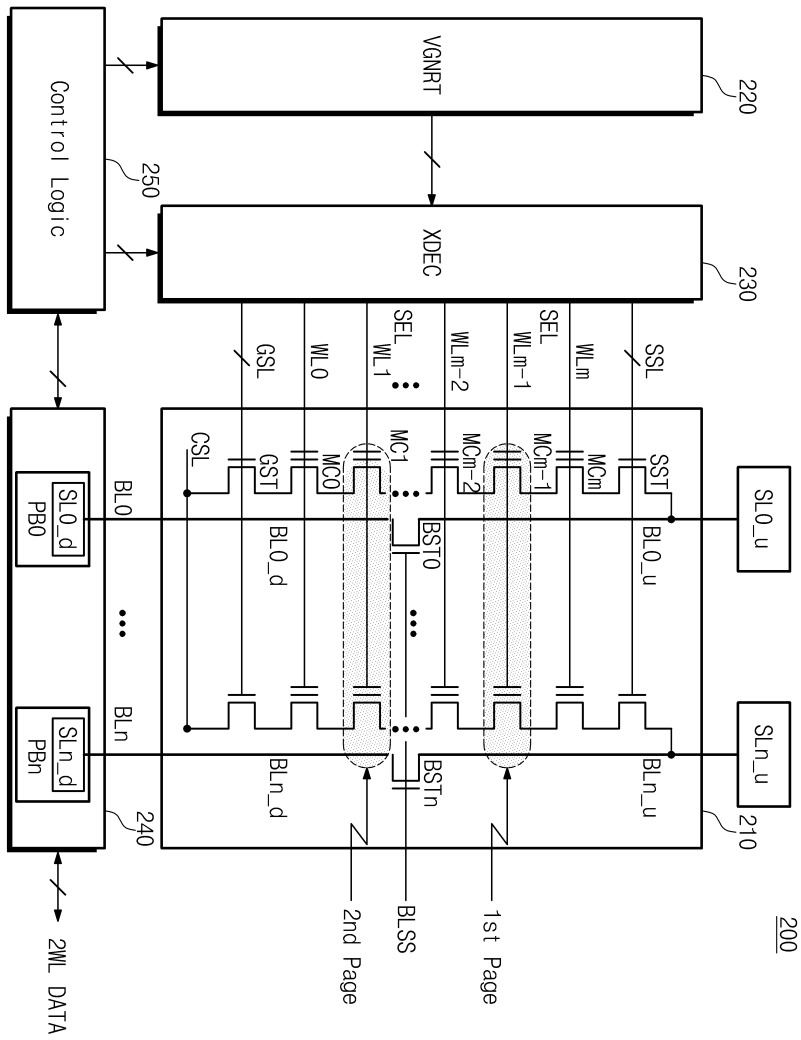
도면4



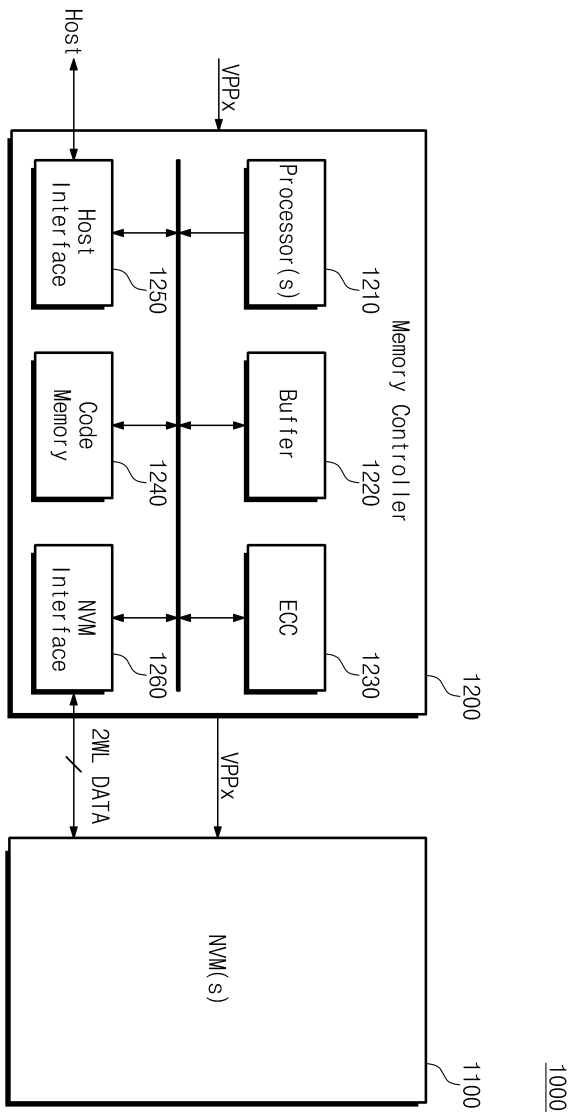
도면5



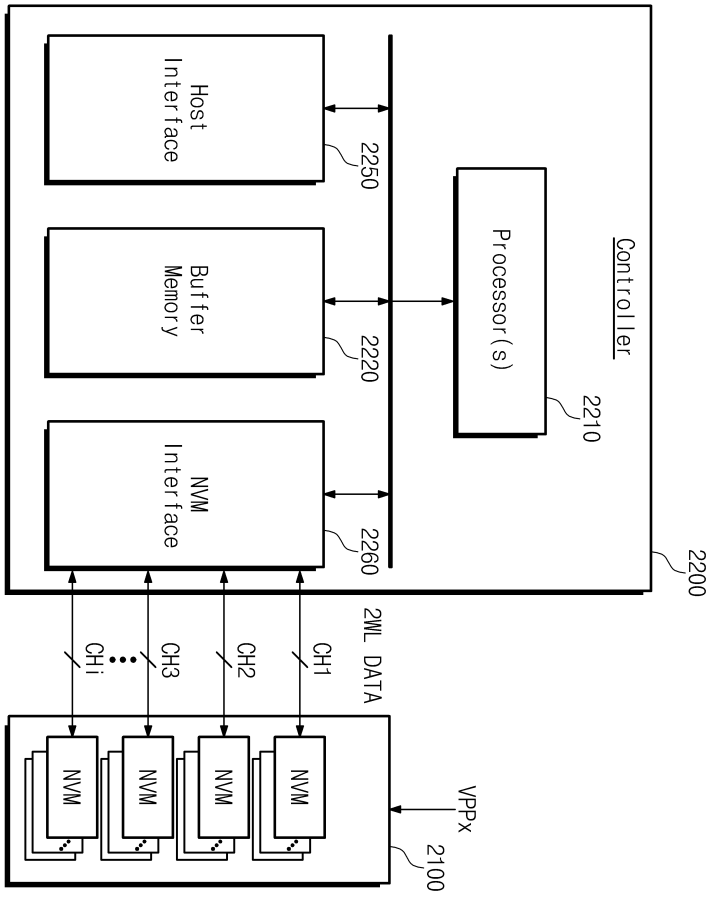
도면6



도면7



도면8



2000

도면9

