

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2001年1月25日 (25.01.2001)

PCT

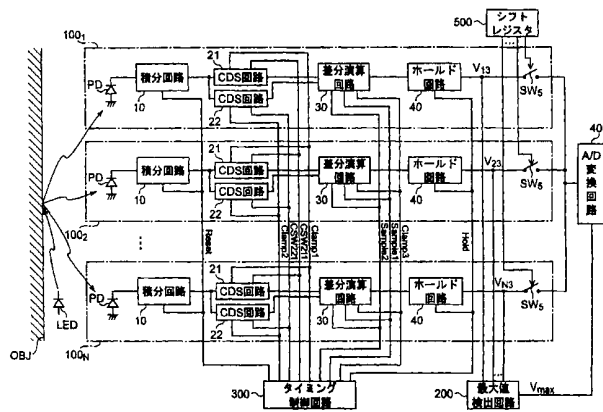
(10) 国際公開番号
WO 01/06573 A1

- (51) 国際特許分類: H01L 31/10 (MIZUNO, Seiichiro) [JP/JP]. 松越晴寛 (FUNAKOSHI, Haruhiro) [JP/JP]; 〒435-8558 静岡県浜松市市野町1126番地の1 浜松ホトニクス株式会社内 Shizuoka (JP).
- (21) 国際出願番号: PCT/JP00/04786
- (22) 国際出願日: 2000年7月17日 (17.07.2000)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: 特願平11/203502 1999年7月16日 (16.07.1999) JP
- (71) 出願人 (米国を除く全ての指定国について): 浜松ホトニクス株式会社 (HAMAMATSU PHOTONICS K.K.) [JP/JP]; 〒435-8558 静岡県浜松市市野町1126番地の1 Shizuoka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 水野誠一郎
- (74) 代理人: 弁理士 長谷川芳樹, 外 (HASEGAWA, Yoshiki et al.); 〒104-0061 東京都中央区銀座二丁目6番12号 大倉本館 創英国際特許法律事務所 Tokyo (JP).
- (81) 指定国 (国内): AE, AL, AM, AT, AU, AZ, BA, BB, BG, BR, BY, CA, CH, CN, CR, CU, CZ, DE, DK, DM, EE, ES, FI, GB, GD, GE, GH, GM, HR, HU, ID, IL, IN, IS, KE, KG, KP, KR, KZ, LC, LK, LR, LS, LT, LU, LV, MA, MD, MG, MK, MN, MW, MX, NO, NZ, PL, PT, RO, RU, SD, SE, SG, SI, SK, SL, TJ, TM, TR, TT, TZ, UA, UG, US, UZ, VN, YU, ZA, ZW.
- (84) 指定国 (広域): ARIPO 特許 (GH, GM, KE, LS, MW, MZ, SD, SL, SZ, TZ, UG, ZW), ユーラシア特許 (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT,

[続業有]

(54) Title: PHOTODETECTOR

(54) 発明の名称: 光検出装置



- 10...INTEGRATOR
- 21...CDS CIRCUIT
- 22...CDS CIRCUIT
- 30...DIFFERENTIAL AMP
- 40...HOLD CIRCUIT
- 200...PEAK DETECTOR
- 300...TIMING CONTROL CIRCUIT
- 400...A/D CONVERTER
- 500...SHIFT REGISTER

(57) Abstract: A photodiode (PD) supplies an integrator (10) with a signal current corresponding to incident radiation, and the integrator stores the charge depending on the received current signal and produces a voltage signal corresponding to the stored charge. An integrating capacitor (C_{212}) in a first CDS circuit (21) stores the charge corresponding to the change in the voltage signal output from the integrator (10). Similarly, an integrating capacitor (C_{222}) in a second CDS circuit (22) stores the charge corresponding to the change in the voltage signal output from the integrator (10). A differential amplifier (30) determines the difference in stored charge between the integrating capacitor (C_{212}) of the first CDS circuit (21) and the integrating capacitor (C_{222}) of the second CDS circuit (22), and produces an output voltage signal corresponding to the difference.

[続業有]

WO 01/06573 A1



LU, MC, NL, PT, SE), OAPI 特許 (BF, BJ, CF, CG, CI, CM, GA, GN, GW, ML, MR, NE, SN, TD, TG).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類：
— 国際調査報告書

(57) 要約:

入射光強度に応じた電流信号がフォトダイオードPDから出力され、積分回路10では、この電流信号に応じて電荷が蓄積されて、その蓄積された電荷の量に応じた電圧信号が出力される。第1のCDS回路21では、積分回路10から出力される電圧信号の変化量に応じた電荷が積分容量素子 C_{212} に蓄積される。同様に、第2のCDS回路22では、積分回路10から出力される電圧信号の変化量に応じた電荷が積分容量素子 C_{222} に蓄積される。そして、差分演算回路30では、第1のCDS回路21の積分容量素子 C_{212} および第2のCDS回路22の積分容量素子 C_{222} それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧信号が出力される。

明細書

光検出装置

技術分野

5 本発明は、光検出素子に入射する光のうち背景光成分を除去して信号光成分のみを検出する光検出装置に関するものである。

背景技術

10 光検出装置は、1以上の光検出素子を有しており、各光検出素子が出力した電流信号を積分回路により積分して、その積分結果である電圧信号を出力する。また、光検出装置によっては、アナログ信号である上記電圧信号をデジタル信号に変換（A/D変換）して、このデジタル信号を出力するものもある。もし、この
15 A/D変換の際に電圧信号が所定値を越える場合には、その電圧信号に基づいてA/D変換され出力されるデジタル信号は、その所定値に対応する値となって飽和し、その結果、正確な光検出ができないという問題点がある。そこで、従来では、上記電圧信号の予想される最大値またはそれ以上の値を上記所定値として設定することにより、上記のような飽和が起こらないようにしていた。また、対数
20 圧縮等のテクニックを用いてダイナミックレンジを拡げる場合もあった。

また、光検出装置は、例えばカメラに組み込まれる測距装置に用いられている。この測距装置では、発光ダイオード等の投光手段から被写体に投光されたスポット光の反射を2つの光検出装置それぞれにより検出し、検出された2つの信号に
25 基づいて測距が行われる。このとき、スポット光成分（信号光成分）を検出する際には背景光成分も重畳されて検出されることから、スポット光が投光されていないときに背景光成分のみを検出して、両者の差分をとることでスポット光成分のみの信号を得て、測距精度の向上を図っている。

発明の開示

25 しかし、従来の光検出装置における積分回路では、積分回路の要素回路である増幅器が有する熱雑音等の各積分動作毎に異なる値の雑音成分に対して対策を施

していないことから、ノイズ誤差が生じる可能性がある。したがって、この各積分動作毎に異なるノイズ成分により、光検出素子が検出する光の光量すなわち上記電圧信号の値が小さい場合には、光検出のS/N比は悪い。

また、従来の光検出装置におけるA/D変換では、飽和が起こらないようにするために上記所定値として大きな値を設定することから、光検出素子が検出する光の光量すなわち上記電圧信号の値が小さい場合には、出力されるデジタル信号の分解能は悪くなる。

さらに、光検出装置が測距装置に用いられる場合のように、スポット光成分および背景光成分の検出結果から背景光成分の検出結果を差し引くことによりスポット光成分のみの信号を得る場合には、以下のような問題点がある。すなわち、スポット光成分に比べて背景光成分が大きい場合には、その背景光成分が重畳されたスポット光成分を検出したときの上記電圧信号が非常に大きくなり、それ故、飽和が起こらないようにするために上記所定値として更に大きな値を設定する必要がある。したがって、差し引いた結果として得られるスポット光成分に基づいて出力されるデジタル信号は分解能が更に悪くなる。

以上のように、従来の光検出装置ではS/N比が悪く、また、A/D変換する場合には出力されるデジタル信号の分解能が悪い。そこで、本発明は、上記問題点を解消する為になされたものであり、S/N比が優れた光検出装置を提供することを目的とする。また、A/D変換する場合に、入射光強度が大きくても飽和することなく、入射光強度が小さくても分解能が優れた光検出装置を提供することを目的とする。

本発明に係る光検出装置は、(1) 入射光強度に応じた電流信号を出力する光検出素子と、(2) 光検出素子から出力された電流信号に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧信号を出力する積分回路と、(3) 積分回路から出力される電圧信号を入力する入力端子と出力端子との間に順に設けられた第1の結合容量素子および第1の増幅器と、第1の増幅器の入出力間に並列的に設

けられた第1の積分容量素子と、第1の積分容量素子に電圧信号の変化量に応じた電荷量を蓄積させる第1のスイッチ手段と、を有する第1のCDS回路と、(4) 積分回路から出力される電圧信号を入力する入力端子と出力端子との間に順に設けられた第2の結合容量素子および第2の増幅器と、上記第1の積分容量素子の容量値と等しい容量値を有し第2の増幅器の入出力間に並列的に設けられた第2の積分容量素子と、第2の積分容量素子に電圧信号の変化量に応じた電荷量を蓄積させる第2のスイッチ手段と、を有する第2のCDS回路と、(5) 第1のCDS回路の第1の積分容量素子および第2のCDS回路の第2の積分容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧信号を出力する差分演算回路と、を備えることを特徴とする。

この光検出装置によれば、入射光強度に応じた電流信号が光検出素子から出力され、積分回路では、光検出素子から出力された電流信号に応じて電荷が蓄積されて、その蓄積された電荷の量に応じた電圧信号が出力される。第1のCDS(相関二重サンプリング、Correlated Double Sampling)回路では、積分回路から出力される電圧信号が第1の結合容量素子に入力し、その入力した電圧信号の変化量に応じた電荷量が第1の積分容量素子に第1のスイッチ手段により蓄積される。同様にして、第2のCDS回路でも、積分回路から出力される電圧信号が第2の結合容量素子に入力し、その入力した電圧信号の変化量に応じた電荷量が第2の積分容量素子に第2のスイッチ手段により蓄積される。そして、差分演算回路では、第1のCDS回路の第1の積分容量素子および第2のCDS回路の第2の積分容量素子それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧信号が出力される。

また、本発明に係る光検出装置は、積分回路、第1のCDS回路、第2のCDS回路および差分演算回路それぞれの動作を制御するタイミング制御回路を更に備え、被写体に向けてスポット光を投光する投光手段とともに用いられる光検出装置であって、タイミング制御回路は、(1) 投光手段により被写体にスポット光

が投光されている第1の期間に、光検出素子が当該スポット光成分および背景光成分を検出したときに積分回路が出力した電圧信号の変化量に基づいて第1の電荷量を第1のCDS回路の第1の積分容量素子に蓄積させ、(2)投光手段により被写体にスポット光が投光されていない第2の期間に、光検出素子が背景光成分を検出したときに積分回路が出力した電圧信号の変化量に基づいて第2の電荷量を第2のCDS回路の第2の積分容量素子に蓄積させ、(3)第1および第2の期間の後の第3の期間に、第1のCDS回路の第1の積分容量素子および第2のCDS回路の第2の積分容量素子それぞれに蓄積されている電荷量の差分を差分演算回路に演算させて、その差分に応じた電圧信号を差分演算回路から出力させる、

5

10

ことを特徴とする。

この場合には、この光検出装置は、タイミング制御回路による制御の下に、以下のように作用する。すなわち、第1の期間に、光検出素子がスポット光成分および背景光成分を検出したときに積分回路が出力した電圧信号の変化量に応じた第1の電荷量が第1のCDS回路の第1の積分容量素子に蓄積される。また、第2の期間に、光検出素子が背景光成分を検出したときに積分回路が出力した電圧信号の変化量に応じた第2の電荷量が第2のCDS回路の第2の積分容量素子に蓄積される。そして、第3の期間に、第1のCDS回路の第1の積分容量素子および第2のCDS回路の第2の積分容量素子それぞれに蓄積されている電荷量の差分が差分演算回路により求められて、その差分に応じた電圧信号が差分演算回路から出力される。この差分演算回路から出力される電圧信号は、スポット光成分に応じたものとなる。なお、第1および第2の期間のうち何れが先であってもよい。

15

20

また、本発明に係る光検出装置は、(1)光検出素子、積分回路、第1のCDS回路、第2のCDS回路および差分演算回路をN組($N \geq 2$)備え、(2)N個の差分演算回路それぞれに対応して設けられ、各差分演算回路から出力される電圧信号を保持して出力するN個のホールド回路を更に備え、また、(3)N個のホー

25

ルド回路それぞれから出力される電圧信号を順次に入力し、その電圧信号をデジタル信号に変換して、そのデジタル信号を出力するA/D変換回路を更に備える、ことを特徴とする。

5 この場合には、光検出素子、積分回路、第1のCDS回路、第2のCDS回路、差分演算回路およびホールド回路がN組備えられている。各組の差分演算回路から出力される電圧信号は、ホールド回路により保持される。そして、A/D変換回路では、N個のホールド回路それぞれから出力される電圧信号が順次に入力され、その電圧信号がデジタル信号に変換されて、そのデジタル信号が出力される。すなわち、1次元像または2次元像が撮像されて、その撮像結果がデジタル信号として出力される、

10 また、本発明に係る光検出装置は、N個の差分演算回路またはホールド回路それぞれから出力される電圧信号の最大値を検出する最大値検出回路を更に備え、A/D変換回路は、最大値検出回路により検出された最大値に基づいてA/D変換レンジを設定する、ことを特徴とする。この場合には、最大値検出回路により、

15 N個の差分演算回路またはホールド回路それぞれから出力される電圧信号の最大値が検出される。そして、A/D変換回路では、最大値検出回路により検出された最大値に基づいてA/D変換レンジが設定される。

図面の簡単な説明

- 20 図1は本実施形態に係る光検出装置の全体の概略構成図である。
- 図2は本実施形態に係る光検出装置の積分回路の回路図である。
- 図3は本実施形態に係る光検出装置の第1のCDS回路、第2のCDS回路および差分演算回路それぞれの回路図である。
- 図4は本実施形態に係る光検出装置のホールド回路の回路図である。
- 図5は本実施形態に係る光検出装置の最大値検出回路の回路図である。
- 25 図6は本実施形態に係る光検出装置のA/D変換回路の回路図である。
- 図7はA/D変換回路中の可変容量積分回路の詳細な回路図である。

図8 A、図8 B、図8 C、図8 D、図8 E、図8 F、図8 G、図8 H、図8 I、
図8 J、図8 K、図8 L、図8 Mは本実施形態に係る光検出装置の動作を説明す
るためのタイミングチャートである。

図9 A、図9 B、図9 C、図9 DはA/D変換回路の動作を説明する図である。

5 図10は他の実施形態に係る光検出装置の差分演算回路の回路図である。

発明を実施するための最良の形態

以下、添付図面を参照して本発明の実施の形態を詳細に説明する。なお、図面
の説明において同一の要素には同一の符号を付し、重複する説明を省略する。ま
た、Nは2以上の整数であり、添え字nは特に明示しない限り1からNまでの任
10 意の整数を示すものとする。

先ず、本発明に係る光検出装置の実施形態について、図1～図7を用いて説明
する。図1は本実施形態に係る光検出装置の全体の概略構成図である。本実施形
態に係る光検出装置は、N個のユニット100₁～100_N、最大値検出回路20
0、タイミング制御回路300、A/D変換回路400およびシフトレジスタ5
15 00を備えて構成されている。各ユニット100_nは、フォトダイオードPD、積
分回路10、第1のCDS回路21、第2のCDS回路22、差分演算回路（差
動増幅回路）30、ホールド回路40およびスイッチ素子SW₅を含む。各ユニッ
ト100_nの積分回路10は互いに同様の構成であり、各ユニット100_nの第1
のCDS回路21は互いに同様の構成であり、各ユニット100_nの第2のCDS
20 回路22は互いに同様の構成であり、各ユニット100_nの差分演算回路30は互
いに同様の構成であり、また、各ユニット100_nのホールド回路40は互いに同
様の構成である。したがって、N個のユニット100₁～100_Nは互いに同様の
構成である。

各ユニット100_nのフォトダイオードPDは、アノード端子が接地され、カソ
25 ード端子が積分回路10の入力端子に接続されている。フォトダイオードPDは、
入射光強度に応じた電流信号を、アノード端子から積分回路10の入力端子へ出

力する。各ユニット 100_n のフォトダイオード PD は、1次元状または2次元状に配置されており、1次元像または2次元像を検出する。

図2は本実施形態に係る光検出装置の積分回路10の回路図である。各ユニット 100_n の積分回路10は、入力端子と出力端子との間に互いに並列にアンプ A_1 、容量素子 C_1 およびスイッチ素子 SW_1 が接続されている。積分回路10は、スイッチ素子 SW_1 が閉じているときには、容量素子 C_1 を放電して初期化する。一方、積分回路10は、スイッチ素子 SW_1 が開いているときには、フォトダイオード PD から入力端子に入力した電荷を容量素子 C_1 に蓄積して、その蓄積された電荷に応じた電圧信号を出力端子から出力する。スイッチ素子 SW_1 は、タイミング制御回路300から出力されるReset信号に基づいて開閉する。

図3は、本実施形態に係る光検出装置の第1のCDS回路21、第2のCDS回路22および差分演算回路30それぞれの回路図である。

各ユニット 100_n の第1のCDS回路21は、入力端子と出力端子との間に順にスイッチ素子 SW_{211} 、結合容量素子 C_{211} およびアンプ A_{21} を有している。また、アンプ A_{21} の入出力間にスイッチ素子 SW_{212} および積分容量素子 C_{212} が互いに並列的に接続されている。スイッチ素子 SW_{211} および SW_{212} は、積分容量素子 C_{212} に電荷を蓄積させるためのスイッチ手段として作用する。第1のCDS回路21は、スイッチ素子 SW_{212} が閉じているときには、積分容量素子 C_{212} を放電して初期化する。スイッチ素子 SW_{212} が開きスイッチ素子 SW_{211} が閉じているときには、入力端子から結合容量素子 C_{211} を経て入力した第1の電荷を積分容量素子 C_{212} に蓄積して、その蓄積された電荷に応じた電圧信号を出力端子から出力する。スイッチ素子 SW_{211} は、タイミング制御回路300から出力されるCSW211信号に基づいて開閉する。また、スイッチ素子 SW_{212} は、タイミング制御回路300から出力されるClamp1信号に基づいて開閉する。

各ユニット 100_n の第2のCDS回路22は、入力端子と出力端子との間に順にスイッチ素子 SW_{221} 、結合容量素子 C_{221} およびアンプ A_{22} を有している。また、

5 アンプ A_{22} の入出力間にスイッチ素子 SW_{222} および積分容量素子 C_{222} が互いに並列的に接続されている。スイッチ素子 SW_{221} および SW_{222} は、積分容量素子 C_{222} に電荷を蓄積させるためのスイッチ手段として作用する。第 2 の CDS 回路 2 2 の積分容量素子 C_{222} の容量値は、第 1 の CDS 回路 2 1 の積分容量素子 C_{212} の容量値と等しい。第 2 の CDS 回路 2 2 は、スイッチ素子 SW_{222} が閉じているときには、積分容量素子 C_{222} を放電して初期化する。スイッチ素子 SW_{222} が開きスイッチ素子 SW_{221} が閉じているときには、入力端子から結合容量素子 C_{221} を経て入力した第 2 の電荷を積分容量素子 C_{222} に蓄積して、その蓄積された電荷に応じた電圧信号を出力端子から出力する。スイッチ素子 SW_{221} は、タイミング制御回路 3 0 0 から出力される CSW221 信号に基づいて開閉する。また、スイッチ素子 SW_{222} は、タイミング制御回路 3 0 0 から出力される clamp2 信号に基づいて開閉する。

10 各ユニット 1 0 0_n の差分演算回路 3 0 は、2 つの入力端子 3 0 a および 3 0 b ならびに 1 つの出力端子 3 0 c を有しており、第 1 の入力端子 3 0 a が第 1 の CDS 回路 2 1 の出力端子に接続され、第 2 の入力端子 3 0 b が第 2 の CDS 回路 2 2 の出力端子に接続されている。差分演算回路 3 0 は、スイッチ素子 $SW_{31} \sim SW_{33}$ 、容量素子 C_3 およびアンプ A_3 を備える。第 1 の入力端子 3 0 a と出力端子 3 0 c との間に順に、スイッチ素子 SW_{31} 、容量素子 C_3 およびアンプ A_3 が配され、第 2 の入力端子 3 0 b と出力端子 3 0 c との間に順に、スイッチ素子 SW_{32} 、容量素子 C_3 およびアンプ A_3 が配されている。また、容量素子 C_3 とアンプ A_3 との接続点がスイッチ素子 SW_{33} を介して接地されている。

20 この差分演算回路 3 0 は、スイッチ素子 SW_{33} を閉じているときにスイッチ素子 SW_{32} を開きスイッチ素子 SW_{31} を一定期間だけ閉じることで、第 1 の CDS 回路 2 1 から出力された電圧信号を入力して、容量素子 C_3 に電荷 Q 1 だけ充電する。また、差分演算回路 3 0 は、スイッチ素子 SW_{33} を開いているときにスイッチ素子 SW_{31} を開きスイッチ素子 SW_{32} を一定期間だけ閉じることで、第 2 の CDS 回路 2 2 から出力された電圧信号を入力して、容量素子 C_3 から電荷 Q 2 を放電する。

このようにして、差分演算回路30は、電荷 Q_1 と電荷 Q_2 との差分すなわち電荷 $(Q_1 - Q_2)$ を容量素子 C_3 に蓄積して、その蓄積された電荷 $(Q_1 - Q_2)$ に応じた電圧信号をアンプ A_3 から出力する。スイッチ素子 SW_{31} は、タイミング制御回路300から出力されるSample1信号に基づいて開閉する。スイッチ素子 SW_{32} は、タイミング制御回路300から出力されるSample2信号に基づいて開閉する。また、スイッチ素子 SW_{33} は、タイミング制御回路300から出力されるClamp3信号に基づいて開閉する。

図4は本実施形態に係る光検出装置のホールド回路40の回路図である。各ユニット 100_n のホールド回路40は、入力端子と出力端子との間に順にスイッチ素子 SW_4 およびアンプ A_4 を有し、スイッチ素子 SW_4 とアンプ A_4 との接続点が容量素子 C_4 を介して接地されている。ホールド回路40は、スイッチ素子 SW_4 が閉じているときに差分演算回路30から出力された電圧信号を容量素子 C_4 に記憶し、スイッチ素子 SW_4 が開いた後も、容量素子 C_4 の電圧信号を保持して、その電圧信号をアンプ A_4 を介して出力する。スイッチ素子 SW_4 は、タイミング制御回路300から出力されるHold信号に基づいて開閉する。各ユニット 100_n のスイッチ素子 SW_5 は、シフトレジスタ500により制御されて順次に関き、ホールド回路40から出力される電圧信号をA/D変換回路400に順次に入力させる。

図5は本実施形態に係る光検出装置の最大値検出回路200の回路図である。最大値検出回路200は、NMOSトランジスタ $T_1 \sim T_n$ 、抵抗器 $R_{201} \sim R_{203}$ および差動アンプ A_{201} を備える。各トランジスタ T_n のソース端子は接地され、各トランジスタ T_n のドレイン端子は、抵抗器 R_{203} を介して電源電圧 V_{dd} に接続されるとともに、抵抗器 R_{201} を介して差動アンプ A_{201} の反転入力端子に接続されている。各トランジスタ T_n のゲート端子は、ユニット 100_n のホールド回路40の出力端子と接続されており、ホールド回路40から出力される電圧信号 V_{n3} が入力する。また、差動アンプ A_{201} の反転入力端子と出力端子の間には抵抗器 R_{202} が設

けられ、差動アンプ A_{201} の非反転入力端子は接地されている。この最大値検出回路 200 では、各ユニット 100_n のホールド回路 40 から出力された電圧信号 V_{n3} がトランジスタ T_n のゲート端子に入力され、各電圧信号 V_{n3} のうちの最大値に応じた電位がトランジスタ T_n のドレイン端子に現れる。そして、そのドレイン端子の電位は、抵抗器 R_{201} および R_{202} それぞれの抵抗値の比に応じた増幅率で差動アンプ A_{201} により増幅され、その増幅された電圧の値が最大電圧値 V_{max} として出力端子から A/D 変換回路 400 へ出力される。

図 6 は本実施形態に係る光検出装置の A/D 変換回路 400 の回路図である。A/D 変換回路 400 は、最大値検出回路 200 から出力される最大電圧値 V_{max} を入力し、この最大電圧値 V_{max} を A/D 変換レンジとする。そして、A/D 変換回路 400 は、各ユニット 100_n のホールド回路 40 から出力される電圧信号 V_{n3} をスイッチ素子 SW_5 を介して順次に入力し、その電圧信号（アナログ信号）をデジタル信号に変換して出力する。A/D 変換回路 400 は、可変容量積分回路 410、比較回路 A_{402} 、容量制御部 420 および読み出し部 430 を備える。

可変容量積分回路 410 は、容量素子 C_{401} 、アンプ A_{401} 、可変容量部 C_{400} およびスイッチ素子 SW_{401} を備える。アンプ A_{401} は、各ユニット 100_n のホールド回路 40 から出力されスイッチ素子 SW_5 を介して順次に到達した電圧信号 V_{n3} を、容量素子 C_{401} を介して反転入力端子に入力する。アンプ A_{401} の非反転入力端子は接地されている。可変容量部 C_{400} は、容量が可変であって制御可能であり、アンプ A_{401} の反転入力端子と出力端子との間に設けられ、入力した電圧信号に応じて電荷を蓄える。スイッチ素子 SW_{401} は、アンプ A_{401} の反転入力端子と出力端子との間に設けられ、開いているときには可変容量部 C_{400} に電荷の蓄積を行わせ、閉じているときには可変容量部 C_{400} における電荷蓄積をリセットする。そして、可変容量積分回路 410 は、各ユニット 100_n から順次に出力された電圧信号 V_{n3} を入力し、可変容量部 C_{400} の容量に応じて積分し、積分した結果である積分信号を出力する。

比較回路A₄₀₂は、可変容量積分回路410から出力された積分信号を反転入力端子に入力し、最大値検出回路200から出力された最大電圧値V_{max}を非反転入力端子に入力し、これら2つの入力信号の値を大小比較して、その大小比較の結果である比較結果信号を出力する。

5 容量制御部420は、比較回路A₄₀₂から出力された比較結果信号を入力し、この比較結果信号に基づいて可変容量部C₄₀₀の容量を制御する容量指示信号Cを出力するとともに、この比較結果信号に基づいて積分信号の値と最大電圧値V_{max}とが所定の分解能で一致していると判断した場合に可変容量部C₄₀₀の容量値に応じた第1のデジタル信号を出力する。

10 読み出し部430は、容量制御部420から出力された第1のデジタル信号を入力し、この第1のデジタル信号に対応する第2のデジタル信号を出力する。第2のデジタル信号は、第1のデジタル信号の値から可変容量積分回路410のオフセット値を除去した値を示すものである。読み出し部430は、例えば記憶素子であり、第1のデジタル信号をアドレスとして入力し、記憶素子のそのアドレスに記憶されているデータを第2のデジタル信号として出力する。この第2のデジタル信号は、本実施形態に係る光検出装置から出力される光検出信号となる。

15 図7はA/D変換回路400中の可変容量積分回路410の詳細な回路図である。この図では、 $1/2^4 = 1/16$ の分解能を有するA/D変換機能を備える回路構成を示し、以下、この回路構成で説明する。

20 この図に示すように、可変容量部C₄₀₀は、容量素子C₄₁₁～C₄₁₄、スイッチ素子SW₄₁₁～SW₄₁₄およびスイッチ素子SW₄₂₁～SW₄₂₄を備える。

容量素子C₄₁₁およびスイッチ素子SW₄₁₁は、互いに縦続接続（直列接続）されて、アンプA₄₀₁の反転入力端子と出力端子との間に設けられており、スイッチ素子SW₄₂₁は、容量素子C₄₁₁およびスイッチ素子SW₄₁₁の接続点と接地電位との間に設けられている。

25 容量素子C₄₁₂およびスイッチ素子SW₄₁₂は、互いに縦続接続されて、アンプA

401の反転入力端子と出力端子との間に設けられており、スイッチ素子 SW_{422} は、容量素子 C_{412} およびスイッチ素子 SW_{412} の接続点と接地電位との間に設けられている。

5 容量素子 C_{413} およびスイッチ素子 SW_{413} は、互いに縦続接続されて、アンプ A_{401} の反転入力端子と出力端子との間に設けられており、スイッチ素子 SW_{423} は、容量素子 C_{413} およびスイッチ素子 SW_{413} の接続点と接地電位との間に設けられている。

10 容量素子 C_{414} およびスイッチ素子 SW_{414} は、互いに縦続接続されて、アンプ A_{401} の反転入力端子と出力端子との間に設けられており、スイッチ素子 SW_{424} は、容量素子 C_{414} およびスイッチ素子 SW_{414} の接続点と接地電位との間に設けられている。

スイッチ素子 $SW_{411} \sim SW_{414}$ それぞれは、図6に示した容量制御部420から出力された容量指示信号 C のうち、 $C_{11} \sim C_{14}$ に基づいて開閉する。

15 スwitch素子 $SW_{421} \sim SW_{424}$ それぞれは、図6に示した容量制御部420から出力された容量指示信号 C のうち、 $C_{21} \sim C_{24}$ に基づいて開閉する。

容量素子 $C_{411} \sim C_{414}$ の容量値を $C_{411} \sim C_{414}$ で表すとすれば、これらは、 C_0 を定数として、

$$C_{411} = 2 C_{412} = 4 C_{413} = 8 C_{414} \dots (1)$$

$$C_{411} + C_{412} + C_{413} + C_{414} = C_0 \dots (2)$$

20 なる関係を満たす。

次に、本実施形態に係る光検出装置の動作について、図8A、図8B、図8C、図8D、図8E、図8F、図8G、図8H、図8I、図8J、図8K、図8L、図8Mおよび図9A、図9B、図9C、図9Dを用いて説明する。

25 図8A～図8Lは、本実施形態に係る光検出装置の動作を説明するためのタイミングチャートである。なお、以下では、本実施形態に係る光検出装置が発光ダイオード等の投光手段LED（図1参照）とともに測距装置を構成する場合につ

いて説明する。

すなわち、以下に説明する動作は、背景光成分を除去して、発光ダイオードLEDから被写体OBJに投光されたスポット光成分（信号光成分）のみについての光検出信号を出力するものである。

5 時刻 t_1 に、Reset信号が論理Hとなることにより、積分回路10のスイッチ素子 SW_1 が閉じて、容量素子 C_1 が放電され初期化される。また、Clamp1信号も論理Hとなることにより、第1のCDS回路21のスイッチ素子 SW_{212} が閉じて、第1のCDS回路21におけるCDS動作が停止される。

10 時刻 t_2 に、Reset信号が論理Lとなることにより、積分回路10のスイッチ素子 SW_1 が開く。そして、時刻 t_2 以降、フォトダイオードPDから出力された電荷が容量素子 C_1 に蓄積されていき、積分回路10の出力端子から出力される電圧信号は次第に大きくなっていく。この時刻 t_2 では、Clamp1信号は論理Hのままであり、第1のCDS回路21のスイッチ素子 SW_{212} は閉じたままである。また、時刻 t_2 では、CSW211信号は論理Lであり、第1のCDS回路21のスイッチ素子
15 SW_{211} は開いている。

時刻 t_3 に、Clamp1信号が論理Lとなることにより、第1のCDS回路21のスイッチ素子 SW_{212} が開き、また、CSW211信号が論理Hとなることにより、第1のCDS回路21のスイッチ素子 SW_{211} が閉じる。そして、時刻 t_3 から一定時間T経過後の時刻 t_4 に、CSW211信号が論理Lとなることにより、第1のCDS回路2
20 1のスイッチ素子 SW_{211} が開く。

時刻 $t_2 \sim t_4$ の間では、発光ダイオードLEDから被写体にスポット光が投光されている。したがって、発光ダイオードLEDから投光され被写体OBJにより反射されたスポット光成分および背景光成分の双方がフォトダイオードPDに入射して、それによって発生した電流信号がフォトダイオードPDから出力さ
25 れる。そして、その電流信号を入力した積分回路10では、容量素子 C_1 に電荷が蓄積され、その蓄積された電荷の量に応じた電圧信号が積分回路10から出力さ

れる。

また、時刻 $t_3 \sim t_4$ の期間（第 1 の期間）では、積分回路 10 の出力端子から出力される電圧信号が第 1 の CDS 回路 21 に入力して、時刻 t_3 以降の入力電圧信号の変化分に相当する電荷が積分容量素子 C_{212} に蓄積され、その蓄積された電荷の量に応じた電圧信号が第 1 の CDS 回路 21 から出力される。

したがって、時刻 t_4 以降に第 1 の CDS 回路 21 から出力される電圧信号は、時刻 t_3 および時刻 t_4 それぞれに積分回路 10 から出力される電圧信号の差に相当する電圧値 V_{n1} となり、積分回路 10 にて生じるノイズ成分が除去されたものとなる。

時刻 t_4 に、Reset 信号が論理 H となることにより、積分回路 10 のスイッチ素子 SW_1 が閉じて、容量素子 C_1 が放電され初期化される。また、Clamp2 信号も論理 H となることにより、第 2 の CDS 回路 22 のスイッチ素子 SW_{222} が閉じて、第 2 の CDS 回路 22 における CDS 動作が停止される。

時刻 t_5 に、Reset 信号が論理 L となることにより、積分回路 10 のスイッチ素子 SW_1 が開く。そして、時刻 t_5 以降、フォトダイオード PD から出力された電荷が容量素子 C_1 に蓄積されていき、積分回路 10 の出力端子から出力される電圧信号は次第に大きくなっていく。この時刻 t_5 では、Clamp2 信号は論理 H のままであり、第 2 の CDS 回路 22 のスイッチ素子 SW_{222} は閉じたままである。また、時刻 t_5 では、CSW221 信号は論理 L であり、第 2 の CDS 回路 22 のスイッチ素子 SW_{221} は開いている。

時刻 t_6 に、Clamp2 信号が論理 L となることにより、第 2 の CDS 回路 22 のスイッチ素子 SW_{222} が開き、また、CSW221 信号が論理 H となることにより、第 2 の CDS 回路 22 のスイッチ素子 SW_{221} が閉じる。そして、時刻 t_6 から一定時間 T 経過後の時刻 t_7 に、CSW221 信号が論理 L となることにより、第 2 の CDS 回路 22 のスイッチ素子 SW_{221} が開く。

時刻 $t_5 \sim t_7$ の期間では、発光ダイオードから被写体にスポット光が投光され

ていない。したがって、背景光成分のみがフォトダイオードPDに入射して、それによって発生した電流信号がフォトダイオードPDから出力される。そして、その電流信号を入力した積分回路10では、容量素子 C_1 に電荷が蓄積され、その蓄積された電荷の量に応じた電圧信号が積分回路10から出力される。また、時刻 $t_6 \sim t_7$ の期間（第2の期間）では、積分回路10の出力端子から出力される電圧信号が第2のCDS回路22に入力して、時刻 t_6 以降の入力電圧信号の変化分に相当する電荷が積分容量素子 C_{222} に蓄積され、その蓄積された電荷の量に応じた電圧信号が第2のCDS回路22から出力される。したがって、時刻 t_7 以降に第2のCDS回路22から出力される電圧信号は、時刻 t_6 および時刻 t_7 それぞれに積分回路10から出力される電圧信号の差に相当する電圧値 V_{n2} となり、積分回路10にて生じるノイズ成分が除去されたものとなる。

時刻 t_7 以降では、第1のCDS回路21の積分容量素子 C_{212} に蓄積されている電荷は、スポット光成分と背景光成分とを加算したものに相当するものであり、第2のCDS回路22の積分容量素子 C_{222} に蓄積されている電荷は、背景光成分のみに相当するものである。また、時刻 $t_3 \sim t_4$ までの期間（第1の期間）と時刻 $t_6 \sim t_7$ までの期間（第2の期間）とは互いに等しい時間 T であり、第1のCDS回路21の積分容量素子 C_{212} および第2のCDS回路22の積分容量素子 C_{222} それぞれの容量は互いに等しいので、電圧値 V_{n1} は、スポット光成分と背景光成分とを加算したものに相当するものであり、電圧値 V_{n2} は、背景光成分のみに相当するものであり、したがって、これら間の電圧差 $\Delta V_n = (V_{n1} - V_{n2})$ は、スポット光成分のみに相当するものである。そこで、時刻 t_8 以降では、この電圧差 ΔV_n が差分演算回路30により以下のようにして求められる。

時刻 t_7 以降（第3の期間）、Reset信号は論理Hであり、積分回路10のスイッチ素子 SW_1 が閉じて、容量素子 C_1 が放電され初期化状態が維持される。Clamp1信号は論理Lであり、第1のCDS回路21のスイッチ素子 SW_{212} が開いたままである。また、Clamp2信号は論理Lであり、第2のCDS回路22のスイッチ素

子 SW_{222} が開いたままである。

時刻 t_7 以降の第 3 の期間のうち時刻 $t_8 \sim t_9$ の期間に、Sample1 信号は論理 H であり、差分演算回路 30 のスイッチ素子 SW_{31} は閉じる。このとき、Sample2 信号は論理 L であり、差分演算回路 30 のスイッチ素子 SW_{32} は開いており、また、
5 Clamp3 信号は論理 H であり、差分演算回路 30 のスイッチ素子 SW_{33} は閉じている。この期間に、第 1 の CDS 回路 21 の出力端子から出力される電圧値 V_{n1} が差分演算回路 30 のスイッチ素子 SW_{31} を介して容量素子 C_3 に入力し、その電圧値 V_{n1} が容量素子 C_3 に保持される。

時刻 t_7 以降の第 3 の期間のうち時刻 $t_{10} \sim t_{11}$ の期間に、Sample2 信号は論理 H
10 であり、差分演算回路 30 のスイッチ素子 SW_{32} は閉じる。このとき、Sample1 信号は論理 L であり、差分演算回路 30 のスイッチ素子 SW_{31} は開いており、また、Clamp3 信号は論理 L であり、差分演算回路 30 のスイッチ素子 SW_{33} は開いている。この期間に、第 2 の CDS 回路 22 の出力端子から出力される電圧値 V_{n2} が差分演算回路 30 のスイッチ素子 SW_{32} を介して容量素子 C_3 に入力する。このとき、差分演算回路 30 のスイッチ素子 SW_{33} は開いているので、差分演算回路 3
15 0 の容量素子 C_3 には、電圧値 V_{n2} と電圧値 V_{n1} との差 ΔV_n が保持される。この電圧値 ΔV_n は、スポット光成分のみに相当するものである。

そして、時刻 t_{10} に Hold 信号が論理 H となり、ホールド回路 40 のスイッチ素子 SW_4 が閉じると、差分演算回路 30 の容量素子 C_3 に保持されている電圧値 ΔV_n は、差分演算回路 30 のアンプ A_3 およびホールド回路 40 のスイッチ素子 SW_4 を経て、ホールド回路 40 の容量素子 C_4 に保持される。時刻 t_{11} に Hold 信号が
20 論理 L となってスイッチ素子 SW_4 が開いた後も、ホールド回路 40 の容量素子 C_4 に保持された電圧値 ΔV_n は、アンプ A_4 から電圧信号 V_{n3} として出力される。

各ユニット 100_n のホールド回路 40 から出力された電圧信号 V_{n3} は、最大値
25 検出回路 200 に入力して最大電圧値 V_{max} が検出される。また、各ユニット 100_n のスイッチ素子 SW_5 がシフトレジスタ 500 により順次に閉じられて、各ユ

ニット100_nのホールド回路40から出力された電圧信号V_{n3}はA/D変換回路400に順次に入力する。

続いて、図9A～図9Dを用いて、A/D変換回路400の動作を説明する。時刻t₁₁においては、可変容量積分回路410のスイッチ素子SW₄₀₁は閉じられ、
5 可変容量積分回路410はリセット状態とされている。また、可変容量積分回路410のスイッチ素子SW₄₁₁～SW₄₁₄それぞれが閉じられ、スイッチ素子SW₄₂₁～SW₄₂₄それぞれが閉じられて、可変容量部C₄₀₀の容量値がC₀に設定されている。

そして、時刻t₁₁以降の或る時刻に、A/D変換回路400のスイッチ素子SW₄₀₁が開かれ、第1番目のユニット100₁のスイッチ素子SW₅が閉じられる。ユ
10 ニット100₁のホールド回路40から出力された電圧信号V₁₃は、スイッチ素子SW₅を介して、A/D変換回路400の可変容量積分回路410に入力する。可変容量積分回路410の容量素子C₄₀₁に電圧信号V₁₃が入力すると、その電圧信号V₁₃の値と可変容量部C₄₀₀の容量値C₀とに応じた電荷Qが可変容量部C₄₀₀に流入する(図9A参照)。このとき、可変容量積分回路410から出力される積分信号
15 の値V_{sa}は、

$$V_{sa} = V_{13} = Q / C_0 \dots (3)$$

なる式で表される。

引き続き、容量制御部420は、可変容量部C₄₀₀のスイッチ素子SW₄₁₂～SW₄₁₄を開いた後、スイッチ素子SW₄₂₂～SW₄₂₄を閉じる(図9B参照)。この結果、
20 可変容量部C₄₀₀の容量値はC₄₁₁となり、可変容量積分回路410から出力される積分信号の値V_{sb}は、

$$V_{sb} = Q / C_{411} \dots (4)$$

となる。この積分信号は、比較回路A₄₀₂に入力し、その値が最大電圧値V_{max}と大小比較される。

もし、V_{sb} > V_{max}であれば、この比較結果を受けて容量制御部420は、さらに、
25 可変容量部C₄₀₀のスイッチ素子SW₄₂₂を開いた後に、スイッチ素子SW₄₁₂を閉じ

る（図9C参照）。この結果、可変容量部 C_{400} の容量値は $C_{411} + C_{412}$ となり、可変容量積分回路410から出力される積分信号の値 V_{sc} は、

$$V_{sc} = Q / (C_{411} + C_{412}) \quad \dots(5)$$

となる。この積分信号は、比較回路 A_{402} に入力し、その値が最大電圧値 V_{max} と大小比較される。

また、 $V_{sb} < V_{max}$ であれば、この比較結果を受けて容量制御部420は、さらに、可変容量部 C_{400} のスイッチ素子 SW_{411} および SW_{422} を開いた後に、スイッチ素子 SW_{412} および SW_{421} を閉じる（図9D参照）。この結果、可変容量部 C_{400} の容量値は C_{412} となり、可変容量積分回路410から出力される積分信号の値 V_{sd} は、

$$V_{sd} = Q / C_{412} \quad \dots(6)$$

となる。この積分信号は、比較回路 A_{402} に入力し、その値が最大電圧値 V_{max} と大小比較される。

以後、同様にして、可変容量積分回路410、比較回路 A_{402} および容量制御部420からなるフィードバックループにより、積分信号の値と基準電位 V_{max} とが所定の分解能で一致していると容量制御部420により判断されるまで、可変容量部 C_{400} の容量値の設定、および、積分信号の値と最大電圧値 V_{max} との大小比較を繰り返す。容量制御部420は、このようにして可変容量部 C_{400} の容量素子 $C_{411} \sim C_{414}$ の全てについて容量制御を終了すると、可変容量部 C_{400} の最終的な容量値に応じたデジタル信号を読み出し部430へ向けて出力する。

読み出し部430では、容量制御部420から出力されたデジタル信号をアドレスとして入力し、記憶素子のそのアドレスに記憶されているデジタルデータを、本実施形態に係る光検出装置の光検出信号として出力する。以上のようにして、第1番目のユニット 100_1 のフォトダイオードPDが検出したスポット光の光量に応じた電圧信号 V_{13} は、A/D変換回路400によりデジタル信号に変換され、そのデジタル信号が光検出信号として出力される。以降同様にして、第2番目以降のユニット 100_n のフォトダイオードPDが検出したスポット光の光量

に応じた電圧信号 V_{n3} は、A/D変換回路400によりデジタル信号に変換され、そのデジタル信号が光検出信号として順次に出力される。

可変容量積分回路410に入力する各電圧信号 V_{n3} の最大値が最大電圧値 V_{max} であり、可変容量部 C_{400} の容量値の最大値が C_0 であることから、上記(3)式より、可変容量部 C_{400} に流入する電荷 Q の最大値は $V_{max} \cdot C_0$ である。そして、或る第 n 番目の電圧信号 V_{n3} が最大電圧値 V_{max} であるときには、可変容量部 C_{400} のスイッチ素子 $SW_{411} \sim SW_{414}$ の全てが閉じられて可変容量部 C_{400} の容量値は C_0 となる。一方、他の或る第 n 番目の電圧信号 V_{n3} が最大電圧値 V_{max} より小さい値であるときには、可変容量部 C_{400} に流入する電荷 Q は $V_{max} \cdot C_0$ より小さいので、可変容量部 C_{400} のスイッチ素子 $SW_{411} \sim SW_{414}$ のうち何れかが開くことにより、可変容量積分回路410から出力される積分信号は最大電圧値 V_{max} と等しくなる。

以上のように、最大値検出回路200から出力され比較回路 A_{402} に入力される最大電圧値 V_{max} は、A/D変換回路400が飽和することなくA/D変換することができる電圧信号 V_{n3} の最大値すなわちA/D変換レンジを規定している。しかも、A/D変換回路400に入力する各電圧信号 V_{n3} のうち何れかの値は必ず最大電圧値 V_{max} であるから、上記A/D変換レンジの全ての範囲を有効に活用することができる。すなわち、本実施形態に係る光検出装置は、入射光強度が大きくても飽和することなく、且つ、入射光強度が小さくてもA/D変換の分解能が優れたものとなる。

また、光検出装置が測距装置に用いられる場合のように、スポット光成分および背景光成分の検出結果から背景光成分の検出結果を差し引くことによりスポット光成分のみの信号を得る場合であって、フォトダイオードPDが検出する光のうちスポット光成分に比べて背景光成分が大きい場合であっても、その差し引いた結果として得られるスポット光成分に基づいてA/D変換回路400から出力されるデジタル信号は、分解能が優れたものとなる。

さらに、本実施形態では、スポット光成分および背景光成分の双方がフォトダ

イオードPDにより検出されているときに、一定時間Tにおける積分回路10から出力される電圧信号の変動分 V_{n1} が第1のCDS回路21の積分容量素子 C_{212} に保持される。また、背景光成分のみがフォトダイオードPDにより検出されているときに、一定時間Tにおける積分回路10から出力される電圧信号の変動分 V_{n2} が第2のCDS回路22の積分容量素子 C_{222} に保持される。そして、その後に、電圧値 V_{n1} と電圧値 V_{n2} との差に相当する電圧信号 V_{n3} が、差分演算回路30により求められ、ホールド回路40から出力される。したがって、第1のCDS回路21から出力される電圧値 V_{n1} 、第2のCDS回路22から出力される電圧値 V_{n2} 、および、ホールド回路40から出力される電圧信号 V_{n3} それぞれは、積分回路10にて生じるノイズ成分が除去されたものとなる。

次に、本発明に係る光検出装置における差分演算回路の他の実施形態について説明する。図10は、他の実施形態に係る光検出装置の差分演算回路30Aの回路図である。この差分演算回路30Aは、図1における差分演算回路30に替えて用いられるものである。差分演算回路30Aは、2つの入力端子30aおよび30bならびに1つの出力端子30cを有しており、第1の入力端子30aが第1のCDS回路21の出力端子に接続され、第2の入力端子30bが第2のCDS回路22の出力端子に接続されている。差分演算回路30Aは、スイッチ素子 $SW_{31} \sim SW_{33}$ 、容量素子 C_{31} および C_{32} 、ならびにアンプ A_3 を備える。第1の入力端子30aと出力端子30cとの間に順に、スイッチ素子 SW_{31} 、容量素子 C_{31} およびアンプ A_3 が配され、第2の入力端子30bと出力端子30cとの間に順に、スイッチ素子 SW_{32} 、容量素子 C_{31} およびアンプ A_3 が配されている。また、アンプ A_3 の入出力間にスイッチ素子 SW_{33} および容量素子 C_{32} が互いに並列的に接続されている。

この図10に示す差分演算回路30Aは、図3に示した差分演算回路30と略同様に動作する。すなわち、この差分演算回路30Aは、スイッチ素子 SW_{33} を開いているときにスイッチ素子 SW_{32} を開きスイッチ素子 SW_{31} を一定期間だけ

閉じることで、第1のCDS回路21から出力された電圧信号を入力して、容量素子 C_{32} に電荷 Q_1 だけ充電する。また、差分演算回路30Aは、スイッチ素子 SW_{33} を開いているときにスイッチ素子 SW_{31} を開きスイッチ素子 SW_{32} を一定期間だけ閉じることで、第2のCDS回路22から出力された電圧信号を入力して、
5 容量素子 C_{32} から電荷 Q_2 を放電する。このようにして、差分演算回路30Aは、電荷 Q_1 と電荷 Q_2 との差分すなわち電荷 $(Q_1 - Q_2)$ を容量素子 C_{32} に蓄積して、その蓄積された電荷 $(Q_1 - Q_2)$ に応じた電圧信号をアンプ A_3 から出力する。スイッチ素子 SW_{31} は、タイミング制御回路300から出力されるSample1信号に基づいて開閉する。スイッチ素子 SW_{32} は、タイミング制御回路300から
10 出力されるSample2信号に基づいて開閉する。また、スイッチ素子 SW_{33} は、タイミング制御回路300から出力されるClamp3信号に基づいて開閉する。

本発明は、上記実施形態に限定されるものではなく種々の変形が可能である。例えば、A/D変換回路400を設けることなく、各ユニット 100_n のホールド回路40から電圧信号 V_{n3} を光検出装置の出力信号として順次に出力してもよい。

15 また、上記実施形態では、2以上のフォトダイオードを有する光検出装置すなわち撮像装置について説明したが、1つのフォトダイオードを有する光検出装置にも本発明を適用することができる。この場合には、フォトダイオードPD、積分回路10、第1のCDS回路21、第2のCDS回路22および差分演算回路30（または30A）を1組だけ備えれば充分であり、同様にしてS/N比が優
20 れたものとなる。

また、上記実施形態では、各ユニット 100_n のホールド回路40から出力される電圧信号 V_{n3} のうちの最大値を最大値検出回路200により検出したが、各ユニット 100_n の差分演算回路30（または30A）から出力される電圧信号のうちの最大値を最大値検出回路200により検出してもよい。

25 以上、詳細に説明したとおり、本発明によれば、入射光強度に応じた電流信号が光検出素子から出力され、積分回路では、光検出素子から出力された電流信号

5 に応じて電荷が蓄積されて、その蓄積された電荷の量に応じた電圧信号が出力される。第1のCDS回路では、積分回路から出力される電圧信号が第1の結合容量素子に入力し、その入力した電圧信号の変化量に応じた電荷量が第1の積分容量素子に第1のスイッチ手段により蓄積される。同様にして、第2のCDS回路でも、積分回路から出力される電圧信号が第2の結合容量素子に入力し、その入力した電圧信号の変化量に応じた電荷量が第2の積分容量素子に第2のスイッチ手段により蓄積される。そして、差分演算回路では、第1のCDS回路の第1の積分容量素子および第2のCDS回路の第2の積分容量素子それぞれに蓄積されている電荷量の差分が求められ、その差分に応じた電圧信号が出力される。

10 したがって、積分回路が各積分動作毎に異なるノイズばらつきを有していても、第1および第2のCDS回路それぞれによりノイズ誤差が解消される。また、第1の期間に、第1のCDS回路の第1の積分容量素子にスポット光成分（信号光成分）および背景光成分に応じた電荷が蓄積され、第2の期間に、第2のCDS回路の第2の積分容量素子に背景光成分に応じた電荷が蓄積され、そして、第3
15 の期間に両者の差分が差分演算回路で求められるので、差分演算回路から出力される電圧信号は、スポット光成分（信号光成分）のみに応じたものである。このように、光検出素子が検出する光の光量すなわち上記電圧信号の値が小さい場合であっても、光検出のS/N比は優れたものとなる。

20 さらに、発光ダイオード等の投光手段の発光タイミングの都合により、積分回路への電荷の蓄積の順序を変更しなければならない場合、すなわち、上記第1の期間および上記第2の期間を変更しなければならない場合、従来技術では、積分回路に続く回路系が固定されて片極性しか動作が許されないことから、このような変更は不可能であった。しかし、本発明によれば、第1および第2のCDS回路は互いに独立に制御可能であるので、これらに蓄積された情報も互いに独立に取り
25 出すことができる。すなわち、本発明によれば、上記第1の期間および上記第2の期間を容易に変更することができる。

また、光検出素子、積分回路、第1のCDS回路、第2のCDS回路、差分演算回路およびホールド回路がN組備えられ、各組の差分演算回路から出力される電圧信号がホールド回路により保持され、そして、A/D変換回路では、N個のホールド回路それぞれから出力される電圧信号が順次に入力され、その電圧信号がデジタル信号に変換されて、そのデジタル信号が出力される。この場合には、1次元像または2次元像が検出されて、その検出結果がデジタル信号として出力される。

また、最大値検出回路により、N個の差分演算回路またはホールド回路それぞれから出力される電圧信号の最大値が検出され、A/D変換回路では、最大値検出回路により検出された最大値に基づいてA/D変換レンジが設定される場合には、入射光強度が大きくても飽和することなく、入射光強度が小さくても分解能が優れたものとなる。

産業上の利用可能性

本発明は、光検出装置に利用することができる。

請求の範囲

1. 入射光強度に応じた電流信号を出力する光検出素子と、
前記光検出素子から出力された電流信号に応じて電荷を蓄積して、その蓄積された電荷の量に応じた電圧信号を出力する積分回路と、
- 5 前記積分回路から出力される電圧信号を入力する入力端子と出力端子との間に順に設けられた第1の結合容量素子および第1の増幅器と、前記第1の増幅器の入出力間に並列的に設けられた第1の積分容量素子と、前記第1の積分容量素子に前記電圧信号の変化量に応じた電荷量を蓄積させる第1のスイッチ手段と、を有する第1のCDS回路と、
- 10 前記積分回路から出力される電圧信号を入力する入力端子と出力端子との間に順に設けられた第2の結合容量素子および第2の増幅器と、前記第1の積分容量素子の容量値と等しい容量値を有し前記第2の増幅器の入出力間に並列的に設けられた第2の積分容量素子と、前記第2の積分容量素子に前記電圧信号の変化量に応じた電荷量を蓄積させる第2のスイッチ手段と、を有する第2のCDS回路
- 15 と、
前記第1のCDS回路の前記第1の積分容量素子および前記第2のCDS回路の前記第2の積分容量素子それぞれに蓄積されている電荷量の差分を求め、その差分に応じた電圧信号を出力する差分演算回路と、
を備えることを特徴とする光検出装置。
- 20 2. 前記積分回路、前記第1のCDS回路、前記第2のCDS回路および前記差分演算回路それぞれの動作を制御するタイミング制御回路を更に備え、被写体に向けてスポット光を投光する投光手段とともに用いられる光検出装置であって、
前記タイミング制御回路は、
- 25 前記投光手段により前記被写体に前記スポット光が投光されている第1の期間に、前記光検出素子が当該スポット光成分および背景光成分を検出したときに前

記積分回路が出力した電圧信号の変化量に基づいて第1の電荷量を前記第1のCDS回路の第1の積分容量素子に蓄積させ、

前記投光手段により前記被写体に前記スポット光が投光されていない第2の期間に、前記光検出素子が前記背景光成分を検出したときに前記積分回路が出力した電圧信号の変化量に基づいて第2の電荷量を前記第2のCDS回路の第2の積分容量素子に蓄積させ、

前記第1および前記第2の期間の後の第3の期間に、前記第1のCDS回路の前記第1の積分容量素子および前記第2のCDS回路の前記第2の積分容量素子それぞれに蓄積されている電荷量の差分を前記差分演算回路に演算させて、その差分に応じた電圧信号を前記差分演算回路から出力させる、

ことを特徴とする請求の範囲第1項記載の光検出装置。

3. 前記光検出素子、前記積分回路、前記第1のCDS回路、第2のCDS回路および前記差分演算回路をN組 ($N \geq 2$) 備え、

N個の前記差分演算回路それぞれに対応して設けられ、各差分演算回路から出力される電圧信号を保持して出力するN個のホールド回路と、

N個の前記ホールド回路それぞれから出力される電圧信号を順次に入力し、その電圧信号をデジタル信号に変換して、そのデジタル信号を出力するA/D変換回路と、

を更に備えることを特徴とする請求の範囲第1項記載の光検出装置。

4. N個の前記差分演算回路または前記ホールド回路それぞれから出力される電圧信号の最大値を検出する最大値検出回路を更に備え、

前記A/D変換回路は前記最大値検出回路により検出された最大値に基づいてA/D変換レンジを設定する、

ことを特徴とする請求の範囲第3項記載の光検出装置。

5. 光検出素子に接続された積分回路と、互いに並列であって前記積分回路に対して直列に接続された第1及び第2のCDS回路と、前記第1及び第2

のCDS回路の出力の差分に応じた電圧信号を出力する差分演算回路とを備えることを特徴とする光検出装置。

図2

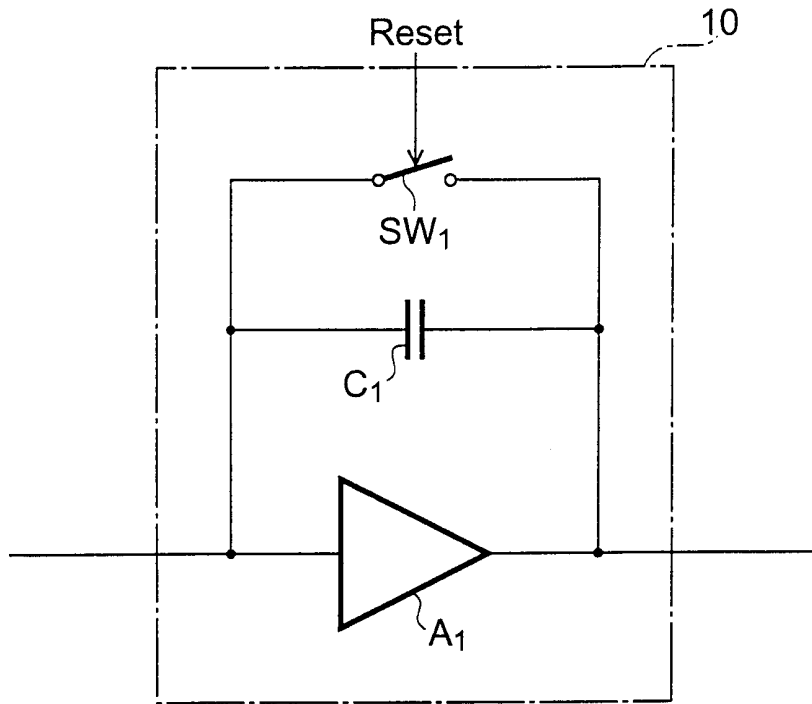


図3

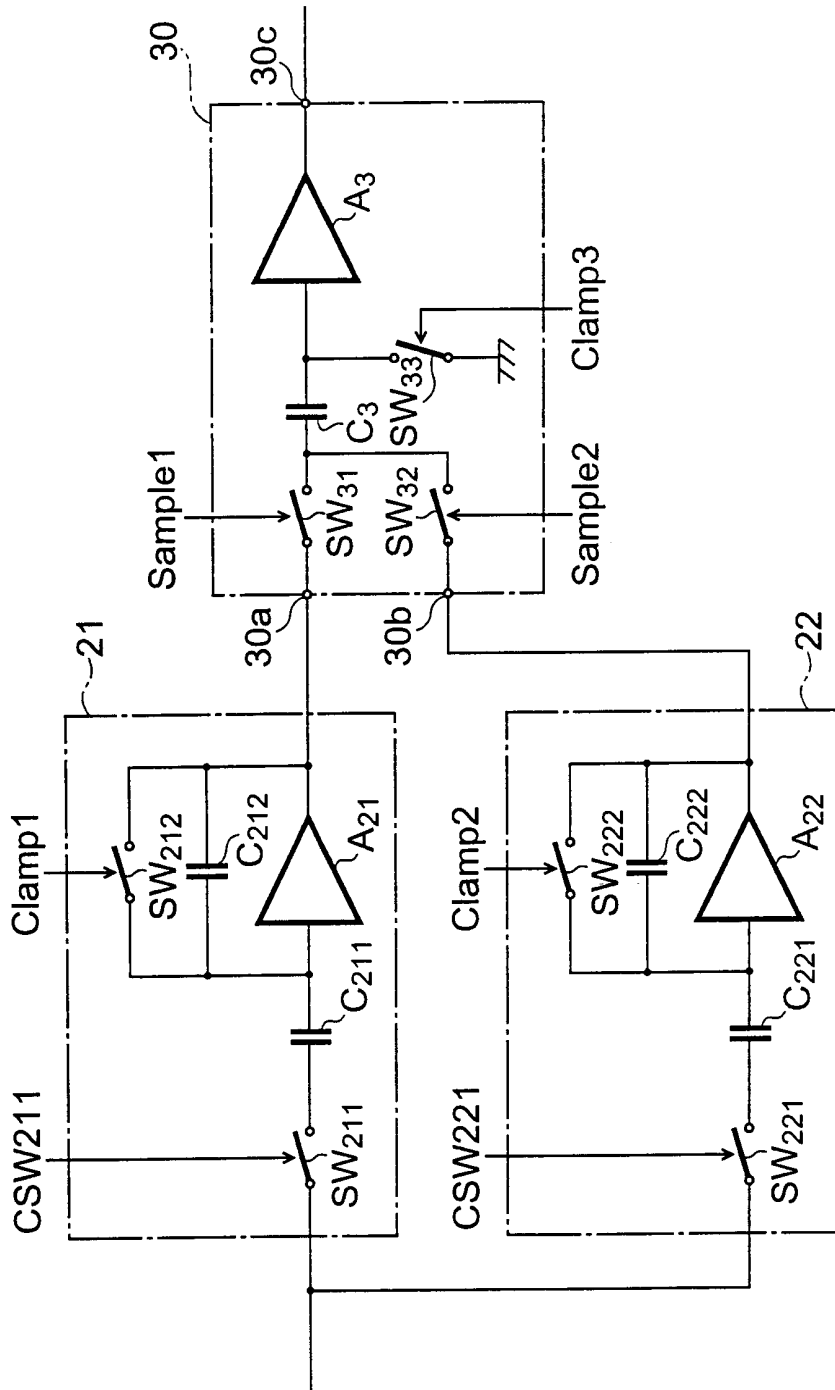
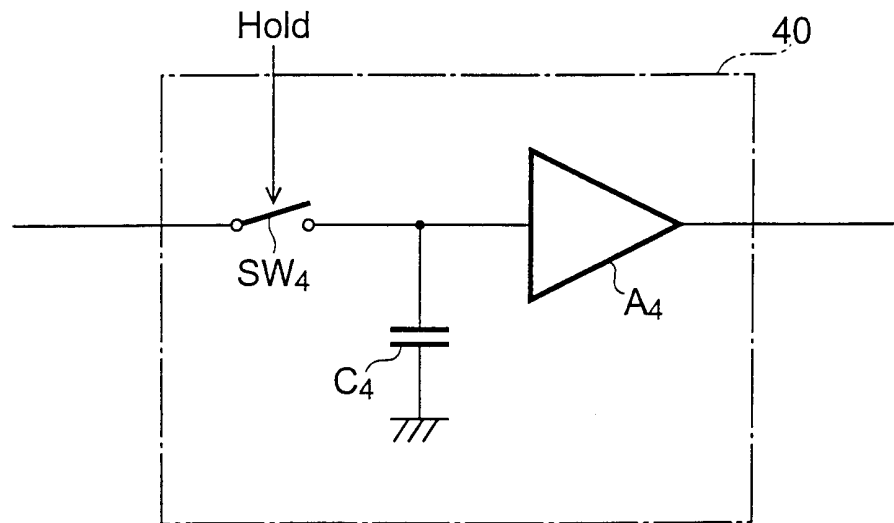


図4



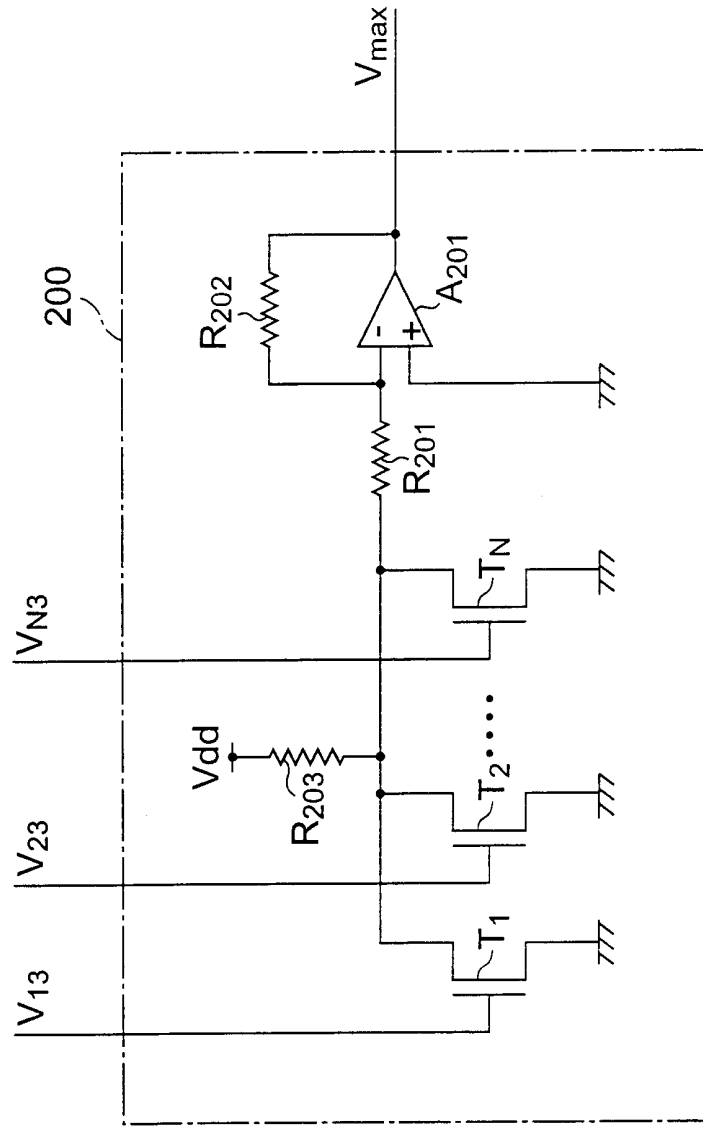
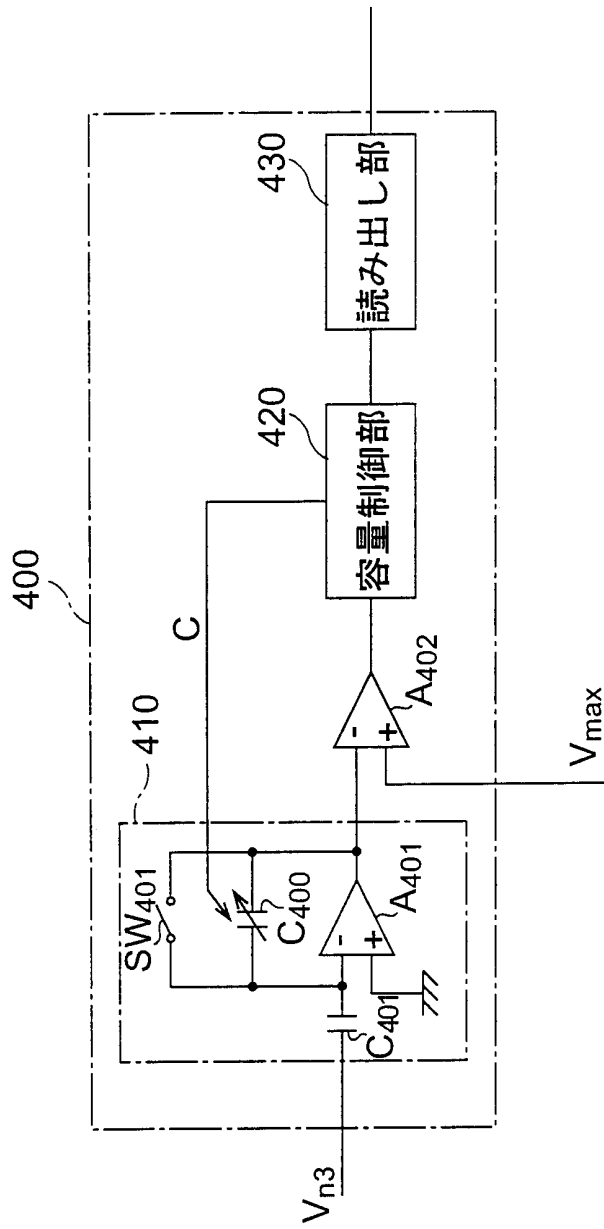
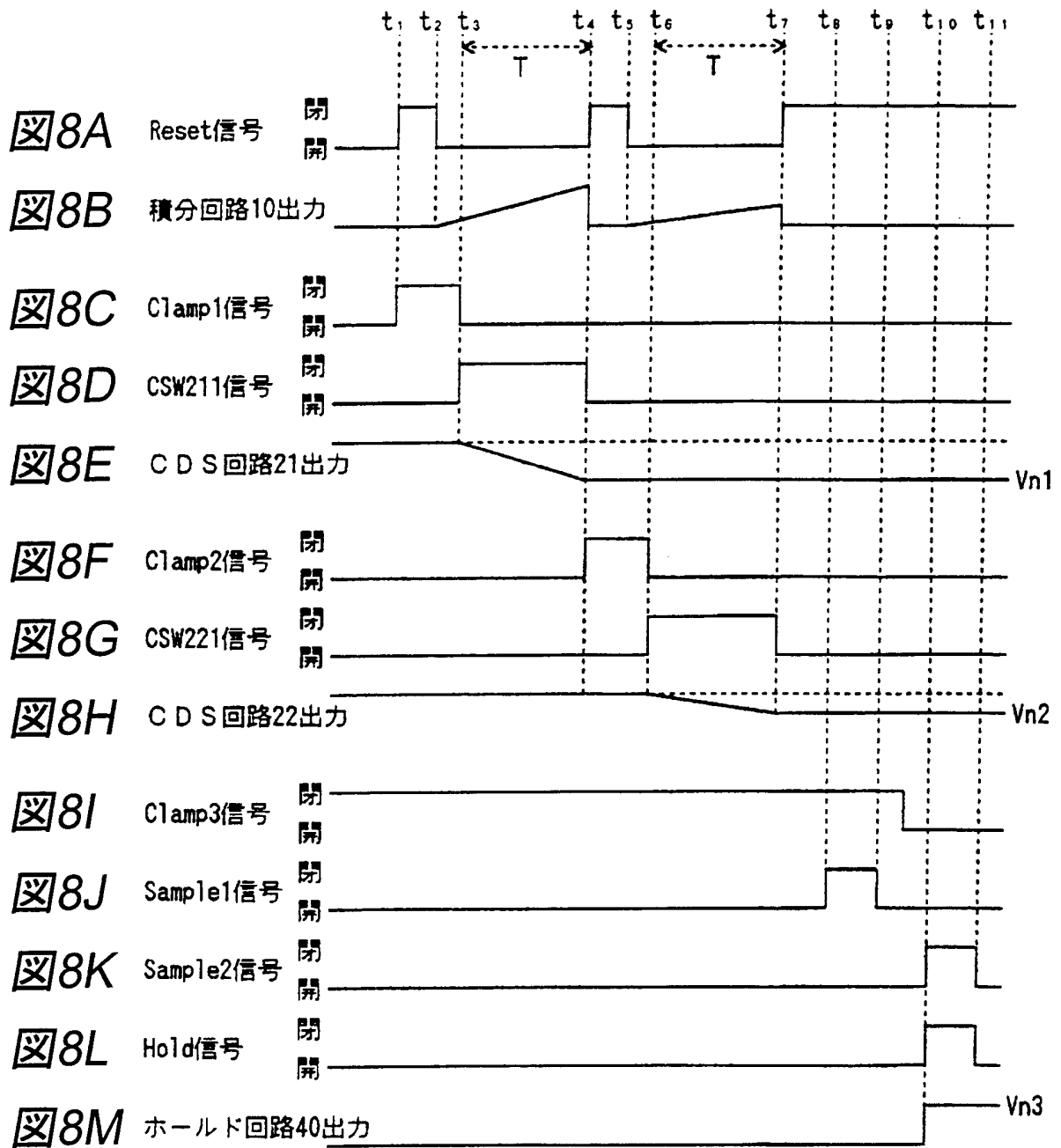


図5

図6





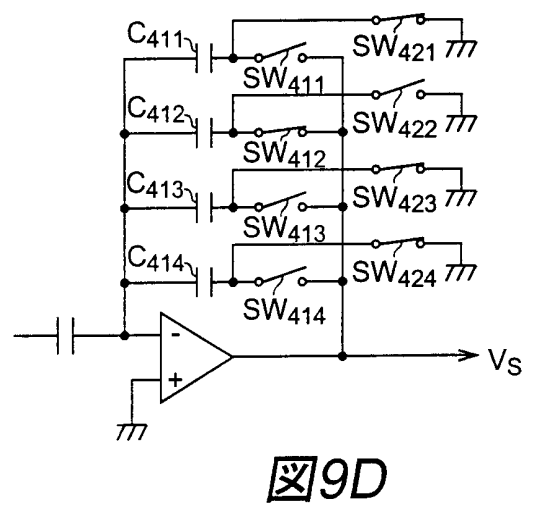
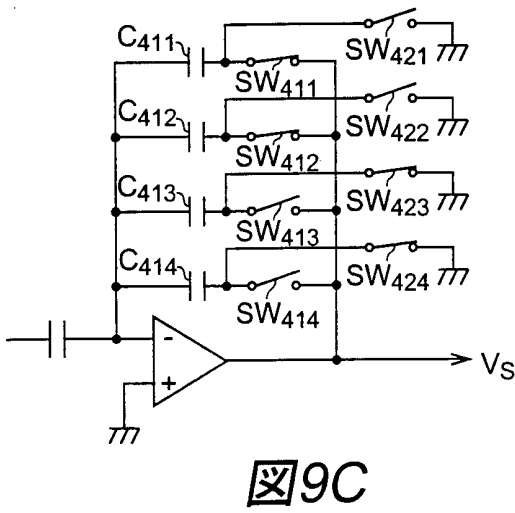
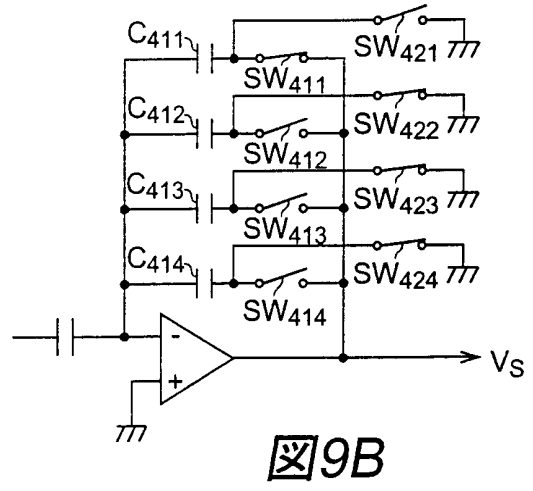
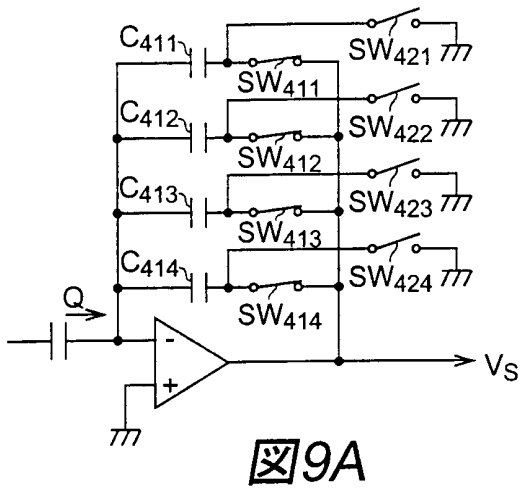
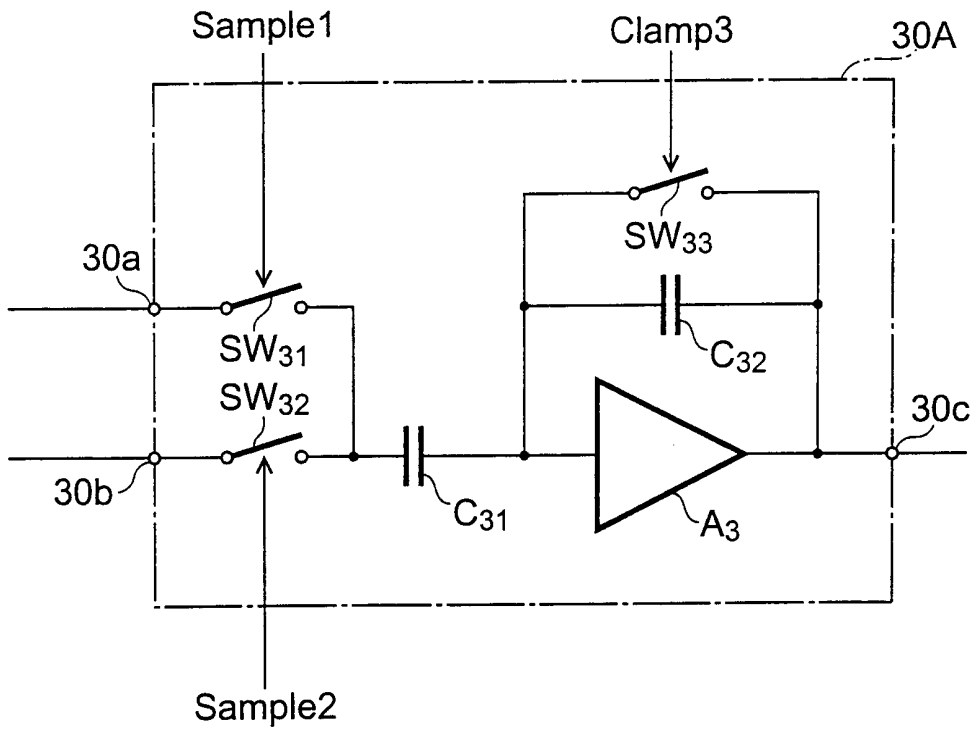


図10



INTERNATIONAL SEARCH REPORT

International application No.
PCT/JP00/04786

A. CLASSIFICATION OF SUBJECT MATTER
Int.Cl⁷ H01L31/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)
Int.Cl⁷ H01L31/10-31/119, H01L27/14-27/148

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1940-1996	Toroku Jitsuyo Shinan Koho	1994-2000
Kokai Jitsuyo Shinan Koho	1971-2000	Jitsuyo Shinan Toroku Koho	1996-2000

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
Y A	JP, 63-90852, A (NEC Corporation), 21 April, 1988 (21.04.88), Full text; Figs. 1 to 4 (Family: none)	5 1-4
Y A	JP, 9-205588, A (Canon Inc.), 05 August, 1997 (05.08.97), Full text; Figs. 1 to 8 (Family: none)	5 1-4
A	JP, 61-121581, A (Matsushita Electronic Corporation), 09 June, 1986 (09.06.86), Full text; Figs. 1 to 3 (Family: none)	1-5
A	JP, 6-34670, A (Hitachi, Ltd.), 10 February, 1994 (10.02.94), Full text; Figs. 1 to 2 (Family: none)	1-5
A	US, 4298259, A (Asahi Kogaku Kogyo Kabushiki Kaisha), 03 November, 1981 (03.11.81), Full text; Figs. 1 to 8 & DE, 2935303, A	1-5

Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier document but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 14 August, 2000 (14.08.00)	Date of mailing of the international search report 22 August, 2000 (22.08.00)
---	--

Name and mailing address of the ISA/ Japanese Patent Office	Authorized officer
Facsimile No.	Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))

Int. Cl⁷ H01L31/10

B. 調査を行った分野

調査を行った最小限資料 (国際特許分類 (IPC))

Int. Cl⁷ H01L31/10-31/119, H01L27/14-27/148

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報 1940年-1996年
 日本国公開実用新案公報 1971年-2000年
 日本国登録実用新案公報 1994年-2000年
 日本国実用新案登録公報 1996年-2000年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
Y A	J P, 63-90852, A (日本電気株式会社) 21. 4月. 1988 (21. 04. 88) 全文、第1図-第4図 (ファミリーなし)	5 1-4
Y A	J P, 9-205588, A (キヤノン株式会社) 5. 8月. 1997 (05. 08. 97) 全文、第1図-第8図 (ファミリーなし)	5 1-4

C欄の続きにも文献が列挙されている。 パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー
 「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
 「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
 「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
 「O」 口頭による開示、使用、展示等に言及する文献
 「P」 国際出願日前で、かつ優先権の主張の基礎となる出願日の後に公表された文献
 「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
 「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
 「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
 「&」 同一パテントファミリー文献

国際調査を完了した日 14. 08. 00

国際調査報告の発送日 22.08.00

国際調査機関の名称及びあて先
 日本国特許庁 (ISA/J P)
 郵便番号100-8915
 東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
 浜田 聖司
 2K 9207
 電話番号 03-3581-1101 内線 3254

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
A	JP, 61-121581, A (松下電子工業株式会社) 9. 6月. 1986 (09. 06. 86) 全文、第1図-第3図 (ファミリーなし)	1-5
A	JP, 6-34670, A (株式会社日立製作所) 10. 2月. 1994 (10. 02. 94) 全文、第1図-第2図 (ファミリーなし)	1-5
A	US, 4298259, A (Asahi Kogaku Kogyo Kabushiki Kaisha) 3. 11月. 1981 (03. 11. 81) 全文、第1図-第8図 & DE, 2935303, A	1-5