

【公報種別】特許法第17条の2の規定による補正の掲載
 【部門区分】第6部門第3区分
 【発行日】平成17年4月7日(2005.4.7)

【公開番号】特開2003-296096(P2003-296096A)
 【公開日】平成15年10月17日(2003.10.17)
 【出願番号】特願2002-99202(P2002-99202)
 【国際特許分類第7版】

G 0 6 F 7/00

G 0 6 F 9/30

G 0 6 F 9/38

【F I】

G 0 6 F 7/00 A

G 0 6 F 9/30 3 7 0

G 0 6 F 9/38 3 1 0 J

【手続補正書】

【提出日】平成16年5月13日(2004.5.13)

【手続補正1】

【補正対象書類名】明細書

【補正対象項目名】0026

【補正方法】変更

【補正の内容】

【0026】

図5～図7は、4つのSALC1をカスケード接続したSALP2における各SALC1の状態とそのときのデータの内容を示した図である。

4ビット乗算は、図5(a)の0サイクルで最初のデータが入力され、1クロック毎に次のデータの入力・インストラクションのデコード・論理演算・ラッチ・出力が行われた後、図7(p)の16サイクル目で完結する。図中、個々のSALC1のうち面積が拾い部分はデコーダ10であり、デコーダ10の上部はキャリーラッチ回路16であり、デコーダ10の下部左側はシフトラッチ回路14、下部右側はコントロールラッチ回路15である。各々、空白になっている部分および破線部分にはデータ等が存在しないことを表している。0, A0～A3, B0～B3は演算対象データ、SM0～SM7は演算結果データである。デコーダ10の部分に記入されている文字はインストラクションであり、「SET」はデータセット(data set:シフトラッチ回路14、コントロールラッチ回路15へのデータ格納)、「THR」はスルー(through:データを格納せず、そのまま通過させる)、「ADS」はデータ加算&シフト(add&shift)を表している。「carry」はキャリーラッチ回路16にラッチされるキャリービットを表している。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0033

【補正方法】変更

【補正の内容】

【0033】

このことを、1つのSALP2の場合の例を挙げた図9により説明する。

図9の左側に破線ブロックで示されているインストラクションアレイは、iCON4(図8参照)のメモリに保持されており、1クロック毎に、破線ブロックの右列のインストラクションから順次読み出されてSALP2のSALCに入力される。先頭のインストラクションが実行されると、そのインストラクションが1つ削除されて後段のSALCに入力され、前段のSALCには、次の列のインストラクションのすべてが入力される。これ

をインストラクションがなくなるまで繰り返す。

インストラクションレイには、フェッチやデータループを埋め込むことができる。この場合には、従来技術において説明した複雑なDFGを1パスで記述することができるようになり、演算パイプライン動作の制御形態を簡略化させることができる。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0034

【補正方法】変更

【補正の内容】

【0034】

次に、この演算装置の動作例を説明する。

ここでは、一例として、ある一つのSALP2を用いて図10(a)に示す「1010」(Aデータ)×「1100」(Bデータ)+「00101101」(Cデータ)の乗算および加算を行う場合の例を挙げる。

出力される演算結果データは「11000101」となるのであるが、その演算過程が特徴的なので、最初のサイクルから演算結果データが出力されるまでの過程を図示して説明する。

用意されるデータは、図10(b)のように、2段に並べられ、その右側から順次演算装置(SALP2)に入力される。

なお、データサイズを合わせるために、データ取得時にMSBを4回取得し、これをAデータの先頭に付加する。この付加したデータは、演算結果には影響を及ぼさないものである。図10(b)右側のデータ説明において「intermediate data」は、演算過程で使用するいわゆる中間データであり、これも演算結果に影響を及ぼさないものである。

【手続補正4】

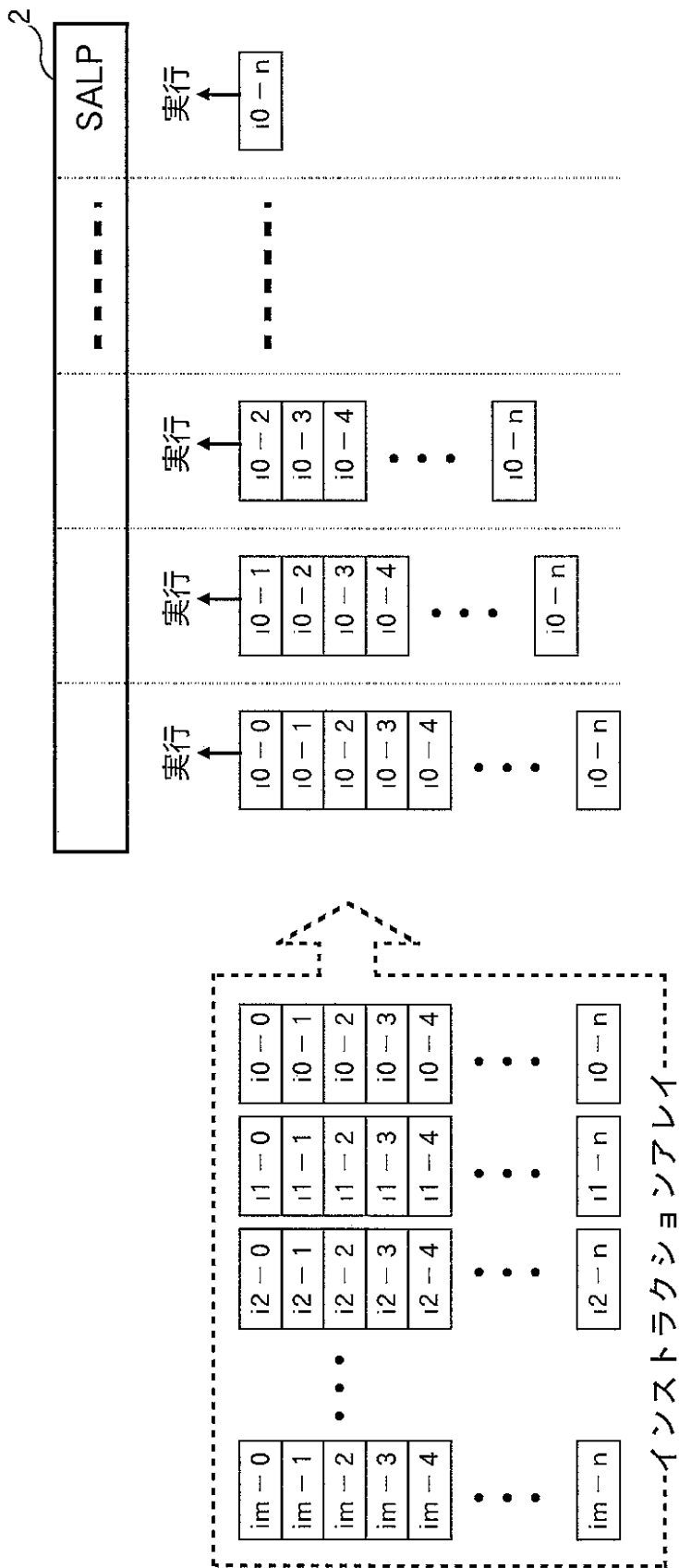
【補正対象書類名】明細書

【補正対象項目名】図9

【補正方法】変更

【補正の内容】

【図9】



【手続補正5】

【補正対象書類名】明細書

【補正対象項目名】図10

【補正方法】変更

