

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2016年2月25日(25.02.2016)



(10) 国際公開番号
WO 2016/027564 A1

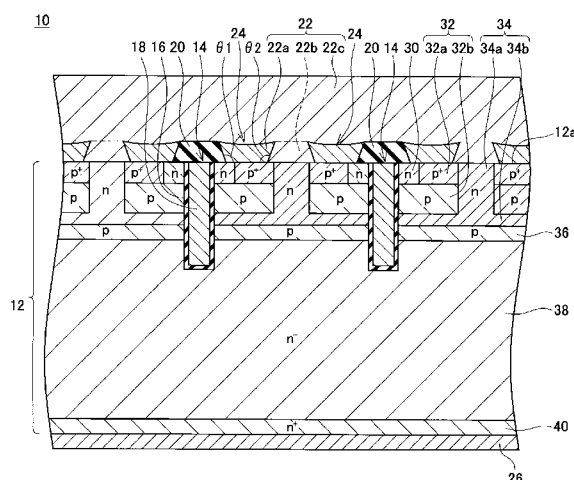
- (51) 国際特許分類:
H01L 29/41 (2006.01) H01L 27/088 (2006.01)
H01L 21/28 (2006.01) H01L 29/78 (2006.01)
H01L 21/329 (2006.01) H01L 29/861 (2006.01)
H01L 21/336 (2006.01) H01L 29/868 (2006.01)
H01L 21/8234 (2006.01) H01L 29/872 (2006.01)
H01L 27/06 (2006.01)
- (21) 国際出願番号: PCT/JP2015/068095
- (22) 国際出願日: 2015年6月23日(23.06.2015)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2014-169454 2014年8月22日(22.08.2014) JP
- (71) 出願人: トヨタ自動車株式会社 (TOYOTA JIDOSHA KABUSHIKI KAISHA) [JP/JP]; 〒4718571 愛知県豊田市トヨタ町1番地 Aichi (JP).
- (72) 発明者: 添野 明高(SOENO Akitaka); 〒4718571 愛知県豊田市トヨタ町1番地 トヨタ自動車株式会社内 Aichi (JP).
- (74) 代理人: 特許業務法人 快友国際特許事務所 (KAI-U PATENT LAW FIRM); 〒4516009 愛知県名古屋市中区牛島町6番1号 名古屋ルーセントタワー9階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).

[続葉有]

(54) Title: SEMICONDUCTOR DEVICE AND SEMICONDUCTOR DEVICE MANUFACTURING METHOD

(54) 発明の名称: 半導体装置及び半導体装置の製造方法

[図1]



(57) Abstract: This semiconductor device has: a semiconductor substrate having a trench formed in the surface; a trench electrode that is disposed in the trench; an interlayer insulating film, which covers the surface of the trench electrode, and which is protruding from the surface of the semiconductor substrate; a Schottky electrode, which is disposed at a position separated from the interlayer insulating film, said position being on the surface of the semiconductor substrate, and which is in Schottky contact with the semiconductor substrate; an embedded electrode, which is disposed in a recessed section between the interlayer insulating film and the Schottky electrode, and which is formed of a metal different from the metal of which the Schottky electrode is formed; and a surface electrode covering the interlayer insulating film, the embedded electrode, and the Schottky electrode.

(57) 要約:

[続葉有]

WO 2016/027564 A1



添付公開書類:

— 国際調査報告（条約第 21 条(3)）

半導体装置であって、表面にトレンチが形成されている半導体基板と、前記トレンチ内に配置されているトレンチ電極と、前記トレンチ電極の表面を覆っており、前記半導体基板の前記表面から突出している層間絶縁膜と、前記半導体基板の前記表面上に配置されており、前記層間絶縁膜から離間した位置に配置されており、前記半導体基板に対してショットキー接触しているショットキー電極と、前記層間絶縁膜と前記ショットキー電極の間の凹部内に配置されており、前記ショットキー電極とは異なる金属により構成されている埋め込み電極と、前記層間絶縁膜、前記埋め込み電極及び前記ショットキー電極を覆う表面電極を有する。

明 細 書

発明の名称：半導体装置及び半導体装置の製造方法

技術分野

[0001] (関連出願の相互参照)

本出願は、2014年8月22日に出願された日本特許出願特願2014-169454の関連出願であり、この日本特許出願に基づく優先権を主張するものであり、この日本特許出願に記載された全ての内容を、本明細書を構成するものとして援用する。

[0002] 本明細書に開示の技術は、半導体装置及び半導体装置の製造方法に関する。

背景技術

[0003] 特開2013-048230号公報に開示の半導体装置は、IGBTとショットキーダイオードを有する。このIGBTは、トレンチ型のゲート電極を有する。また、ショットキーダイオードは、半導体基板の表面の一部に対してショットキー接触している電極を有している。

発明の概要

発明が解決しようとする課題

[0004] トレンチ型のゲート電極を有する素子には、IGBTの他に、MOSFET等がある。また、ゲート電極ではない電極が、トレンチ内に配置される場合もある。このように、トレンチ内に配置された電極（以下、トレンチ電極という）は、多くの場合、その上面が層間絶縁膜により覆われる。層間絶縁膜は、半導体基板の表面から突出するように形成される。また、この種の半導体装置では、半導体基板の表面が、表面電極により覆われる。表面電極は、層間絶縁膜を覆うように形成される。層間絶縁膜が半導体基板の表面から突出しているので、表面電極は、層間絶縁膜の上部において凸状に盛り上がった形状となる。このため、表面電極の表面に段差が形成される。

[0005] 表面電極に対して繰り返し温度変化を加えると、表面電極にクラックが生

じる。表面電極の平坦な箇所が発生したクラックは、表面電極の表面に沿って進行する傾向が強い。これに対し、表面電極の段差の近傍で発生したクラックは、表面電極の厚み方向に向かって進行し易い。クラックが半導体基板まで達すると、半導体装置の特性が劣化するため、問題となる。したがって、本明細書では、層間絶縁膜を覆う表面電極を容易に平坦化することが可能な技術を提供する。

課題を解決するための手段

[0006] 本明細書が開示する半導体装置は、半導体基板と、トレンチ電極と、層間絶縁膜と、ショットキー電極と、埋め込み電極と、表面電極を有する。半導体基板の表面にトレンチが形成されている。トレンチ電極は、前記トレンチ内に配置されている。層間絶縁膜は、前記トレンチ電極の表面を覆っており、前記半導体基板の前記表面から突出している。ショットキー電極は、前記半導体基板の前記表面上に配置されており、前記層間絶縁膜から離間した位置に配置されており、前記半導体基板に対してショットキー接触している。埋め込み電極は、前記層間絶縁膜と前記ショットキー電極の間の凹部内に配置されており、前記ショットキー電極とは異なる金属により構成されている。表面電極は、前記層間絶縁膜、前記埋め込み電極及び前記ショットキー電極を覆っている。

[0007] なお、層間絶縁膜、埋め込み電極及びショットキー電極と、これらを覆う表面電極の間に、他の層が介在していてもよい。また、これらが表面電極と接触していてもよい。

[0008] この半導体装置は、半導体基板の表面から突出する層間絶縁膜と、半導体基板の表面上であって層間絶縁膜から離間した位置に配置されているショットキー電極を有している。したがって、層間絶縁膜とショットキー電極とに挟まれた位置が、凹部となっている。凹部内には、埋め込み電極が形成されている。製造工程において、層間絶縁膜とショットキー電極と凹部を覆うように埋め込み電極を成長させ、その後、埋め込み電極をエッチングすることで、凹部内に埋め込み電極を残存させることができる。埋め込み電極をエッ

チングする際に、埋め込み電極を残存させる範囲が広いと、その範囲の中央部が凹状に窪み、埋め込み電極の表面を平坦に形成することが難しい。しかしながら、狭い凹部内に埋め込み電極を残存させるのであれば、埋め込み電極の表面を比較的平坦に形成することが可能である。この半導体装置では、凹部内に埋め込み電極が残存するので、埋め込み電極の表面を平坦にすることができる。その後、層間絶縁膜、埋め込み電極及びショットキー電極を覆うように表面電極を成長させることで、上記の半導体装置が完成する。層間絶縁膜とショットキー電極の間の凹部に埋め込み電極が配置されており、かつ、埋め込み電極の表面が平坦であるので、表面電極を平坦に形成することができる。

[0009] 本明細書が開示する半導体装置の製造方法は、半導体基板の表面にトレンチを形成する工程と、前記トレンチ内にトレンチ電極を形成する工程と、第1凸部を形成する工程と、第2凸部を形成する工程と、埋め込み電極を成長させる工程と、埋め込み電極をエッチングする工程と、表面電極を成長させる工程を有する。第1凸部を形成する工程では、前記トレンチ電極の表面上に、前記トレンチ電極の表面を覆う層間絶縁膜を含み、前記半導体基板の前記表面から突出する第1凸部を形成する。第2凸部を形成する工程では、前記半導体基板の前記表面上であって前記第1凸部から離間した位置に、前記半導体基板に対してショットキー接触しているショットキー電極を含み、前記半導体基板の前記表面から突出する第2凸部を形成する。埋め込み電極を成長させる工程では、前記第1凸部と、前記第2凸部と、前記第1凸部と前記第2凸部の間の前記半導体基板の前記表面を覆うように、埋め込み電極を成長させる。埋め込み電極をエッチングする工程では、前記第1凸部と前記第2凸部の表面が露出し、前記第1凸部と前記第2凸部の間の凹部内に前記埋め込み電極が残存するように、前記埋め込み電極をエッチングする。表面電極を成長させる工程では、前記エッチングの後に、前記第1凸部、前記埋め込み電極及び前記第2凸部を覆う表面電極を成長させる。

[0010] なお、第2凸部は、第1凸部より先に形成してもよいし、第1凸部より後

に形成してもよい。

[0011] この方法によれば、平坦な表面電極を有する半導体装置を製造することができる。

図面の簡単な説明

[0012] [図1]実施例1の半導体装置10の縦断面図。

[図2]実施例1の半導体装置10の製造工程の説明図。

[図3]実施例1の半導体装置10の製造工程の説明図。

[図4]実施例1の半導体装置10の製造工程の説明図。

[図5]実施例1の半導体装置10の製造工程の説明図。

[図6]実施例1の半導体装置10の製造工程の説明図。

[図7]実施例1の半導体装置10の製造工程の説明図。

[図8]実施例1の半導体装置10の製造工程の説明図。

[図9]実施例1の半導体装置10の製造工程の説明図。

[図10]実施例1の半導体装置10の製造工程の説明図。

[図11]金属をエッチングする工程の説明図。

[図12]金属をエッチングする工程の説明図。

[図13]実施例1の半導体装置10の製造工程の説明図。

[図14]実施例2の半導体装置200の縦断面図。

[図15]実施例2の半導体装置200の製造工程の説明図。

[図16]実施例2の半導体装置200の製造工程の説明図。

[図17]実施例2の半導体装置200の製造工程の説明図。

発明を実施するための形態

実施例 1

[0013] 図1に示す実施例の半導体装置10は、半導体基板12を有する。半導体基板12の上面12aには、複数のトレンチ14が形成されている。各トレンチ14の内面は、ゲート絶縁膜16によって覆われている。各トレンチ14内には、ゲート電極18が配置されている。各ゲート電極18は、ゲート絶縁膜16によって半導体基板12から絶縁されている。各ゲート電極18

の上面は、層間絶縁膜 20 によって覆われている。各層間絶縁膜 20 は、半導体基板 12 の上面 12a から上側に突出するように形成されている。

[0014] 半導体基板 12 の上面 12a 上には、ソース電極 22 が形成されている。ソース電極 22 は、層間絶縁膜 20 を覆っている。層間絶縁膜 20 によってソース電極 22 はゲート電極 18 から絶縁されている。ソース電極 22 は、埋め込み電極 22a と、ショットキー電極 22b と、表面電極 22c を有している。

[0015] ショットキー電極 22b は、半導体基板 12 上に複数個形成されている。各ショットキー電極 22b は、2つの層間絶縁膜 20 に挟まれた範囲内であって各層間絶縁膜 20 から離間した位置に配置されている。ショットキー電極 22b は、半導体基板 12 の上面 12a から上側に突出するように形成されている。半導体基板 12 の上面 12a からショットキー電極 22b の上面までの高さは、半導体基板 12 の上面 12a から層間絶縁膜 20 の上面までの高さと同程度の高さである。ショットキー電極 22b は、Al（アルミニウム）により構成されている。ショットキー電極 22b は、半導体基板 12 に対してショットキー接触している。層間絶縁膜 20 とショットキー電極 22b の間には、凹部 24 が形成されている。凹部 24 の底面は半導体基板 12 の上面 12a であり、凹部 24 の一方の側面は層間絶縁膜 20 の側面であり、凹部 24 の他方の側面はショットキー電極 22b の側面である。凹部 24 の底面（すなわち、半導体基板 12 の上面 12a）と層間絶縁膜 20 の側面との間の角度 θ_1 は、90度より大きい。また、凹部 24 の底面（すなわち、半導体基板 12 の上面 12a）とショットキー電極 22b の側面との間の角度 θ_2 は、90度より大きい。

[0016] 埋め込み電極 22a は、各凹部 24 内に配置されている。埋め込み電極 22a は、凹部 24 内に隙間なく形成されている。埋め込み電極 22a は、凹部 24 の内面を構成する半導体基板 12 の上面 12a、層間絶縁膜 20 の側面及びショットキー電極 22b の側面に接している。埋め込み電極 22a は、W（タングステン）により構成されている。埋め込み電極 22a は、半導

体基板 1 2 に対してオーミック接触している。

[0017] 表面電極 2 2 c は、層間絶縁膜 2 0、埋め込み電極 2 2 a 及びショットキー電極 2 2 b 上に形成されている。表面電極 2 2 c は、層間絶縁膜 2 0、埋め込み電極 2 2 a 及びショットキー電極 2 2 b 上に跨って伸びている。表面電極 2 2 c は、A 1 により構成されている。

[0018] 上記の通り、本実施例では、表面電極 2 2 c が、ショットキー電極 2 2 b と同じ材料により構成されている。したがって、本実施例では、表面電極 2 2 c とショットキー電極 2 2 b の境界を視認することが難しい。しかしながら、境界を視認できない場合でも、埋め込み電極 2 2 a の側方に位置する A 1 層をショットキー電極 2 2 b と認め、埋め込み電極 2 2 a の上面よりも上側に位置する A 1 層を表面電極 2 2 c と認めることができる。

[0019] 半導体基板 1 2 の下面 1 2 b には、ドレイン電極 2 6 が形成されている。ドレイン電極 2 6 は、半導体基板 1 2 に対してオーミック接触している。

[0020] 半導体基板 1 2 の内部には、ソース領域 3 0、上部ボディ領域 3 2、中間領域 3 4、下部ボディ領域 3 6、ドリフト領域 3 8 及びドレイン領域 4 0 が形成されている。

[0021] ソース領域 3 0 は、n 型の半導体領域である。ソース領域 3 0 は、半導体基板 1 2 の上面 1 2 a に露出している。ソース領域 3 0 は、埋め込み電極 2 2 a に対してオーミック接触している。ソース領域 3 0 は、ゲート絶縁膜 1 6 に接触している。

[0022] 上部ボディ領域 3 2 は、ソース領域 3 0 の側方及び下側に形成されている。上部ボディ領域 3 2 は、p 型不純物濃度が高い p 型の半導体領域である高濃度領域 3 2 a と、p 型不純物濃度が高濃度領域 3 2 a よりも低い p 型の半導体領域である低濃度領域 3 2 b を有している。高濃度領域 3 2 a は、ソース領域 3 0 の側方に形成されており、半導体基板 1 2 の上面 1 2 a に露出している。高濃度領域 3 2 a は、埋め込み電極 2 2 a に対してオーミック接触している。低濃度領域 3 2 b は、ソース領域 3 0 と高濃度領域 3 2 a の下側に形成されている。低濃度領域 3 2 b は、ソース領域 3 0 の下側でゲート絶

縁膜 16 に接触している。

[0023] 中間領域 34 は、比較的 n 型不純物濃度が低い n 型の半導体領域である。中間領域 34 は、上部ボディ領域 32 に接している。中間領域 34 は、上部ボディ領域 32 によってソース領域 30 から分離されている。中間領域 34 は、ピラー領域 34 a とバリア領域 34 b を有している。ピラー領域 34 a は、半導体基板 12 の上面 12 a から半導体基板 12 の厚み方向に沿って伸びる領域である。ピラー領域 34 a は、半導体基板 12 の上面 12 a に露出しており、ショットキー電極 22 b に対してショットキー接触している。バリア領域 34 b は、上部ボディ領域 32 の下側に形成されている。バリア領域 34 b は、ピラー領域 34 a と繋がっている。バリア領域 34 b は、上部ボディ領域 32 の下側でゲート絶縁膜 16 に接触している。

[0024] 下部ボディ領域 36 は、p 型の半導体領域である。下部ボディ領域 36 は、中間領域 34 の下側に形成されている。下部ボディ領域 36 は、バリア領域 34 b の下側でゲート絶縁膜 16 に接触している。下部ボディ領域 36 は、中間領域 34 によって上部ボディ領域 32 から分離されている。

[0025] ドリフト領域 38 は、比較的 n 型不純物濃度が低い n 型の半導体領域である。ドリフト領域 38 は、下部ボディ領域 36 の下側に形成されている。ドリフト領域 38 は、下部ボディ領域 36 の下側でゲート絶縁膜 16 に接触している。ドリフト領域 38 は、下部ボディ領域 36 によって中間領域 34 から分離されている。

[0026] ドレイン領域 40 は、ドリフト領域 38 よりも n 型不純物濃度が高い n 型の半導体領域である。ドレイン領域 40 は、ドリフト領域 38 の下側に形成されている。ドレイン領域 40 は、半導体基板 12 の下面 12 b に露出している。ドレイン領域 40 は、ドレイン電極 26 に対してオーミック接触している。

[0027] 半導体装置 10 は、MOSFET としての動作と、ダイオードとしての動作を実行することができる。

[0028] MOSFET として動作する際には、ドレイン電極 26 にソース電極 22

よりも高い電位が印加される。ゲート電極 18 に閾値以上の電位を印加すると、ゲート絶縁膜 16 近傍の上部ボディ領域 32 及び下部ボディ領域 36 にチャネルが形成される。すると、ドレイン電極 26 から、ドレイン領域 40、ドリフト領域 38、下部ボディ領域 36 のチャネル、中間領域 34、上部ボディ領域 32 のチャネル及びソース領域 30 を経由して、ソース電極 22 に向かって電流が流れる。すなわち、MOSFET がオンする。ゲート電極 18 の電位を閾値未満に低下させると、チャネルが消失し、電流が停止する。

[0029] ソース電極 22 とドレイン電極 26 の間には、ソース電極 22 と中間領域 34 との境界であるショットキー界面を有するショットキーダイオードと、上部ボディ領域 32 と中間領域 34 との境界である p n 接合を有する p n ダイオードが形成されている。半導体装置 10 がダイオードとして動作する際には、ソース電極 22 にドレイン電極 26 よりも高い電位が印加される。すると、ソース電極 22 と中間領域 34 の境界のショットキー界面がオンする。これによって、ソース電極 22 から、中間領域 34、下部ボディ領域 36、ドリフト領域 38 及びドレイン領域 40 を経由して、ドレイン電極 26 に向かって電流が流れる。また、ショットキー界面がオンすることで、バリア領域 34 b の電位はソース電極 22 の電位と略等しい電位とされる。これによって、上部ボディ領域 32 と中間領域 34 との境界の p n 接合がオンし難くなっており、上部ボディ領域 32 からドリフト領域 38 にホールが流入することが抑制される。その後、ダイオードに逆電圧を印加すると、ダイオードが逆回復動作を行う。上記のようにダイオードがオンしているときにドリフト領域 38 へのホールの流入が抑制されるので、逆回復動作時にダイオードに流れる逆電流が抑制される。

[0030] 次に、半導体装置 10 の製造方法について説明する。半導体装置 10 は、ドリフト領域 38 と略同じ不純物濃度を有する n 型の半導体基板 12 から製造される。まず、イオン注入等によって、図 2 に示すように、半導体基板 12 に、ソース領域 30、上部ボディ領域 32、中間領域 34 及び下部ボディ

領域 3 6 を形成する。次に、半導体基板 1 2 の上面 1 2 a を選択的にエッチングすることによって、図 3 に示すように、半導体基板 1 2 の上面 1 2 a にトレンチ 1 4 を形成する。トレンチ 1 4 は、ソース領域 3 0、低濃度領域 3 2 b、バリア領域 3 4 b 及び下部ボディ領域 3 6 を貫通するように形成する。次に、図 4 に示すように、トレンチ 1 4 の内面に、ゲート絶縁膜 1 6 を形成する。次に、トレンチ 1 4 の内部に、ゲート電極 1 8 を形成する。なお、以下では、半導体基板 1 2 と、半導体基板 1 2 に形成された電極、絶縁層等をまとめて、ウエハ 1 3 と呼ぶ。

[0031] 次に、図 5 に示すように、ウエハ 1 3 上に、層間絶縁膜 2 0 を成長させる。層間絶縁膜 2 0 は、ウエハ 1 3 の上面の全域を覆うように形成する。層間絶縁膜 2 0 を形成したら、層間絶縁膜 2 0 を選択的にエッチングする。これによって、図 6 に示すように、ゲート電極 1 8 の上部に層間絶縁膜 2 0 を残存させ、その他の位置の層間絶縁膜 2 0 を除去する。ここでは、図 6 に示すように、層間絶縁膜 2 0 の側面と、露出している範囲の半導体基板 1 2 の上面 1 2 a との間の角度 $\theta 1$ が 90 度より大きくなるように、層間絶縁膜 2 0 の側面が成形される。

[0032] 次に、スパッタリングによって、図 7 に示すように、ウエハ 1 3 上にショットキー電極 2 2 b (すなわち、A 1) を成長させる。ショットキー電極 2 2 b は、半導体基板 1 2 の上面 1 2 a 及び層間絶縁膜 2 0 の表面の全域を覆うように形成する。ショットキー電極 2 2 b を形成したら、ショットキー電極 2 2 b を選択的にエッチングする。これによって、図 8 に示すように、中間領域 3 4 が上面 1 2 a に露出する範囲にショットキー電極 2 2 b を残存させ、その他の位置のショットキー電極 2 2 b を除去する。ここでは、図 8 に示すように、ショットキー電極 2 2 b の側面と、露出している範囲の半導体基板 1 2 の上面 1 2 a との間の角度 $\theta 2$ が 90 度より大きくなるように、ショットキー電極 2 2 b の側面が成形される。このようにショットキー電極 2 2 b をエッチングすることで、ショットキー電極 2 2 b が層間絶縁膜 2 0 から離間する。このため、ショットキー電極 2 2 b と層間絶縁膜 2 0 の間に凹

部 2 4 が形成される。

[0033] 次に、図 9 に示すように、ウエハ 1 3 上に埋め込み電極 2 2 a（すなわち、W）を成長させる。埋め込み電極 2 2 a は、半導体基板 1 2 の上面 1 2 a、層間絶縁膜 2 0 及びショットキー電極 2 2 b の表面の全域を覆うように形成する。埋め込み電極 2 2 a の材料である W は、基礎となる素材の表面に均等に成長する。このため、図 9 に示すように、層間絶縁膜 2 0 及びショットキー電極 2 2 b によってウエハ 1 3 の表面に凹凸が形成されていても、埋め込み電極 2 2 a の表面が略平坦となる。また、埋め込み電極 2 2 a の材料である W は、狭い凹部 2 4 内にも隙間なく成長させることができる。特に、凹部 2 4 では、底面と層間絶縁膜 2 0 側の側面との間の角度 $\theta 1$ が 90 度より大きく、底面とショットキー電極 2 2 b 側の側面との間の角度 $\theta 2$ が 90 度より大きい。すなわち、凹部 2 4 は、上端部の幅が底部の幅より広がっている。このため、埋め込み電極 2 2 a を凹部 2 4 内により確実に成長させることが可能となっている。したがって、凹部 2 4 内に空隙が形成されることが防止される。

[0034] 埋め込み電極 2 2 a を形成したら、埋め込み電極 2 2 a をエッチングする。ここでは、SF₆（六フッ化硫黄）をエッチングガスとして用いる。エッチングによって、図 10 に示すように、埋め込み電極 2 2 a の上面を、層間絶縁膜 2 0 の上面及びショットキー電極 2 2 b の上面より下側まで後退させる。すなわち、層間絶縁膜 2 0 の上面及びショットキー電極 2 2 b の上面を露出させる。このため、層間絶縁膜 2 0 は、凹部 2 4 内に残存する。エッチング時には、エッチング後の埋め込み電極 2 2 a の上面が、層間絶縁膜 2 0 の上面及びショットキー電極 2 2 b の上面に近い高さとなるように、エッチング時間を調節する。また、このように埋め込み電極 2 2 a をエッチングすると、埋め込み電極 2 2 a の上面が略平坦となる。以下、その理由について説明する。

[0035] 図 1 1、1 2 は、金属をエッチングする工程の説明図である。図 1 1、1 2 では、2 つの凸部 1 0 2 と、2 つの凸部 1 0 2 に挟まれた凹部 1 0 4 を有

する表面１００上に金属層１１０を形成し、その後、２つの凸部１０２の上面が露出するまで金属層１１０をエッチングする工程を表している。図１１は、凹部１０４の幅が広い場合を示しており、図１２は、凹部１０４の幅が狭い場合を示している。エッチングは凹部１０４の中央部では、凹部１０４の端部（すなわち、凸部１０２の近傍）よりも速く進行する。このエッチング速度の差は、凹部１０４の幅が広いほど顕著となる。このため、凹部１０４の幅が広いと、図１１に示すように、エッチング後に凹部１０４内に残存する金属層１１０の表面は凹状に大きく湾曲した形状となる。これに対し、凹部１０４の幅が狭いと、図１２に示すように、エッチング後の金属層１１０の表面が湾曲する度合いが小さい。凹部１０４の幅が狭いと、エッチング後の金属層１１０の表面はより平坦となる。

[0036] 本実施例の製造方法では、図１０に示すように、凸状の層間絶縁膜２０から間隔を開けた位置に、凸状のショットキー電極２２ｂが形成されている。これによって、層間絶縁膜２０とショットキー電極２２ｂの間に、幅が狭い凹部２４が形成されている。このように凹部２４の幅が狭いため、埋め込み電極２２ａのエッチング後に、埋め込み電極２２ａの上面を略平坦とすることができる。このため、埋め込み電極２２ａのエッチング後に、埋め込み電極２２ａの上面、層間絶縁膜２０の上面及びショットキー電極２２ｂの上面によって構成されるウエハ１３の上面が、略平坦となる。

[0037] 次に、図１３に示すように、ウエハ１３上に、表面電極２２ｃ（すなわち、Ａ１）を成長させる。表面電極２２ｃは、層間絶縁膜２０、埋め込み電極２２ａ及びショットキー電極２２ｂの上面の全域を覆うように形成する。上述したように、ウエハ１３の上面が平坦であるので、表面電極２２ｃの上面が平坦となる。

[0038] 表面電極２２ｃを形成したら、裏面側の構造（すなわち、ドレイン領域４０及びドレイン電極２６）を形成する。その後、ウエハ１３をダイシングすることで、図１に示す半導体装置１０が完成する。

[0039] 以上に説明したように、この製造方法によれば、表面電極２２ｃの表面を

平坦化することができる。

実施例 2

[0040] 図14に示す実施例2の半導体装置200では、ソース電極22が、バリアメタル層22dを有する。実施例2の半導体装置200のその他の構成は、実施例1の半導体装置10と等しい。

[0041] バリアメタル層22dは、TiN（窒化チタン）により構成されている。バリアメタル層22dの厚みは、層間絶縁膜20及びショットキー電極22bに比べて遥かに薄い。バリアメタル層22dは、層間絶縁膜20の上面と、ショットキー電極22bの上面と、凹部24の内面を覆っている。実施例2の半導体装置200は、実施例1の半導体装置10と略同様に動作する。

[0042] 実施例2の半導体装置200を製造する際には、まず、実施例1と同様にして、図8に示すようにウエハ13を加工する。次に、図15に示すように、ウエハ13上に、バリアメタル層22dを成長させる。すなわち、層間絶縁膜20の上面と、ショットキー電極22bの上面と、凹部24の内面にバリアメタル層22dを成長させる。すなわち、実施例2では、ゲート電極18上の凸部が、層間絶縁膜20とバリアメタル層22dによって構成される。また、ピラー領域34a上の凸部が、ショットキー電極22bとバリアメタル層22dによって構成される。次に、図16に示すように、バリアメタル層22d上に、埋め込み電極22a（すなわち、W）を成長させる。ここでは、実施例1と同様にして、埋め込み電極22aの表面が平坦になり、凹部24内に隙間なく埋め込み電極22aが形成される。

[0043] 次に、埋め込み電極22aをエッチングする。ここでは、SF₆（六フッ化硫黄）をエッチングガスとして用いる。これによって、図17に示すように、埋め込み電極22aの上面を、層間絶縁膜20上のバリアメタル層22dの上面及びショットキー電極22b上のバリアメタル層22dの上面より下側まで後退させる。すなわち、層間絶縁膜20上及びショットキー電極22b上のバリアメタル層22dを露出させる。埋め込み電極22aは、凹部24内に残存させる。本実施例では、層間絶縁膜20とショットキー電極2

2 bがバリアメタル層2 2 dに覆われているので、図1 7に示すエッチング時に、層間絶縁膜2 0とショットキー電極2 2 bがエッチングガスに曝されない。また、バリアメタル層2 2 d (T i N)とエッチング対象である埋め込み電極2 2 a (W)のエッチングガス (S F 6) に対する選択比は、1 対3 0である。すなわち、バリアメタル層2 2 dは、エッチングガスによるエッチングをほとんど受けない。したがって、バリアメタル層2 2 dによって層間絶縁膜2 0とショットキー電極2 2 bがエッチングガスから保護される。なお、少なくとも上記選択比が1 対5 以上となる材料を、バリアメタル層2 2 dとして使用することができる。また、ここでも、実施例1と同様にして、埋め込み電極2 2 aのエッチング後に、ウエハ1 3の上面が、略平坦となる。

[0044] 埋め込み電極2 2 aをエッチングしたら、図1 4に示すように、ウエハ1 3の上面に表面電極2 2 cを成長させる。実施例1と同様に、上面が平坦な表面電極2 2 cを形成することができる。その後、下面側の構造を形成し、ダイシングすることで、図1 4に示す半導体装置2 0 0が完成する。

[0045] 以上に説明したように、実施例2の半導体装置2 0 0の製造工程でも、表面電極2 2 cの表面を平坦化することができる。また、実施例2の方法によれば、層間絶縁膜2 0及びショットキー電極2 2 bをエッチングガスから保護することができる。

[0046] なお、上述した実施例1、2では、トレンチ型のゲート電極を有するM O S F E Tとショットキーダイオードを有する半導体装置について説明した。しかしながら、M O S F E Tの代わりに、トレンチ型のゲート電極を有するI G B Tが形成されていてもよい。また、M O S F E Tの代わりに、トレンチ内に配置された電極を有するp nダイオードが形成されていてもよい。すなわち、トレンチ内に配置された電極を有する素子と、ショットキー電極を有する様々な半導体装置において、本明細書に開示の技術を適用することができる。

[0047] また、上述した実施例1、2では、ショットキー電極2 2 bと表面電極2

2cが同じA1によって構成されていたが、これらが異なる材料によって構成されていてもよい。例えば、ショットキー電極22bをPd（パラジウム）により構成されていてもよい。

[0048] 次に、本明細書で開示される構成の例について説明する。本明細書で開示される一例の半導体装置では、埋め込み電極に覆われている範囲において、半導体基板の表面と層間絶縁膜の側面の間の角度が90度より大きい。

[0049] このような構成によれば、凹部内に埋め込み電極を好適に形成することができる。

[0050] 本明細書で開示される一例の半導体装置では、埋め込み電極に覆われている範囲において、半導体基板の表面とショットキー電極の側面の間の角度が90度より大きい。

[0051] このような構成によれば、凹部内に埋め込み電極を好適に形成することができる。

[0052] 本明細書で開示される一例の半導体装置では、ショットキー電極と表面電極の間、及び、層間絶縁膜と表面電極の間に、埋め込み電極に対してエッチング選択性を有するバリアメタル層が配置されている。

[0053] このような構成によれば、ショットキー電極及び層間絶縁膜をエッチング剤から保護することができる。

[0054] 本明細書で開示される一例の半導体装置では、埋め込み電極が、半導体基板に対してオーミック接触している。

[0055] これにより、ショットキー電極とオーミック電極を有する半導体装置を製造することができる。

[0056] 本明細書で開示される一例の半導体装置の製造方法では、埋め込み電極が、ショットキー電極とは異なる金属により構成される。

[0057] 以上、実施形態について詳細に説明したが、これらは例示にすぎず、特許請求の範囲を限定するものではない。特許請求の範囲に記載の技術には、以上に例示した具体例をさまざまに変形、変更したものが含まれる。

本明細書または図面に説明した技術要素は、単独あるいは各種の組み合わせ

によって技術有用性を発揮するものであり、出願時請求項記載の組み合わせに限定されるものではない。また、本明細書または図面に例示した技術は複数目的を同時に達成するものであり、そのうちの1つの目的を達成すること自体で技術有用性を持つものである。

請求の範囲

- [請求項1] 半導体装置であって、
表面にトレンチが形成されている半導体基板と、
前記トレンチ内に配置されているトレンチ電極と、
前記トレンチ電極の表面を覆っており、前記半導体基板の前記表面から突出している層間絶縁膜と、
前記半導体基板の前記表面上に配置されており、前記層間絶縁膜から離間した位置に配置されており、前記半導体基板に対してショットキー接触しているショットキー電極と、
前記層間絶縁膜と前記ショットキー電極の間の凹部内に配置されており、前記ショットキー電極とは異なる金属により構成されている埋め込み電極と、
前記層間絶縁膜、前記埋め込み電極及び前記ショットキー電極を覆う表面電極、
を有する半導体装置。
- [請求項2] 前記埋め込み電極に覆われている範囲において、前記半導体基板の前記表面と前記層間絶縁膜の側面の間角度が90度より大きい請求項1の半導体装置。
- [請求項3] 前記埋め込み電極に覆われている範囲において、前記半導体基板の前記表面と前記ショットキー電極の側面の間角度が90度より大きい請求項1または2の半導体装置。
- [請求項4] 前記ショットキー電極と前記表面電極の間、及び、前記層間絶縁膜と前記表面電極の間に、前記埋め込み電極に対してエッチング選択性を有するバリアメタル層が配置されている請求項1～3のいずれか一項の半導体装置。
- [請求項5] 前記埋め込み電極が、前記半導体基板に対してオーミック接触している請求項1～4のいずれか一項の半導体装置。
- [請求項6] 半導体装置を製造する方法であって、

半導体基板の表面にトレンチを形成する工程と、

前記トレンチ内にトレンチ電極を形成する工程と、

前記トレンチ電極の表面上に、前記トレンチ電極の表面を覆う層間絶縁膜を含み、前記半導体基板の前記表面から突出する第1凸部を形成する工程と、

前記半導体基板の前記表面上であって前記第1凸部から離間した位置に、前記半導体基板に対してショットキー接触しているショットキー電極を含み、前記半導体基板の前記表面から突出する第2凸部を形成する工程と、

前記第1凸部と、前記第2凸部と、前記第1凸部と前記第2凸部の間の前記半導体基板の前記表面を覆うように、埋め込み電極を成長させる工程と、

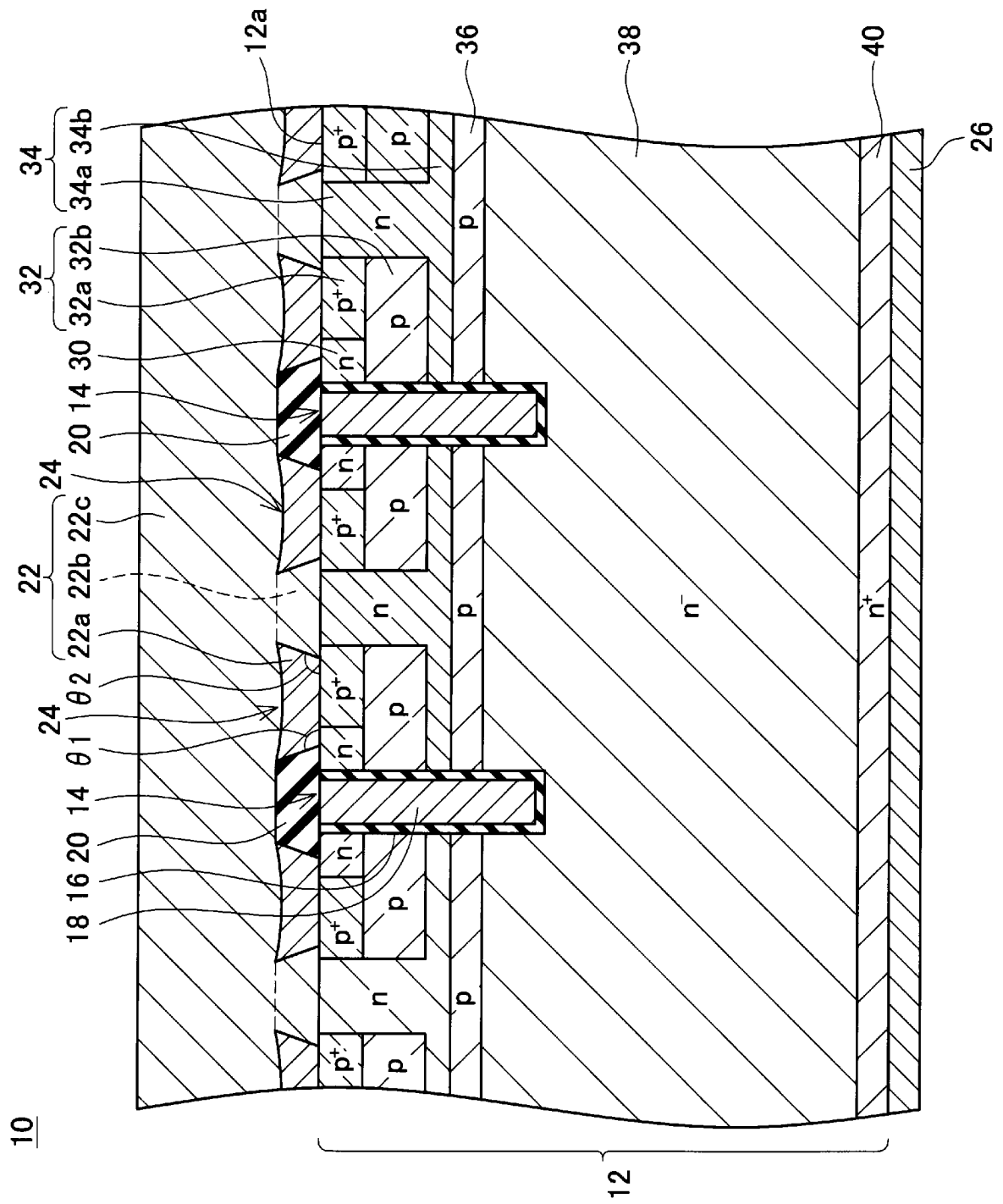
前記第1凸部と前記第2凸部の表面が露出し、前記第1凸部と前記第2凸部の間の凹部内に前記埋め込み電極が残存するように、前記埋め込み電極をエッチングする工程と、

前記エッチングの後に、前記第1凸部、前記埋め込み電極及び前記第2凸部を覆う表面電極を成長させる工程、

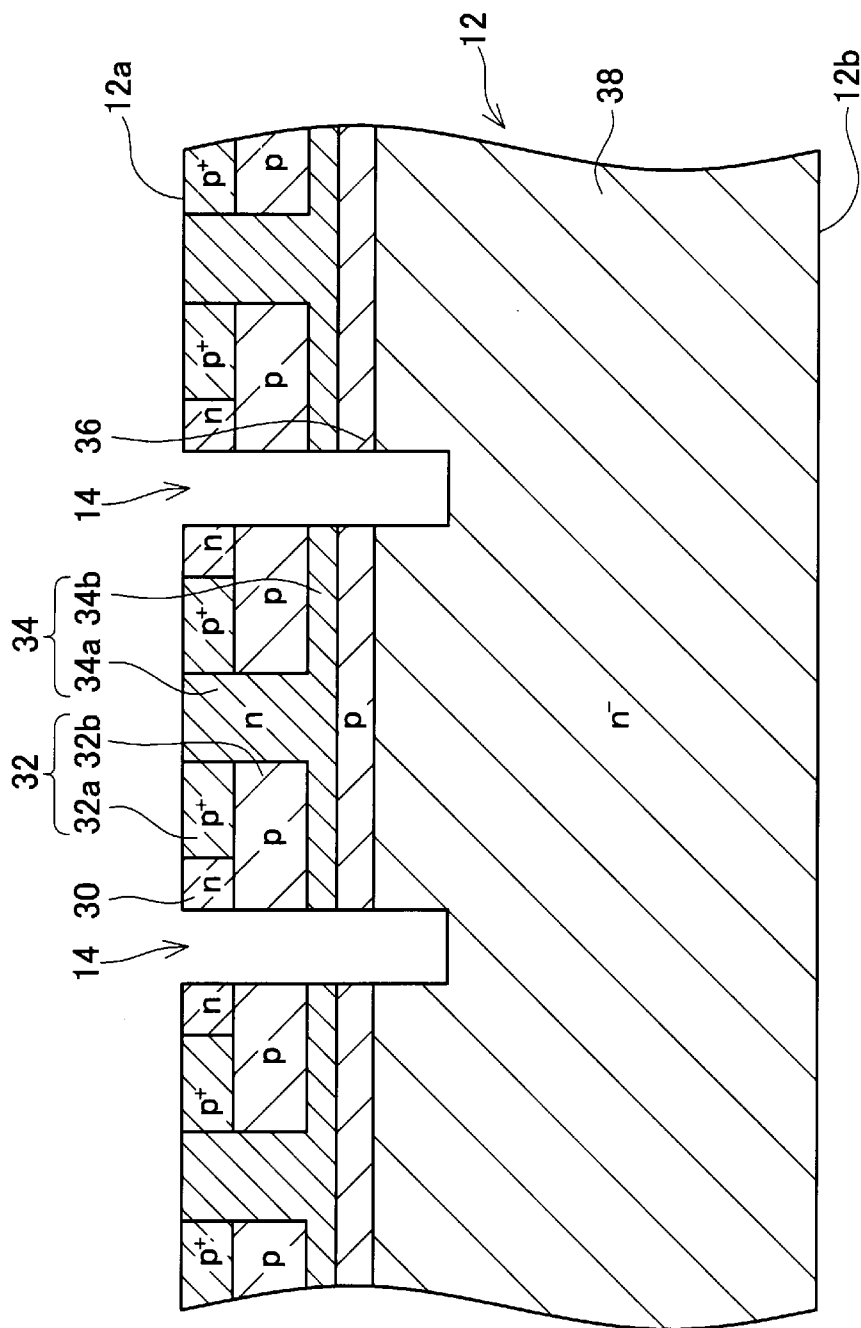
を有する方法。

[請求項7] 前記埋め込み電極が、前記ショットキー電極とは異なる金属により構成されている請求項6の方法。

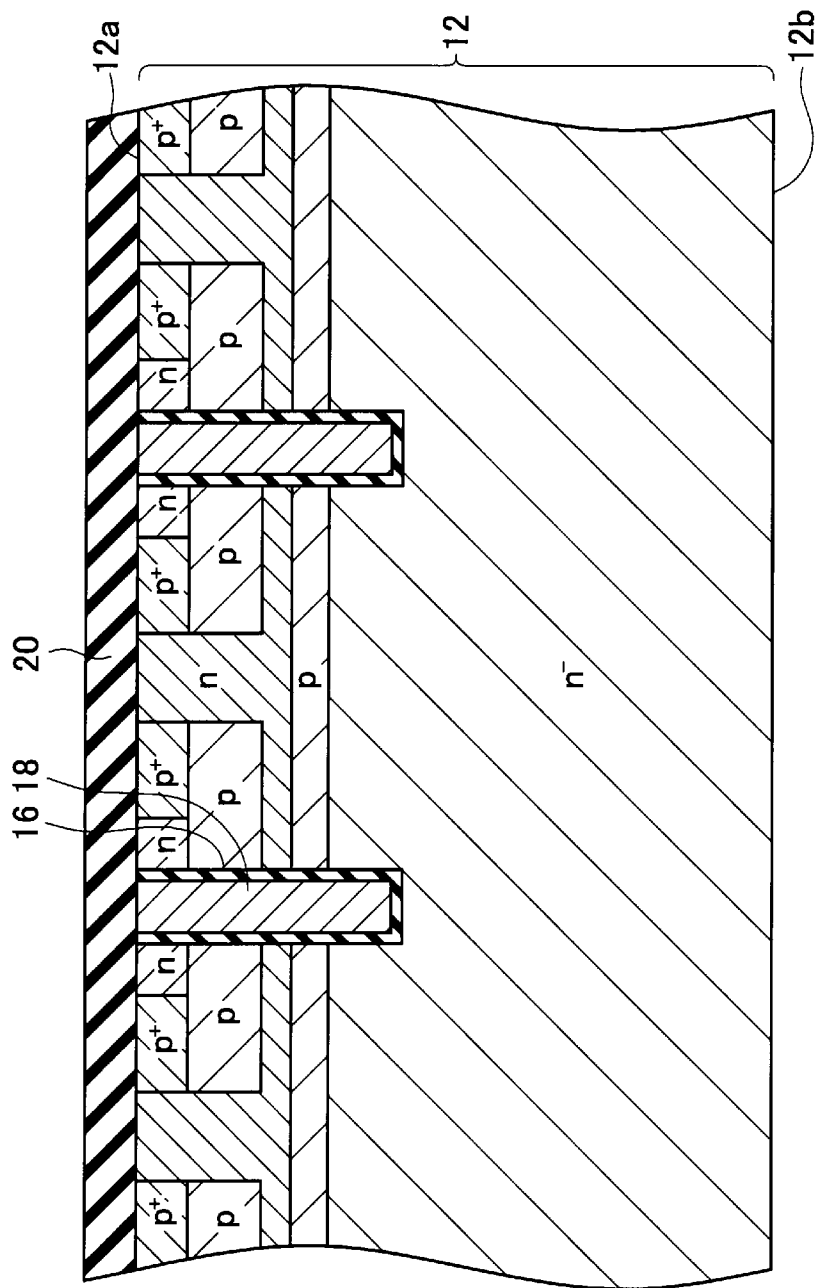
[図1]



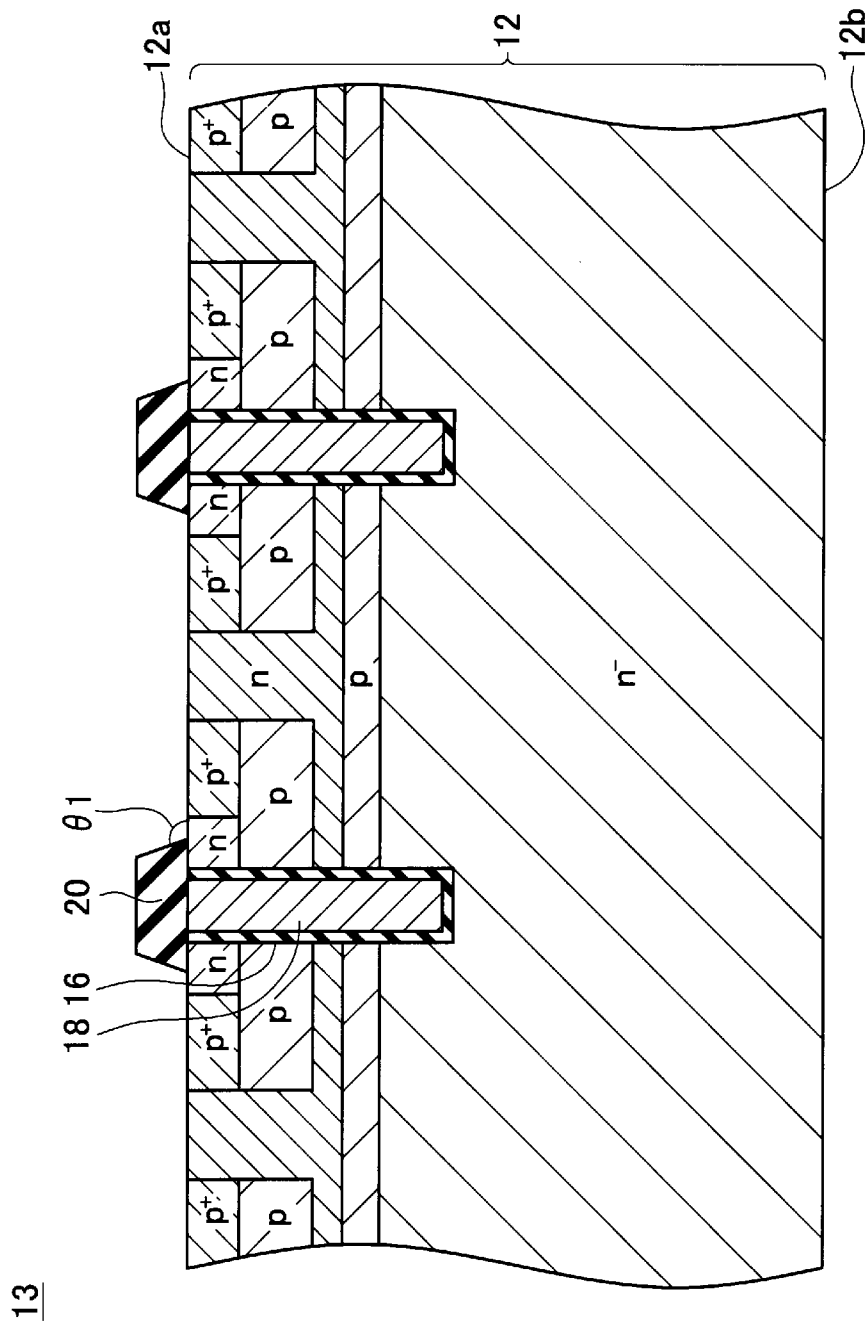
[図3]



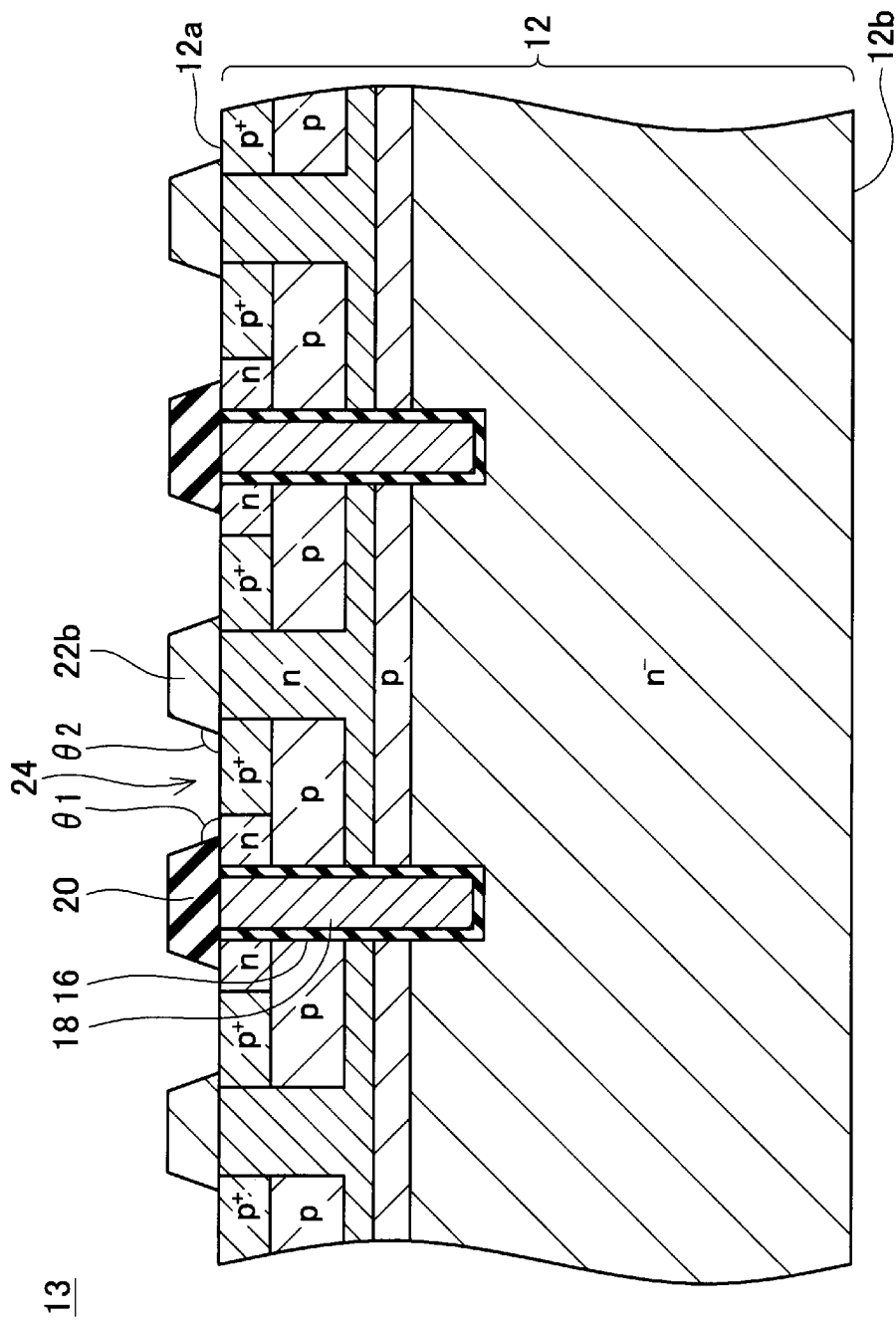
13



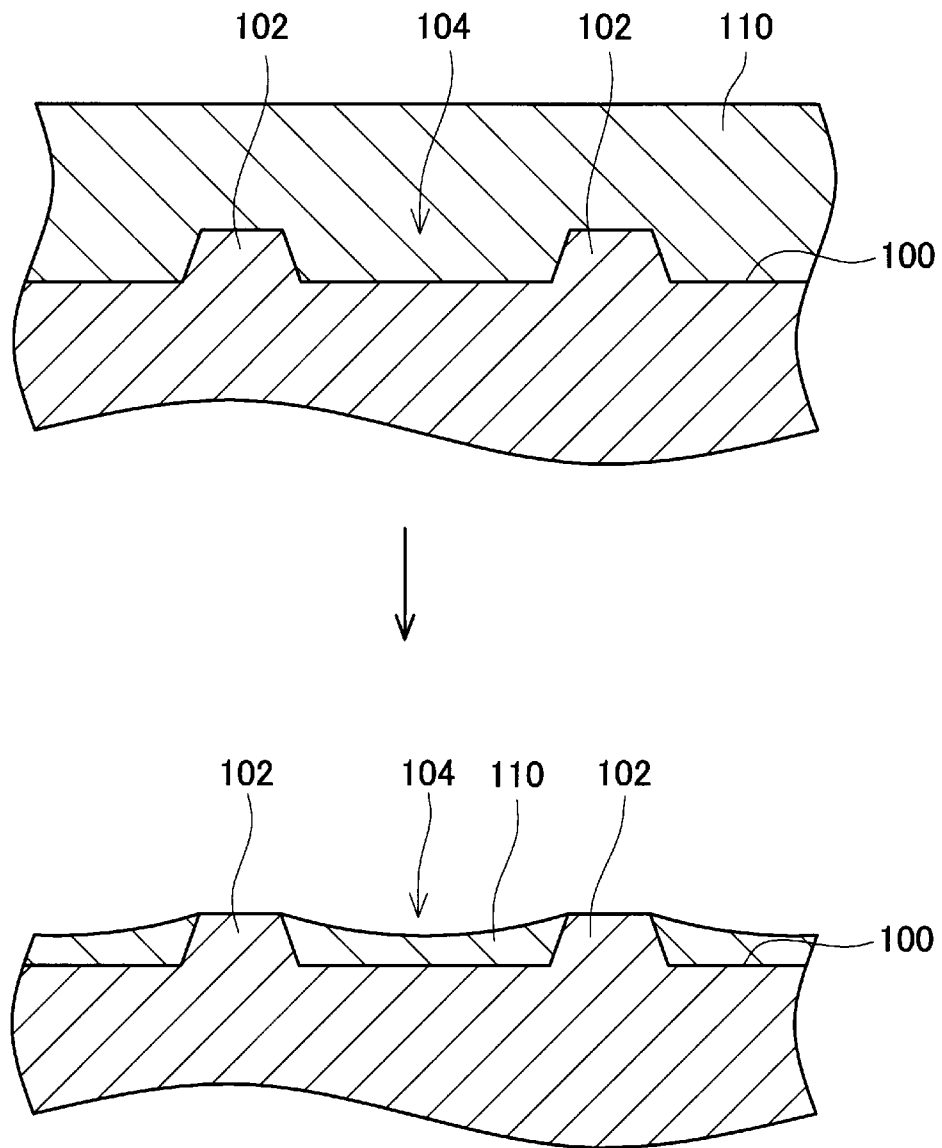
[図6]



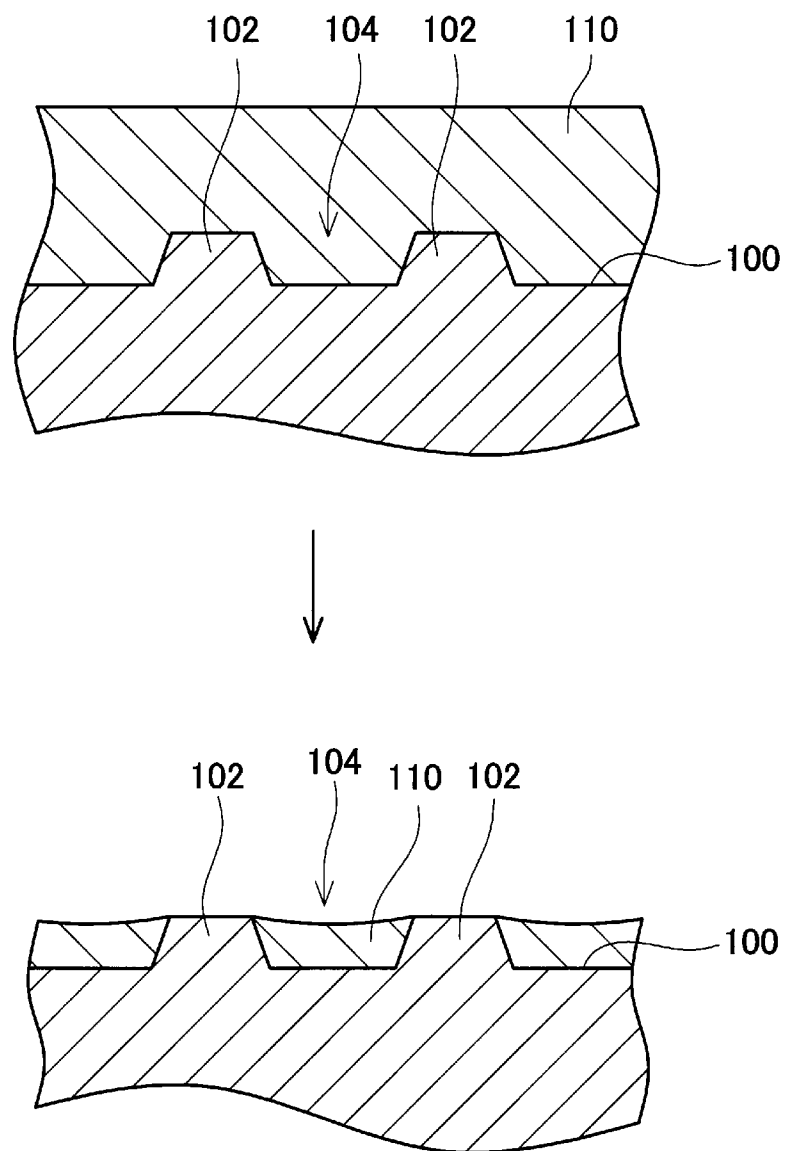
[図8]



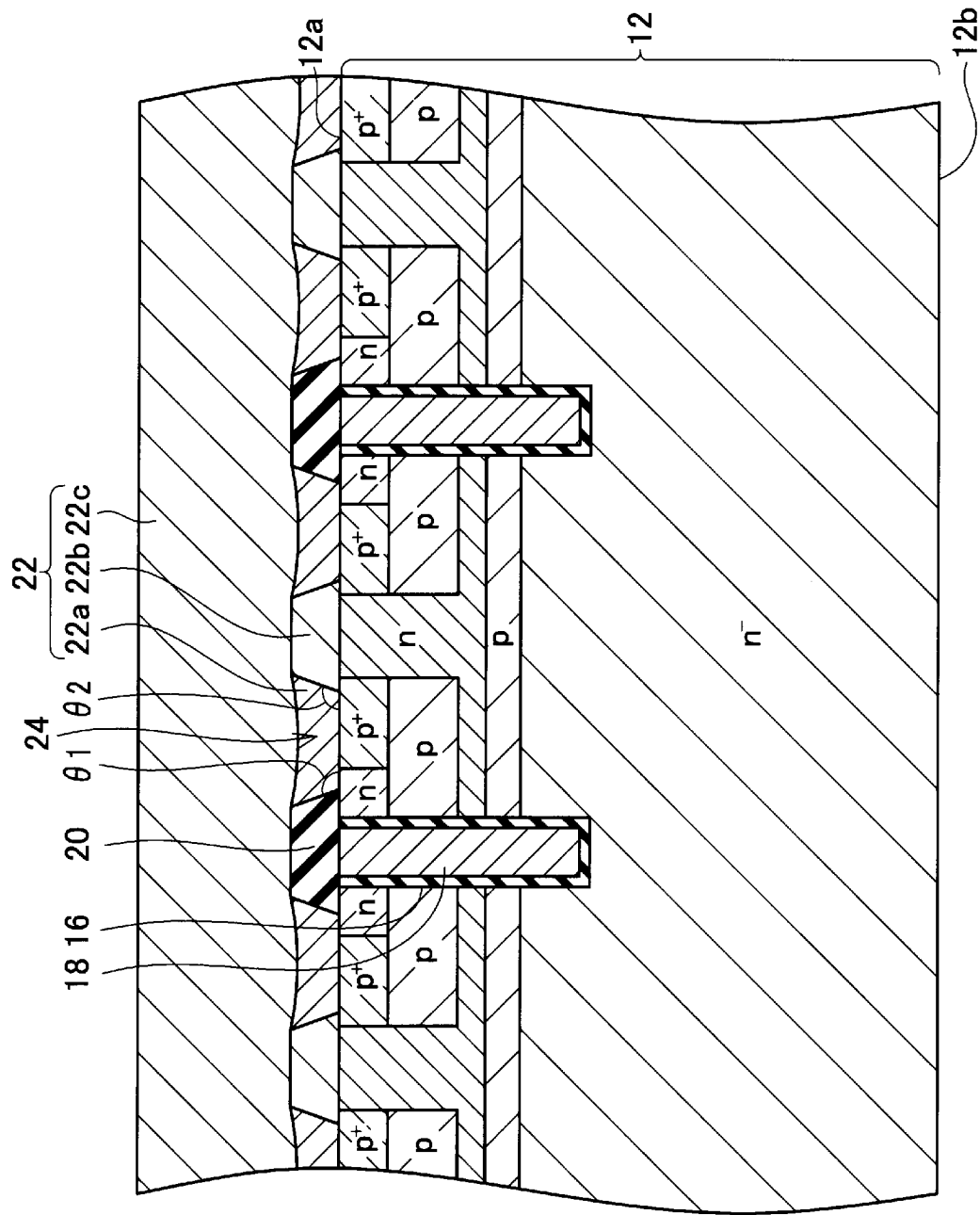
[図11]



[図12]



[図13]



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/068095

A. CLASSIFICATION OF SUBJECT MATTER

H01L29/41(2006.01)i, H01L21/28(2006.01)i, H01L21/329(2006.01)i,
H01L21/336(2006.01)i, H01L21/8234(2006.01)i, H01L27/06(2006.01)i,
H01L27/088(2006.01)i, H01L29/78(2006.01)i, H01L29/861(2006.01)i,
According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L29/41, H01L21/28, H01L21/329, H01L21/336, H01L21/8234, H01L27/06,
H01L27/088, H01L29/78, H01L29/861, H01L29/868, H01L29/872

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2015
Kokai Jitsuyo Shinan Koho	1971-2015	Toroku Jitsuyo Shinan Koho	1994-2015

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y A	US 2014/0231827 A1 (DENSO CORP., TOYOTA JIDOSHA KABUSHIKI KAISHA), 21 August 2014 (21.08.2014), paragraphs [0027] to [0044]; fig. 1 to 10 & JP 2014-157896 A	1, 5 2 3, 4, 6, 7
Y A	JP 2011-199060 A (Toshiba Corp.), 06 October 2011 (06.10.2011), paragraphs [0011] to [0025]; fig. 1 & US 2011/0227150 A1	2 1, 3-7
Y A	JP 2005-101514 A (Mitsubishi Electric Corp.), 14 April 2005 (14.04.2005), paragraphs [0023] to [0120]; fig. 1, 7 & US 2005/0045960 A1 & DE 102004040997 A1 & KR 10-2005-0021258 A & CN 1591902 A	2 1, 3-7

☒ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:	"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
"A" document defining the general state of the art which is not considered to be of particular relevance	"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
"E" earlier application or patent but published on or after the international filing date	"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	"&" document member of the same patent family
"O" document referring to an oral disclosure, use, exhibition or other means	
"P" document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search
14 August 2015 (14.08.15)

Date of mailing of the international search report
25 August 2015 (25.08.15)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/068095

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	JP 2011-91283 A (Mitsubishi Electric Corp.), 06 May 2011 (06.05.2011), paragraphs [0052] to [0088]; fig. 1 to 30 & US 2011/0095302 A1 & DE 102010042929 A1 & CN 102054868 A	1-7

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2015/068095

Continuation of A. CLASSIFICATION OF SUBJECT MATTER
(International Patent Classification (IPC))

H01L29/868(2006.01)i, H01L29/872(2006.01)i

(According to International Patent Classification (IPC) or to both national classification and IPC)

A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. H01L29/41(2006.01)i, H01L21/28(2006.01)i, H01L21/329(2006.01)i, H01L21/336(2006.01)i,
H01L21/8234(2006.01)i, H01L27/06(2006.01)i, H01L27/088(2006.01)i, H01L29/78(2006.01)i,
H01L29/861(2006.01)i, H01L29/868(2006.01)i, H01L29/872(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. H01L29/41, H01L21/28, H01L21/329, H01L21/336, H01L21/8234, H01L27/06, H01L27/088, H01L29/78,
H01L29/861, H01L29/868, H01L29/872

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1 9 2 2 - 1 9 9 6 年
日本国公開実用新案公報	1 9 7 1 - 2 0 1 5 年
日本国実用新案登録公報	1 9 9 6 - 2 0 1 5 年
日本国登録実用新案公報	1 9 9 4 - 2 0 1 5 年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y A	US 2014/0231827 A1 (DENSO CORPORATION, TOYOTA JIDOSHA KABUSHIKI KAISHA) 2014.08.21, 段落[0027]-[0044], FIG.1-FIG.10 & JP 2014-157896 A	1, 5 2 3, 4, 6, 7
Y A	JP 2011-199060 A (株式会社東芝) 2011.10.06, 段落[0011]-[0025], 図1 & US 2011/0227150 A1	2 1, 3-7

☒ C 欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

1 4 . 0 8 . 2 0 1 5

国際調査報告の発送日

2 5 . 0 8 . 2 0 1 5

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）
郵便番号 1 0 0 - 8 9 1 5
東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

棚田 一也

5 F

5 8 9 6

電話番号 0 3 - 3 5 8 1 - 1 1 0 1 内線 3 5 1 6

C (続き) . 関連すると認められる文献		
引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y A	JP 2005-101514 A (三菱電機株式会社) 2005. 04. 14, 段落[0023]-[[0120], 図 1, 図 7 & US 2005/0045960 A1 & DE 102004040997 A1 & KR 10-2005-0021258 A & CN 1591902 A	2 1, 3-7
A	JP 2011-91283 A (三菱電機株式会社) 2011. 05. 06, 段落[0052]-[0088], 図 1-30 & US 2011/0095302 A1 & DE 102010042929 A1 & CN 102054868 A	1-7