



(12)发明专利申请

(10)申请公布号 CN 105810251 A

(43)申请公布日 2016.07.27

(21)申请号 201610219065.4

(22)申请日 2016.04.08

(71)申请人 京东方科技集团股份有限公司  
地址 100015 北京市朝阳区酒仙桥路10号

(72)发明人 张玉婷

(74)专利代理机构 北京路浩知识产权代理有限公司 11002

代理人 李相雨

(51) Int. Cl.

G11C 19/28(2006.01)

G09G 3/20(2006.01)

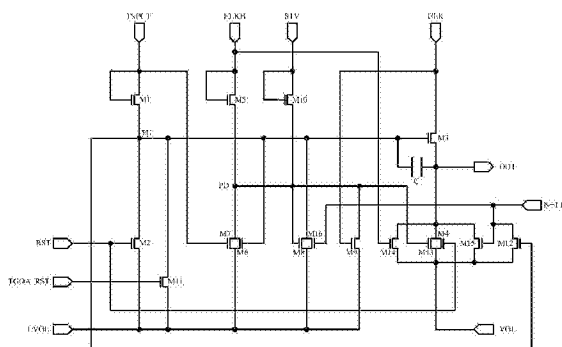
权利要求书3页 说明书10页 附图6页

(54)发明名称

移位寄存器、显示基板和显示装置

(57)摘要

本发明涉及一种移位寄存器,其中的移位寄存单元包括:下拉驱动单元,向下拉节点输入第一下拉信号;第一下拉单元,连接至下拉节点、上拉节点和信号输出端,根据第一下拉信号对上拉节点和/或信号输出端进行降噪;至少一个第二下拉单元以及与至少一个第二下拉单元一一对应连接的至少一个下拉信号输入端,每个第二下拉单元连接至上拉节点和信号输出端,根据与其对应连接的下拉信号输入端输入的第二下拉信号对上拉节点和/或信号输出端进行降噪。通过本发明的技术方案,可以在上拉节点实现上拉功能后,以及信号输出端输出信号后,至移位寄存单元的第一信号输入端接收到下一个高电平信号前,能够持续对输出端上拉节点的进行降噪,从而提高降噪效率。



1. 一种移位寄存器,包括多个移位寄存单元,每个移位寄存单元用于扫描对应的像素单元,其特征在于,所述移位寄存单元包括:

下拉驱动单元,用于向下拉节点输入第一下拉信号;

第一下拉单元,连接至所述下拉节点、上拉节点和信号输出端,用于根据所述第一下拉信号对所述上拉节点和/或信号输出端进行降噪;

至少一个第二下拉单元以及与所述至少一个第二下拉单元一一对应连接的至少一个下拉信号输入端,每个所述第二下拉单元连接至所述上拉节点和信号输出端,用于根据与其对应连接的所述下拉信号输入端输入的第二下拉信号对所述上拉节点和/或信号输出端进行降噪;

其中,所述第一下拉信号的占空比与所有所述第二下拉信号的占空比之和为1,且所述第一下拉信号与所述第二下拉信号反相。

2. 根据权利要求1所述的移位寄存器,其特征在于,所述第二下拉单元为1个,所述下拉信号输入端为1个。

3. 根据权利要求2所述的移位寄存器,其特征在于,所述移位寄存单元还包括:

上拉驱动单元,连接至第一信号输入端和所述上拉节点,用于根据第一信号输入端的输入信号拉高所述上拉节点的电平;

第一放电单元,连接至所述第一信号输入端、第二信号输入端、所述上拉节点和下拉节点,用于根据所述第一信号输入端的输入信号、所述第二信号输入端的输入信号和/或所述上拉节点的电平,控制所述下拉节点放电;

第二放电单元,连接至所述上拉节点和所述下拉信号输入端,根据所述上拉节点的电平控制所述下拉信号输入端放电。

4. 根据权利要求3所述的移位寄存器,其特征在于,所述移位寄存单元还包括:

输出控制单元,连接至所述上拉节点、所述第二信号输入端和所述信号输出端,根据所述上拉节点的电平,控制所述第二信号输入端向所述信号输出端输出信号。

5. 根据权利要求4所述的移位寄存器,其特征在于,所述移位寄存单元还包括:

第三信号输入端,连接至所述下拉驱动单元,根据所述下拉驱动单元的控制向所述下拉节点传输第一下拉信号,

其中,所述多个移位寄存单元级联,所述信号输出端连接至下一级移位寄存单元的第一信号输入端,所述下拉信号输入端连接至下一级移位寄存单元的下拉节点。

6. 根据权利要求5所述的移位寄存器,其特征在于,所述第二下信号输入端输入信号和所述第三信号输入端输入信号反向,且占空比分别为50%。

7. 根据权利要求5所述的移位寄存器,其特征在于,所述第一下拉单元包括:

第十三晶体管M13,所述第十三晶体管的栅极连接至所述下拉节点,所述第十三晶体管的源极连接至所述信号输出端,所述第十三晶体管的漏极连接至第一低电平端,所述第十三晶体管根据所述第一下拉信号将所述信号输出端与所述第一低电平端导通;

第八晶体管M8,所述第八晶体管的栅极连接至所述下拉节点,所述第八晶体管的源极连接至所述上拉节点,所述第八晶体管的漏极连接至所述第二低电平端,所述第八晶体管根据所述第一下拉信号将所述上拉节点与所述第二低电平端导通。

8. 根据权利要求7所述的移位寄存器,其特征在于,所述第八晶体管M8和第十三晶体管

M13的正向应力时间小于或等于所述移位寄存器扫描周期的50%。

9. 根据权利要求5所述的移位寄存器,其特征在于,所述第二下拉单元包括:

第十五晶体管M15,所述第十五晶体管的栅极连接至所述下拉信号输入端,所述第十五晶体管的源极连接至所述信号输出端,所述第十五晶体管的漏极连接至所述第一低电平端,所述第十五晶体管根据所述第二下拉信号将所述信号输出端与所述第一低电平端导通;

第十六晶体管M16,所述第十六晶体管的栅极连接至所述下拉信号输入端,所述第十六晶体管的源极连接至所述上拉节点,所述第十六晶体管的漏极连接至所述第二低电平端,所述第十六晶体管根据所述第二下拉信号将所述上拉节点与所述第二低电平端导通。

10. 根据权利要求9所述的移位寄存器,其特征在于,所述第十五晶体管M15和所述第十六晶体管M16的正向应力时间小于或等于所述移位寄存器扫描周期的50%。

11. 根据权利要求5所述的移位寄存器,其特征在于,所述第一放电单元包括:

第六晶体管M6,所述第六晶体管的栅极连接至所述上拉节点,所述第六晶体管的源极连接至所述下拉节点,所述第六晶体管的漏极连接至所述第二低电平端,所述第六晶体管根据所述上拉节点的电平将所述下拉节点和所述第二低电平端导通;

第七晶体管M7,所述第七晶体管的栅极连接至所述第一信号输入端,所述第七晶体管的源极连接至所述下拉节点,所述第七晶体管的漏极连接至所述第二低电平端,所述第七晶体管根据所述第一信号输入端的输入信号将所述下拉节点和所述第二低电平端导通;

第九晶体管M9,所述第九晶体管的栅极连接至所述第二信号输入端,所述第九晶体管的源极连接至所述下拉节点,所述第九晶体管的漏极连接至所述第二低电平端,所述第九晶体管根据所述第二信号输入端的输入信号将所述下拉节点和所述第二低电平端导通。

12. 根据权利要求5所述的移位寄存器,其特征在于,所述第二放电单元包括:

第十二晶体管M12,所述第十二晶体管的栅极连接至所述上拉节点,所述第十二晶体管的源极连接至所述下拉信号输入端,所述第十二晶体管的漏极连接至第一低电平端,所述第十二晶体管根据所述上拉节点的电平将所述下拉信号输入端和所述第一低电平端导通。

13. 根据权利要求5所述的移位寄存器,其特征在于,所述上拉驱动单元包括:

第一晶体管M1,所述第一晶体管的栅极和源极连接至所述第一信号输入端,所述第一晶体管的漏极连接至所述上拉节点。

14. 根据权利要求5所述的移位寄存器,其特征在于,所述下拉驱动单元包括:

第五晶体管M5,所述第五晶体管的栅极和源极连接至所述第三信号输入端,所述第五晶体管的漏极连接至所述下拉节点,所述第五晶体管根据所述第三信号输入端的输入信号向所述下拉节点输入第一下拉信号;

第十晶体管M10,所述第十晶体管的栅极和源极连接至第四信号输入端,所述第十晶体管的漏极连接至所述下拉节点,其中,所述第四信号输入端用于输入扫描起始信号,所述第十晶体管根据所述第四信号输入端的输入信号向所述下拉节点输入第一下拉信号。

15. 根据权利要求5所述的移位寄存器,其特征在于,所述输出控制单元包括:

第三晶体管M3,所述第三晶体管的栅极连接至所述上拉节点,所述第三晶体管的源极连接至所述第二信号输入端,所述第三晶体管的漏极连接至所述信号输出端,所述第三晶体管根据所述上拉节点的电平将所述第二信号输入端和所述信号输出端导通,

所述移位寄存单元还包括：

电容，一端连接至所述上拉节点，另一端连接至所述信号输出端。

16. 根据权利要求7至15中任一项所述的移位寄存器，其特征在于，所述移位寄存单元还包括：

所述第一重置单元，用于重置所述上拉节点和所述信号输出端的电平；

所述第二重置单元，用于重置所述上拉节点的电平。

17. 根据权利要求16所述的移位寄存器，其特征在于，所述第一重置单元包括：

第二晶体管M2，所述第二晶体管的栅极连接至所述第一重置信号端，所述第二晶体管的源极连接至所述上拉节点，所述第二晶体管的漏极连接至所述第二低电平端，所述第二晶体管根据所述第一重置信号端的重置信号，将所述上拉节点和所述第二低电平端导通；

第四晶体管M4，所述第四晶体管的栅极连接至所述第一重置信号端，所述第四晶体管的源极连接至所述信号输出端，所述第四晶体管的漏极连接至所述第一低电平端，所述第四晶体管根据所述第一重置信号端的重置信号，将所述信号输出端与所述第一低电平端导通；

所述第二重置单元包括：

第十一晶体管M11，所述第十一晶体管的栅极连接至第二重置信号端，所述第十一晶体管的源极连接至所述上拉节点，所述第十一晶体管的漏极连接至所述第二低电平端，所述第十一晶体管根据所述第二重置信号端的重置信号，将所述上拉节点和所述第二低电平端导通。

18. 一种显示基板，其特征在于，包括权利要求1至17中任一项所述的移位寄存器。

19. 一种显示装置，其特征在于，包括权利要求18所述的显示基板。

## 移位寄存器、显示基板和显示装置

### 技术领域

[0001] 本发明涉及显示技术领域,具体而言,涉及一种移位寄存器、一种显示基板和一种显示装置。

### 背景技术

[0002] 集成栅极移位寄存器将栅极脉冲输出寄存器集成在面板上,从而节省了IC,降低了成本。这种寄存器的实现方法有很多种,可以包含不同多个晶体管和电容。常用的有12T1C,9T1C,13T1C等等结构。移位脉冲的实现都至少要包含一组时钟信号、一个上拉晶体管、一个下拉晶体管和一个输出晶体管。

[0003] 集成栅极移位寄存器对噪声比较敏感。如果当前单元电路的输出噪声不能有效地抑制,就会作为下个单元的输入产生输出,这样噪声就被逐级放大。尤其是在高温工作一段时间后,这个噪声就会更加明显,甚至引起多个输出。一个典型的集成栅极移位寄存单元如与1所示,主要由时钟信号单元,PU(上拉节点),PD(下拉节点)和输出单元、复位单元等组成。

[0004] 其中,下拉节点PD的信号与第三信号输入端CLKB同相,与第二信号输入端CLK反相。在现有技术中,为了使用需要,会通过CLK控制下拉节点PD的放电,只有在CLK为低电平时,下拉节点PD才为高电平,从而对信号输出端OUT和上拉节点PU降噪;当CLK为高电平时,会使得下拉节点PD为低电平,导致下拉节点PD无法对信号输出端OUT和上拉节点PU降噪。因此只有在一个周期中CLK为低电平的时间段内,PD才能实现降噪功能,而在CLK为高电平的时间段内无法有效地降噪。

### 发明内容

[0005] 本发明所要解决的技术问题是,提高对移位寄存单元中上拉节点和输出信号降噪的效率。

[0006] 为此目的,本发明提出了一种移位寄存器,包括多个移位寄存单元,每个移位寄存单元用于扫描对应的像素单元,所述移位寄存单元包括:

[0007] 下拉驱动单元,用于向下拉节点输入第一下拉信号;

[0008] 第一下拉单元,连接至所述下拉节点、上拉节点和信号输出端,用于根据所述第一下拉信号对所述上拉节点和/或信号输出端进行降噪;

[0009] 至少一个第二下拉单元以及与所述至少一个第二下拉单元一一对应连接的至少一个下拉信号输入端,每个所述第二下拉单元连接至所述上拉节点和信号输出端,用于根据与其对应连接的所述下拉信号输入端输入的第二下拉信号对所述上拉节点和/或信号输出端进行降噪;

[0010] 其中,所述第一下拉信号的占空比与所有所述第二下拉信号的占空比之和为1,且所述第一下拉信号与所述第二下拉信号反相。

[0011] 优选地,所述第二下拉单元为1个,所述下拉信号输入端为1个。

[0012] 优选地,所述移位寄存单元还包括:

[0013] 上拉驱动单元,连接至第一信号输入端和所述上拉节点,用于根据第一信号输入端的输入信号拉高所述上拉节点的电平;

[0014] 第一放电单元,连接至所述第一信号输入端、第二信号输入端、所述上拉节点和下拉节点,用于根据所述第一信号输入端的输入信号、所述第二信号输入端的输入信号和/或所述上拉节点的电平,控制所述下拉节点放电;

[0015] 第二放电单元,连接至所述上拉节点和所述下拉信号输入端,根据所述上拉节点的电平控制所述下拉信号输入端放电。

[0016] 优选地,移位寄存单元还包括:

[0017] 输出控制单元,连接至所述上拉节点、所述第二信号输入端和所述信号输出端,根据所述上拉节点的电平,控制所述第二信号输入端向所述信号输出端输出信号。

[0018] 优选地,所述移位寄存单元还包括:

[0019] 第三信号输入端,连接至所述下拉驱动单元,根据所述下拉驱动单元的控制向所述下拉节点传输第一下拉信号,

[0020] 其中,所述多个移位寄存单元级联,所述信号输出端连接至下一级移位寄存单元的第一信号输入端,所述下拉信号输入端连接至下一级移位寄存单元的下拉节点。

[0021] 优选地,所述第二下信号输入端输入信号和所述第三信号输入端输入信号反向,且占空比分别为50%。

[0022] 优选地,所述第一下拉单元包括:

[0023] 第十三晶体管M13,所述第十三晶体管的栅极连接至所述下拉节点,所述第十三晶体管的源极连接至所述信号输出端,所述第十三晶体管的漏极连接至第一低电平端,所述第十三晶体管根据所述第一下拉信号将所述信号输出端与所述第一低电平端导通;

[0024] 第八晶体管M8,所述第八晶体管的栅极连接至所述下拉节点,所述第八晶体管的源极连接至所述上拉节点,所述第八晶体管的漏极连接至所述第二低电平端,所述第八晶体管根据所述第一下拉信号将所述上拉节点与所述第二低电平端导通。

[0025] 优选地,所述第八晶体管M8和第十三晶体管M13的正向应力时间小于或等于所述移位寄存器扫描周期的50%。

[0026] 优选地,所述第二下拉单元包括:

[0027] 第十五晶体管M15,所述第十五晶体管的栅极连接至所述下拉信号输入端,所述第十五晶体管的源极连接至所述信号输出端,所述第十五晶体管的漏极连接至所述第一低电平端,所述第十五晶体管根据所述第二下拉信号将所述信号输出端与所述第一低电平端导通;

[0028] 第十六晶体管M16,所述第十六晶体管的栅极连接至所述下拉信号输入端,所述第十六晶体管的源极连接至所述上拉节点,所述第十六晶体管的漏极连接至所述第二低电平端,所述第十六晶体管根据所述第二下拉信号将所述上拉节点与所述第二低电平端导通。

[0029] 优选地,所述第十五晶体管M15和所述第十六晶体管M16的正向应力时间小于或等于所述移位寄存器扫描周期的50%。

[0030] 优选地,所述第一放电单元包括:

[0031] 第六晶体管M6,所述第六晶体管的栅极连接至所述上拉节点,所述第六晶体管的

源极连接至所述下拉节点,所述第六晶体管的漏极连接至所述第二低电平端,所述第六晶体管根据所述上拉节点的电平将所述下拉节点和所述第二低电平端导通;

[0032] 第七晶体管M7,所述第七晶体管的栅极连接至所述第一信号输入端,所述第七晶体管的源极连接至所述下拉节点,所述第七晶体管的漏极连接至所述第二低电平端,所述第七晶体管根据所述第一信号输入端的输入信号将所述下拉节点和所述第二低电平端导通;

[0033] 第九晶体管M9,所述第九晶体管的栅极连接至所述第二信号输入端,所述第九晶体管的源极连接至所述下拉节点,所述第九晶体管的漏极连接至所述第二低电平端,所述第九晶体管根据所述第二信号输入端的输入信号将所述下拉节点和所述第二低电平端导通。

[0034] 优选地,所述第二放电单元包括:

[0035] 第十二晶体管M12,所述第十二晶体管的栅极连接至所述上拉节点,所述第十二晶体管的源极连接至所述下拉信号输入端,所述第十二晶体管的漏极连接至第一低电平端,所述第十二晶体管根据所述上拉节点的电平将所述下拉信号输入端和所述第一低电平端导通。

[0036] 优选地,所述上拉驱动单元包括:

[0037] 第一晶体管M1,所述第一晶体管的栅极和源极连接至所述第一信号输入端,所述第一晶体管的漏极连接至所述上拉节点。

[0038] 优选地,所述下拉驱动单元包括:

[0039] 第五晶体管M5,所述第五晶体管的栅极和源极连接至所述第三信号输入端,所述第五晶体管的漏极连接至所述下拉节点,所述第五晶体管根据所述第三信号输入端的输入信号向所述下拉节点输入第一下拉信号;

[0040] 第十晶体管M10,所述第十晶体管的栅极和源极连接至第四信号输入端,所述第十晶体管的漏极连接至所述下拉节点,其中,所述第四信号输入端用于输入扫描起始信号,所述第十晶体管根据所述第四信号输入端的输入信号向所述下拉节点输入第一下拉信号。

[0041] 优选地,所述输出控制单元包括:

[0042] 第三晶体管M3,所述第三晶体管的栅极连接至所述上拉节点,所述第三晶体管的源极连接至所述第二信号输入端,所述第三晶体管的漏极连接至所述信号输出端,所述第三晶体管根据所述上拉节点的电平将所述第二信号输入端和所述信号输出端导通,

[0043] 所述移位寄存单元还包括:

[0044] 电容,一端连接至所述上拉节点,另一端连接至所述信号输出端。

[0045] 优选地,所述移位寄存单元还包括:

[0046] 所述第一重置单元,用于重置所述上拉节点和所述信号输出端的电平;

[0047] 所述第二重置单元,用于重置所述上拉节点的电平。

[0048] 优选地,所述第一重置单元包括:

[0049] 第二晶体管M2,所述第二晶体管的栅极连接至所述第一重置信号端,所述第二晶体管的源极连接至所述上拉节点,所述第二晶体管的漏极连接至所述第二低电平端,所述第二晶体管根据所述第一重置信号端的重置信号,将所述上拉节点和所述第二低电平端导通;

[0050] 第四晶体管M4,所述第四晶体管的栅极连接至所述第一重置信号端,所述第四晶体管的源极连接至所述信号输出端,所述第四晶体管的漏极连接至所述第一低电平端,所述第四晶体管根据所述第一重置信号端的重置信号,将所述信号输出端与所述第一低电平端导通;

[0051] 所述第二重置单元包括:

[0052] 第十一晶体管M11,所述第十一晶体管的栅极连接至第二重置信号端,所述第十一晶体管的源极连接至所述上拉节点,所述第十一晶体管的漏极连接至所述第二低电平端,所述第十一晶体管根据所述第二重置信号端的重置信号,将所述上拉节点和所述第二低电平端导通。

[0053] 本发明还提出了一种显示基板,包括上述移位寄存器。

[0054] 本发明还提出了一种显示装置,包括上述显示基板。

[0055] 通过上述技术方案,可以在上拉节点PU实现上拉功能后,以及信号输出端OUT输出信号后,至移位寄存单元的第一信号输入端INPUT接收到下一个高电平信号前,能够持续对输出端OUT上拉节点PU的进行降噪,从而提高降噪效率。

## 附图说明

[0056] 通过参考附图会更加清楚的理解本发明的特征和优点,附图是示意性的而不应该理解为对本发明进行任何限制,在附图中:

[0057] 图1示出了现有技术中移位寄存单元的示意图;

[0058] 图2示出了根据本发明一个实施例的移位寄存单元的示意图;

[0059] 图3示出了根据本发明一个实施例的移位寄存单元的级联示意图;

[0060] 图4示出了根据本发明一个实施例的移位寄存单元的具体示意图;

[0061] 图5示出了根据本发明一个实施例的信号输入端的时序逻辑示意图;

[0062] 图6A示出了现有技术中输出信号的示意图;

[0063] 图6B示出了根据本发明一个实施例的输出信号的示意图;

[0064] 图7A示出了现有技术中上拉节点电平的示意图;

[0065] 图7B示出了根据本发明一个实施例的上拉节点电平的示意图;

[0066] 图8示出了现有技术中和本发明实施例的输出信号噪声的比较示意图;

[0067] 图9示出了现有技术中和本发明实施例的上拉节点噪声的比较示意图。

[0068] 附图标号说明:

[0069] 1-下拉驱动单元;2-第一下拉单元;3-第二下拉单元;4-上拉驱动单元;5-第一放电单元;6-第二放电单元;7-输出控制单元;8-第一重置单元;9-第二重置单元;

[0070] PD-下拉节点;PU-上拉节点;(N+1)PD-下拉信号输入端;OUT-信号输出端;INPUT-第一信号输入端;CLK-第二信号输入端;CLKB-第三信号输入端;STV-第四信号输入端;VGL-第一低电平端;LVGL-第二低电平端;C-电容;RST-第一重置信号端;TGOA\_RST-第二重置信号端;NGOA-当前移位寄存单元;(N+1)GOA-下一级移位寄存单元。

## 具体实施方式

[0071] 为了能够更清楚地理解本发明的上述目的、特征和优点,下面结合附图和具体实

施方式对本发明进行进一步的详细描述。需要说明的是,在不冲突的情况下,本申请的实施例及实施例中的特征可以相互组合。

[0072] 在下面的描述中阐述了很多具体细节以便于充分理解本发明,但是,本发明还可以采用其他不同于在此描述的方式来实施,因此,本发明的保护范围并不受下面公开的具体实施例的限制。

[0073] 根据本发明一个实施例的移位寄存器,包括多个移位寄存单元,每个移位寄存单元用于扫描对应行的像素单元,如图2所示,移位寄存单元包括:

[0074] 下拉驱动单元1,用于向下拉节点PD输入第一下拉信号;

[0075] 第一下拉单元2,连接至下拉节点PD、上拉节点PU和信号输出端OUT,用于根据第一下拉信号对上拉节点PU和/或信号输出端OUT进行降噪;

[0076] 至少一个第二下拉单元3以及与至少一个第二下拉单元3一一对应连接的至少一个下拉信号输入端(N+1)PD,每个第二下拉单元3连接至上拉节点PU和信号输出端OUT,用于根据与其对应连接的下拉信号输入端(N+1)PD输入的第二下拉信号对上拉节点PU和/或信号输出端OUT进行降噪;

[0077] 其中,第一下拉信号的占空比与所有第二下拉信号的占空比之和为1,且第一下拉信号与第二下拉信号至第M下拉信号反相。

[0078] 根据本实施例,通过下拉信号输入端(N+1)PD向移位寄存单元输入第一下拉信号,通过与至少一个第二下拉单元3对应的下拉信号输入端向移位寄存单元输入第二下拉信号输入端,由于第一下拉信号与所有第二下拉信号的占空比之和为1,并且第一下拉信号与第二下拉信号反相,也即在第一下拉信号没有对上拉节点PU和信号输出端OUT进行降噪时,至少一个第二下拉信号可以对上拉节点PU和信号输出端OUT进行降噪。

[0079] 从而在上拉节点PU实现上拉功能后(变为低电平后),以及信号输出端OUT输出信号后(变为低电平后),至移位寄存单元的第一信号输入端INPUT接收到下一个高电平信号前(为了方面描述,以下简称上述时间段为降噪区间),能够持续对输出端OUT上拉节点PU的进行降噪,从而提高降噪效率。

[0080] 优选地,第二下拉单元3为1个,下拉信号输入端为1个。

[0081] 优选地,移位寄存单元还包括:

[0082] 上拉驱动单元4,连接至第一信号输入端INPUT和上拉节点PU,用于根据第一信号输入端INPUT的输入信号拉高上拉节点PU的电平;

[0083] 第一放电单元5,连接至第一信号输入端INPUT、第二信号输入端CLK、上拉节点PU和下拉节点PD,用于根据第一信号输入端INPUT的输入信号、第二信号输入端CLK的输入信号和/或上拉节点PU的电平,控制下拉节点PD放电;

[0084] 第二放电单元6,连接至上拉节点PU和下拉信号输入端(N+1)PD,根据上拉节点PU的电平控制下拉信号输入端(N+1)PD放电。

[0085] 根据本实施例,可以在上拉节点PU为高电平时,或在INPUT为高电平时,或在CLK为高电平时,使得第一下拉信号和第二下拉信号为低电平,以保证上拉节点PU起到上拉作用的期间,以及信号输出端OUT输出信号的期间,由第一下拉信号控制的晶体管控制的第一下拉单元和第二下拉信号控制的第二下拉单元保持关断,从而不会影响到上拉节点PU上拉作用以及信号输出端的正常输出。

[0086] 需要说明的是,上拉节点PU处于高电平可以分为两个时间段,第一个时间段是根据INPUT的输入变为高电平,第二个时间段是在INPUT变为低电平后,CLK变为高电平,由于第一个时间段上拉节点PU使得电容C的第一端变为高电平,在第二个时间段CLK使得电容C的第二端变为高电平,第一端则变为更高的电平,从而使得上拉节点PU处于更高的电平。

[0087] 优选地,移位寄存单元还包括:

[0088] 输出控制单元7,连接至上拉节点PU、第二信号输入端CLK和信号输出端PUT,根据上拉节点PU的电平,控制第二信号输入端CLK向信号输出端OUT输出信号。

[0089] 优选地,移位寄存单元还包括:

[0090] 第三信号输入端CLKB,连接至下拉驱动单元1,根据下拉驱动单元1的控制向下拉节点PD传输第一下拉信号,

[0091] 其中,如图3所示,多个移位寄存单元级联,信号输出端OUT连接至下一级移位寄存单元(N+1)GOA的第一信号输入端INPUT',下拉信号输入端(N+1)PD连接至下一级移位寄存单元(N+1)GOA的下拉节点PD'。

[0092] 移位寄存器用于对像素单元进行逐行扫描,其中级联的每个移位寄存单元分别扫描对应行的像素单元,当前移位寄存单元NGOA信号输出端OUT的输出信号作为下一级移位寄存单元(N+1)GOA的第一信号输入端INPUT'的输入信号,也即在INPUT变为低电平时,INPUT'变为高电平。而在第一信号输入端INPUT变为高电平时,第三信号输入端CLKB的信号也变为高电平,因此NGOA中的CLKB和(N+1)GOA中的CLKB'反相。进一步得,NGOA中下拉节点PU的信号和与(N+1)GOA中下拉节点PU'的信号反相,从而保证第一下拉信号和第二下拉信号反相。

[0093] 根据本实施例,可以直接将移位寄存单元下一级移位寄存单元中下拉节点输出的信号引入该移位寄存单元,无需设置额外的信号输入端,电路布线简单易于设置、占用面积较小。

[0094] 优选地,第二下信号输入端输入信号和第三信号输入端输入信号反向,且占空比分别为50%。

[0095] 根据本实施例,可以保证NGOA下拉节点PD的第一下拉信号,在半个降噪区间中用于去除OUT的噪声,从(N+1)GOA引入的第二下拉信号在另半个降噪区间用于去除OUT的噪声。该实施例适用于M=1的情况。

[0096] 例如在M=2的情况下,第二下信号输入端输入信号和第三信号输入端输入信号反向,且占空比分别为1/3;在M=3的情况下,第二下信号输入端输入信号和第三信号输入端输入信号反向,且占空比分别为1/4,以此类推,第二下信号输入端输入信号和第三信号输入端输入信号的占空比分别为1/(M+1)。

[0097] 如图4所示,优选地,第一下拉单元2包括:

[0098] 第十三晶体管M13,第十三晶体管的栅极连接至下拉节点PD,第十三晶体管的源极连接至信号输出端OUT,第十三晶体管的漏极连接至第一低电平端VGL,第十三晶体管根据第一下拉信号将信号输出端OUT与第一低电平端VGL导通;

[0099] 第八晶体管M8,第八晶体管的栅极连接至下拉节点PD,第八晶体管的源极连接至上拉节点PU,第八晶体管的漏极连接至第二低电平端LVGL,第八晶体管根据第一下拉信号将上拉节点PU与第二低电平端LVGL导通。

[0100] 根据本实施例,可以通过第十三晶体管M13控制信号输出端的降噪,在第一下拉信号(如图5所示的PD)为高电平时,M13将信号输出端与第一低电平端导通,使得信号输出端保持在低电平,以进行降噪。以及通过第八晶体管M8控制上拉节点的降噪,在第一下拉信号为高电平时,使上拉节点PU与第二低电平端LVGL导通,使得上拉节点保持在低电平,以进行降噪。

[0101] 其中,由于上拉节点PU(如图5所示PU)的最高电平高于信号输出端OUT(如图5所示OUT)的最高电平,因此可以设置第二低电平端LVGL的电平低于第一低电平端VGL的电平,以使上拉节点PU能够完全放电,保证对上拉节点的降噪效果。

[0102] 优选地,第八晶体管M8和第十三晶体管M13的正向应力时间小于或等于移位寄存器扫描周期的50%。本实施例中的正向应力时间是指晶体管栅极受到正向电压的时间。

[0103] 根据本实施例,通过将输出下拉单元中晶体管的正向应力时间设置的较小,可以在保证晶体管M13和晶体管M8能够对OUT进行降噪的情况下,减少这两个晶体管的工作时间,提高晶体管的使用寿命,提高移位寄存器整体的信赖性。

[0104] 如图4所示,优选地,第二下拉单元3包括:

[0105] 第十五晶体管M15,第十五晶体管的栅极连接至下拉信号输入端(N+1)PD,第十五晶体管的源极连接至信号输出端OUT,第十五晶体管的漏极连接至第一低电平端VGL,第十五晶体管根据第二下拉信号将信号输出端OUT与第一低电平端VGL导通;

[0106] 第十六晶体管M16,第十六晶体管的栅极连接至下拉信号输入端(N+1)PD,第十六晶体管的源极连接至上拉节点PU,第十六晶体管的漏极连接至第二低电平端LVGL,第十六晶体管根据第二下拉信号将上拉节点PU与第二低电平端LVGL导通。

[0107] 根据本实施例,可以通过第十五晶体管M15控制信号输出端的降噪,在第二下拉信号(如图5所示(N+1)PD)为高电平时,M15将信号输出端OUT与第一低电平端VGL导通,使得信号输出端OUT保持在低电平,以进行降噪。以及通过晶体管M16控制上拉节点的降噪,在第二下拉信号为高电平时,使上拉节点PU与第二低电平端LVGL导通,使得上拉节点PU保持在低电平,以进行降噪。

[0108] 优选地,第十五晶体管M15和第十六晶体管M16的正向应力时间小于或等于移位寄存器扫描周期的50%。

[0109] 根据本实施例,通过将上拉节点下拉单元中晶体管的正向应力时间设置的较小,可以在保证第十五晶体管M15和第十六晶体管M16能够对PU进行降噪的情况下,减少这两个晶体管的工作时间,提高晶体管的使用寿命,提高移位寄存器整体的信赖性。

[0110] 如图4所示,优选地,第一放电单元5包括:

[0111] 第六晶体管M6,第六晶体管的栅极连接至上拉节点PU,第六晶体管的源极连接至下拉节点PD,第六晶体管的漏极连接至第二低电平端LVGL,第六晶体管根据上拉节点PU的电平将下拉节点PD和第二低电平端LVGL导通;

[0112] 第七晶体管M7,第七晶体管的栅极连接至第一信号输入端INPUT,第七晶体管的源极连接至下拉节点PD,第七晶体管的漏极连接至第二低电平端LVGL,第七晶体管根据第一信号输入端INPUT的输入信号(如图5所示INPUT)将下拉节点PD和第二低电平端LVGL导通;

[0113] 第九晶体管M9,第九晶体管的栅极连接至第二信号输入端CLK(信号如图5所示CLK),第九晶体管的源极连接至下拉节点PD,第九晶体管的漏极连接至第二低电平端LVGL,

第九晶体管根据第二信号输入端CLK的输入信号将下拉节点PD和第二低电平端LVGL导通。

[0114] 根据本实施例,在上拉节点PU为高电平时,晶体管M6导通,从而将下拉节点PD与第二低电平端LVGL导通,下拉节点PD向第二低电平端LVGL放电,使得下拉节点PD保持在低电平,从而不会对上拉节点的上拉作用。

[0115] 同理,在第一信号输入端INPUT或第二信号输入端CLK为高电平时,下拉节点PD与第二低电平端LVGL导通,下拉节点PD向第二低电平端LVGL放电,使得下拉节点PD保持在低电平,从而不会影响信号输出端的正常输出。

[0116] 如图4所示,优选地,第二放电单元6包括:

[0117] 第十二晶体管M12,第十二晶体管的栅极连接至上拉节点PU,第十二晶体管的源极连接至下拉信号输入端N+1PD,第十二晶体管的漏极连接至第一低电平端VGL,第十二晶体管根据上拉节点PU的电平将下拉信号输入端(N+1)PD和第一低电平端VGL导通。

[0118] 根据本实施例,在上拉节点PU为高电平时M12导通,使得下拉信号输入端(N+1)PD与第一低电平端VGL导通,也即第二下拉信号保持低电平,从而不会导通M15和M16,因此不会影响PU的上拉作用和OUT的正常输出。

[0119] 如图4所示,优选地,上拉驱动单元4包括:

[0120] 第一晶体管M1,第一晶体管的栅极和源极连接至第一信号输入端INPUT,第一晶体管的漏极连接至上拉节点PU。

[0121] 第一晶体管的晶体管M1在第一信号输入端INPUT为高电平时导通,并将第一信号输入端INPUT的高电平传输至上拉节点PU,使得上拉节点PU为高电平。

[0122] 如图4所示,优选地,下拉驱动单元1包括:

[0123] 第五晶体管M5,第五晶体管的栅极和源极连接至第三信号输入端CLKB(信号输入图5所示CLKB),第五晶体管的漏极连接至下拉节点PD,第五晶体管根据第三信号输入端CLKB的输入信号向下拉节点PD输入第一下拉信号;

[0124] 第十晶体管M10,第十晶体管的栅极和源极连接至第四信号输入端STV,第十晶体管的漏极连接至下拉节点PD,其中,第四信号输入端STV用于输入扫描起始信号,第十晶体管根据第四信号输入端STV的输入信号向下拉节点PD输入第一下拉信号。

[0125] 第五晶体管M5在第三信号输入端CLKB为高电平时导通,并将第三信号输入端CLKB的高电平传输至下拉节点PD,使得下拉节点PD为高电平。

[0126] 第十晶体管M10在第四信号输入端STV为高电平时导通,并将第四信号输入端STV的高电平传输至下拉节点PD,使得下拉节点PD为高电平。

[0127] 如图4所示,优选地,输出控制单元7包括:

[0128] 第三晶体管M3,第三晶体管的栅极连接至上拉节点PU,第三晶体管的源极连接至第二信号输入端CLK,第三晶体管的漏极连接至信号输出端OUT,第三晶体管根据上拉节点PU的电平将第二信号输入端CLK和信号输出端OUT导通,

[0129] 移位寄存单元还包括:

[0130] 电容C,一端连接至上拉节点PU,另一端连接至信号输出端OUT。

[0131] 第三晶体管M3在上拉节点PU为高电平时导通,使得第二信号输入端CLK的信号通过信号输出端OUT输出。

[0132] 电容C在PU为高电平,CLK为低电平时,左端为高电平,右端为低电平,在CLK为高电

平时,电容C的右端为高电平,由于电容的电荷保持作用,使得电容C的左端为更高的电平,从而提高晶体管M3的开度,使得其更加良好地导通。

[0133] 如图4所示,优选地,移位寄存单元还包括:

[0134] 第一重置单元8,用于重置上拉节点PU和信号输出端OUT的电平;

[0135] 第二重置单元9,用于重置上拉节点PU的电平。

[0136] 在本实施例中,可以根据需要重置移位寄存单元中PU和OUT的电平。

[0137] 如图4所示,优选地,第一重置单元8包括:

[0138] 第二晶体管M2,第二晶体管的栅极连接至第一重置信号端RST,第二晶体管的源极连接至上拉节点PU,第二晶体管的漏极连接至第二低电平端LVGL,第二晶体管根据第一重置信号端RST的重置信号,将上拉节点PU和第二低电平端LVGL导通;

[0139] 第四晶体管M4,第四晶体管的栅极连接至第一重置信号端RST,第四晶体管的源极连接至信号输出端OUT,第四晶体管的漏极连接至第一低电平端VGL,第四晶体管根据第一重置信号端RST的重置信号,将信号输出端OUT与第一低电平端VGL导通;

[0140] 第二重置单元9包括:

[0141] 第十一晶体管M11,第十一晶体管的栅极连接至第二重置信号端TGOA\_RST,第十一晶体管的源极连接至上拉节点PU,第十一晶体管的漏极连接至第二低电平端LVGL,第十一晶体管根据第二重置信号端TGOA\_RST的重置信号,将上拉节点PU和第二低电平端LVGL导通。

[0142] 在第一重置信号端RST为高电平时,第二晶体管M2和第四晶体管M4导通,将上拉节点PU和信号输出端OUT重置为低电平。在第二重置信号端TGOA\_RST为高电平时,第十一晶体管M11导通,将上拉节点PU重置为低电平。

[0143] 在本实施例中,第一重置信号端RST可以用于重置当前移位寄存单元中PU和OUT的电平。

[0144] 而如图3所示,移位寄存单元NGOA第二重置信号端TGOA\_RST,与其下一级移位寄存单元(N+1)GOA的第二重置信号端TGOA\_RST'连接于同一信号线,通过该信号线输入重置信号,可以重置移位寄存器中每个移位寄存单元的上拉节点PU的电平。

[0145] 图6A为现有技术中信号输出端信号的瞬态曲线示意图,图6B为根据本发明实施例的信号端输出信号的瞬态曲线示意图,其中横坐标为时间,纵坐标为电压。经过对比可以发现,图6B中输出信号的噪声明显小于图6A中输出信号的噪声,也即根据本发明实施例,信号输出端输出信号的噪声,明显小于现有技术中信号输出端输出信号的噪声。

[0146] 图7A为现有技术中上拉节点信号的瞬态曲线示意图,图7B为根据本发明实施例的上拉节点信号的瞬态曲线示意图,其中横坐标为时间,纵坐标为电压。经过对比可以发现,图7B中上拉节点信号的噪声明显小于图7A中上拉节点信号的噪声,也即根据本发明实施例,上拉节点的噪声,明显小于现有技术中上拉节点的噪声。

[0147] 图8中带有方形的曲线为现有技术中输出信号的噪声瞬态曲线,带有三角形的曲线为根据本发明实施例的输出信号的噪声瞬态曲线,其中横坐标为时间,纵坐标为电压。经过比较可以看出,根据本发明实施例的输出信号的噪声明显小于现有技术中输出信号的噪声。

[0148] 图9中带有方形的曲线为现有技术中上拉节点的噪声瞬态曲线,带有三角形的曲

线为根据本发明实施例的上拉节点的噪声瞬态曲线,其中横坐标为时间,纵坐标为电压。经过比较可以看出,根据本发明实施例的上拉节点的噪声明显小于现有技术中上拉节点的噪声。

[0149] 需要说明的是,图8和图9中未标记方形和三角形的线段为现有技术中噪声和本发明实施例噪声重合的部分。

[0150] 本发明还提出了一种显示基板,包括上述移位寄存器。

[0151] 本发明还提出了一种显示装置,包括上述显示基板。

[0152] 需要说明的是,本实施例中的显示装置可以为:电子纸、手机、平板电脑、电视机、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

[0153] 以上结合附图详细说明了本发明的技术方案,考虑到现有技术中,只有在一个周期中CLK为低电平的时间段内,PD才能实现降噪功能,而在CLK为高电平的时间段内无法有效地降噪。通过本发明实施例的技术方案,可以在上拉节点PU实现上拉功能后,以及信号输出端OUT输出信号后,至移位寄存单元的第一信号输入端INPUT接收到下一个高电平信号前,能够持续对输出端OUT上拉节点PU的进行降噪,从而提高降噪效率。

[0154] 在本发明中,术语“第一”和“第二”仅用于描述目的,而不能理解为指示或暗示相对重要性。术语“多个”指两个或两个以上,除非另有明确的限定。

[0155] 以上所述仅为本发明的优选实施例而已,并不用于限制本发明,对于本领域的技术人员来说,本发明可以有各种更改和变化。凡在本发明的精神和原则之内,所作的任何修改、等同替换、改进等,均应包含在本发明的保护范围之内。

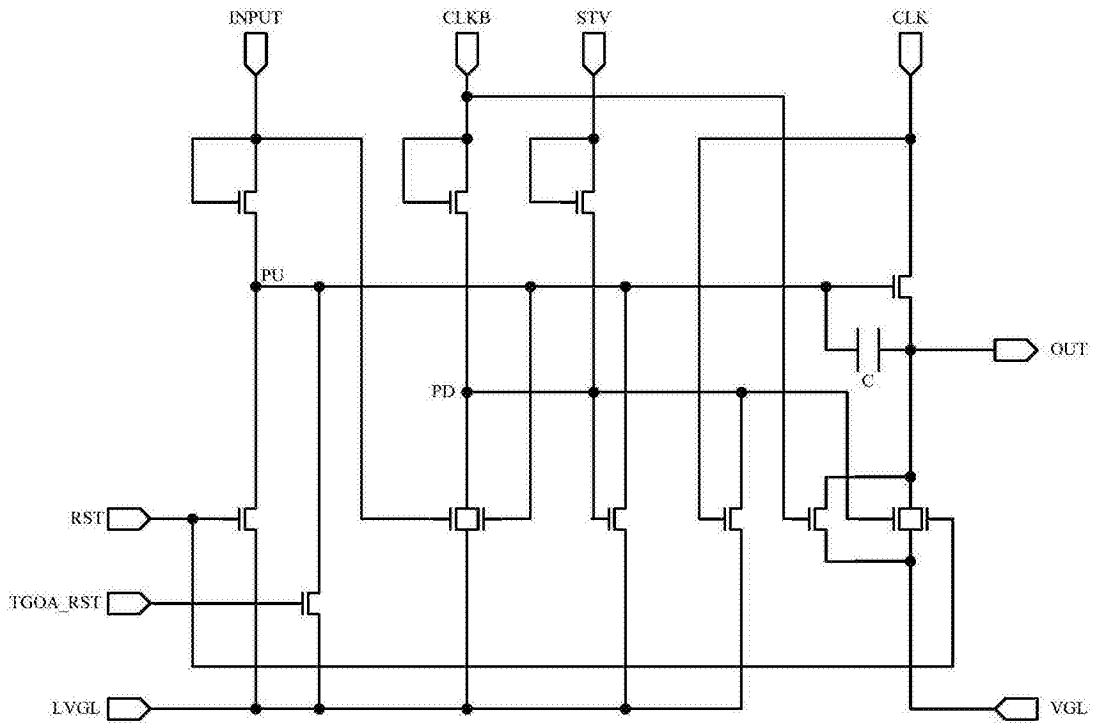


图1

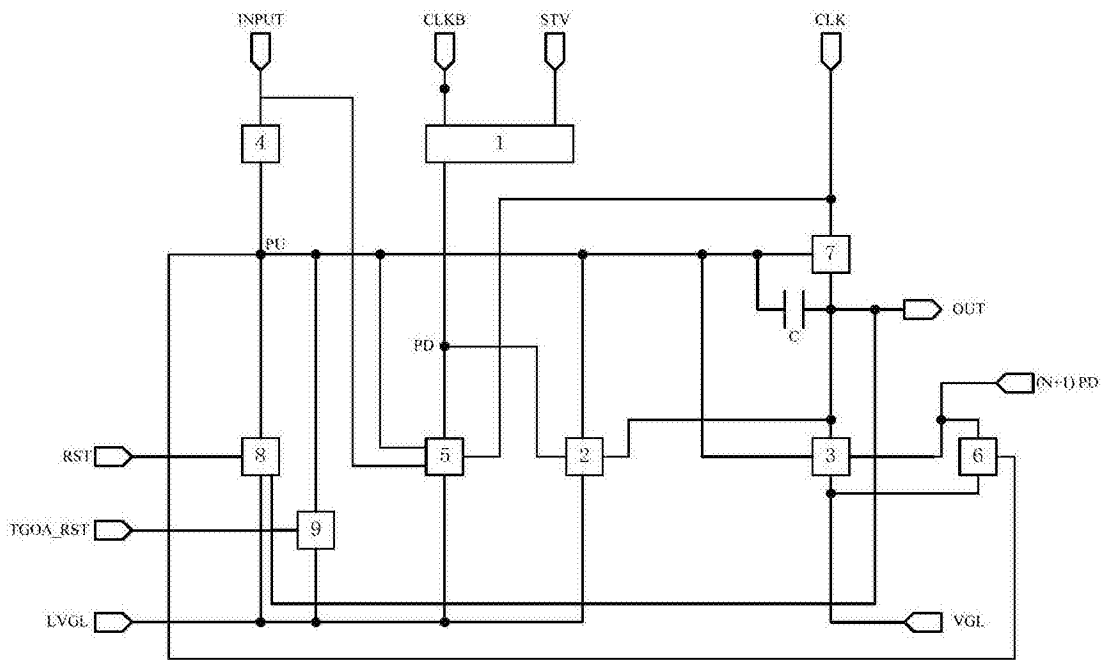


图2

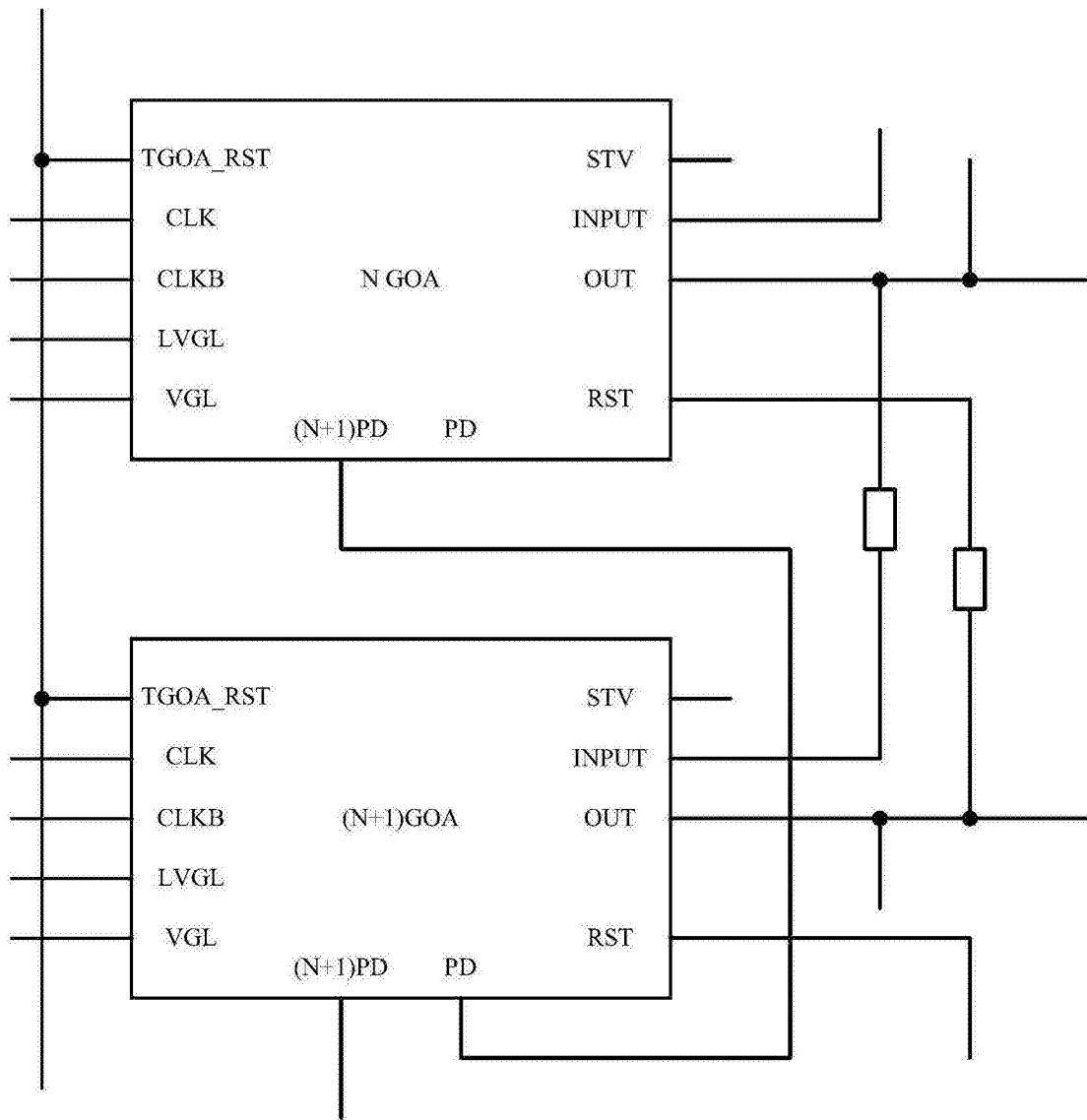


图3

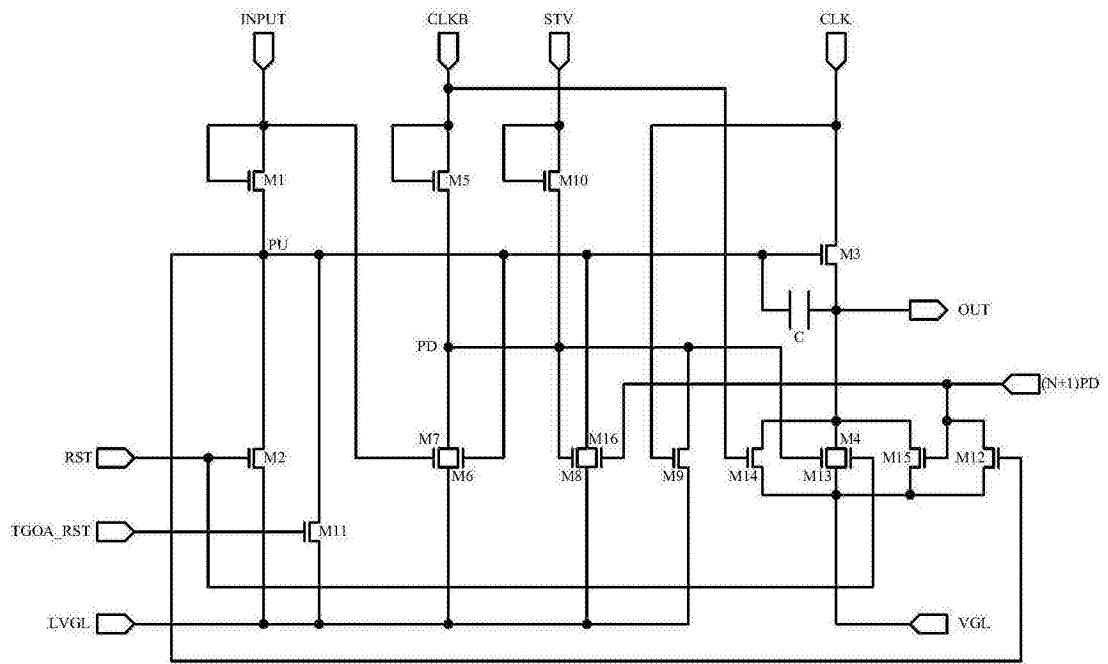


图4

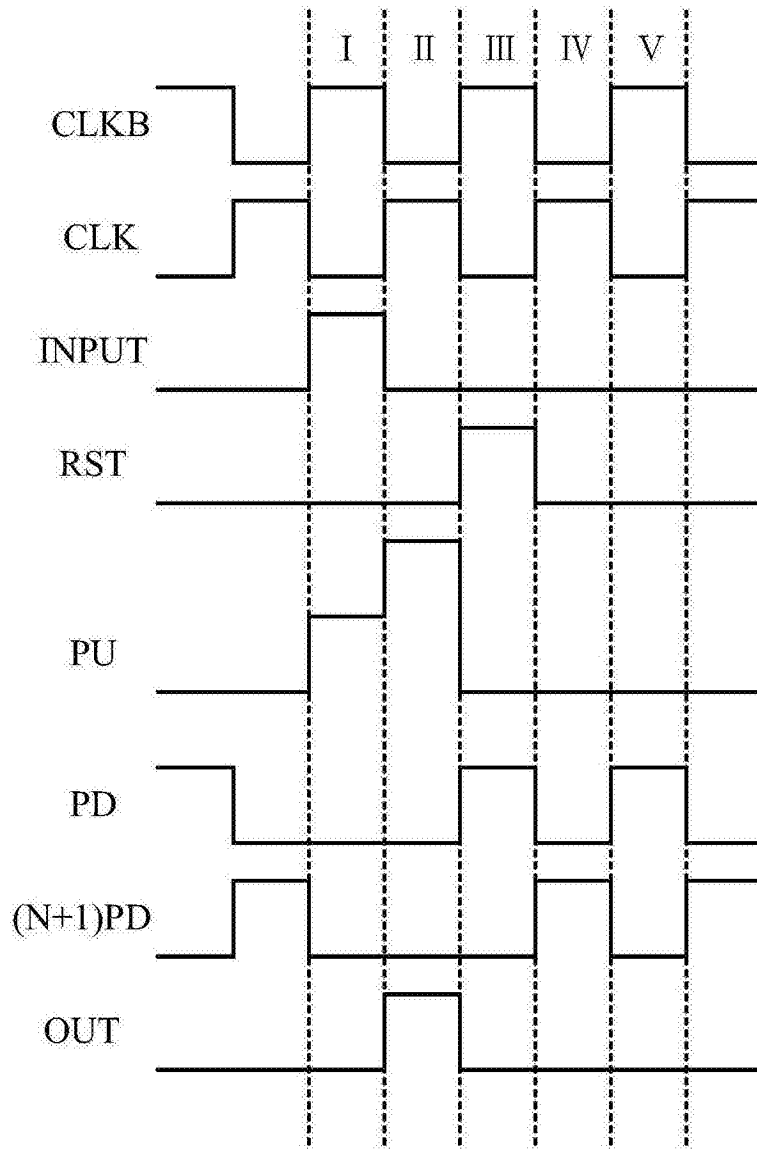


图5

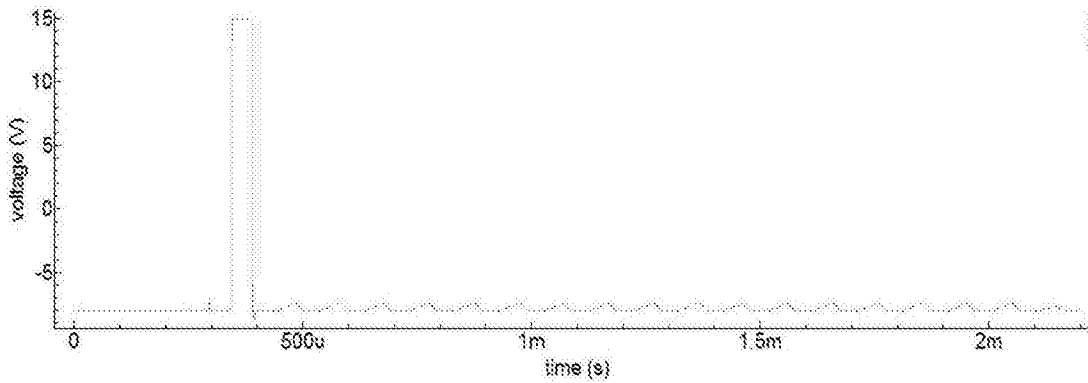


图6A

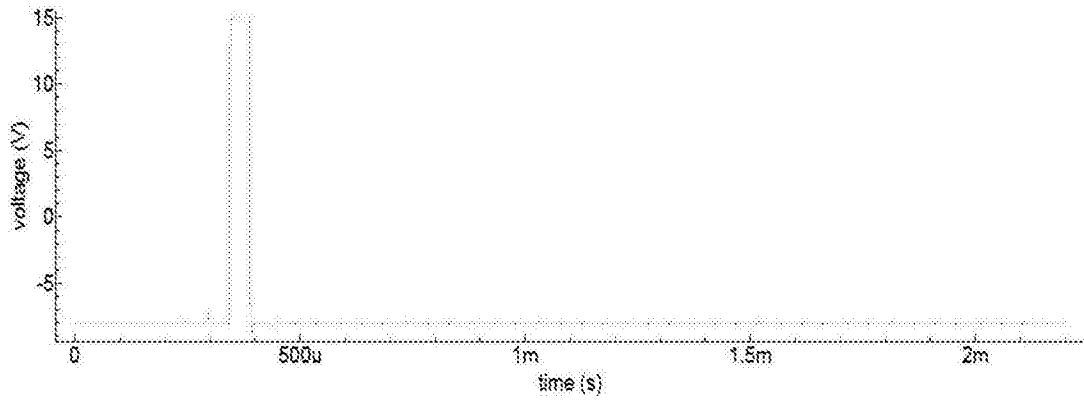


图6B

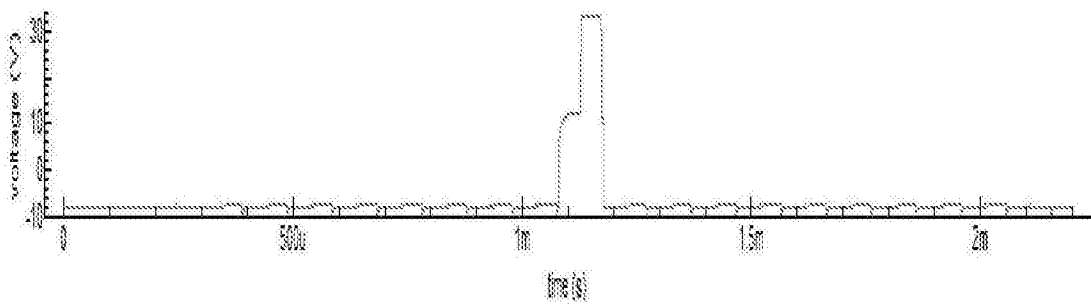


图7A

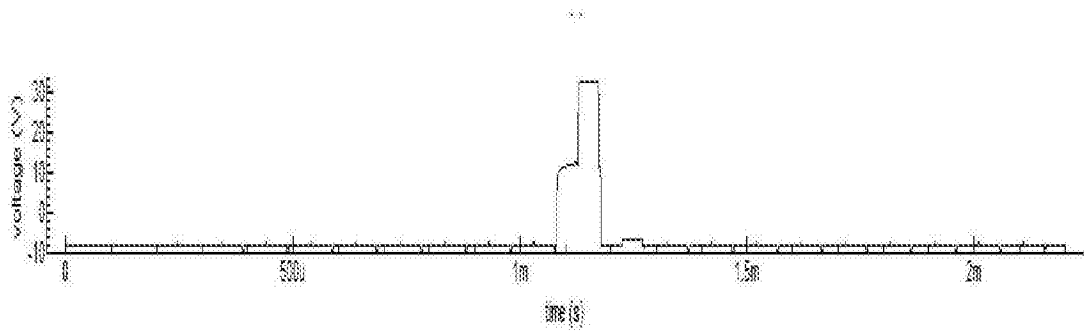


图7B

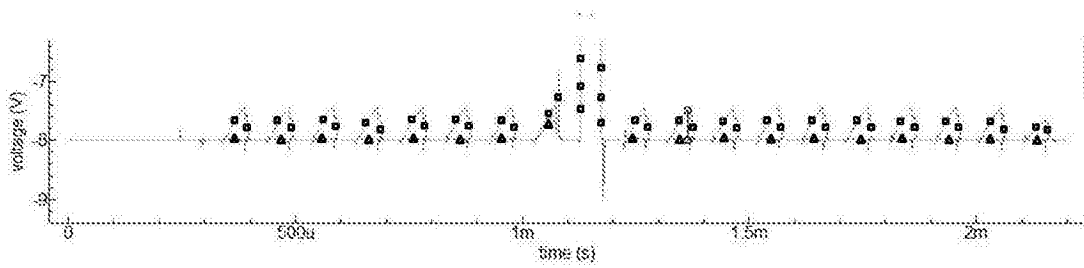


图8

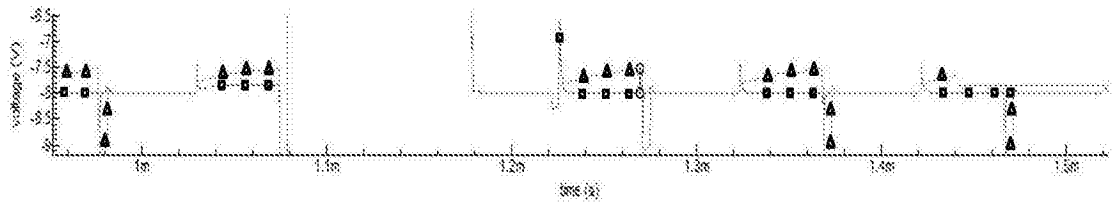


图9