



(19) 대한민국특허청(KR)
(12) 등록특허공보(B1)

(45) 공고일자 2010년12월08일
(11) 등록번호 10-0999806
(24) 등록일자 2010년12월02일

(51) Int. Cl.

H01L 33/36 (2010.01)

(21) 출원번호 10-2009-0044290
(22) 출원일자 2009년05월21일
심사청구일자 2009년05월21일
(65) 공개번호 10-2010-0125531
(43) 공개일자 2010년12월01일
(56) 선행기술조사문헌
KR1020090015998 A
KR1020060114920 A
KR1020060069375 A
KR100758542 B1

(73) 특허권자

엘지이노텍 주식회사

서울특별시 중구 남대문로5가 541 서울스퀘어

(72) 발명자

임우식

광주광역시 동구 계림1동 475-19

추성호

광주광역시 서구 치평동 라인동산아파트 104-1802

최병균

경기도 시흥시 신천동 819-4번지 광진그린빌리지
가동 302호

(74) 대리인

서교준

전체 청구항 수 : 총 28 항

심사관 : 진수영

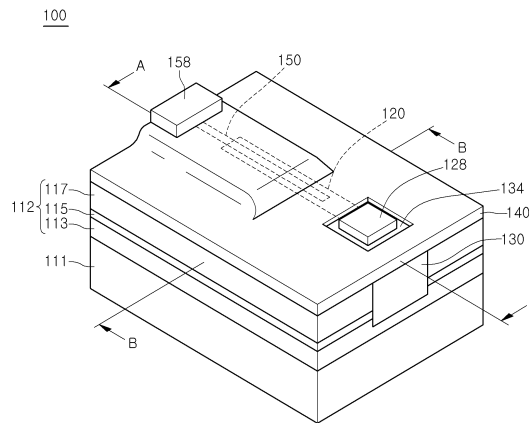
(54) 반도체 발광소자 및 그 제조방법

(57) 요약

실시 예는 반도체 발광소자 및 그 제조방법에 관한 것이다.

실시 예에 따른 반도체 발광소자는, 제1도전형 반도체층; 상기 제1도전형 반도체층 위에 형성된 활성층; 상기 활성층 위에 형성된 제2도전형 반도체층; 상기 제1도전형 반도체층 위에 적어도 한 가지 형상을 갖는 제1전극; 상기 제1전극 위에 형성된 절연층; 상기 절연층 및 상기 제2도전형 반도체층 중 적어도 한 층 위에 적어도 한 가지 형상으로 형성된 제2전극을 포함한다.

대표도 - 도1



특허청구의 범위

청구항 1

제1도전형 반도체층;

상기 제1도전형 반도체층 위에 형성된 활성층;

상기 활성층 위에 형성된 제2도전형 반도체층;

상기 제1도전형 반도체층 위에 적어도 한 가지 형상을 갖는 제1전극;

상기 제1전극 위에 형성된 절연층;

상기 절연층 및 상기 제2도전형 반도체층 중 적어도 한 층 위에 적어도 한 가지 형상으로 형성된 제2전극을 포함하는 반도체 발광소자.

청구항 2

제1항에 있어서, 상기 제2전극은 상기 절연층 또는 상기 제2도전형 반도체층 위에 형성되며,

상기 제2전극, 상기 절연층 및 상기 제2도전형 반도체층의 위에 형성된 전류 확산층을 포함하는 반도체 발광소자.

청구항 3

제1항에 있어서, 상기 제2전극은 상기 절연층 및 상기 제2도전형 반도체층 위에 형성되며,

상기 절연층, 상기 제2전극 및 상기 제2도전형 반도체층의 위에 형성된 전류 확산층을 포함하는 반도체 발광소자.

청구항 4

제2항에 있어서, 상기 절연층 위에 형성된 상기 제2전극의 일단 및 상기 제2도전형 반도체층 위에 형성된 제2전극 패드가 형성되는 반도체 발광소자.

청구항 5

제2항 또는 제3항에 있어서, 상기 제2전극, 상기 전류 확산층, 및 상기 제2도전형 반도체층에 직접 연결된 제2전극 패드를 포함하는 반도체 발광소자.

청구항 6

제1항에 있어서,

상기 절연층은 상기 제1전극의 상면 및 둘레면에 배치되며, 일측에 제1개방 홈이 형성되는 반도체 발광소자.

청구항 7

제6항에 있어서, 상기 제1개방 홈을 통해 상기 제1전극 위에 형성된 제1전극 패드를 포함하는 반도체 발광소자.

청구항 8

제3항에 있어서, 상기 제2전극과 상기 제2도전형 반도체층 사이에 형성된 서브 전류확산층을 포함하는 반도체 발광소자.

청구항 9

제2항 또는 제3항에 있어서,

상기 전류 확산층은 투명 전극층 또는 반사 전극층을 포함하는 반도체 발광소자.

청구항 10

제1항 또는 제2항에 있어서, 상기 제2전극의 일부 또는 전 패턴은 상기 절연층 위에 배치되며, 상기 제1전극과 제2전극의 일부는 상기 절연층의 아래 및 위에 오버랩되게 형성되는 반도체 발광소자.

청구항 11

제1항 또는 제2항에 있어서, 상기 제2전극은 상기 제2도전형 반도체층 위에 배치되며, 상기 제1전극과 제2전극은 공간적으로 엇갈리게 배치되는 반도체 발광소자.

청구항 12

제1항 내지 제3항 중 어느 하나의 항에 있어서, 상기 제1전극 및 제2전극 중 적어도 한 전극은 직선형 패턴, 곡선형 패턴, 직선 및 곡선형 패턴이 혼합된 패턴, 1개의 패턴에서 복수개로 분기한 가지형 패턴, 다각형 패턴, 격자형상 패턴, 도트형상 패턴, 마름모형상 패턴, 평행사변형 패턴, 메쉬형 패턴, 스트라이프형 패턴, 십자형 패턴, 방사형 패턴, 원형 패턴, 상기 패턴들 중 복수개의 패턴이 혼합된 패턴 중 적어도 한 패턴을 포함하는 반도체 발광소자.

청구항 13

제2항 또는 제3항에 있어서, 상기 전류 확산층과 상기 제2도전형 반도체층 사이에 3족-5족 화합물 반도체를 이용한 N형 또는 P형 반도체층을 포함하는 반도체 발광소자.

청구항 14

제1항 내지 제3항 중 어느 하나의 항에 있어서, 상기 제1도전형 반도체층 아래에 언도프트 반도체층, 버퍼층, 및 기판 중 적어도 하나를 포함하는 반도체 발광소자.

청구항 15

제1도전형 반도체층을 형성하는 단계;
 상기 제1도전형 반도체층 위에 활성층을 형성하는 단계;
 상기 활성층 위에 제2도전형 반도체층을 형성하는 단계;
 메사 에칭하여 상기 제1도전형 반도체층 위에 제1전극을 형성하는 단계;
 상기 제1전극 위에 절연층을 형성하는 단계;
 상기 절연층 및 상기 제2도전형 반도체층 중 적어도 한 층 위에 제2전극을 형성하는 단계; 및
 상기 제2전극 및 상기 제2도전형 반도체층 위에 전류 확산층을 형성하는 단계를 포함하는 반도체 발광소자 제조 방법.

청구항 16

제15항에 있어서, 상기 제2전극은 상기 절연층 위에 형성되어 상기 제1전극의 일부와 공간적으로 오버랩되는 반도체 발광소자 제조 방법.

청구항 17

제15항에 있어서, 상기 제2전극은 상기 절연층 및 상기 제2도전형 반도체층 위에 적어도 한 가지 형상으로 형성되는 반도체 발광소자 제조 방법.

청구항 18

제15항에 있어서, 상기 전류 확산층은 상기 절연층 위에 형성되는 반도체 발광소자 제조 방법.

청구항 19

제15항에 있어서, 상기 제2전극과 상기 제2도전형 반도체층 사이에 형성된 서브 전류확산층을 포함하는 반도체 발광소자 제조방법.

청구항 20

제15항에 있어서,
상기 제2전극 및 상기 제1전극은 적어도 한 가지 형상의 패턴을 갖고,
상기 제2전극과 상기 제1전극은 공간적으로 엇갈리게 배치되는 반도체 발광소자 제조방법.

청구항 21

제15항에 있어서, 상기 제2전극, 상기 전류 확산층 및 상기 제2도전형 반도체층 중 적어도 하나에 직접 연결된 제2전극패드를 형성하고,
상기 제1전극에 연결된 제1전극패드를 형성하는 반도체 발광소자 제조방법.

청구항 22

제15항에 있어서,
상기 제1전극 및 절연층 형성 단계는,
메사 에칭하여 상기 제1도전형 반도체층이 노출되는 제1전극 홈을 형성하는 단계;
상기 제1전극 홈을 따라 제1전극을 상기 활성층의 연장선상보다 낮은 높이로 형성하는 단계;
상기 제1전극 위에 절연층을 형성하는 단계를 포함하는 반도체 발광소자 제조방법.

청구항 23

제15항에 있어서,
상기 제1전극 및 절연층 형성 단계는,
메사 에칭하여 상기 제1도전형 반도체층이 노출되는 제1전극 홈을 형성하는 단계;
상기 제1전극 홈 내측의 상기 제1도전형 반도체층 위에 제1전극을 형성하는 단계;
상기 제1전극의 둘레 및 상면에 절연층을 형성하는 단계를 포함하는 반도체 발광소자 제조방법.

청구항 24

제15항에 있어서,
상기 절연층 및 제1전극 형성 단계는,
상기 제1도전형 반도체층의 하층 위에 사이드 절연층을 형성하는 단계;
상기 사이드 절연층의 내측을 에칭하여, 상기 제1도전형 반도체층을 노출시켜 제1전극을 형성하는 단계;
상기 제1전극 위에 제1개방 홈을 갖는 상기 절연층을 형성하는 단계를 포함하는 반도체 발광소자 제조방법.

청구항 25

제15항에 있어서,
상기 제1전극 및 제2전극 중 적어도 하나는 직선형 패턴, 곡선형 패턴, 직선 및 곡선형 패턴이 혼합된 패턴, 1개의 패턴에서 복수개로 분기한 가지형 패턴, 다각형 패턴, 격자형상 패턴, 도트형상 패턴, 마름모형상 패턴, 평행사변형 패턴, 메쉬형 패턴, 스트라이프형 패턴, 십자형 패턴, 방사형 패턴, 원형 패턴, 상기 패턴들 중 복수개의 패턴이 혼합된 패턴 중 적어도 한 패턴을 포함하는 반도체 발광소자 제조방법.

청구항 26

제15항에 있어서,

상기 제1전극과 상기 제2전극은 한 개의 패턴 또는 복수개 패턴의 일부가 오버랩되는 반도체 발광소자 제조방법.

청구항 27

제15항에 있어서,

상기 전류 확산층은 투명 전극 재료 또는 반사 전극재료로 형성되는 반도체 발광소자 제조방법.

청구항 28

제15항에 있어서,

상기 제1도전형 반도체층 아래에 언도프드 반도체층, 버퍼층, 기판 중 적어도 하나를 포함하는 반도체 발광소자 제조방법.

명세서

발명의 상세한 설명

기술분야

[0001] 실시 예는 반도체 발광소자 및 그 제조방법에 관한 것이다.

배경기술

[0002] III-V족 질화물 반도체(group III-V nitride semiconductor)는 물리적, 화학적 특성으로 인해 발광 다이오드(LED) 또는 레이저 다이오드(LD) 등의 발광 소자의 핵심 소재로 각광을 받고 있다. III-V족 질화물 반도체는 통상 $In_xAl_yGa_{1-x-y}N$ ($0 \leq x \leq 1, 0 \leq y \leq 1, 0 \leq x+y \leq 1$)의 조성식을 갖는 반도체 물질로 이루어져 있다.

[0003] 발광 다이오드(Light Emitting Diode : LED)는 화합물 반도체의 특성을 이용하여 전기를 적외선 또는 빛으로 변환시켜서 신호를 주고 받거나, 광원으로 사용되는 반도체 소자의 일종이다.

[0004] 이러한 질화물 반도체 재료를 이용한 LED 혹은 LD(Laser Diode)의 광을 얻기 위한 발광 소자에 많이 사용되고 있으며, 단말기의 키패드 발광부, 전광판, 조명 장치 등 제품의 광원으로 응용되고 있다.

발명의 내용

해결하고자하는 과제

[0005] 실시 예는 제1도전형 반도체층 상에 제1전극, 절연층 및 제2전극의 적층 구조를 포함하는 반도체 발광소자 및 그 제조방법을 제공한다.

[0006] 실시 예는 제1도전형 반도체층 상에 가지 형상의 제1전극, 절연층 및 제2전극 및 전류 확산층의 적층 구조를 포함하는 반도체 발광소자 및 그 제조방법을 제공한다.

[0007] 실시 예는 제2도전형 반도체층 상에 가지 형상의 제2전극 및 전류 확산층의 적층 구조를 포함하는 반도체 발광소자 및 그 제조방법을 제공한다.

[0008] 실시 예는 제2도전형 반도체층 위에 이중의 전류 확산층을 포함하는 반도체 발광소자 및 그 제조방법을 제공한다.

[0009] 실시 예는 제1 및 제2전극이 서로 엇갈리게 배치되거나, 제1 및 제2전극의 일부 패턴이 오버랩되는 반도체 발광소자 및 그 제조방법을 제공한다.

[0010] 실시 예는 제1전극 및 제2전극의 패턴에 대한 자유도를 개선시켜 줄 수 있는 반도체 발광소자 및 그 제조방법을 제공한다.

과제 해결수단

- [0011] 실시 예에 따른 반도체 발광소자는, 제1도전형 반도체층; 상기 제1도전형 반도체층 위에 형성된 활성층; 상기 활성층 위에 형성된 제2도전형 반도체층; 상기 제1도전형 반도체층 위에 적어도 한 가지 형상을 갖는 제1전극; 상기 제1전극 위에 형성된 절연층; 상기 절연층 및 상기 제2도전형 반도체층 중 적어도 한 층 위에 적어도 한 가지 형상으로 형성된 제2전극을 포함한다.
- [0012] 실시 예에 따른 반도체 발광소자 제조방법은, 제1도전형 반도체층을 형성하는 단계; 상기 제1도전형 반도체층 위에 활성층을 형성하는 단계; 상기 활성층 위에 제2도전형 반도체층을 형성하는 단계; 메사 에칭하여 상기 제1도전형 반도체층 위에 제1전극을 형성하는 단계; 상기 제1전극 위에 절연층을 형성하는 단계; 상기 절연층 및 상기 제2도전형 반도체층 중 적어도 한 층 위에 제2전극을 형성하는 단계; 및 상기 제2전극 및 상기 제2도전형 반도체층 위에 전류 확산층을 형성하는 단계를 포함한다.

효과

- [0013] 실시 예는 발광 면적을 개선시켜 줄 수 있다.
- [0014] 실시 예는 제1전극 및 제2전극의 패턴 배치를 자유롭게 할 수 있는 효과가 있다.
- [0015] 실시 예는 발광 효율을 개선시켜 줄 수 있다.
- [0016] 실시 예는 활성층에 전류를 분산시켜 공급할 수 있는 효과가 있다.
- [0017] 실시 예는 가지 형상의 제2전극 위에 전류 확산층을 배치함으로써, 전류 확산층의 도포 영역을 증가시켜 줄 수 있어, 전류 확산을 개선시켜 줄 수 있다.
- [0018] 실시 예는 제2전극 위에 전류 확산층을 배치함으로써, 제2전극이 벗겨지는 필링(peeling) 문제를 방지할 수 있다.

발명의 실시를 위한 구체적인 내용

- [0019] 이하, 첨부된 도면을 참조하여 실시 예를 설명하면 다음과 같다. 실시 예를 설명함에 있어서, 각 도면의 위 또는 아래에 대한 기준은 각 도면을 참조하여 설명하며, 각 층의 두께는 일 예이며 각 도면의 두께로 한정하지는 않는다.
- [0020] 도 1은 제1실시 예에 따른 반도체 발광소자의 사시도이며, 도 2는 도 1의 A-A 측 단면도이며, 도 3은 도 1의 B-B 측 단면도이다.
- [0021] 도 1을 참조하면, 반도체 발광소자(100)는 기판(111), 제1도전형 반도체층(113), 활성층(115), 제2도전형 반도체층(117), 제1전극(120), 제1전극패드(128), 절연층(130), 제2전극(150), 전류 확산층(140), 제2전극패드(158), 서브 전류확산층(140A)을 포함한다.
- [0022] 상기 기판(111)은 사파이어(Al_2O_3), SiC, Si, GaAs, GaN, ZnO, GaP, InP, Ge 중 적어도 하나를 이용할 수 있으며, 도전 특성을 갖는 기판으로 이용할 수도 있다. 상기 기판(111)의 위 또는/및 아래에는 요철 패턴이 형성될 수 있으며, 상기 요철 패턴은 형상은 스트라이프 형상, 렌즈 형상, 기둥 형상, 뿔 형상 등에서 어느 하나로 형성될 수 있다.
- [0023] 상기 기판(111) 위에는 버퍼층(미도시) 및/또는 언도프트 반도체층(미도시)이 형성될 수 있다. 상기 버퍼층은 GaN 재료와 기판 재료의 격자 부정합을 완화시켜 줄 수 있으며, GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중 적어도 하나로 형성될 수 있다. 상기 언도프트 반도체층은 상기 기판(111) 또는 상기 버퍼층 위에 형성될 수 있으며, undoped GaN계층으로 형성될 수 있다. 상기 버퍼층 및/또는 언도프트 반도체층의 재료 및 형성 여부에 대해서는 한정하지는 않는다.
- [0024] 상기 기판(111) 위에는 제1도전형 반도체층(113)이 형성되며, 상기 제1도전형 반도체층(113)은 제1도전형 도펀트가 도핑된 반도체층이 적어도 한 층으로 형성되며, 제1전극 접촉층을 포함하게 된다. 상기 제1도전형 반도체층(113)은 예컨대, N형 반도체층인 경우 GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn, AlInN 중 적어도 하나로 형성될 수 있으며, 상기 제1도전형 도펀트는 N형 도펀트인 경우, Si, Ge, Sn, Se, Te 등을 선택적으로 포함할 수 있다.

- [0025] 상기 제1도전형 반도체층(113) 위에는 활성층(115)이 형성된다. 상기 활성층(115)은 단일 양자 우물 또는 다중 양자 우물(MQW) 구조로 형성될 수 있으며, 예컨대 InGaN/GaN 또는 AlGaIn/GaN로 형성될 수 있다. 상기 활성층(115)은 발광시키는 빛의 파장에 따른 밴드 갭 에너지를 갖는 재료로 선택되며, 예를 들면, 파장이 460~470nm의 청색 발광의 경우, InGaIn 우물층/GaN 장벽층을 한 주기로 하여, 단일 또는 다중 양자 우물 구조로 형성될 수 있다. 상기 활성층(115)은 청색 파장의 광, 레드 파장의 광, 녹색 파장의 광 등의 유색 광을 발광하는 재료를 선택적으로 포함할 수 있으며, 실시 예의 기술적 범위내에서 변경 가능하게 된다.
- [0026] 상기 제1도전형 반도체층(113)과 활성층(115) 사이에는 제1도전형 클래드층이 형성될 수 있으며, 상기 제1도전형 클래드층은 N형 반도체층인 경우, N형 AlGaIn층으로 형성할 수 있으며, 이에 대해 한정하지는 않는다.
- [0027] 상기 제2도전형 반도체층(117)은 제2도전형 도펀트가 도핑된 반도체층이 적어도 한 층으로 형성되며, 제2전극 접촉층을 포함하게 된다. 상기 제2도전형 반도체층(117)은 P형 반도체층인 경우, GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn, AlInN 등과 같은 화합물 반도체 중 어느 하나로 이루어질 수 있으며, 제2도전형 도펀트는 P형 도펀트인 경우, Mg, Zn, Ca, Sr, Ba 등에서 적어도 하나를 첨가될 수 있다.
- [0028] 상기 제2도전형 반도체층(117) 위에는 제3도전형 반도체층(미도시)이 형성될 수 있으며, 상기 제3도전형 반도체층은 제1도전형 도펀트가 도핑된 반도체층 예컨대, GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn, AlInN 등과 같은 화합물 반도체 중 어느 하나로 이루어질 수 있다. 상기 제3도전형 반도체층은 예컨대, N형 반도체층인 경우 GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn, AlInN 중 적어도 하나로 형성될 수 있으며, 상기 제1도전형 도펀트는 N형 도펀트인 경우, Si, Ge, Sn, Se, Te 등을 선택적으로 포함할 수 있다.
- [0029] 발광 구조물(112)은 상기 제1도전형 반도체층(113), 활성층(115) 및 제2도전형 반도체층(117)을 포함하거나 제3도전형 반도체층을 더 포함할 수 있다. 또한 상기 제1도전형 반도체층(113)은 P형 반도체층으로, 상기 제2도전형 반도체층(117)은 N형 반도체층으로 형성될 수 있다. 상기 발광 구조물(112)은 N-P 접합 구조, P-N 접합 구조, N-P-N 접합 구조, P-N-P 접합 구조 중 어느 한 구조로 구현할 수 있다.
- [0030] 상기 제1도전형 반도체층(113) 위에는 제1전극(120)이 형성되고, 상기 제1전극(120) 위에는 절연층(130)이 형성되고, 상기 절연층(130)의 일부분에 개구부(134)를 형성하여 제1전극(120)을 노출시켜 제1전극패드(128)이 형성된다. 여기서, 상기 제1전극패드(128)은 형성하지 않을 수 있으며, 이 경우 상기 제1전극(120)이 제1전극 패드로 기능하게 된다.
- [0031] 상기 제1전극(120) 및 제1전극패드(128)는 Ti, Al, In, Ta, Pd, Co, Ni, Si, Ge, Ag, Rh, Au, Ir, Pt, W 및 Au 중에서 적어도 하나 또는 복수개의 혼합 물질을 이용하여 적어도 한 층으로 형성될 수 있으며, 상기의 물질로 한정하지는 않는다.
- [0032] 상기 제1전극(120)의 패턴 형상은 예를 들면, 직선형 패턴, 곡선형 패턴, 직선 및 곡선형 패턴이 혼합된 패턴, 1개의 패턴에서 복수개로 분기한 가지형 패턴, 다각형 패턴, 줄무늬형 패턴, 격자형상 패턴, 도트형상 패턴, 마름모형상 패턴, 평행사변형 패턴, 메쉬형 패턴, 스트라이프형 패턴, 십자형 패턴, 방사형 패턴, 원형 패턴, 상기 패턴들 중 복수개의 패턴이 혼합된 패턴 중 적어도 한 패턴을 포함할 수 있으며, 상기 패턴으로 한정하지는 않는다. 이러한 패턴을 갖는 제1전극(120)은 상기 제1도전형 반도체층(113)에 균일한 전원을 공급할 수 있어, 전류가 한 곳에 집중되는 것을 방지할 수 있다.
- [0033] 상기 제1전극 패드(128)는 상기 제1전극(120)의 일부 위에 형성되며, 하나 또는 복수개로 형성될 수 있다.
- [0034] 상기 제1전극패드(128)는 상기 제1전극(120)을 통해 전원 공급을 원활하게 공급할 수 있는 위치 예컨대, 상기 제1전극(120) 패턴의 센터 부분 또는 에지 부분 등에 구성할 수 있다. 상기 제1전극(120) 위에는 상기 활성층(115), 상기 제2도전형 반도체층(117)이 형성되지 않을 수 있다.
- [0035] 상기 제1전극(120)의 외주면에는 절연층(130)이 형성되며, 상기 절연층(130)은 상기 제1전극(120)이 다른 반도체층 예컨대, 상기 활성층(115)과 상기 제2도전형 반도체층(117)과 접촉되는 것을 차단해 준다. 상기 제1전극패드(128)는 상기 절연층(130)의 개방 영역을 통해 상기 제1전극(120) 위에 형성될 수 있다. 상기 절연층(130)은 절연 물질 예컨대, SiO₂, Si₃N₄, Al₂O₃, TiO₂ 등의 물질에서 선택될 수 있으며, 상기 물질로 한정하지는 않는다.
- [0036] 상기 제2도전형 반도체층(117) 또는 상기 제3도전형 반도체층 위에는 서브 전류확산층(140A)이 형성된다. 상기 서브 전류확산층(140A) 및 상기 절연층(130) 위에는 제2전극(150)이 형성된다. 상기 제2전극(150), 상기 제2도전형 반도체층(117) 및 상기 절연층(130) 위에는 전류 확산층(140)이 형성된다.

- [0037] 상기 서브 전류확산층(140A)은 상기 제2전극(150)과 상기 제2도전형 반도체층(117) 사이에 국부적으로 형성되거나, 상기 제2도전형 반도체층(117) 위의 전 상면에 형성될 수 있다.
- [0038] 상기 서브 전류확산층(140A)은 상기 제2도전형 반도체층(117)과 접촉되어, 접촉력 및 전도율을 개선시켜 줄 수 있다. 또한 상기 서브 전류확산층(140A)은 상기 제2도전형 반도체층(117)의 전 상면에 형성된 경우, 상기 전류 확산층(140)과 함께 전류를 확산시켜 줄 수 있다.
- [0039] 상기 서브 전류 확산층(140A) 및 상기 전류 확산층(140)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminium zinc oxide), ATO(antimony tin oxide), ZnO, RuO_x, TiO_x, IrO_x, SnO₂ 중 적어도 하나로 형성될 수 있으며, 상기의 물질로 한정하지는 않는다. 또한 상기 전류 확산층(140)은 금속층(예: Au, Al 등)을 박막 형태로 형성하여, 광이 투과될 수 있도록 할 수 있다.
- [0040] 또한 상기 서브 전류 확산층(140A) 및 상기 전류 확산층(140) 중 적어도 하나는 반사 전극층 예컨대, Al, Ag, Pd, Rh, Pt 등으로 형성할 수 있으며, 이 경우 플립 방식으로 칩을 탑재할 때 반사 효율을 개선시켜 줄 수 있다.
- [0041] 상기 제2전극(150)은 가지 형상으로 상기 서브 전류확산층(140A) 및 상기 절연층(130) 위에 형성되며, 상기 제2도전형 반도체층(117)과는 직접 접촉이 아닌, 상기 서브 전류확산층(140A)을 통해 간접적으로 접촉된 구조이다.
- [0042] 상기 제2전극(150)은 소정의 패턴 예를 들면, 직선형 패턴, 곡선형 패턴, 직선 및 곡선형 패턴이 혼합된 패턴, 1개의 패턴에서 복수개로 분기한 가지형 패턴, 다각형 패턴, 줄무늬형 패턴, 격자형상 패턴, 도트형상 패턴, 마름모형상 패턴, 평행사변형 패턴, 메쉬형 패턴, 스트라이프형 패턴, 십자형 패턴, 방사형 패턴, 원형 패턴, 상기 패턴들 중 복수개의 패턴이 혼합된 패턴 중 적어도 한 패턴을 포함할 수 있으며, 상기 패턴으로 한정하지는 않는다. 이러한 패턴을 갖는 제2전극(150)은 상기 서브 전류확산층(140A) 및 전류 확산층(140)을 통해 상기 제2도전형 반도체층(117)에 균일한 전원을 공급할 수 있어, 전류가 한 곳에 집중되는 것을 방지할 수 있다.
- [0043] 상기 제2전극(150), 상기 절연층(130), 상기 제2도전형 반도체층(117) 위에는 전류 확산층(140)이 형성될 수 있다. 또한 상기 서브 전류확산층(140A)이 상기 제2도전형 반도체층(117) 위에 형성된 경우, 상기 전류 확산층(140)은 상기 서브 전류확산층(140A) 위에 형성될 수 있다. 이러한 구조는 이중 전류확산 구조를 제공할 수 있다.
- [0044] 상기 전류 확산층(140)이 칩의 상면 중 거의 모든 영역에 형성됨으로써, 전류 확산층(140)이 끊어지지 않고 배치될 수 있다. 이 경우 메사 에칭 과정시 상기 전류 확산층(140)이 끊어지는 문제를 해결하고, 다른 소자에 비해 상대적으로 더 많은 영역에 형성될 수 있어, 전류 확산을 개선시켜 줄 수 있다.
- [0045] 상기 전류 확산층(140)의 타측에는 제1개구부(134)가 형성되어 상기 제1전극패드(128)가 상기 제1전극(120) 위에 형성될 수 있다. 상기 전류 확산층(140)의 일측에는 상기 제2전극(150) 위에 제2전극패드(158)가 형성될 수 있으며, 상기 제2전극패드(158)의 일부는 상기 전류 확산층(140) 위에 연장될 수 있다.
- [0046] 상기 제2전극 패드(158)는 하나 또는 복수개로 형성될 수 있으며, 상기 제2전극 패드(158) 및 제2전극(150)은 예컨대, Ag, Ag alloy, Ni, Al, Al alloy, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나 또는 이들의 혼합된 물질을 이용하여 적어도 한 층으로 형성될 수 있으며, 상기 물질로 한정하지는 않는다.
- [0047] 제1실시 예는 제2전극(150) 위에 전류 확산층(140)을 배치함으로써, 상기 제2전극(150)이 필링(peeling)되는 문제를 해결할 수 있다. 또한 제1전극(120)/절연층(130)/제2전극(150)/전류 확산층(140)의 적층 구조를 제공하여, 상기 제1전극(120)과 상기 제2전극(150)의 일부 패턴이 공간적으로 오버랩되며, 이 경우 발광 면적 개선과 함께 외부 양자 효율을 개선시켜 줄 수 있다.
- [0048] 또한 도 2 및 도 3과 같이, 상기 제1전극(120), 제2전극(150), 서브 전류확산층(140A), 및 전류 확산층(140)을 통해 전류가 균일하게 확산시켜 공급함으로써, 전류 효율을 개선시켜 줄 수 있다. 도3의 전류의 흐름 방향을 반대로 수정 바랍니다.
- [0049] 도 4내지 도 12는 제1실시 예에 따른 반도체 발광소자의 제조과정을 나타낸 도면이다.
- [0050] 도 4를 참조하면, 기판(111) 위에 제1도전형 반도체층(113), 활성층(115) 및 제2도전형 반도체층(117)을 순차적으로 형성하게 된다. 상기 기판(111)은 사파이어(Al₂O₃), SiC, Si, GaAs, GaN, ZnO, GaP, InP, Ge 중 적어도 하

나를 이용할 수 있으며, 요철 패턴이 형성될 수 있다.

- [0051] 상기 기판(111) 위에는 질화물 반도체가 성장되는 데, 성장 장비는 전자빔 증착기, PVD(physical vapor deposition), CVD(chemical vapor deposition), PLD(plasma laser deposition), 이중형의 열증착기(dual-type thermal evaporator) 스퍼터링(sputtering), MOCVD(metal organic chemical vapor deposition) 등에 의해 형성할 수 있으며, 이러한 장비로 한정하지는 않는다. 상기 반도체는 $In_xAl_yGa_{1-x-y}N$ ($0=x=1$, $0=y=1$, $0=x+y=1$)의 조성식을 갖는 화합물 반도체로 구현된다.
- [0052] 상기 기판(111) 위에는 버퍼층(미도시) 및/또는 언도프트 반도체층(미도시)이 형성될 수 있다. 상기 버퍼층은 GaN 재료와 기판 재료의 격자 부정합을 완화시켜 줄 수 있으며, GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중 적어도 하나로 형성될 수 있다. 상기 언도프트 반도체층은 상기 기판(111) 또는 상기 버퍼층 위에 형성될 수 있으며, undoped GaN층으로 형성될 수 있으며, 질화물 반도체가 성장되는 기판으로서 기능하게 된다.
- [0053] 상기 기판(111) 위에는 제1도전형 반도체층(113)이 형성되며, 상기 제1도전형 반도체층(113)은 제1도전형 도펀트가 도핑된 반도체층이 적어도 한 층으로 형성되며, 제1전극 접촉층을 포함하게 된다. 상기 제1도전형 반도체층(113)은 예컨대, N형 반도체층인 경우 GaN, InN, AlN, InGaN, AlGaIn, InAlGaIn, AlInN 중 적어도 하나로 형성될 수 있으며, 상기 제1도전형 도펀트는 N형 도펀트인 경우, Si, Ge, Sn, Se, Te 등을 선택적으로 포함할 수 있다.
- [0054] 상기 제1도전형 반도체층(113) 위에는 활성층(115)이 형성된다. 상기 활성층(115)은 단일 양자 우물 또는 다중 양자 우물(MQW) 구조로 형성될 수 있으며, 예컨대 InGaIn/GaN 또는 AlGaIn/GaN로 형성될 수 있다. 상기 활성층(115)은 발광시키는 빛의 파장에 따른 밴드 갭 에너지를 갖는 재료로 선택되며, 예를 들면, 파장이 460~470nm의 청색 발광의 경우, InGaIn 우물층/GaN 장벽층을 한 주기로 하여, 단일 또는 다중 양자 우물 구조로 형성될 수 있다. 상기 활성층(115)은 청색 파장의 광, 레드 파장의 광, 녹색 파장의 광 등의 유색 광을 발광하는 재료를 선택적으로 포함할 수 있으며, 실시 예의 기술적 범위내에서 변경 가능하게 된다.
- [0055] 상기 제1도전형 반도체층(113)과 활성층(115) 사이에는 제1도전형 클래드층(미도시)이 형성될 수 있으며, 상기 제1도전형 클래드층은 N형 반도체층인 경우, N형 AlGaIn층으로 형성할 수 있으며, 이에 대해 한정하지는 않는다.
- [0056] 상기 제2도전형 반도체층(117)은 제2도전형 도펀트가 도핑된 반도체층이 적어도 한 층으로 형성되며, 제2전극 접촉층을 포함하게 된다. 상기 제2도전형 반도체층(117)은 P형 반도체층인 경우, GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn, AlInN 등과 같은 화합물 반도체 중 어느 하나로 이루어질 수 있으며, 제2도전형 도펀트는 P형 도펀트인 경우, Mg, Zn, Ca, Sr, Ba 등에서 적어도 하나를 첨가될 수 있다.
- [0057] 상기 제2도전형 반도체층(117)과 활성층(115) 사이에는 제2도전형 클래드층(미도시)이 형성될 수 있으며, 상기 제2도전형 클래드층은 AlGaIn층으로 형성할 수 있으며, 이에 대해 한정하지는 않는다.
- [0058] 상기 제2도전형 반도체층(119) 위에는 제3도전형 반도체층(미도시)이 형성될 수 있으며, 상기 제3도전형 반도체층은 제1도전형 도펀트가 도핑된 반도체층 예컨대, GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn, AlInN 등과 같은 화합물 반도체 중 어느 하나로 이루어질 수 있다. 상기 제3도전형 반도체층은 예컨대, N형 반도체층인 경우 GaN, InN, AlN, InGaIn, AlGaIn, InAlGaIn, AlInN 중 적어도 하나로 형성될 수 있으며, 상기 제1도전형 도펀트는 N형 도펀트인 경우, Si, Ge, Sn, Se, Te 등을 선택적으로 포함할 수 있다.
- [0059] 발광 구조물(112)은 상기 제1도전형 반도체층(113), 활성층(115) 및 제2도전형 반도체층(117)을 포함하거나 상기 제3도전형 반도체층을 더 포함할 수 있다. 또한 상기 제1도전형 반도체층(113)은 P형 반도체층, 상기 제2도전형 반도체층(117)은 N형 반도체층으로 형성될 수 있다. 상기 발광 구조물(112)은 N-P 접합 구조, P-N 접합 구조, N-P-N 접합 구조, P-N-P 접합 구조 중 어느 한 구조로 구현할 수 있다.
- [0060] 도 5 및 도 6을 참조하면, 메사 에칭 과정에 의해 상기 제1도전형 반도체층(113)의 일부를 노출시켜 준다. 상기 제1도전형 반도체층(113)에서 노출된 영역은 제1전극 홈(131)으로서, 상기에서 설명된 제1전극 패턴과 대응되는 구조로 형성될 수 있다.
- [0061] 상기 제1전극 홈(131)에 노출된 상기 제1도전형 반도체층(113) 위에는 제1전극(120)이 형성된다. 상기 제1전극(120)은 상기 활성층(115) 및 제2도전형 반도체층(117)과 이격되며, 이 경우, 마스크 패턴이나 절연층으로 상기 활성층(115) 및 제2도전형 반도체층(117)의 외측을 보호한 다음, 상기 제1전극(120)을 형성할 수 있다.
- [0062] 상기 제1전극(120)은 Ti, Al, In, Ta, Pd, Co, Ni, Si, Ge, Ag, Rh, Au, Ir, Pt, W 및 Au 중에서 적어도 하나

또는 복수개의 혼합 물질을 이용하여 적어도 한 층으로 형성될 수 있으며, 상기의 물질로 한정하지는 않는다.

- [0063] 상기 제1전극(120)의 패턴 형상은 예들 들면, 직선형 패턴, 곡선형 패턴, 직선 및 곡선형 패턴이 혼합된 패턴, 1개의 패턴에서 복수개로 분기한 가지형 패턴(1지창 또는 다지창), 다각형 패턴, 격자형상 패턴, 도트형상 패턴, 마름모형상 패턴, 평행사변형 패턴, 메쉬형 패턴, 스트라이프형 패턴, 십자형 패턴, 방사형 패턴, 원형 패턴, 상기 패턴들 중 복수개의 패턴이 혼합된 패턴 중 적어도 한 패턴을 포함할 수 있으며, 상기 패턴으로 한정하지는 않는다. 이러한 패턴을 갖는 제1전극(120)은 상기 제1도전형 반도체층(113)에 균일한 전원을 공급할 수 있어, 전류가 한 곳에 집중되는 것을 방지할 수 있다.
- [0064] 도 6 및 도 7을 참조하면, 상기 제1전극(120)의 외주변에 절연층(130)을 형성해 준다. 상기 절연층(130)은 상기 제1전극(120)의 외주변에 형성되어, 상기 제1전극(120)과 상기 활성층(115), 제2도전형 반도체층(117)이 전기적으로 접촉되지 않도록 차단해 준다. 상기 절연층(130)은 SiO₂, Si₃N₄, Al₂O₃, TiO₂ 등의 절연 물질에서 선택될 수 있으며, 상기 물질로 한정하지는 않는다.
- [0065] 상기 절연층(130)은 상기 제2도전형 반도체층(117)과 동일한 높이로 형성되거나, 상기 제2도전형 반도체층(117)보다 높거나 낮은 높이로 형성될 수 있다. 또한 상기 절연층(130)의 일단은 인접한 상기 제2도전형 반도체층(117) 위에까지 연장될 수 있다.
- [0066] 도 8 및 도 9를 참조하면, 상기 절연층(130) 위에 개구부(134)가 형성될 수 있으며, 상기 제1개구부(134)는 절연층 형성시 또는 형성 후 형성될 수 있다.
- [0067] 상기 제2도전형 반도체층(117) 위의 국부 영역 또는 전 영역에는 서브 전류확산층(140A)이 형성된다. 상기 서브 전류확산층(140A)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminium zinc oxide), ATO(antimony tin oxide), ZnO, RuOx, TiOx, IrOx, SnO₂ 중 적어도 하나로 형성될 수 있으며, 상기 물질로 한정하지는 않는다. 또는 상기 서브 전류확산층(140A)은 반사 전극층 예컨대, Al, Ag, Pd, Rh, Pt 등으로 형성할 수 있으며, 이 경우 플립 방식으로 칩을 탑재할 때 반사 효율을 개선시켜 줄 수 있다.
- [0068] 상기 서브 전류확산층(140A)은 상기 제2도전형 반도체층(117)의 상면 중에서 제2전극 형성 영역에 국부적으로 형성되거나, 상기 제2도전형 반도체층(117)의 상면 전체에 형성될 수 있다.
- [0069] 도 9 및 도 10을 참조하면, 상기 서브 전류확산층(140A) 및 상기 절연층(130) 위에는 제2전극(150)이 형성되고, 상기 제1전극(120) 위에는 제1전극패드(128)가 형성될 수 있다. 상기 제1전극패드(128)는 상기 제1전극(120)의 물질 중에서 선택될 수 있으며, 이에 대해 한정하지는 않는다.
- [0070] 상기 제2전극(150)은 예컨대, Ag, Ag alloy, Ni, Al, Al alloy, Rh, Pd, Ir, Ru, Mg, Zn, Pt, Au, Hf 중 적어도 하나 또는 이들의 혼합된 물질을 이용하여 적어도 한 층으로 형성될 수 있으며, 상기 물질로 한정하지는 않는다.
- [0071] 상기 제2전극(150) 아래의 상기 서브 전류확산층(140A)은 상기 제2도전형 반도체층(117)에 직접 접촉됨으로써, 전류 흐름을 개선시켜 줄 수 있다.
- [0072] 상기 제2전극(140), 상기 절연층(130), 상기 제2도전형 반도체층(117) 또는 상기 서브 전류확산층(140A) 위에는 전류 확산층(140)이 형성된다. 이러한 전류 확산층(140)은 제 1 및 제2개구부(134, 개구부) 이외의 전 상면에 형성될 수 있으며, 제1개구부(134)는 제1전극패드(128)와의 전기적인 접촉을 차단하게 되며, 제2개구부(개구부)은 제2전극(150)의 일부를 노출시켜 주게 된다.
- [0073] 상기 전류 확산층(140)의 물질은 상기 서브 전류확산층(140A)의 재료 중에서 선택적으로 이용할 수 있으며, 예컨대 투명 전극 재료 또는 반사 전극 재료를 포함한다. 상기 전류 확산층(140)은 ITO(indium tin oxide), IZO(indium zinc oxide), IZTO(indium zinc tin oxide), IAZO(indium aluminum zinc oxide), IGZO(indium gallium zinc oxide), IGTO(indium gallium tin oxide), AZO(aluminium zinc oxide), ATO(antimony tin oxide), ZnO, RuOx, TiOx, IrOx, SnO₂, Al, Ag, Pd, Rh, Pt 등으로 형성할 수 있다. 앞서 말한 예시 추가 바랍니다.
- [0074] 도 10 및 도 11을 참조하면, 상기 제2개구부(개구부)을 통해 제2전극 패드(158)가 형성되며, 상기 제2전극 패드(158)의 일부는 상기 전류 확산층(140)의 상면에 연장될 수 있다. 여기서, 상기 제1전극 패드(128)의 형성 과정은 상기 전류 확산층(140)의 형성 전 또는 형성 후에 진행될 수 있다. 또한 상기 제1전극패드(128) 또는/및 상

기 제2전극 패드(158)는 형성하지 않을 수 있다.

- [0075] 상기 제2전극 패드(158)의 물질은 상기 제2전극(158)의 재료 중에서 선택적으로 이용할 수 있다.
- [0076] 도 12는 도 11의 다른 측 단면도로서, 도 1의 B-B 측 단면도이다. 도 12의 전류 방향 수정 바랍니다.
- [0077] 도 11 및 도 12를 참조하면, 반도체 발광소자(100)는 상기 제2전극(150) 위에 전류 확산층(140)을 배치함으로써, 상기 제2전극(150)이 필링(peeling)되는 문제를 해결할 수 있다. 또한 상기 제1도전형 반도체층(113) 위에 제1전극(120)/절연층(130)/제2전극(150)/전류 확산층(140)의 적층 구조로 형성해 주어, 상기 제1전극(120)과 상기 제2전극(150)의 일부 패턴이 공간적으로 오버랩될 수 있다. 이 경우 발광 면적 개선과 함께 외부 양자 효율을 개선시켜 줄 수 있다.
- [0078] 상기 제2전극(150)이 상기 절연층(130) 위에만 형성된 경우, 광도가 개선될 수 있으며, 이 경우 상기 제2전극(150)과 상기 절연층(130) 간의 접촉 불량(예: 와이어 본딩 과정)이 발생할 수 있다. 이에 따라 전류 확산층(140)을 이용하여 제2전극(120)의 필링 문제를 해결할 수 있다.
- [0079] 또한 상기 제1전극(120), 제2전극(150), 서브 전류확산층(140A), 및 전류 확산층(140)을 통해 전류가 균일하게 확산시켜 공급함으로써, 전류 효율을 개선시켜 줄 수 있다.
- [0080] 도 13은 제2실시 예에 따른 반도체 발광소자의 측 단면도이다. 상기 제2실시 예를 설명함에 있어서, 상기 제1실시 예와 동일한 부분에 대해서는 제1실시 예를 참조하며, 중복 설명은 생략하기로 한다.
- [0081] 도 13을 참조하면, 반도체 발광소자(100A)는 기판(111), 제1도전형 반도체층(113), 활성층(115), 제2도전형 반도체층(117), 제1전극(120), 제1전극패드(128), 절연층(130), 제2전극(150), 전류 확산층(140), 및 제2전극패드(158)를 포함한다.
- [0082] 상기 제2도전형 반도체층(117) 위에는 제2전극(150)이 형성되며, 상기 제2전극(150)은 상기 제2도전형 반도체층(117) 및 상기 절연층(130) 위에 배치된다. 이는 상기 제1실시 예에서 서브 전류확산층(도 2의 140A)가 제거된 구조로서, 상기 제2전극(150)이 상기 제2도전형 반도체층(117)에 직접 접촉되는 형태이다. 이러한 제2실시 예는 제2전극패드(158)가 직접 접촉되는 제2전극(150)의 일부는 상기 제2도전형 반도체층(117) 위에 형성되고, 나머지는 절연층(130) 위에 배치함으로써, 상기 제2전극(150)의 필링 문제를 줄일 수 있다.
- [0083] 상기 제2전극(150)의 일부 또는 모든 패턴은 상기 절연층(130) 위에 형성되고, 상기 전류 확산층(140)은 상기 제2전극(150)의 위를 포함하여 칩의 거의 전 상면에 형성되거나, 상기 제2전극(151)의 일부 또는 모든 패턴의 위에 형성될 수 있다. 상기 전류 확산층(140)은 형성하지 않거나, 상기 제2전극(150) 위가 아닌 측면 접촉 구조로 형성될 수 있다.
- [0084] 이러한 제2실시 예의 제조 과정은 제1실시 예로부터 서브 전류확산층의 형성 과정을 생략한 구조이다.
- [0085] 도 14는 제3실시 예에 따른 반도체 발광소자의 측 단면도이다. 상기 제3실시 예를 설명함에 있어서, 상기 제1실시 예와 동일한 부분에 대해서는 제1실시 예를 참조하며, 중복 설명은 생략하기로 한다.
- [0086] 도 14를 참조하면, 반도체 발광소자(102)는 기판(111), 제1도전형 반도체층(113), 활성층(115), 제2도전형 반도체층(117), 제1전극(120), 제1전극패드(128), 절연층(130A), 제2전극(151), 전류 확산층(141), 및 제2전극패드(158)를 포함한다.
- [0087] 상기 제2전극(151)은 상기 절연층(130A) 위에 가지 형상으로 형성되며, 상기 제1전극(120)의 일부 패턴과 공간적으로 오버랩될 수 있다.
- [0088] 상기 전류 확산층(141)은 상기 제2전극(151), 상기 절연층(130A), 상기 제2도전형 반도체층(117) 위에 형성된다. 여기서, 상기 제2전극(151)은 상기 절연층(130A) 위에만 형성될 수 있다.
- [0089] 상기 제2전극패드(158)는 상기 전류 확산층(141)의 제2개구부(148)를 통해 상기 제2전극(151), 상기 전류 확산층(141), 및 상기 제2도전형 반도체층(117)에 직접 접촉될 수 있다. 이 경우, 상기 제2전극패드(158)와 상기 제2도전형 반도체층(117)의 사이에는 상기 전류 확산층(141)의 일부가 배치될 수 있다.
- [0090] 이러한 발광 소자(102)는 상기 제2전극(151)이 절연층(130A) 위에만 형성되더라도, 상기 전류 확산층(141)을 통

해 전류를 균일한 분포로 공급할 수 있다.

- [0091] 상기 제2전극(151)의 일부 또는 모든 패턴은 상기 절연층(130A) 위에 형성되고, 상기 전류 확산층(141)은 상기 제2전극(151)의 위를 포함하여 칩의 거의 전 상면에 형성될 수 있다. 여기서, 상기 전류 확산층(141)은 상기 제2전극(151)의 일부 또는 모든 패턴의 위에 형성될 수 있다.
- [0092] 도 15는 제4실시 예에 따른 반도체 발광소자의 측 단면도이다. 상기 제4실시 예를 설명함에 있어서, 상기 제1실시 예와 동일한 부분에 대해서는 제1실시 예를 참조하며, 중복 설명은 생략하기로 한다.
- [0093] 도 15를 참조하면, 반도체 발광소자(103)는 기관(111), 제1도전형 반도체층(113), 활성층(115), 제2도전형 반도체층(117), 제1전극(120), 제1전극패드(128), 절연층(130A), 제2전극(151), 전류 확산층(141), 및 제2전극패드(158)를 포함한다.
- [0094] 상기 제2전극 패드(158)와 상기 제2도전형 반도체층(117) 사이에는 도 14와 같은 전류 확산층이 존재하지 않고, 상기 제2전극패드(158)의 하면 전체가 제2도전형 반도체층(117)에 접촉된 구조이다. 즉, 와이어 본딩 부분인 제2전극패드(158)는 상기 제2도전형 반도체층(117) 및 상기 제2전극(151)에 직접 접촉되게 형성할 수 있다.
- [0095] 도 16은 제5실시 예에 따른 반도체 발광소자의 제조 과정을 평면도이다. 상기 제5실시 예를 설명함에 있어서, 상기 제1실시 예와 동일한 부분에 대해서는 중복 설명은 생략하기로 한다.
- [0096] 도 16의 (A)(B)를 참조하면, 기관 위에 제1도전형 반도체층(113), 활성층 및 제2도전형 반도체층(117)이 형성되면, 칩 센터측 세로 방향(또는 가로 방향)으로 메사 에칭하여 제1도전형 반도체층(113)이 노출되는 제1전극 홈(131A)을 소정 길이(D1)로 형성하게 된다. 상기 제1전극 홈(131A)은 라인 형상의 패턴으로 형성되며, 그 폭(W1)은 일정하거나 다를 수 있으며, 이에 대해 한정하지는 않는다.
- [0097] 상기 제1도전형 반도체층(113)의 상기 제1전극 홈(131A)을 따라 제1전극(120)이 형성된다. 상기 제1전극(120)은 상기 제1전극 홈(131A)의 내측에 배치된다.
- [0098] 도 16의 (B)~(D)를 참조하면, 상기 제1전극 홈(131A)에는 상기 제1전극(120)을 절연시켜 주기 위한 절연층(130)이 형성되며, 상기 절연층(130)의 일측에는 제1개구부(134)가 형성된다. 상기 절연층(130)의 상부 폭(W2)은 상기 제1전극 홈(131A)의 폭(도 16A의 W1)과 동일하거나 다를 수 있으며, 이에 대해 한정하지는 않는다.
- [0099] 상기 절연층(130) 위에는 라인 형상의 제2전극(150)이 형성된다. 상기 제2전극(150)은 상기 절연층(130) 위에서 상기 제1전극(120)과 오버랩된다.
- [0100] 도 16의 (E)~(F)를 참조하면, 상기 제2전극(150), 상기 절연층(130), 상기 제2도전형 반도체층(117) 위에는 전류 확산층(140)이 형성되며, 상기 전류 확산층(140)은 투명전극층 또는 반사전극층이 될 수 있다. 상기 전류 확산층(140)에는 제1개구부(134) 및 상기 제2개구부(148)가 형성된다.
- [0101] 상기 제1개구부(134)에는 제1전극패드(128), 상기 제2개구부(148)에는 제2전극패드(158)가 형성된다. 상기 제1전극패드(128)는 상기 제1전극(120)에 직접 접촉되며, 상기 제2전극패드(158)는 상기 제2전극(150)에 직접 접촉된다. 이러한 실시 예는 제1전극(120)/절연층(130)/제2전극(150)의 적층 구조로 오버랩하여 발광 효율을 개선시켜 줄 수 있으며, 상기 제2전극(150)/전류 확산층(140)의 적층 구조에 의해 상기 제2전극(150)의 필링 문제를 해결할 수 있다.
- [0102]
- [0103] 도 17은 제6실시 예에 따른 반도체 발광소자의 제조 과정을 평면도이다. 상기 제6실시 예를 설명함에 있어서, 상기 제1실시 예와 동일한 부분에 대해서는 중복 설명은 생략하기로 한다.
- [0104] 도 17의 (A)(B)를 참조하면, 기관 위에 제1도전형 반도체층(113), 활성층 및 제2도전형 반도체층(117)이 형성되면, 칩 센터측 세로 방향(또는 가로 방향)으로 메사 에칭하여 제1도전형 반도체층(113)이 노출되는 제1전극 홈(131B)을 소정 길이(D2)로 형성하게 된다. 상기 제1전극 홈(131B)은 라인 형상의 패턴으로 형성되며, 그 폭(W1)은 일정하거나 다를 수 있으며, 이에 대해 한정하지는 않는다.
- [0105] 상기 제1도전형 반도체층(113)의 상기 제1전극 홈(131B)을 따라 제1전극(120)이 형성된다. 상기 제1전극(120)은

상기 제1전극 홈(131B)의 내측에 배치된다.

- [0106] 도 17의 (B)~(D)를 참조하면, 상기 제1전극 홈(131B)에는 상기 제1전극(120)을 절연시켜 주기 위한 절연층(130)이 형성되며, 상기 절연층(130)의 일측에는 제1개구부(134)가 형성된다. 상기 절연층(130)의 상부 폭(W2)은 상기 제1전극 홈(131B)의 폭(도 17A의 W1)과 동일하거나 다를 수 있으며, 이에 대해 한정하지는 않는다.
- [0107] 상기 절연층(130) 및 상기 제2도전형 반도체층(117) 위에는 라인 형상의 제2전극(150)이 형성된다. 상기 제2전극(150)의 일부는 상기 절연층(130) 위에서 상기 제1전극(120)과 오버랩된다.
- [0108] 도 17의 (E)~(F)를 참조하면, 상기 제2전극(150), 상기 절연층(130), 상기 제2도전형 반도체층(117) 위에는 전류 확산층(140)이 형성되며, 상기 전류 확산층(140)은 투명전극층 또는 반사전극층이 될 수 있다. 상기 전류 확산층(140)은 제1개구부(134) 및 상기 제2개구부(148)가 형성된다.
- [0109] 상기 제1개구부(134)에는 제1전극패드(128), 상기 제2개구부(148)에는 제2전극패드(158)가 형성된다. 상기 제1전극패드(128)는 상기 제1전극(120)에 직접 접촉되며, 상기 제2전극패드(148)는 상기 제2전극(150)에 직접 접촉된다. 이러한 실시 예는 제1전극(120)/절연층(130)/제2전극(150)의 일부를 오버랩하여 발광 효율을 개선시켜 줄 수 있으며, 상기 제2전극(150)/전류 확산층(140)의 적층 구조에 의해 상기 제2전극(150)의 필링 문제를 해결할 수 있다.
- [0110] 도 18은 제7실시 예에 따른 반도체 발광소자의 제조 과정을 평면도이다. 상기 제7실시 예를 설명함에 있어서, 상기 제1실시 예와 동일한 부분에 대해서는 중복 설명은 생략하기로 한다.
- [0111] 도 18의 (A)(B)를 참조하면, 기판 위에 제1도전형 반도체층(113), 활성층 및 제2도전형 반도체층(117)이 형성되면, 칩의 일측 세로 방향(또는 가로 방향)으로 메사 에칭하여 제1도전형 반도체층(113)이 노출되는 제1전극 홈(131C)을 소정 길이로 형성하게 된다. 상기 제1전극 홈(131C)은 라인 형상의 패턴으로 형성되며, 그 폭은 일정하거나 다를 수 있으며, 이에 대해 한정하지는 않는다.
- [0112] 상기 제1도전형 반도체층(113)의 상기 제1전극 홈(131C)을 따라 제1전극(120)이 형성된다. 상기 제1전극(120)은 상기 제1전극 홈(131B)의 내측에 배치된다.
- [0113] 도 18의 (B)~(D)를 참조하면, 상기 제1전극 홈(131C)에는 상기 제1전극(120)을 절연시켜 주기 위한 절연층(130)이 형성되며, 상기 절연층(130)의 일측에는 제1개구부(134)가 형성된다.
- [0114] 상기 제2도전형 반도체층(117)의 타측 위에는 라인 형상의 제2전극(150)이 형성된다. 상기 제2전극(150)은 상기 제1전극(120)과 오버랩되지 않고 엇갈리게 배치된다.
- [0115] 도 18의 (E)~(F)를 참조하면, 상기 제2전극(150), 상기 절연층(130), 상기 제2도전형 반도체층(117) 위에는 전류 확산층(140)이 형성되며, 상기 전류 확산층(140)은 투명전극층 또는 반사전극층이 될 수 있다. 상기 전류 확산층(140)은 제1개구부(134) 및 상기 제2개구부(148)가 형성된다.
- [0116] 상기 제1개구부(134)에는 제1전극패드(128), 상기 제2개구부(148)에는 제2전극패드(158)가 형성된다. 상기 제1전극패드(128)는 상기 제1전극(120)에 직접 접촉되며, 상기 제2전극패드(148)는 상기 제2전극(150)에 직접 접촉된다. 이러한 실시 예는 제1전극(120)과 제2전극(150)이 엇갈리게 배치되고, 상기 제2전극(150)/전류 확산층(140)의 적층 구조에 의해 상기 제2전극(150)의 필링 문제를 해결할 수 있다.
- [0117] 도 19 내지 도 22는 제8실시 예에 따른 반도체 발광소자의 제조과정을 개략적으로 나타낸 도면이다. 제8실시 예를 설명함에 있어서, 제1실시 예와 동일한 부분에 대해서는 중복 설명은 생략하기로 한다.
- [0118] 도 19 및 도 20을 참조하면, 기판(111) 위에 제1도전형 반도체층(113), 활성층(115) 및 제2도전형 반도체층(117)을 형성한 후, 상기 제1도전형 반도체층(113)의 일부가 노출되는 제1전극 홈(131)을 형성하게 된다. 상기 제1전극 홈(131)의 내측에는 제1전극(120)이 형성되고, 상기 제2도전형 반도체층(117) 위에는 제2전극(152)이 형성된다. 즉, 제1전극(120)과 제2전극(152)를 동일한 공정으로 형성시켜 줄 수 있다. 이 경우, 상기 제1 및 제2전극 형성 영역을 제외한 전 영역에 쇼트 방지를 위한 마스크층이 형성될 수 있으며, 이에 대해 한정하지는 않는다.
- [0119] 도 21 및 도 22를 참조하면, 상기 제1전극(120)의 둘레에 절연층(130)을 형성하고, 제1개구부(131)을 노출시켜 준다. 상기 제2전극(152), 상기 절연층(130) 및 상기 제2도전형 반도체층(117) 위에 전류 확산층(140)을 형성시켜 준다. 상기 전류 확산층(140)의 제2개구부를 통해 제2전극 패드(158)를 형성시켜 준다.

- [0120] 도 23 내지 도 26은 제9실시 예에 따른 제1전극 제조과정을 개략적으로 나타낸 도면이다. 제9실시 예를 설명함에 있어서, 제1실시 예와 동일한 부분에 대해서는 중복 설명은 생략하기로 한다.
- [0121] 도 23 및 도 24를 참조하면, 기판(111) 위에 제1도전형 반도체층(113)의 하층(113A) 일측 위에 절연층(132)을 형성하게 된다. 상기 절연층(132)은 제1전극 패턴에 대응되는 형상으로서, 상기 제1전극 패턴의 라인 폭보다 넓게 형성될 수 있다.
- [0122] 이후, 상기 제1도전형 반도체층(113)의 하층(113A) 타측 위에 상층(113B), 활성층(115), 제2도전형 반도체층(117)을 형성하게 된다.
- [0123] 도 24 및 도 25를 참조하면, 에칭 과정을 통해 상기 절연층(132)의 내측 영역(즉, 제1전극 영역)을 에칭하여 제1도전형 반도체층(113)의 하층(113A)이 노출되는 깊이로 제1전극 홈(132A)을 형성하게 된다. 상기 제1전극 홈(132A)은 제1전극(120)이 소정 두께로 형성되며, 상기 제1전극(120)의 외측면에는 상기 절연층(132)이 배치된다.
- [0124] 도 25 및 도 26을 참조하면, 상기 제1전극(120)의 상면에는 제1개구부(134)를 제외하고 상부 절연층(135A)을 형성하게 된다.
- [0125] 상기 제1개구부(134)에는 제1전극 패드가 형성될 수 있으며, 제2전극/전류 확산층/제2전극패드의 형성 과정은 제1실시 예를 참조하며 생략하기로 한다.
- [0126] 도 27 내지 도 30은 제10실시 예에 따른 제1전극 제조과정을 개략적으로 나타낸 도면이다. 제10실시 예를 설명함에 있어서, 제1실시 예와 동일한 부분에 대해서는 중복 설명은 생략하기로 한다.
- [0127] 도 27 및 도 28를 참조하면, 기판(111) 위에 제1도전형 반도체층(113), 활성층(115), 제2도전형 반도체층(117)을 형성하고, 메사 에칭 과정을 통해 제1전극 홈(131D)을 형성하게 된다. 이 경우 상기 제1전극 홈(131D)은 제1실시 예보다 깊게 형성될 수 있다.
- [0128] 도 29 및 도 30을 참조하면, 제1개구부(134)에는 제1전극(120)이 형성되며, 상기 제1전극(120)은 상기 활성층(115)의 연장 선상보다 낮게 형성된다. 이에 따라 상기 제1전극(120)과 상기 활성층(115) 사이의 전기적인 접촉 문제를 해결할 수 있다.
- [0129] 상기 제1전극(120)이 형성되면, 에칭 과정을 통해 상기 제1전극(120)의 둘레 영역에 존재하는 반도체층(113, 115, 117)을 에칭하며, 절연층(133)을 형성하게 된다. 상기 절연층(133)에는 제1개구부(134)이 형성된다.
- [0130] 상기 제1개구부(134)에는 제1전극 패드가 형성될 수 있으며, 제2전극/전류 확산층/제2전극패드의 형성 과정은 제1실시 예를 참조하며 생략하기로 한다.
- [0131] 도 31 내지 도 34는 실시 예에 따른 제1전극 또는 제2전극의 패턴 예를 나타낸 도면이다.
- [0132] 도 31을 참조하면, 베이스층(180) 위에는 전극 패턴(182)이 3지창과 같은 다지창 형상으로 형성될 수 있다. 상기 베이스층(180)은 제1도전형 반도체층 또는 제2도전형 반도체층일 수 있으며, 또는 절연층일 수도 있다. 상기 전극 패턴(182)은 제1전극 또는 제2전극의 패턴일 수 있다.
- [0133] 도 32를 참조하면, 베이스층(180) 위에는 센터(183)를 중심으로 방사 형상의 전극 패턴(183)이 형성될 수 있다.
- [0134] 도 33을 참조하면, 베이스층(180) 위에는 전극 패턴이 제1다지창(186A)의 일부 가지에 제2다지창(186B)이 연결된 형상으로 형성될 수 있다.
- [0135] 도 34를 참조하면, 베이스 층(180) 위에는 전극 패턴이 사각형과 같은 다각형 패턴(189A)과 그 내측으로 분기된 패턴(189B)으로 형성될 수 있다.
- [0136] 이러한 도 31 내지 도 34에 도시된 바와 같이, 제1전극 및 제2전극의 패턴의 자유도는 개선될 수 있으며, 각 패턴의 일부에는 전극 패드가 형성될 수 있다.
- [0137] 실시 예는 발광 면적을 개선시키고, 전류를 확산시켜 주어 발광 효율을 개선시켜 줄 수 있다. 또한 전류 확산을 통해 ESD 내성에 강한 소자를 제공할 수 있다. 실시 예에 있어서, 절연층과 제1전극의 형성 순서, 메사 에칭 깊이, 전극 패턴 등은 상기의 기술적 범위 내에서 변경될 수 있으며, 제1전극과 제2전극의 패턴 일부가 적어도 한

영역에서 오버랩되도록 제조할 수 있다.

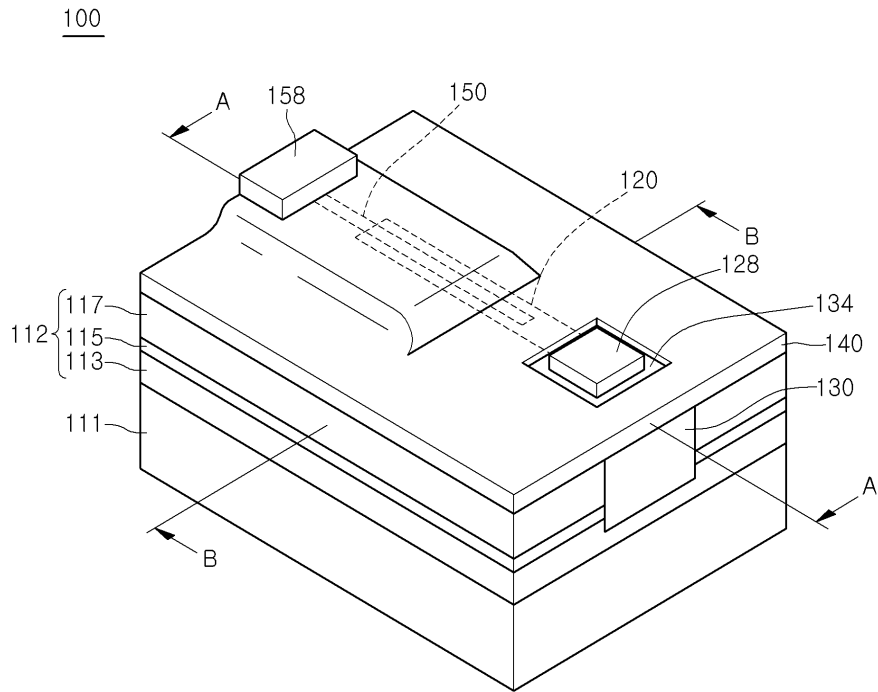
- [0138] 또한 실시 예는 제2전극/전류 확산층의 구조, 이중 전극층의 구조를 이용하여 제2전극의 필딩 문제를 해결할 수 있다.
- [0139] 실시 예의 설명에 있어서, 각 층(막), 영역, 패턴 또는 구조물들이 기판, 각 층(막), 영역, 패드 또는 패턴들의 "위(on)"에 또는 "아래(under)"에 형성되는 것으로 기재되는 경우에 있어, "위(on)"와 "아래(under)"는 "directly"와 "indirectly"의 의미를 모두 포함한다. 또한 각 층의 위 또는 아래에 대한 기준은 도면을 기준으로 설명한다.
- [0140] 이상에서 본 발명에 대하여 실시 예를 중심으로 설명하였으나 이는 단지 예시일 뿐 본 발명을 한정하는 것이 아니며, 본 발명이 속하는 분야의 통상의 지식을 가진 자라면 본 발명의 본질적인 특성을 벗어나지 않는 범위에서 이상에 예시되지 않은 여러 가지의 변형과 응용이 가능함을 알 수 있을 것이다.
- [0141] 예를 들어, 본 발명의 실시 예에 구체적으로 나타난 각 구성 요소는 변형하여 실시할 수 있는 것이다. 그리고 이러한 변형과 응용에 관계된 차이점들은 첨부된 청구 범위에서 규정하는 본 발명의 범위에 포함되는 것으로 해석되어야 할 것이다.

도면의 간단한 설명

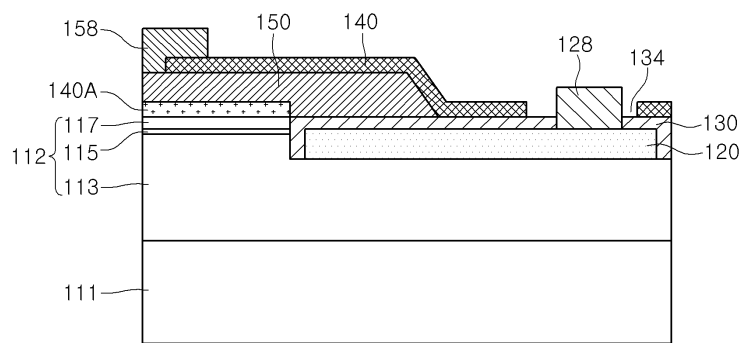
- [0142] 도 1은 제1실시 예에 따른 반도체 발광소자를 나타낸 사시도이다.
- [0143] 도 2는 도 1의 A-A 측 단면도이다.
- [0144] 도 3은 도 1의 B-B 측 단면도이다.
- [0145] 도 4내지 도 12는 제1실시 예에 따른 반도체 발광소자 제조과정을 나타낸 도면이다.
- [0146] 도 13은 제2실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다.
- [0147] 도 14은 제3실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다.
- [0148] 도 15는 제4실시 예에 따른 반도체 발광소자를 나타낸 측 단면도이다.
- [0149] 도 16은 제5실시 예에 따른 반도체 발광소자 제조과정을 나타낸 도면이다.
- [0150] 도 17은 제6실시 예에 따른 반도체 발광소자 제조과정을 나타낸 도면이다.
- [0151] 도 18은 제7실시 예에 따른 반도체 발광소자 제조과정을 나타낸 도면이다.
- [0152] 도 19 내지 도 22는 제8실시 예에 따른 제1전극 형성 과정을 나타낸 도면이다.
- [0153] 도 23 내지 도 26은 제9실시 예에 따른 제1전극 형성 과정을 나타낸 도면이다.
- [0154] 도 27 내지 도 30은 제10실시 예에 따른 제1전극 형성 과정을 나타낸 도면이다.
- [0155] 도 31 내지 도 34은 실시 예에 따른 전극 패턴 예를 나타낸 도면이다.

도면

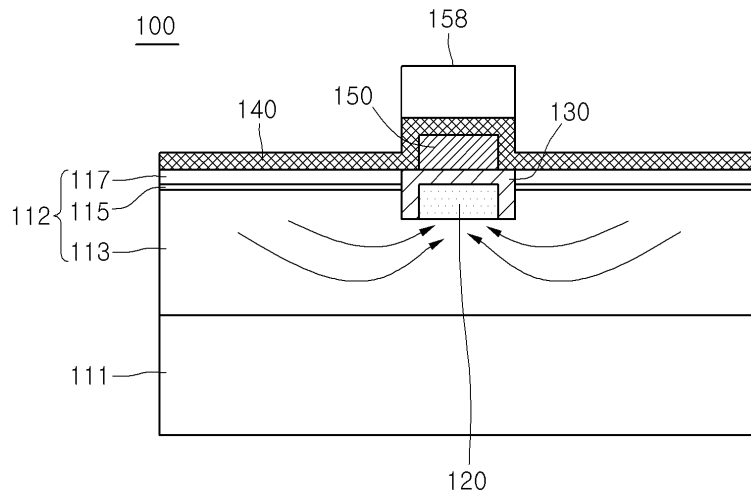
도면1



도면2



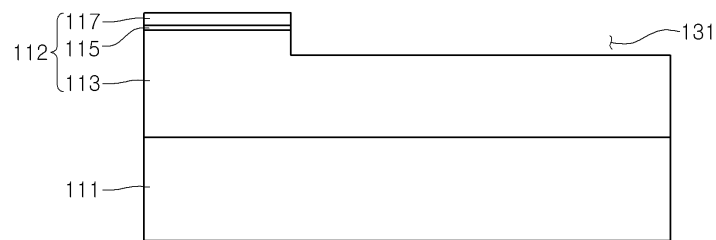
도면3



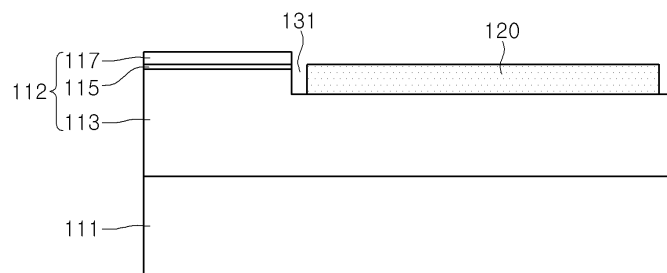
도면4



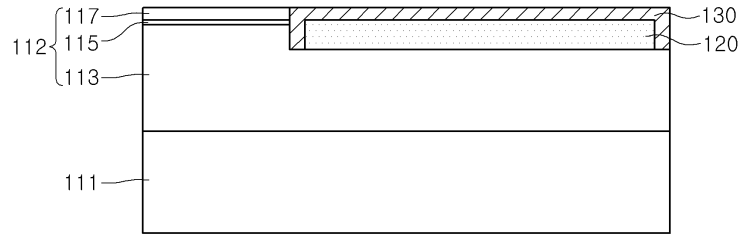
도면5



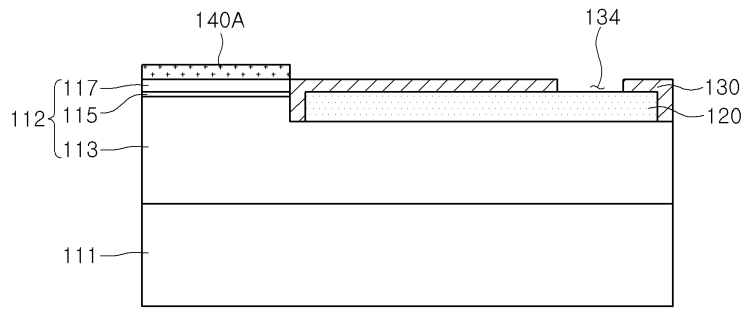
도면6



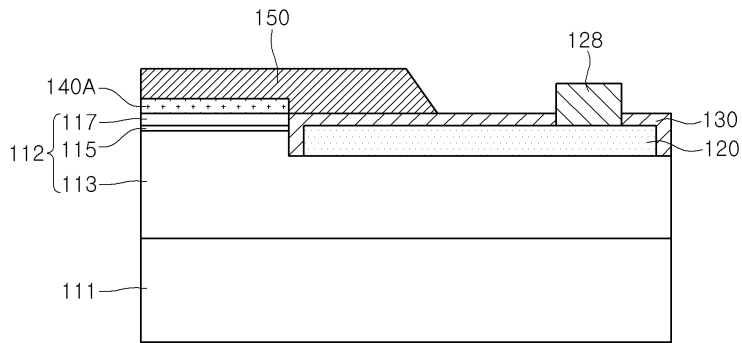
도면7



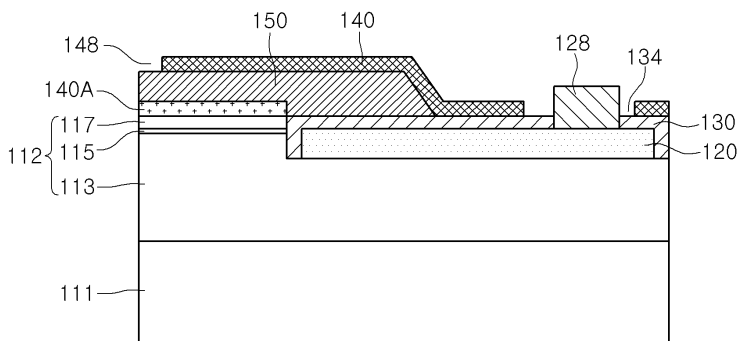
도면8



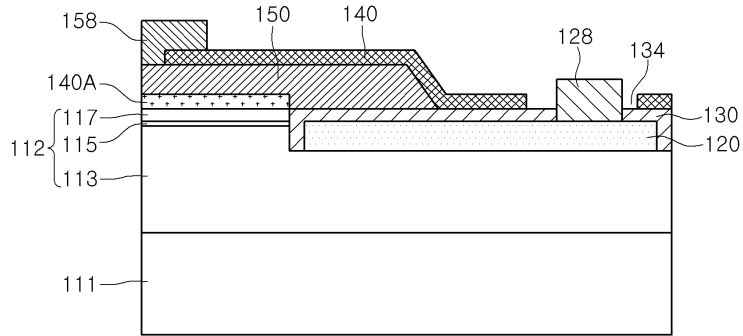
도면9



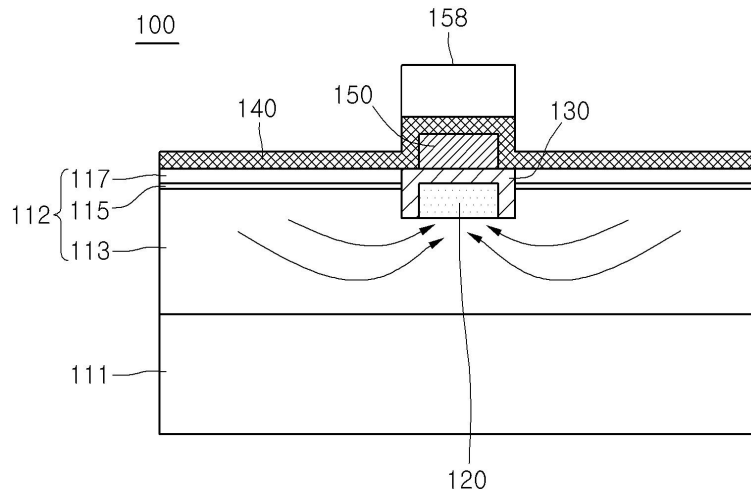
도면10



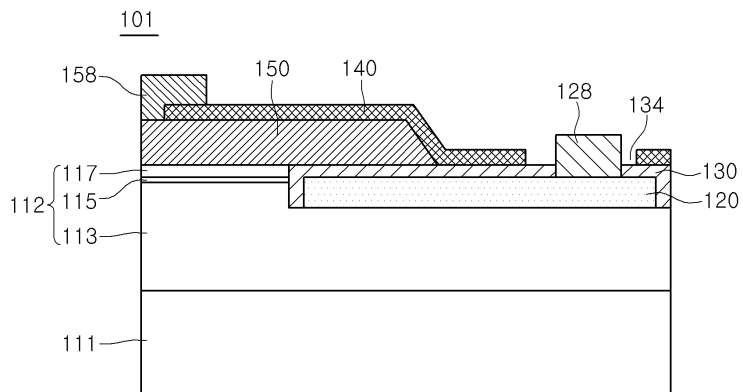
도면11



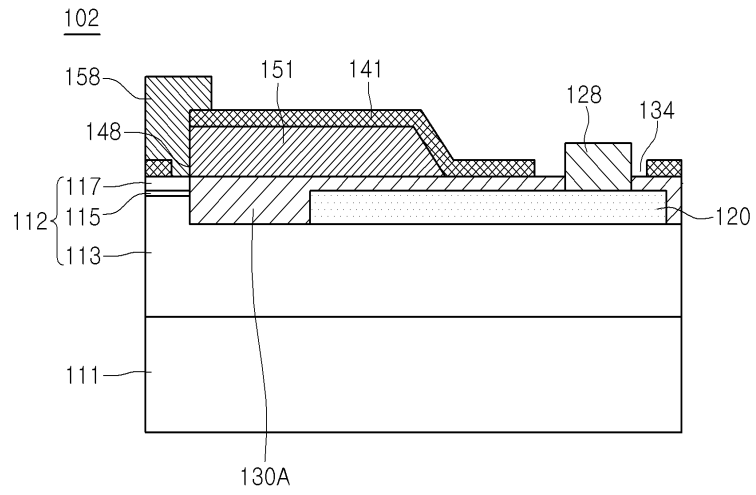
도면12



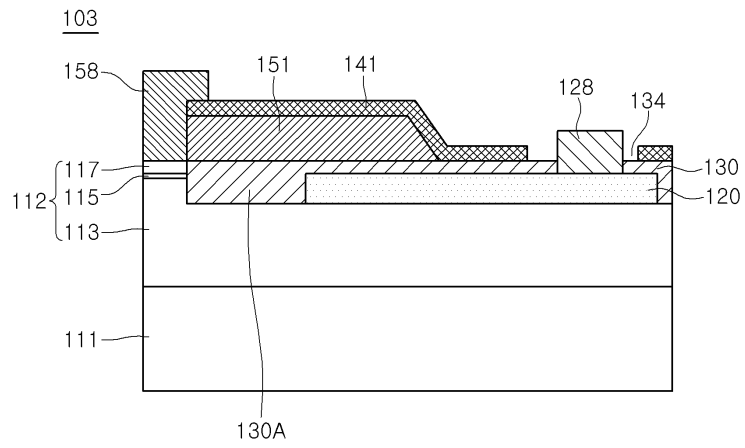
도면13



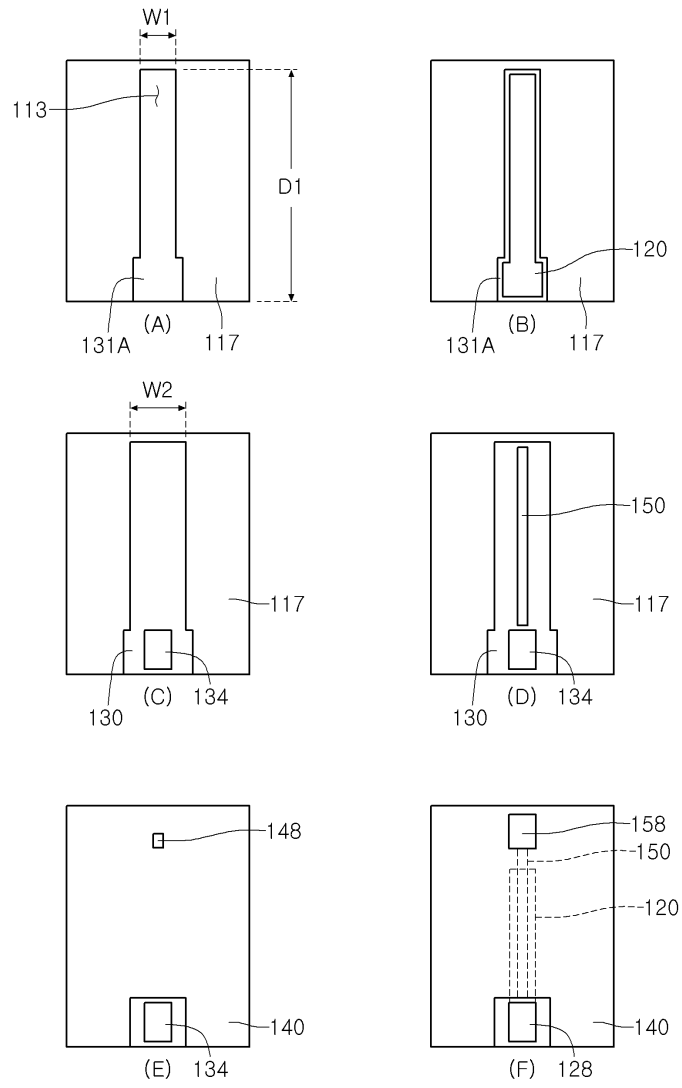
도면14



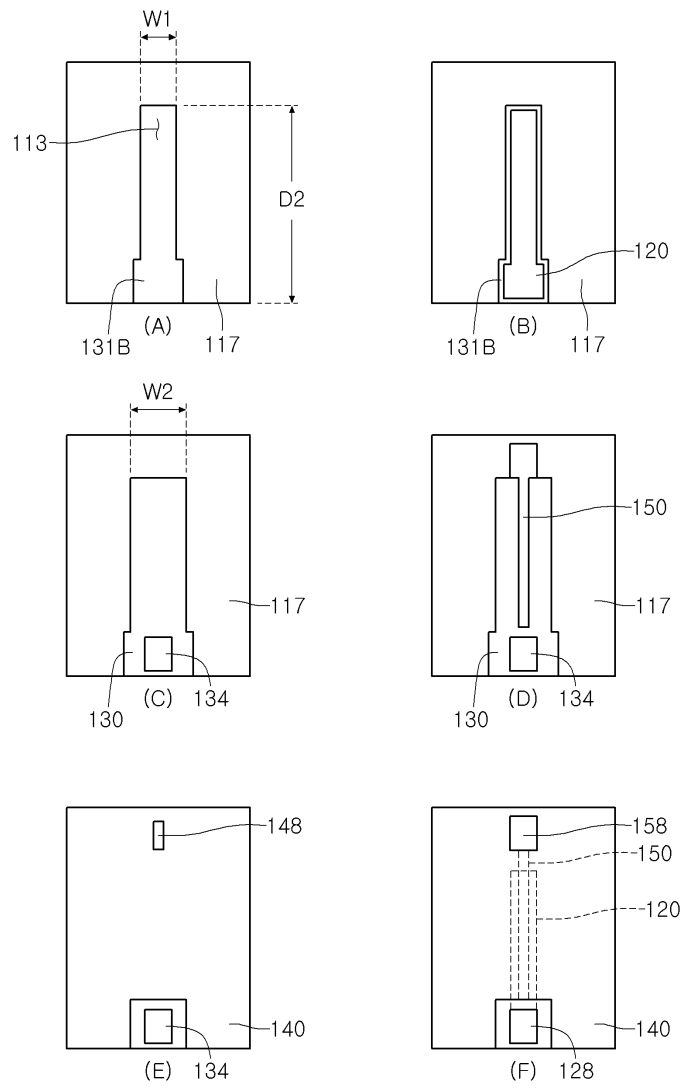
도면15



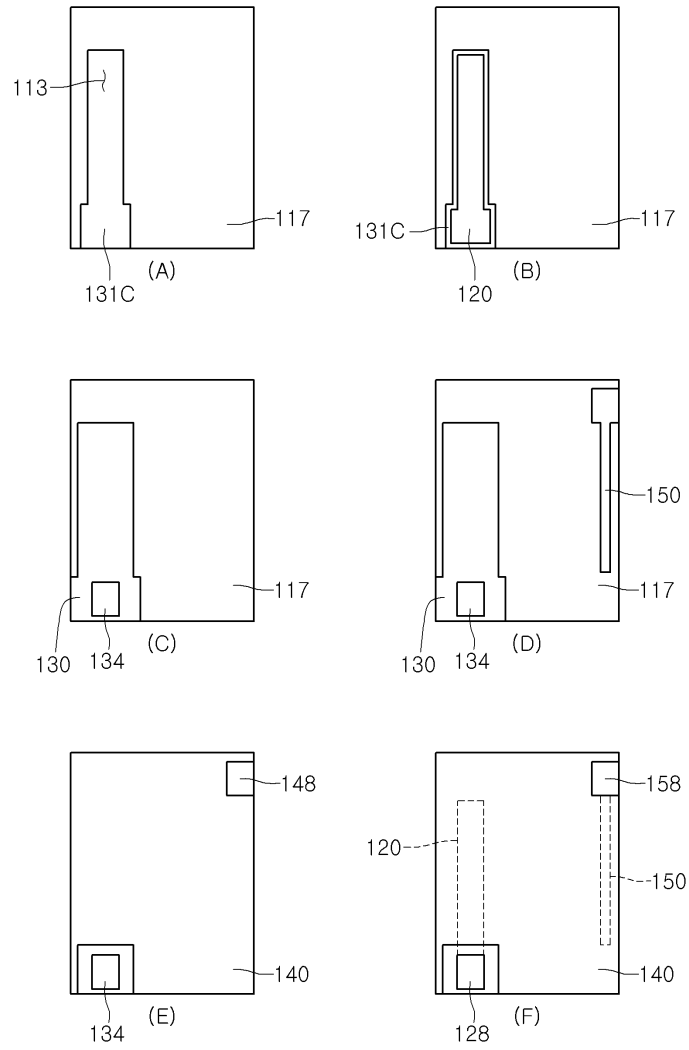
도면16



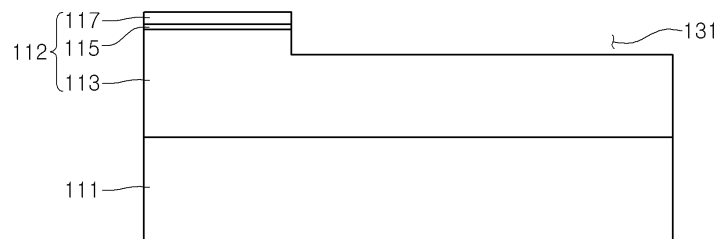
도면17



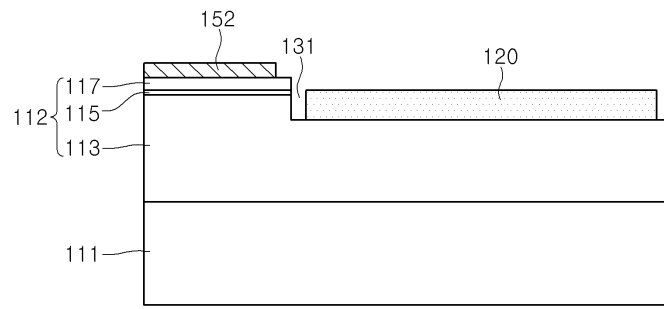
도면18



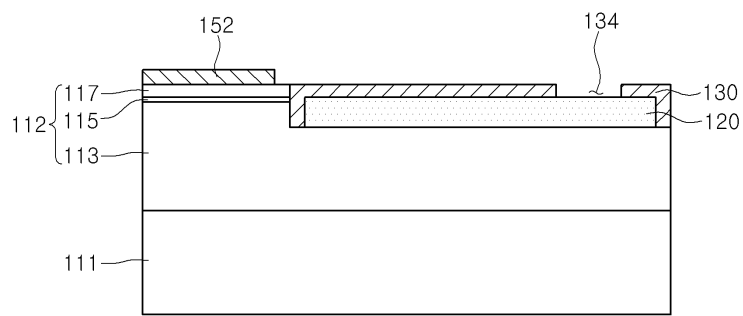
도면19



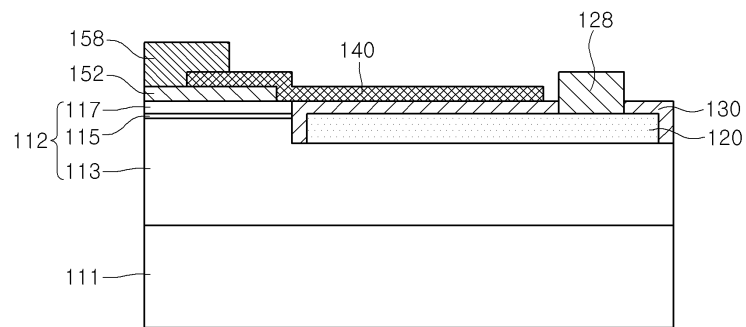
도면20



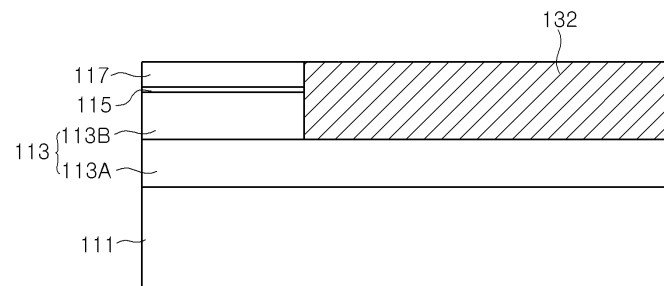
도면21



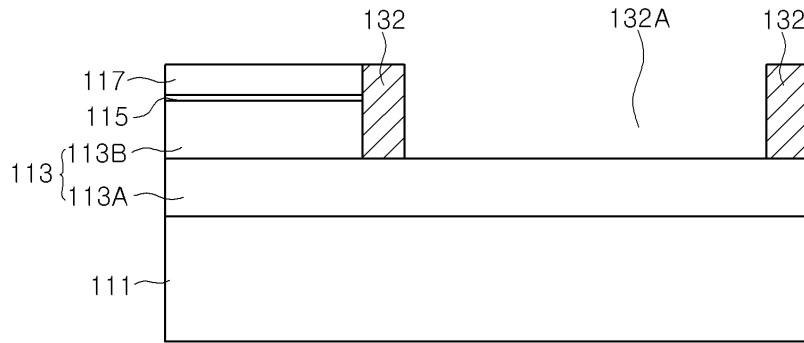
도면22



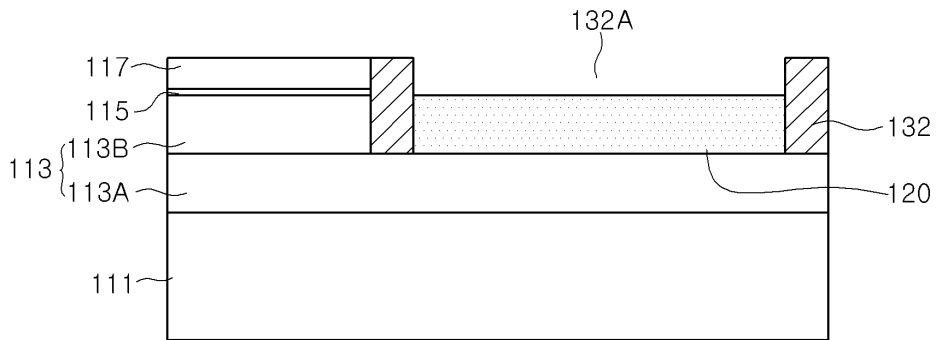
도면23



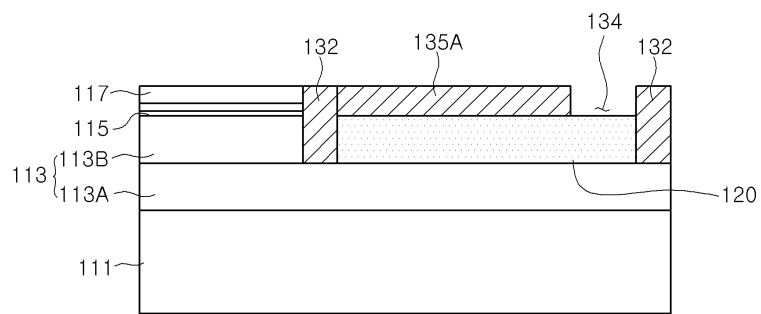
도면24



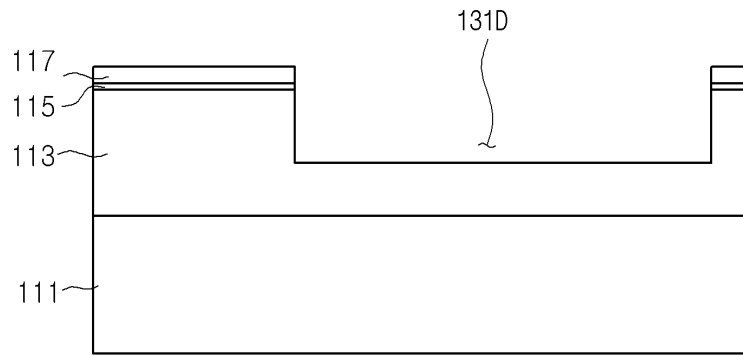
도면25



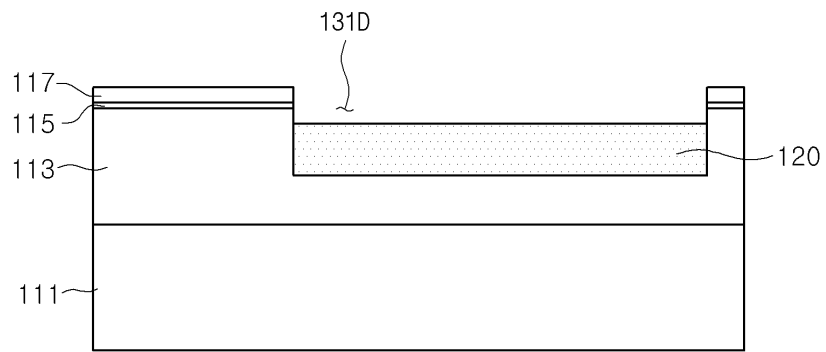
도면26



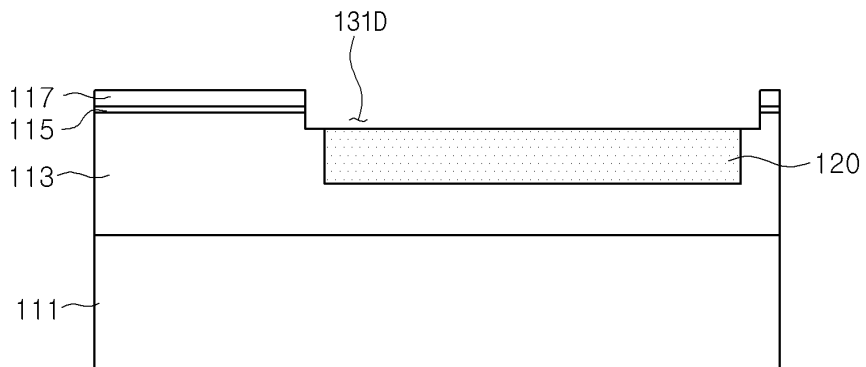
도면27



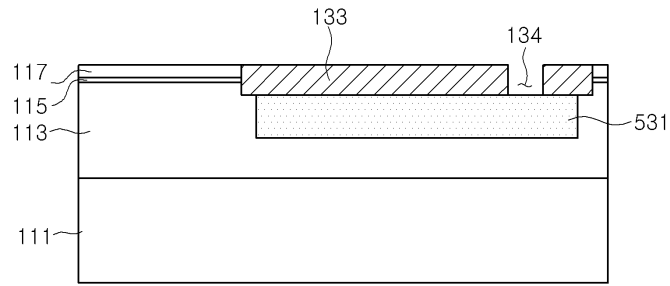
도면28



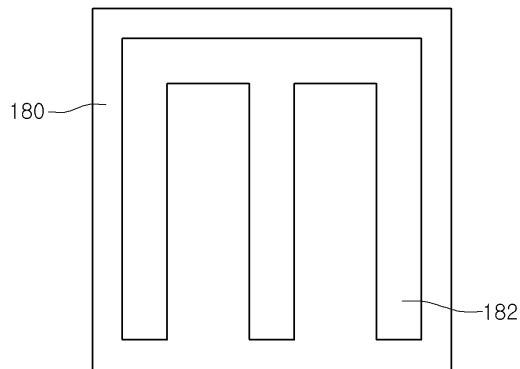
도면29



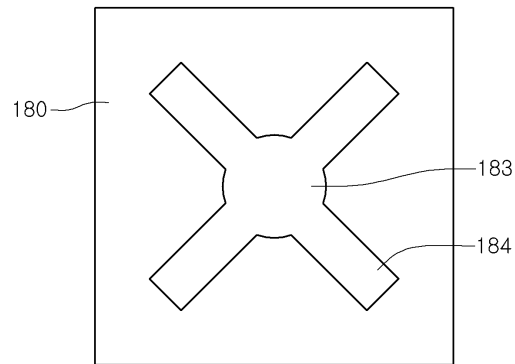
도면30



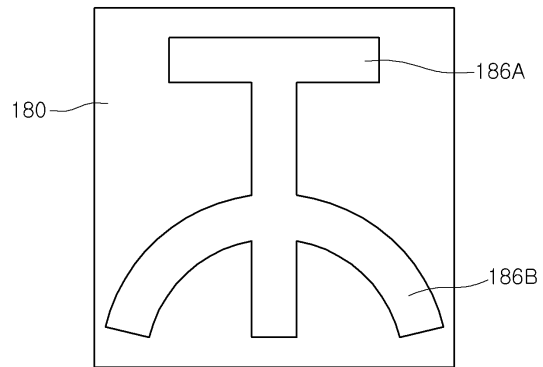
도면31



도면32



도면33



도면34

