



(12) 发明专利

(10) 授权公告号 CN 110148552 B

(45) 授权公告日 2021.10.15

(21) 申请号 201910297186.4
 (22) 申请日 2019.04.15
 (65) 同一申请的已公布的文献号
 申请公布号 CN 110148552 A
 (43) 申请公布日 2019.08.20
 (73) 专利权人 上海华力集成电路制造有限公司
 地址 201315 上海市浦东新区中国(上海)
 自由贸易试验区康桥东路298号1幢
 1060室
 (72) 发明人 龚昌鸿 陈建勋 计强
 (74) 专利代理机构 上海浦一知识产权代理有限公司 31211
 代理人 郭四华

(56) 对比文件
 CN 108878288 A, 2018.11.23
 CN 105448682 A, 2016.03.30
 CN 108493159 A, 2018.09.04
 US 2019103277 A1, 2019.04.04
 CN 106887430 A, 2017.06.23
 KR 20100076255 A, 2010.07.06
 CN 102760751 A, 2012.10.31
 付小朝等. 利用非光敏BCB树脂实现多芯片
 组件平坦化研究.《半导体光电》.2005,(第05
 期),

审查员 王洲玲

(51) Int. Cl.

H01L 21/02 (2006.01)

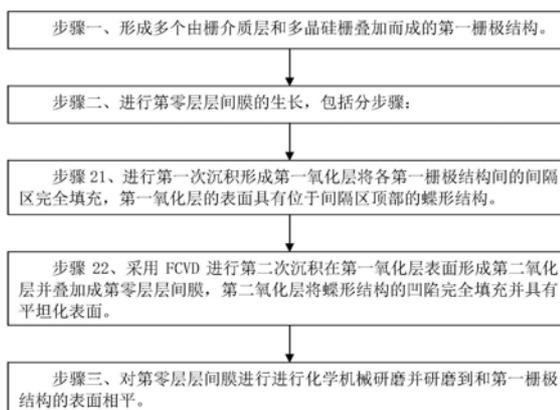
权利要求书2页 说明书6页 附图3页

(54) 发明名称

第零层层间膜的制造方法

(57) 摘要

本发明公开了一种第零层层间膜的制造方法,包括步骤:步骤一、形成多个由栅介质层和多晶硅栅叠加而成的第一栅极结构;步骤二、进行第零层层间膜的生长,包括分步骤:步骤21、进行第一次沉积形成第一氧化层将各第一栅极结构间的间隔区完全填充,第一氧化层的表面具有位于间隔区顶部的蝶形结构;步骤22、采用FCVD进行第二次沉积在第一氧化层表面形成第二氧化层并叠加成第零层层间膜,第二氧化层将蝶形结构的凹陷完全填充并具有平坦化表面;步骤三、对第零层层间膜进行进行化学机械研磨并研磨到和第一栅极结构的表面相平。本发明能消除第零层层间膜表面的蝶形缺陷并从而能防止金属残留在蝶形缺陷中,从而能提高产品良率。



1. 一种第零层层间膜的制造方法,其特征在于,包括如下步骤:

步骤一、提供一半导体衬底,在所述半导体衬底表面形成多个由栅介质层和多晶硅栅叠加而成的第一栅极结构;各所述第一栅极结构之间的区域为间隔区;

步骤二、进行第零层层间膜的生长,包括如下分步骤:

步骤21、进行第一次沉积形成第一氧化层将各所述间隔区完全填充,所述第一氧化层还延伸到各所述第一栅极结构的顶部,所述第一氧化层的表面具有凹陷的蝶形结构,所述蝶形结构位于所述间隔区中,所述间隔区的宽度越大,所述蝶形结构的凹陷越大,所述蝶形结构的凹陷位于所述间隔区的顶部,所述第一氧化层将所述蝶形结构的凹陷底部的所述间隔区完全填充并不具有小孔或缝隙;

步骤22、进行第二次沉积在所述第一氧化层表面形成第二氧化层,所述第二次沉积采用FCVD,利用FCVD使形成的所述第二氧化层将所述第一氧化层表面的所述蝶形结构的凹陷完全填充并使所述第二氧化层的表面平坦化;由所述第一氧化层和所述第二氧化层叠加形成所述第零层层间膜;

步骤三、进行化学机械研磨工艺对所述第零层层间膜进行研磨,研磨后的所述第零层层间膜仅位于所述间隔区中且表面和所述第一栅极结构的表面相平。

2. 如权利要求1所述的第零层层间膜的制造方法,其特征在于,步骤一形成所述第一栅极结构的分步骤包括:

步骤11、在所述半导体衬底表面依次形成所述栅介质层和所述多晶硅栅;

步骤12、在所述多晶硅栅的表面形成硬质掩模层;

步骤13、进行光刻刻蚀形成多个所述第一栅极结构,所述第一栅极结构的所述多晶硅栅的顶部还叠加有所述硬质掩模层。

3. 如权利要求2所述的第零层层间膜的制造方法,其特征在于,步骤一形成所述第一栅极结构的分步骤还包括:

步骤14、在各所述第一栅极结构的侧面形成侧墙。

4. 如权利要求2所述的第零层层间膜的制造方法,其特征在于:所述硬质掩模层的材料包括氧化层或氮化层。

5. 如权利要求3所述的第零层层间膜的制造方法,其特征在于:所述侧墙的材料包括氧化层或氮化层。

6. 如权利要求3所述的第零层层间膜的制造方法,其特征在于:在进行步骤二之前还包括如下步骤:

形成由氮化层组成的接触孔刻蚀停止层,所述接触孔刻蚀停止层覆盖在所述栅极的顶部的所述硬质掩膜层表面、所述侧墙的侧面以及所述间隔区的所述半导体衬底表面。

7. 如权利要求1所述的第零层层间膜的制造方法,其特征在于:步骤三中的所述化学机械研磨工艺以所述多晶硅栅的表面为停止层。

8. 如权利要求6所述的第零层层间膜的制造方法,其特征在于:步骤三中的所述化学机械研磨工艺以所述接触孔刻蚀停止层的表面为停止层。

9. 如权利要求1所述的第零层层间膜的制造方法,其特征在于:步骤一中的各所述第一栅极结构之间的间距包括多个,使所述间隔区的宽度包括多个,步骤22中所述第二氧化层的厚度要求保证将宽度最大的所述间隔区顶部的所述第一氧化层表面的所述蝶形结构的

凹陷完全填充。

10. 如权利要求1所述的第零层层间膜的制造方法,其特征在于:步骤21中的所述第一次沉积采用的CVD工艺包括PECVD,SACVD,HDPCVD。

11. 如权利要求1所述的第零层层间膜的制造方法,其特征在于:步骤22中在所述第二次沉积完成之后还包括对所述二氧化层进行烘烤的工艺。

12. 如权利要求1所述的第零层层间膜的制造方法,其特征在于:所述半导体衬底为硅衬底。

13. 如权利要求12所述的第零层层间膜的制造方法,其特征在于:所述栅介质层的材料为氧化层;或者,所述栅介质层的材料采用高介电常数材料。

14. 如权利要求13所述的第零层层间膜的制造方法,其特征在于:在步骤二之前还包括在所述第一栅极结构两侧的所述半导体衬底表面形成源区和漏区的步骤。

15. 如权利要求14所述的第零层层间膜的制造方法,其特征在于:步骤三完成之后还包括如下步骤:

去除所述多晶硅栅;

在所述多晶硅栅的去除区域填充金属形成金属栅,由所述栅介质层和所述金属栅叠加形成第二栅极结构。

第零层层间膜的制造方法

技术领域

[0001] 本发明涉及一种半导体集成电路制造方法,特别是涉及一种第零层层间膜的制造方法。

背景技术

[0002] 现行先进逻辑芯片工艺中,同一半导体衬底晶圆上集成有多个器件单元,器件单元的栅极结构中包括多晶硅栅,各多晶硅栅的间距不会完全相同,而是具有多种间距值,多晶硅栅的之间的间隔区中往往需要采用第零层层间膜(IDLO)来填充,现有方法中,往往是先沉积第零层层间膜通常为氧化膜,之后再采用化学机械研磨(CMP)工艺对第零层层间膜进行平坦化使第零层层间膜仅位于间隔区中。但是由于多晶硅栅之间的间隔区的宽度大小不同,通常在第零层层间膜沉积完成之后,在间隔区会形成凹陷的蝶形缺陷,经由CMP之后蝶形缺陷往往仍然会存在。这样在后续金属工艺中会在蝶形缺陷中产生金属残留,最终造成金属接触孔工艺后线路短路,直接冲击产品良率

[0003] 如图1A至图1D所示,是现有第零层层间膜的制造方法各步骤中的器件结构图,现有第零层层间膜的制造方法包括如下步骤:

[0004] 步骤一、如图1A所示,提供一半导体衬底(未显示),在所述半导体衬底表面形成多个由栅介质层102和多晶硅栅103叠加而成的第一栅极结构101;各所述第一栅极结构101之间的区域为间隔区。

[0005] 通常,现有方法中,形成所述第一栅极结构101的分步骤包括:

[0006] 步骤11、在所述半导体衬底表面依次形成所述栅介质层102和所述多晶硅栅103。

[0007] 步骤12、在所述多晶硅栅103的表面形成硬质掩模层。

[0008] 步骤13、进行光刻刻蚀形成多个所述第一栅极结构101,所述第一栅极结构101的所述多晶硅栅103的顶部还叠加有所述硬质掩模层。

[0009] 所述硬质掩模层的材料包括氧化层或氮化层。

[0010] 步骤14、在各所述第一栅极结构101的侧面形成侧墙104。所述侧墙104的材料包括氧化层或氮化层。

[0011] 之后还包括步骤:形成由氮化层组成的接触孔刻蚀停止层106,所述接触孔刻蚀停止层106覆盖在所述栅极的顶部的所述硬质掩模层表面、所述侧墙104的侧面以及所述间隔区的所述半导体衬底表面。通常,在所述第一栅极结构101外部的所述半导体衬底表面还形成有氧化层105。

[0012] 现有方法中,所述半导体衬底为硅衬底。

[0013] 现有方法中,所述第一栅极结构101为伪栅极结构,所述第一栅极结构101的所述多晶硅栅103需要在后续形成金属栅110之前去除。所述栅介质层102的材料采用高介电常数材料,在所述高介电常数材料和所述半导体衬底之间还通常形成有界面层。在其他实施例方法中也能:所述栅介质层102的材料为氧化层。

[0014] 在后续步骤二之前还包括在所述第一栅极结构101两侧的所述半导体衬底表面形

成源区和漏区的步骤。

[0015] 步骤二、如图1B所示,进行第零层层间膜107的生长,通常,第零层层间膜107的沉积工艺采用化学气相沉积(CVD)工艺,包括等离子体增强化学气相沉积(PECVD),次大气压化学气相沉积(SACVD),高密度等离子体化学气相沉积(HDPCVD)。

[0016] 可以看出,所述第零层层间膜107的表面具有凹陷的蝶形结构108,所述蝶形结构108位于所述间隔区中,所述间隔区的宽度越大,所述蝶形结构108的凹陷越大。

[0017] 步骤三、如图1C所示,进行化学机械研磨工艺对所述第零层层间膜107进行研磨,研磨后的所述第零层层间膜107仅位于所述间隔区中且表面和所述第一栅极结构101的表面相平,但是如图1B所示,所述蝶形结构108无法去除。

[0018] 所述化学机械研磨工艺采用高选择比配置进行,如对氧化硅的研磨速率大于对氮化硅的研磨速率以及对氧化硅的研磨速率大于对多晶硅的研磨速率。步骤三中的所述化学机械研磨工艺以所述多晶硅栅103的表面为停止层;或者,步骤三中的所述化学机械研磨工艺以所述接触孔刻蚀停止层106的表面为停止层。

[0019] 步骤三完成之后还包括如下步骤:

[0020] 去除所述多晶硅栅103。

[0021] 如图1D所示,在所述多晶硅栅103的去除区域填充金属形成金属栅110,由所述栅介质层102和所述金属栅110叠加形成第二栅极结构109。

[0022] 现有方法中,所述第二栅极结构109为高介电金属栅极即HKMG,所述金属栅110的材料通常为Al,在所述金属栅110的底部通常形成有功函数层,对于NMOS管,功函数层为N型功函数层;对于PMOS管,功函数层为P型功函数层,而为了实现NMOS管和PMOS管的基础,在PMOS管的HKMG的P型功函数层的表面还叠加有N型功函数层;在N型功函数层和所述金属栅110之间通常还形成有顶部盖帽层,顶部盖帽层的材料为TiN,或者为TiN和Ti的叠加层;在所述栅介质层102的高介电材料和功函数层之间通常还具有底部屏障层,底部屏障层通常有由TiN层和TaN层叠加而成。

[0023] 现有方法中,由于在所述第零层层间膜107的表面上形成有所述蝶形结构108,在后续金属CMP如形成所述金属栅110的CMP之后,容易在所述蝶形结构108中产生金属残留111,金属残留111会造成金属接触孔形成后线路短路,从而降低产品良率。

发明内容

[0024] 本发明所要解决的技术问题是提供一种第零层层间膜的制造方法,能消除第零层层间膜表面的蝶形缺陷并从而能防止金属残留在蝶形缺陷中,从而能提高产品良率。

[0025] 为解决上述技术问题,本发明提供的第零层层间膜的制造方法包括如下步骤:

[0026] 步骤一、提供一半导体衬底,在所述半导体衬底表面形成多个由栅介质层和多晶硅栅叠加而成的第一栅极结构;各所述第一栅极结构之间的区域为间隔区。

[0027] 步骤二、进行第零层层间膜的生长,包括如下分步骤:

[0028] 步骤21、进行第一次沉积形成第一氧化层将各所述间隔区完全填充,所述第一氧化层还延伸到各所述第一栅极结构的顶部,所述第一氧化层的表面具有凹陷的蝶形结构,所述蝶形结构位于所述间隔区中,所述间隔区的宽度越大,所述蝶形结构的凹陷越大。

[0029] 步骤22、进行第二次沉积在所述第一氧化层表面形成第二氧化层,所述第二次沉

积采用流体化学气相沉积 (FCVD), 利用FCVD使形成的所述第二氧化层将所述第一氧化层表面的所述蝶形结构的凹陷完全填充并使所述第二氧化层的表面平坦化; 由所述第一氧化层和所述第二氧化层叠加形成所述第零层层间膜。

[0030] 步骤三、进行化学机械研磨工艺对所述第零层层间膜进行研磨, 研磨后的所述第零层层间膜仅位于所述间隔区中且表面和所述第一栅极结构的表面相平。

[0031] 进一步的改进是, 步骤一形成所述第一栅极结构的分步骤包括:

[0032] 步骤11、在所述半导体衬底表面依次形成所述栅介质层和所述多晶硅栅。

[0033] 步骤12、在所述多晶硅栅的表面形成硬质掩模层。

[0034] 步骤13、进行光刻刻蚀形成多个所述第一栅极结构, 所述第一栅极结构的所述多晶硅栅的顶部还叠加有所述硬质掩模层。

[0035] 进一步的改进是, 步骤一形成所述第一栅极结构的分步骤还包括:

[0036] 步骤14、在各所述第一栅极结构的侧面形成侧墙。

[0037] 进一步的改进是, 所述硬质掩模层的材料包括氧化层或氮化层。

[0038] 进一步的改进是, 所述侧墙的材料包括氧化层或氮化层。

[0039] 进一步的改进是, 在进行步骤二之前还包括如下步骤:

[0040] 形成由氮化层组成的接触孔刻蚀停止层, 所述接触孔刻蚀停止层覆盖在所述栅极的顶部的所述硬质掩模层表面、所述侧墙的侧面以及所述间隔区的所述半导体衬底表面。

[0041] 进一步的改进是, 步骤三中的所述化学机械研磨工艺以所述多晶硅栅的表面为停止层。

[0042] 进一步的改进是, 步骤三中的所述化学机械研磨工艺以所述接触孔刻蚀停止层的表面为停止层。

[0043] 进一步的改进是, 步骤一中的各所述第一栅极结构之间的间距包括多个, 使所述间隔区的宽度包括多个, 步骤22中所述第二氧化层的厚度要求保证将宽度最大的所述间隔区顶部的所述第一氧化层表面的所述蝶形结构的凹陷完全填充。

[0044] 进一步的改进是, 步骤21中的所述第一次沉积采用的CVD工艺包括PECVD, SACVD, HDPCVD。

[0045] 进一步的改进是, 步骤22中在所述第二次沉积完成之后还包括对所述第二氧化层进行烘烤的工艺。

[0046] 进一步的改进是, 所述半导体衬底为硅衬底。

[0047] 进一步的改进是, 所述栅介质层的材料为氧化层; 或者, 所述栅介质层的材料采用高介电常数材料(HK)。

[0048] 进一步的改进是, 在步骤二之前还包括在所述第一栅极结构两侧的所述半导体衬底表面形成源区和漏区的步骤。

[0049] 进一步的改进是, 步骤三完成之后还包括如下步骤:

[0050] 去除所述多晶硅栅。

[0051] 在所述多晶硅栅的去除区域填充金属形成金属栅(MG), 由所述栅介质层和所述金属栅叠加形成第二栅极结构。

[0052] 本发明对第零层层间膜的生长工艺做了有针对性的设计, 在采用和现有工艺相同的第一次沉积工艺形成具有蝶形结构的第一氧化层之后, 采用了FCVD工艺进行第二次沉

积形成第二氧化层,利用FCVD的反应物为液体的特点,使第二氧化层能将第一氧化层表面的蝶形结构完全填平,并使由第一氧化层和第二氧化层叠加形成的第零层层间膜的表面平坦,这样,在进行CMP之后,能消除第零层层间膜表面的蝶形缺陷并从而能防止金属残留在蝶形缺陷中,从而能提高产品良率。

附图说明

[0053] 下面结合附图和具体实施方式对本发明作进一步详细的说明:

[0054] 图1A-图1D是现有第零层层间膜的制造方法各步骤中的器件结构图;

[0055] 图2是本发明实施例第零层层间膜的制造方法的流程图;

[0056] 图3A-图3E是本发明实施例第零层层间膜的制造方法各步骤中的器件结构图。

具体实施方式

[0057] 如图2所示,是本发明实施例第零层层间膜的制造方法的流程图;如图3A至图3E所示,是本发明实施例第零层层间膜的制造方法各步骤中的器件结构图,本发明实施例第零层层间膜的制造方法包括如下步骤:

[0058] 步骤一、如图3A所示,提供一半导体衬底(未显示),在所述半导体衬底表面形成多个由栅介质层2和多晶硅栅3叠加而成的第一栅极结构1;各所述第一栅极结构1之间的区域为间隔区。

[0059] 本发明实施例方法中,形成所述第一栅极结构1的分步骤包括:

[0060] 步骤11、在所述半导体衬底表面依次形成所述栅介质层2和所述多晶硅栅3。

[0061] 步骤12、在所述多晶硅栅3的表面形成硬质掩模层。

[0062] 步骤13、进行光刻刻蚀形成多个所述第一栅极结构1,所述第一栅极结构1的所述多晶硅栅3的顶部还叠加有所述硬质掩模层。

[0063] 所述硬质掩模层的材料包括氧化层或氮化层。

[0064] 步骤14、在各所述第一栅极结构1的侧面形成侧墙4。所述侧墙4的材料包括氧化层或氮化层。

[0065] 在进行后续步骤二之前还包括如下步骤:

[0066] 形成由氮化层组成的接触孔刻蚀停止层6,所述接触孔刻蚀停止层6覆盖在所述栅极的顶部的所述硬质掩模层表面、所述侧墙4的侧面以及所述间隔区的所述半导体衬底表面。通常,在所述第一栅极结构1外部的所述半导体衬底表面还形成有氧化层5。

[0067] 本发明实施例方法中,所述半导体衬底为硅衬底。

[0068] 本发明实施例方法中,所述第一栅极结构1为伪栅极结构,所述第一栅极结构1的所述多晶硅栅3需要在后续形成金属栅9之前去除。所述栅介质层2的材料采用高介电常数材料,在所述高介电常数材料和所述半导体衬底之间还通常形成有界面层。在其他实施例方法中也能:所述栅介质层2的材料为氧化层。

[0069] 在后续步骤二之前还包括在所述第一栅极结构1两侧的所述半导体衬底表面形成源区和漏区的步骤。

[0070] 步骤二、进行第零层层间膜7的生长,包括如下分步骤:

[0071] 步骤21、如图3B所示,进行第一次沉积形成第一氧化层7a将各所述间隔区完全填

充,所述第一氧化层7a还延伸到各所述第一栅极结构1的顶部,所述第一氧化层7a的表面具有凹陷的蝶形结构8,所述蝶形结构8位于所述间隔区中,所述间隔区的宽度越大,所述蝶形结构8的凹陷越大。

[0072] 所述第一次沉积采用的CVD工艺包括PECVD,SACVD,HDPCVD。

[0073] 步骤22、如图3C所示,进行第二次沉积在所述第一氧化层7a表面形成第二氧化层7b,所述第二次沉积采用FCVD,利用FCVD使形成的所述第二氧化层7b将所述第一氧化层7a表面的所述蝶形结构8的凹陷完全填充并使所述第二氧化层7b的表面平坦化;由所述第一氧化层7a和所述第二氧化层7b叠加形成所述第零层层间膜7。

[0074] 步骤一中的各所述第一栅极结构1之间的间距包括多个,使所述间隔区的宽度包括多个,步骤22中所述第二氧化层7b的厚度要求保证将宽度最大的所述间隔区顶部的所述第一氧化层7a表面的所述蝶形结构8的凹陷完全填充。

[0075] 所述第一氧化层7a和所述第二氧化层7b都为氧化硅,步骤22中在所述第二次沉积完成之后还包括对所述第二氧化层7b进行烘烤的工艺,通过烘烤使所述第二氧化层7b进行质变。

[0076] 步骤三、如图3D所示,进行化学机械研磨工艺对所述第零层层间膜7进行研磨,研磨后的所述第零层层间膜7仅位于所述间隔区中且表面和所述第一栅极结构1的表面相平。

[0077] 所述化学机械研磨工艺采用高选择比配置进行,如对氧化硅的研磨速率大于对氮化硅的研磨速率以及对氧化硅的研磨速率大于对多晶硅的研磨速率。步骤三中的所述化学机械研磨工艺以所述多晶硅栅3的表面为停止层;或者,步骤三中的所述化学机械研磨工艺以所述接触孔刻蚀停止层6的表面为停止层。

[0078] 步骤三完成之后还包括如下步骤:

[0079] 去除所述多晶硅栅3。

[0080] 如图3E所示,在所述多晶硅栅3的去除区域填充金属形成金属栅9,由所述栅介质层2和所述金属栅9叠加形成第二栅极结构10。

[0081] 本发明实施例方法中,所述第二栅极结构10为HKMG,所述金属栅9的材料通常为Al,在所述金属栅9的底部通常形成有功函数层,对于NMOS管,功函数层为N型功函数层;对于PMOS管,功函数层为P型功函数层,而为了实现NMOS管和PMOS管的基础,在PMOS管的HKMG的P型功函数层的表面还叠加有N型功函数层;在N型功函数层和所述金属栅9之间通常还形成有顶部盖帽层,顶部盖帽层的材料为TiN,或者为TiN和Ti的叠层;在所述栅介质层2的高介电材料和功函数层之间通常还具有底部阻障层,底部阻障层通常有由TiN层和Ta_n层叠加而成。

[0082] 本发明实施例方法对第零层层间膜7的生长工艺做了有针对性的设计,在采用和现有工艺相同的第一次沉积工艺形成具有蝶形结构8的第一氧化层7a之后,采用了FCVD工艺进行第二次沉积形成第二氧化层7b,利用FCVD的反应物为液体的特点,使第二氧化层7b能将第一氧化层7a表面的蝶形结构8完全填平,并使由第一氧化层7a和第二氧化层7b叠加形成的第零层层间膜7的表面平坦,这样,在进行CMP之后,能消除第零层层间膜7表面的蝶形缺陷并从而能防止金属残留在蝶形缺陷中,从而能提高产品良率。

[0083] 以上通过具体实施例对本发明进行了详细的说明,但这些并非构成对本发明的限

制。在不脱离本发明原理的情况下,本领域的技术人员还可做出许多变形和改进,这些也应视为本发明的保护范围。

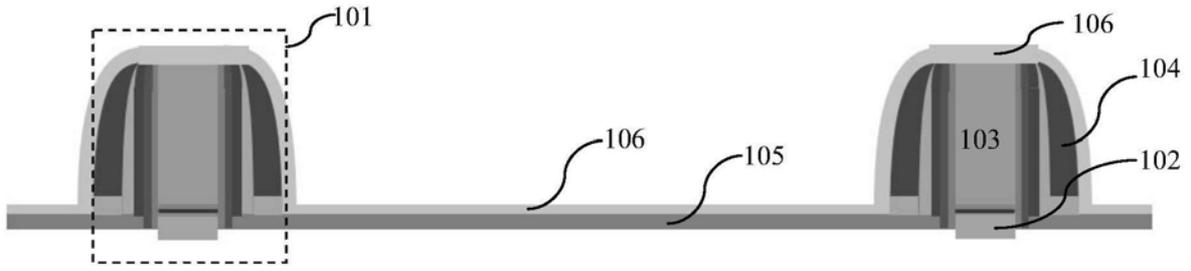


图1A

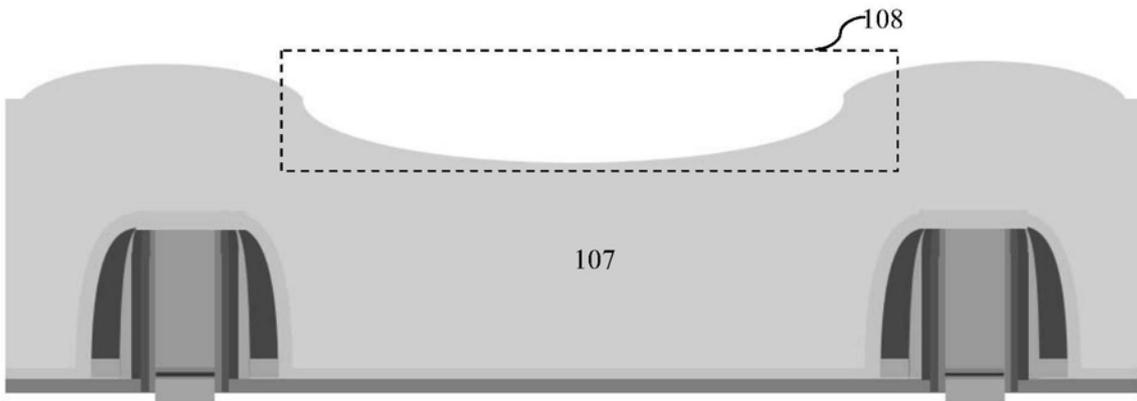


图1B

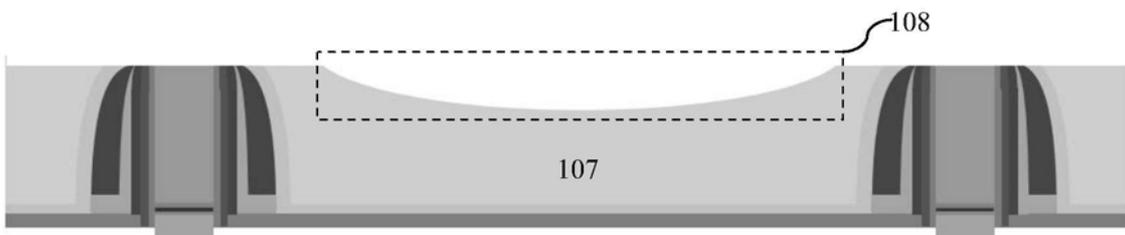


图1C

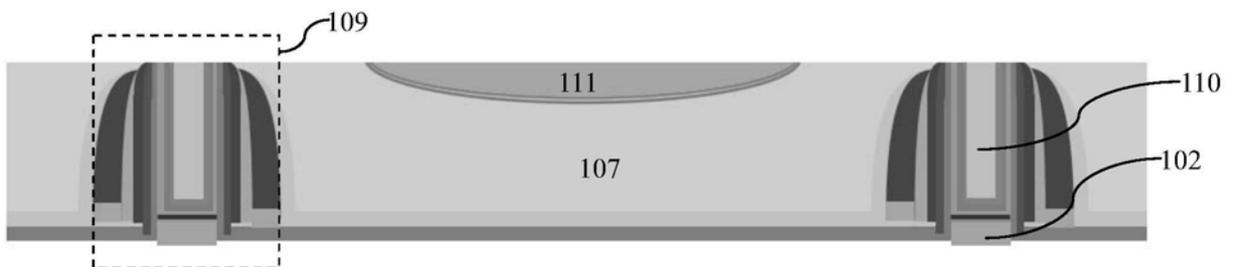


图1D

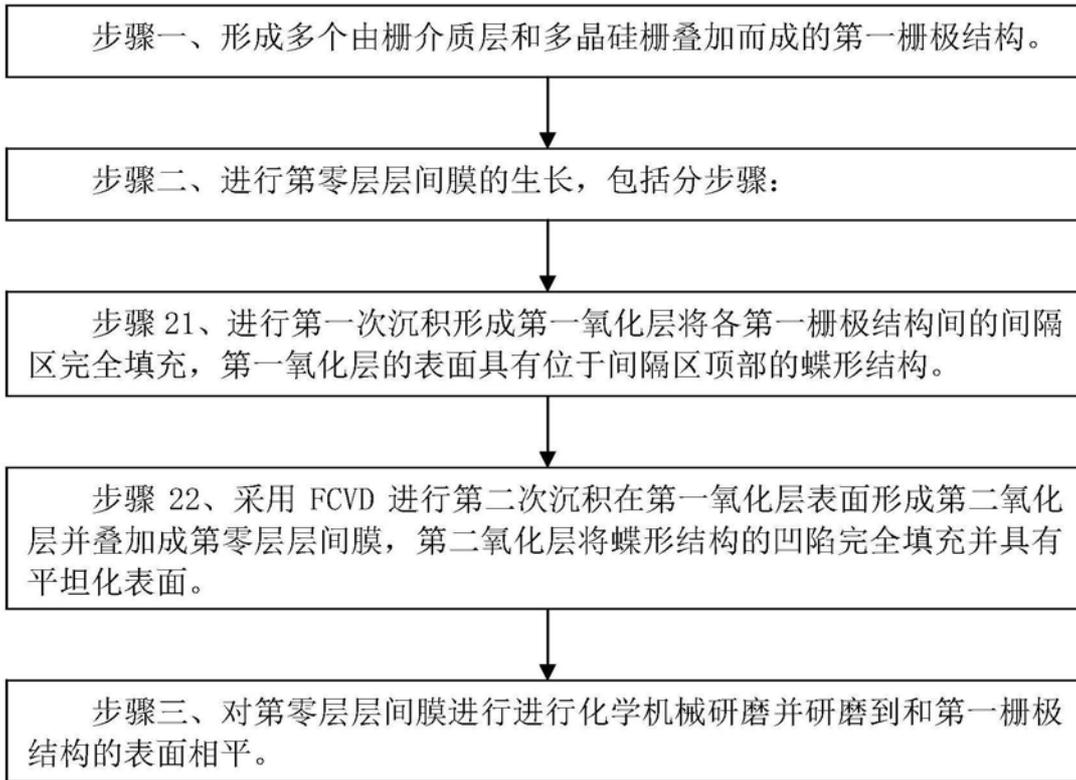


图2

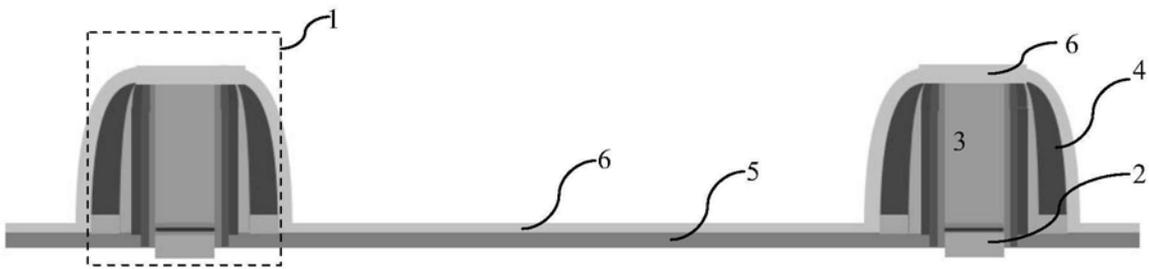


图3A

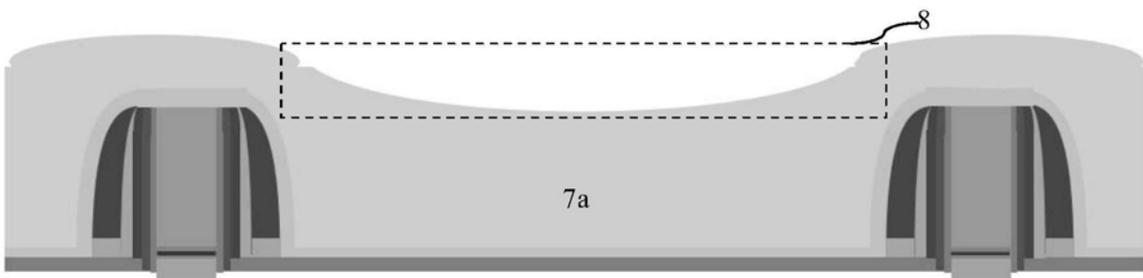


图3B

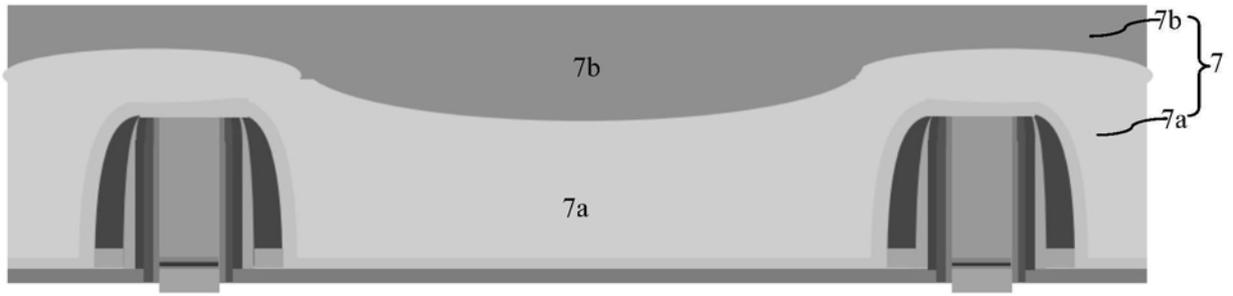


图3C

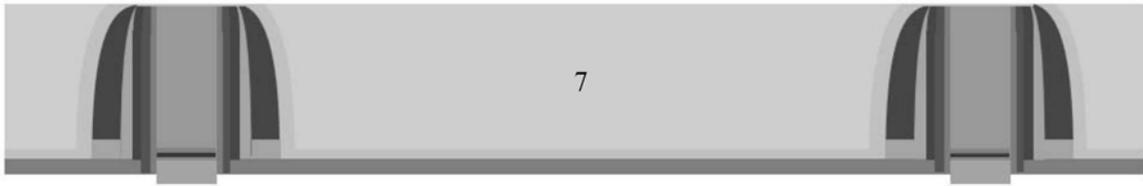


图3D



图3E