

(19) 日本国特許庁(JP)

## (12) 公表特許公報(A)

(11) 特許出願公表番号

特表2013-522803

(P2013-522803A)

(43) 公表日 平成25年6月13日(2013.6.13)

(51) Int.Cl.

G06F 15/177 (2006.01)

F 1

G 06 F 15/177

テーマコード(参考)

B 5 B 0 4 5

審査請求 有 予備審査請求 有 (全 25 頁)

(21) 出願番号 特願2013-501416 (P2013-501416)  
 (86) (22) 出願日 平成23年3月22日 (2011.3.22)  
 (85) 翻訳文提出日 平成24年9月21日 (2012.9.21)  
 (86) 國際出願番号 PCT/US2011/029484  
 (87) 國際公開番号 WO2011/119648  
 (87) 國際公開日 平成23年9月29日 (2011.9.29)  
 (31) 優先権主張番号 13/052,516  
 (32) 優先日 平成23年3月21日 (2011.3.21)  
 (33) 優先権主張国 米国(US)  
 (31) 優先権主張番号 61/325,519  
 (32) 優先日 平成22年4月19日 (2010.4.19)  
 (33) 優先権主張国 米国(US)  
 (31) 優先権主張番号 61/324,122  
 (32) 優先日 平成22年4月14日 (2010.4.14)  
 (33) 優先権主張国 米国(US)

(71) 出願人 507364838  
 クアルコム、インコーポレイテッド  
 アメリカ合衆国 カリフォルニア 921  
 21 サンディエゴ モアハウス ドラ  
 イブ 5775  
 (74) 代理人 100108453  
 弁理士 村山 靖彦  
 (74) 代理人 100163522  
 弁理士 黒田 晋平  
 (72) 発明者 ニティン・グブタ  
 アメリカ合衆国・カリフォルニア・921  
 21・サン・ディエゴ・モアハウス・ドラ  
 イブ・5775

最終頁に続く

(54) 【発明の名称】マルチプロセッサシステムにおける1次プロセッサから1つまたは複数の2次プロセッサへの実行可能ソフトウェア画像の直接分散ローディング

## (57) 【要約】

マルチプロセッサシステムにおいて、画像ヘッダおよびセグメント化されたデータ画像を含む実行可能ソフトウェア画像が、第1のプロセッサから第2のプロセッサに分散ロードされる。画像ヘッダは、第2のプロセッサのメモリに分散ロードされるデータ画像セグメントのターゲットロケーションを含む。画像ヘッダが処理されると、第2のプロセッサからのさらなるCPU関与なしに、データセグメントが第2のプロセッサのメモリに直接ロードされ得る。

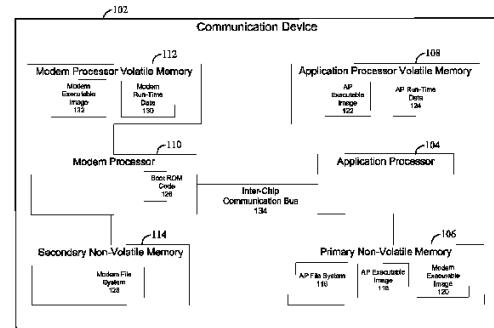


FIG. 1

**【特許請求の範囲】****【請求項 1】**

システムメモリおよび実行可能ソフトウェア画像の少なくとも一部分を受信するためのハードウェアバッファを備え、前記ハードウェアバッファから前記システムメモリに前記実行可能ソフトウェア画像を直接ロードするための分散ローダコントローラを備える2次プロセッサと、

メモリに結合された1次プロセッサであって、前記メモリは、前記2次プロセッサのための前記実行可能ソフトウェア画像を記憶する、1次プロセッサと、

前記1次プロセッサと前記2次プロセッサとを通信可能に結合するインターフェースとを含み、前記インターフェースを介して前記実行可能ソフトウェア画像が前記2次プロセッサによって受信されるマルチプロセッサシステム。10

**【請求項 2】**

前記分散ローダコントローラは、前記2次プロセッサにおいてシステムメモリロケーション間でデータをコピーすることなく、前記ハードバッファから前記2次プロセッサの前記システムメモリに前記実行可能ソフトウェア画像を直接ロードするように構成される、請求項1に記載のマルチプロセッサシステム。

**【請求項 3】**

前記実行可能ソフトウェア画像の生画像データが、前記インターフェースを介して前記2次プロセッサによって受信される、請求項1に記載のマルチプロセッサシステム。

**【請求項 4】**

前記実行可能ソフトウェア画像は、画像ヘッダおよび少なくとも1つのデータセグメントを備える、請求項1に記載のマルチプロセッサシステム。20

**【請求項 5】**

前記2次プロセッサは、前記画像ヘッダを受信し、前記少なくとも1つのデータセグメントを記憶する前記システムメモリ内の少なくとも1つのロケーションを特定するために前記画像ヘッダを処理するように構成される、請求項4に記載のマルチプロセッサシステム。。

**【請求項 6】**

前記2次プロセッサは、前記少なくとも1つのデータセグメントを受信する前に、前記少なくとも1つのデータセグメントを記憶する前記システムメモリ内の前記少なくとも1つのロケーションを、前記受信された画像ヘッダに基づいて特定するように構成される、請求項5に記載のマルチプロセッサシステム。30

**【請求項 7】**

前記2次プロセッサは、前記2次プロセッサのための前記実行可能ソフトウェア画像の転送を開始するブートローダを記憶している不揮発性メモリをさらに備える、請求項1に記載のマルチプロセッサシステム。

**【請求項 8】**

前記1次および2次プロセッサは異なるチップに位置する、請求項1に記載のマルチプロセッサシステム。

**【請求項 9】**

実行可能ソフトウェア画像全体が前記ハードウェアバッファに記憶されることなく、前記実行可能ソフトウェア画像の前記一部分が前記2次プロセッサの前記システムメモリにロードされる、請求項1に記載のマルチプロセッサシステム。40

**【請求項 10】**

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および固定ロケーションデータユニットのうちの少なくとも1つに統合される、請求項1に記載のマルチプロセッサシステム。

**【請求項 11】**

2次プロセッサにおいて、チップ間通信バスを介して1次プロセッサから、前記1次プロ

10

20

30

40

50

セッサに結合されたメモリに記憶されている前記2次プロセッサのための実行可能ソフトウェア画像の画像ヘッダを受信するステップであって、前記実行可能ソフトウェア画像は、前記画像ヘッダおよび少なくとも1つのデータセグメントを備える、ステップと、

前記少なくとも1つのデータセグメントを記憶する、前記2次プロセッサが結合されたシステムメモリの中の少なくとも1つのロケーションを特定するために、前記画像ヘッダを前記2次プロセッサによって処理するステップと、

前記2次プロセッサにおいて、前記チップ間通信バスを介して前記1次プロセッサから、前記少なくとも1つのデータセグメントを受信するステップと、

前記2次プロセッサによって、前記システムメモリの中の前記特定された少なくとも1つのロケーションに前記少なくとも1つのデータセグメントを直接ロードするステップとを含む方法。 10

#### 【請求項 1 2】

前記実行可能ソフトウェア画像を使用して前記2次プロセッサをブートするステップをさらに含む、請求項11に記載の方法。

#### 【請求項 1 3】

システムメモリロケーション間でデータをコピーすることなく、ハードウェアバッファから前記2次プロセッサの前記システムメモリに前記実行可能ソフトウェア画像を直接ロードするステップをさらに含む、請求項11に記載の方法。

#### 【請求項 1 4】

前記処理するステップは、前記ロードするステップの前に生じる、請求項11に記載の方法。 20

#### 【請求項 1 5】

前記1次および2次プロセッサは異なるチップに位置する、請求項11に記載の方法。

#### 【請求項 1 6】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および固定ロケーションデータユニットのうちの少なくとも1つにおいて、前記受信するステップ、前記処理するステップおよび前記ロードするステップを実施するステップをさらに含む、請求項11に記載の方法。 30

#### 【請求項 1 7】

2次プロセッサにおいて、チップ間通信バスを介して1次プロセッサから、前記1次プロセッサに結合されたメモリに記憶されている前記2次プロセッサのための実行可能ソフトウェア画像の画像ヘッダを受信するための手段であって、前記実行可能ソフトウェア画像は、前記画像ヘッダおよび少なくとも1つのデータセグメントを備える、手段と、

前記少なくとも1つのデータセグメントを記憶する、前記2次プロセッサが結合されたシステムメモリの中の少なくとも1つのロケーションを特定するために、前記画像ヘッダを前記2次プロセッサによって処理するための手段と、

前記2次プロセッサにおいて、前記チップ間通信バスを介して前記1次プロセッサから、前記少なくとも1つのデータセグメントを受信するための手段と、

前記2次プロセッサによって、前記システムメモリの中の前記特定された少なくとも1つのロケーションに前記少なくとも1つのデータセグメントを直接ロードするための手段とを含む装置。 40

#### 【請求項 1 8】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および固定ロケーションデータユニットのうちの少なくとも1つに統合される、請求項17に記載の装置。

#### 【請求項 1 9】

第1の不揮発性メモリに結合された1次プロセッサであって、前記第1の不揮発性メモリは前記1次プロセッサに結合され、前記1次プロセッサのためのファイルシステムならびに 50

前記1次プロセッサおよび2次プロセッサのための実行可能画像を記憶する、1次プロセッサと、

第2の不揮発性メモリに結合された2次プロセッサであって、前記第2の不揮発性メモリは前記2次プロセッサに結合され、前記2次プロセッサのための構成パラメータおよびファイルシステムを記憶する、2次プロセッサと、

前記1次プロセッサと前記2次プロセッサとを通信可能に結合するインターフェースとを含み、前記インターフェースを介して実行可能ソフトウェア画像が前記2次プロセッサによって受信されるマルチプロセッサシステム。

【請求項 20】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および固定ロケーションデータユニットのうちの少なくとも1つに統合される、請求項19に記載のマルチプロセッサシステム。

10

【請求項 21】

第1の不揮発性メモリに結合された1次プロセッサであって、前記第1の不揮発性メモリは前記1次プロセッサに結合され、前記1次プロセッサおよび2次プロセッサのための実行可能画像およびファイルシステムを記憶する、1次プロセッサと、

前記第1の不揮発性メモリに直接結合されていない2次プロセッサと、

前記1次プロセッサと前記2次プロセッサとを通信可能に結合するインターフェースとを含み、前記インターフェースを介して実行可能ソフトウェア画像が前記2次プロセッサによって受信されるマルチプロセッサシステム。

20

【請求項 22】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および固定ロケーションデータユニットのうちの少なくとも1つに統合される、請求項21に記載のマルチプロセッサシステム。

。

【請求項 23】

1次プロセッサに結合されたメモリから、2次プロセッサのための実行可能ソフトウェア画像を、前記1次プロセッサと前記2次プロセッサとを通信可能に結合するインターフェースを介して送るステップと、

30

前記2次プロセッサにおいて、前記実行可能ソフトウェア画像を受信するステップと、前記2次プロセッサにおいて、前記実行可能ソフトウェア画像を実行するステップとを含む方法。

【請求項 24】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および固定ロケーションデータユニットのうちの少なくとも1つにおいて、前記送るステップ、前記受信するステップおよび前記実行するステップを実施するステップをさらに含む、請求項23に記載の方法。

40

【発明の詳細な説明】

【技術分野】

【0001】

関連出願の相互参照

本出願は、開示の全体が参照により明白に本明細書に組み込まれる、MALAMANTらの名前で2010年3月22日に出願された米国仮特許出願第61/316,369号、GUPTAらの名前で2010年4月14日に出願された米国仮特許出願第61/324,035号、GUPTAらの名前で2010年4月14日に出願された米国仮特許出願第61/324,122号、GUPTAらの名前で2010年4月19日に出願された米国仮特許出願第61/325,519号の利益を主張する。

50

## 【0002】

以下の説明は、一般にはマルチプロセッサシステムに関し、より詳細には1次プロセッサが、専用揮発性メモリに各々が結合されたシステムにおける1つまたは複数の他のプロセッサ(本明細書では「2次」プロセッサと呼ぶ)の実行可能ソフトウェア画像を記憶している不揮発性メモリに結合されたマルチプロセッサシステムであって、実行可能ソフトウェア画像が(たとえば、直接分散ロードプロセスを使用して)セグメント化されたフォーマットで1次プロセッサから2次プロセッサに効率的に通信される、マルチプロセッサシステムに関する。

## 【背景技術】

## 【0003】

10

プロセッサは、動作を実行するためにソフトウェアコードを実行する。プロセッサは、起動させるために実行されるべき、ブートコードと一般に呼ばれる何らかのソフトウェアコードを要求することがある。マルチプロセッサシステムでは、各プロセッサが、起動させるためにそれぞれのブートコードを要求することがある。一例として、アプリケーションプロセッサおよびモデムプロセッサを含むスマートフォンデバイスでは、プロセッサの各々が起動させるためのそれぞれのブートコードを有し得る。

## 【0004】

20

複数のプロセッサ(たとえば、別個のモデムプロセッサチップと一体化した独立型アプリケーションプロセッサチップ)を組み込んだ(スマートフォンなどの)非常に多くのデバイスに問題が存在する。フラッシュ/不揮発性メモリ構成要素が、プロセッサの各々のために使用されることがあり、その理由は、各プロセッサが実行可能画像およびファイルシステムの不揮発性メモリ(たとえば、持続的記憶装置)を有することである。たとえば、プロセッサのブートコードを、プロセッサのそれぞれの不揮発性メモリ(たとえば、フラッシュメモリ、読み取り専用メモリ(ROM)など)に記憶することができ、電源投入時に、ブートコードソフトウェアがそれぞれの不揮発性メモリからプロセッサによって実行されるためにロードされる。したがって、このタイプのアーキテクチャでは、プロセッサのブートコードのような実行可能ソフトウェアを、プロセッサに対し、システム内の別のプロセッサからロードする必要はない。

## 【0005】

30

しかしながら、各プロセッサに専用不揮発性メモリを追加すると、回路基板の空間がより多く占有され、結果的に回路基板のサイズが大きくなる。いくつかの設計では、ランダムアクセスメモリ(RAM)およびフラッシュメモリ向けの結合されたチップ(RAMデバイスとフラッシュデバイスとを1つのパッケージとして積層してサイズを縮小している)を使用して、回路基板のサイズを縮小することができる。マルチチップパッケージの解決策によって、必要な回路基板のフットプリントはある程度縮小するものの、コストが増大することがある。

## 【0006】

40

いくつかのマルチプロセッサシステムでは、1つのプロセッサに対し、別のプロセッサからソフトウェアをロードしなければならないことがある。たとえば、マルチプロセッサシステム内の第1のプロセッサが、システム内の1つまたは複数の他のプロセッサのためのブートコードを不揮発性メモリに記憶する役目を果たし、その場合に、他のプロセッサの不揮発性メモリにそのようなブートコードが存在する場合とは異なり、電源投入時に第1のプロセッサが他のプロセッサにそれぞれのブートコードをロードしなければならないと仮定する。このタイプのシステムでは、ソフトウェア(たとえば、ブート画像)が第1のプロセッサから他のプロセッサに(たとえば、他のプロセッサの揮発性メモリに)ダウンロードされ、その後、受信プロセッサがダウンロードされた画像でブートする。

## 【0007】

50

多くの場合、ロードされるソフトウェア画像は、2値のマルチセグメント化された画像である。たとえば、ソフトウェア画像は、コードの複数のセグメントの前にヘッダを含み得る。ソフトウェア画像が外部デバイスから(たとえば、別のプロセッサから)ターゲット

デバイス(たとえば、ターゲットプロセッサ)にロードされるとき、2値のマルチセグメント化された画像がブートローダによってシステムメモリに転送され、次いで後ほどターゲットロケーションに転送される中間ステップが存在し得る。

#### 【0008】

ソフトウェア画像が第1の「1次」プロセッサからターゲットの「2次」プロセッサにロードされるシステムでは、そのようなローディングを実施する1つの方法は、各パケットが受信される一時バッファを割り当てることであり、各パケットは、ペイロードとともに関連パケットヘッダ情報を有する。この場合のペイロードは、実際の画像データである。一時バッファから、処理の一部をペイロードに対して実行することができ、次いでペイロードは最終的な宛先向けにコピーされる。一時バッファは、たとえば内部のランダムアクセスメモリ(RAM)またはダブルデータレート(DDR)メモリの中など、システムメモリの中のある場所である。

10

#### 【0009】

したがって、中間バッファが使用される場合、1次プロセッサから2次プロセッサにダウンロードされるデータは、中間バッファにコピーされる。このようにして、バッファを使用して、1次プロセッサから画像データの一部を受信し、バッファから、画像データが2次プロセッサのメモリ(たとえば、揮発性メモリ)に分散され得る。

#### 【0010】

1次プロセッサおよび2次プロセッサのためのブート画像を記憶する1次プロセッサの不揮発性メモリは、2次プロセッサが実装されるチップとは異なるチップに実装され得る。したがって、1次プロセッサの不揮発性メモリから2次プロセッサに(たとえば、2次プロセッサの揮発性メモリに)データを転送するために、パケットベースの通信が利用されることがあり、その場合、2次プロセッサに通信される各パケットにパケットヘッダが含まれる。パケットは中間バッファに記憶され、次いで、当該データをしかるべき場所(たとえば、2次プロセッサの揮発性メモリ内)に記憶するために受信パケットに何らかの処理が必要とされる。

20

#### 【発明の概要】

#### 【課題を解決するための手段】

#### 【0011】

1つのマルチプロセッサシステムが提供される。本システムは、システムメモリおよび実行可能ソフトウェア画像の少なくとも一部分を受信するためのハードウェアバッファを有する2次プロセッサを含む。2次プロセッサは、ハードウェアバッファからシステムメモリに実行可能ソフトウェア画像を直接ロードするための分散ローダコントローラを含む。本システムはまた、メモリに結合された1次プロセッサを含む。メモリは、2次プロセッサのための実行可能ソフトウェア画像を記憶する。本システムは、1次プロセッサと2次プロセッサとを通信可能に結合するインターフェースをさらに含み、このインターフェースを介して実行可能ソフトウェア画像が2次プロセッサによって受信される。

30

#### 【0012】

また、一方法が提供される。本方法は、2次プロセッサにおいて、チップ間通信バスを介して1次プロセッサから、1次プロセッサに結合されたメモリに記憶されている2次プロセッサのための実行可能ソフトウェア画像の画像ヘッダを受信するステップを含む。実行可能ソフトウェア画像は、画像ヘッダおよび少なくとも1つのデータセグメントを含む。本方法はまた、少なくとも1つのデータセグメントを記憶する、2次プロセッサが結合されたシステムメモリの中の少なくとも1つのロケーションを特定するために、画像ヘッダを2次プロセッサによって処理するステップを含む。本方法はまた、2次プロセッサにおいて、チップ間通信バスを介して1次プロセッサから、少なくとも1つのデータセグメントを受信するステップを含む。またさらに、本方法は、2次プロセッサによって、システムメモリの中の特定された少なくとも1つのロケーションに少なくとも1つのデータセグメントを直接ロードするステップを含む。

40

#### 【0013】

50

1つの装置が提供される。本装置は、2次プロセッサにおいて、チップ間通信バスを介して1次プロセッサから、1次プロセッサに結合されたメモリに記憶されている2次プロセッサのための実行可能ソフトウェア画像の画像ヘッダを受信するための手段を含む。実行可能ソフトウェア画像は、画像ヘッダおよび少なくとも1つのデータセグメントを含む。本装置はまた、少なくとも1つのデータセグメントを記憶する、2次プロセッサが結合されたシステムメモリの中の少なくとも1つのロケーションを特定するために、画像ヘッダを2次プロセッサによって処理するための手段を含む。本装置は、2次プロセッサにおいて、チップ間通信バスを介して1次プロセッサから、少なくとも1つのデータセグメントを受信するための手段をさらに含む。またさらに、本装置は、2次プロセッサによって、システムメモリの中の特定された少なくとも1つのロケーションに少なくとも1つのデータセグメントを直接ロードするための手段を含む。

10

## 【0014】

1つのマルチプロセッサシステムが提供される。本システムは、第1の不揮発性メモリに結合された1次プロセッサを含む。第1の不揮発性メモリは、1次プロセッサにのみ結合され、1次プロセッサのためのファイルシステムならびに1次プロセッサおよび2次プロセッサのための実行可能画像を記憶する。本システムはまた、第2の不揮発性メモリに結合された2次プロセッサを含む。第2の不揮発性メモリは、2次プロセッサにのみ結合され、2次プロセッサのための構成パラメータおよびファイルシステムを記憶する。本システムは、1次プロセッサと2次プロセッサとを通信可能に結合するインターフェースをさらに含み、このインターフェースを介して実行可能ソフトウェア画像が2次プロセッサによって受信される。

20

## 【0015】

1つのマルチプロセッサシステムが提供される。本システムは、第1の不揮発性メモリに結合された1次プロセッサを含む。第1の不揮発性メモリは、1次プロセッサにのみ結合され、1次および2次プロセッサのための実行可能画像およびファイルシステムを記憶する。本システムはまた、2次プロセッサを含む。本システムは、1次プロセッサと2次プロセッサとを通信可能に結合するインターフェースをさらに含み、このインターフェースを介して実行可能ソフトウェア画像が2次プロセッサによって受信される。

## 【0016】

一方法が提供される。本方法は、1次プロセッサに結合されたメモリから、2次プロセッサのための実行可能ソフトウェア画像を送るステップを含む。実行可能ソフトウェア画像は、1次プロセッサと2次プロセッサとを通信可能に結合するインターフェースを介して送られる。本方法はまた、2次プロセッサにおいて、実行可能ソフトウェア画像を受信するステップを含む。本方法は、2次プロセッサにおいて、実行可能ソフトウェア画像を実行するステップをさらに含む。

30

## 【0017】

本教示をより完全に理解するために、次に添付の図面に関連して以下の説明を参照する。

## 【図面の簡単な説明】

## 【0018】

40

【図1】本開示の態様が実施され得る例示的なデバイスを示す図である。

【図2】本開示の態様が実施され得る例示的なデバイスを示す図である。

【図3】本開示の一態様による、1次プロセッサから2次プロセッサに実行可能画像をロードするための例示的なローディングプロセスの動作フローを示す図である。

【図4】本開示の一態様による、分散ローディング方法を示すフローチャートである。

【図5】本開示の実施形態を有利に使用できる例示的なワイヤレス通信システムを示すブロック図である。

## 【発明を実施するための形態】

## 【0019】

50

「例示的な」という言葉は、「一例、実例または例として」を意味するために本明細書

で使用される。「例示的な」ものとして本明細書で説明する態様は、必ずしも他の態様よりも好ましい、または有利であると解釈されるわけではない。

#### 【0020】

本明細書で開示するいくつかの態様は、1つの1次プロセッサが、システム内の1つまたは複数の他のプロセッサ(本明細書では「2次」プロセッサと呼ぶ)の実行可能画像を記憶している不揮発性メモリに接続されるマルチプロセッサシステムに関する。そのようなマルチプロセッサシステムでは、2次プロセッサの各々は、実行可能画像、実行時データ、および随意にファイルシステムミラーを記憶するために使用される専用揮発性メモリに接続され得る。

#### 【0021】

実行可能画像は、セグメント化されたフォーマットで記憶されることが多く、この場合、各セグメントは異なるメモリ領域にロードされ得る。実行可能セグメントのターゲットメモリロケーションは、互いに隣接していることも、隣接していないこともある。マルチセグメント化された画像フォーマットの一例は、Executable and Linking Format(ELF)であり、これにより実行可能画像を複数のセグメントに分けることができ、これらのセグメントの各々は、異なるシステムメモリロケーションにロードされ得る。

#### 【0022】

1つの例示的な態様では、1次プロセッサの不揮発性メモリから2次プロセッサの揮発性メモリに、セグメント化された画像をロードするための直接分散ロード技法が開示される。以下でさらに説明するように、直接分散ロード技法は、一時バッファの使用を回避する。たとえば、一態様では、各々がそれぞれのヘッダを含むパケットを介して画像が通信されるパケットベースの通信を用いるのではなく、1次プロセッサから2次プロセッサに生画像データがロードされる。別の態様では、データのターゲットロケーション情報を特定するために使用される情報を含むヘッダが使用される。

#### 【0023】

ファイルシステムのための集中型不揮発性メモリを有し、縮小された局在化不揮発性メモリを有する例示的なマルチプロセッサーアーキテクチャ

図1は、1次プロセッサ(アプリケーションプロセッサ104)が1次(大型)不揮発性メモリ106(たとえば、NAND型フラッシュメモリ)のホストとして働き、2次プロセッサ(たとえば、モデルプロセッサ110)が2次(縮小または最小)不揮発性メモリ114(たとえば、NOR型フラッシュメモリ)を有する、第1のマルチプロセッサーアーキテクチャ102のブロック図を示している。

#### 【0024】

通信デバイスアーキテクチャ102では、アプリケーションプロセッサ104が1次不揮発性メモリ106およびアプリケーションプロセッサ揮発性メモリ108(たとえば、ランダムアクセスメモリ)に結合される。モデルプロセッサ110は、2次不揮発性メモリ114およびモデルプロセッサ揮発性メモリ112に結合される。プロセッサ間通信バス134は、アプリケーションプロセッサ104とモデルプロセッサ110との間の通信を可能にする。

#### 【0025】

モデルプロセッサ110のためのモデル実行可能画像120はアプリケーションプロセッサ(AP)不揮発性メモリ106の中に、AP実行可能画像118およびAPファイルシステム116とともに記憶され得る。アプリケーションプロセッサ104は、AP実行可能画像118をアプリケーションプロセッサ揮発性メモリ108にロードし、それをAP実行可能画像122として記憶することができる。アプリケーションプロセッサ揮発性メモリ108は、AP実行時データ124を記憶する役目を果たすことができる。

#### 【0026】

モデルプロセッサ110は、ファイルシステム128を記憶する専用2次(縮小または最小)不揮発性メモリ114(たとえば、NOR型フラッシュ)を有する。この2次(縮小または最小)不揮発性メモリ114は、実行時モデル実行可能画像120とファイルシステム128の両方を記憶することが可能なフラッシュデバイスよりも小さく、コストが低い。

10

20

30

40

50

## 【0027】

システムの電源投入時に、モデムプロセッサ110は、ハードウェアブートROM126(小型読み取り専用オンチップメモリ)から1次ブートローダ(PBL)を実行する。モデムPBLは、アプリケーションプロセッサ104からモデム実行可能画像120をダウンロードするように適合可能である。すなわち、(1次不揮発性メモリ106に当初記憶されている)モデム実行可能画像120が、モデムプロセッサ110によってアプリケーションプロセッサ104に対し要求される。アプリケーションプロセッサ104は、モデム実行可能画像120を取り出し、それをプロセッサ間通信バス134(たとえば、チップ間通信バス)を介してモデムプロセッサ110に提供する。モデムプロセッサ110は、モデム実行可能画像132を、モデムプロセッサRAM(ランダムアクセスメモリ)112内の一時バッファにデータをコピーすることなく、最終的な宛先であるモデムプロセッサRAM112に直接記憶する。プロセッサ間通信バス134は、たとえば、HSICバス(USBベースの高速インターチップ)、HSIバス(MIPI高速同期インターフェース)、SDIOバス(セキュアデジタルI/Oインターフェース)、UARTバス(汎用非同期受信機/送信機)、SPIバス(シリアルペリフェラルインターフェース)、I2Cバス(インター集積回路)、またはモデムプロセッサ110とアプリケーションプロセッサ104の両方で利用できるチップ間通信にふさわしい任意の他のハードウェアインターフェースであり得る。

10

## 【0028】

モデム実行可能画像120は、モデムプロセッサRAM112にダウンロードされ、認証されると、モデム実行可能画像132として維持される。さらに、モデムプロセッサ揮発性メモリ12は、モデム実行時データ130を記憶することもできる。次いでモデムブートROMコード126が、そのモデム実行可能画像132にジャンプし、モデムプロセッサRAM112から主要モデムプログラムの実行を開始することができる。持続的(不揮発性)データ、たとえば無線周波数(RF)キャリブレーションおよびシステムパラメータを、モデムプロセッサ110に取り付けられた2次(縮小または最小)不揮発性メモリ114を使用してモデムファイルシステム128に記憶できる。

20

## 【0029】

ファイルシステムのための集中型不揮発性メモリを有し、局在化不揮発性メモリを有さない例示的なマルチプロセッサアーキテクチャ

30

図2は、1次プロセッサ(アプリケーションプロセッサ204)が1次(大型)不揮発性メモリ206(たとえば、NAND型フラッシュメモリ)のホストとして働く、第2のマルチプロセッサアーキテクチャ202のブロック図を示している。1次不揮発性メモリ206は、2次プロセッサ(モデムプロセッサ210)のためのモデム実行可能画像214および/またはモデムファイルシステム220を記憶することができる。2次プロセッサ(モデムプロセッサ210)は、モデム実行可能画像214および/またはモデムファイルシステム220を1次プロセッサ204に対し要求するように構成され得る。次いで1次プロセッサ204は、要求されたモデム実行可能画像214および/またはモデムファイルシステム220を不揮発性メモリ206から取り出し、それをプロセッサ間通信バス234を介して2次プロセッサ210に提供する。

## 【0030】

このアーキテクチャ202では、アプリケーションプロセッサ204が不揮発性メモリ206およびアプリケーションプロセッサ揮発性メモリ208(たとえば、ランダムアクセスメモリ)に結合される。モデムプロセッサ210は、モデムプロセッサ揮発性メモリ212に結合されるが、自身の不揮発性メモリを有さない。モデムプロセッサ揮発性メモリ212は、ファイルシステムミラー228、モデム実行可能画像236およびモデム実行時データ230を記憶する。プロセッサ間通信バス234は、アプリケーションプロセッサ204とモデムプロセッサ210との間の通信を可能にする。

40

## 【0031】

モデムプロセッサ210のためのすべての実行可能画像214およびファイルシステム220は不揮発性メモリ206の中に、AP実行可能画像218およびAPファイルシステム216とともに記憶され得る。アプリケーションプロセッサ204は、AP実行可能画像218をアプリケーションプロセッサ揮発性メモリ208にロードし、それをAP実行可能画像222として記憶することが

50

できる。アプリケーションプロセッサ揮発性メモリ208は、AP実行時データ224を記憶する役目を果たすことができる。モデムファイルシステムは、プライバシー保護および加入者識別情報のコピー防止のために、モデムプロセッサの秘密鍵で暗号化され得る。

#### 【0032】

システムの電源投入時に、モデムブートROMコード226は、モデム実行可能画像214とモデムファイルシステム220の両方をアプリケーションプロセッサ204からモデムプロセッサ揮発性メモリ212にダウンロードする。正常動作中には、モデムファイルシステム228への任意の読み取りアクセスは、モデムプロセッサ揮発性メモリ212により処理される。いかなる書き込みアクセスも、モデムプロセッサ揮発性メモリ212で実施される。さらに、不揮発性メモリ206に記憶されているモデムファイルシステム220とモデムプロセッサ揮発性メモリ212内のファイルシステム228のコンテンツを同期させるためにモデムプロセッサ210およびアプリケーションプロセッサ204で作動するバックグラウンドプロセスが存在し得る。

#### 【0033】

1次プロセッサおよび2次プロセッサは、2次プロセッサのための揮発性メモリ内のファイルシステムを、1次不揮発性メモリ内の対応するファイルシステムと周期的に同期させることができる。モデムファイルシステム228への最初の書き込みによって、モデムプロセッサ210でタイマー(たとえば、10分のタイマー)が開始し得る。このタイマーが作動している間、ファイルシステム228へのすべての書き込みがモデムプロセッサ揮発性メモリ212に一本化される(coalesced)。タイマーの終了時に、モデムプロセッサ210はファイルシステム画像228を揮発性メモリ212からコピーし、それを暗号化し、アプリケーションプロセッサ204に対し、新たなデータが入手できることを警告する。アプリケーションプロセッサ204は、暗号化されたコピーを読み取り、それを不揮発性メモリ206のモデムファイルシステム220に書き込む。次いでアプリケーションプロセッサ204はモデムプロセッサ210に対し、書き込み動作が完了したことを知らせる。同期化動作が失敗した場合、モデムファイルシステムの現在のバージョンを使用することができる。同期化は、周期的に(たとえば、90秒ごとに)、またはモデムによるファイルシステムへの書き込み動作から一定の時間が経過した後に、生じ得る。突然の電力消失などの事態による悪影響(corruption)を防ぐために、モデムファイルシステム220の2つのコピーを記憶することができる。

#### 【0034】

モデムプロセッサ210は、アプリケーションプロセッサの不揮発性メモリ206に対するファイルシステムミラー228の「フラッシュ」動作を開始することもできる。これは、電話の電源切断、ならびに入来SMSメッセージの受け取りおよび記憶を示すためにネットワークに確認メッセージを送ることを含む、いくつかの理由で生じ得る。

#### 【0035】

モデムプロセッサ210でのファイルシステム読み取り動作は、モデムプロセッサ揮発性メモリ212によって行われ、これはモデムファイルシステムの現在の状態を反映する。読み取り動作は書き込み動作よりも頻度が高く、書き込み動作は活動の「突発的現象(bursts)」で生じる傾向があるので、全体的なシステムロードおよび電力消費は低減し得る。

#### 【0036】

アプリケーションプロセッサ204、モデムプロセッサ210およびブートローダは、常に不揮発性メモリ206に利用できる少なくとも1つの完全なファイルシステム画像が所定の場所にあることを確実にするための具体的措置を講じている。これにより、電力喪失または突然のリセットシナリオの影響を受けずに済む。

#### 【0037】

本明細書で開示するコンセプトの適用は、上で示した例示的なシステムに限定されず、様々な他のマルチプロセッサシステムにも同様に用いることができる。

#### 【0038】

ゼロコピー移送フロー

本開示の態様は、1次プロセッサの不揮発性メモリから2次プロセッサの揮発性メモリに

実行可能ソフトウェア画像を効率的にロードするための技法を提供する。上述のように、従来型のローディングプロセスでは、(たとえば、ブートローダによって)2値のマルチセグメント化された画像がバッファリングされ(たとえば、システムメモリに転送され)、次いでターゲットロケーションに分散される中間ステップが必要である。本開示の態様は、従来型のローディングプロセスで必要なバッファリングの中間ステップを軽減する技法を提供する。したがって、本開示の態様は、追加のメモリコピー動作を回避し、それによりパフォーマンスが改善する(たとえば、マルチプロセッサシステムで2次プロセッサをブートするのに必要な時間が減少する)。

#### 【0039】

以下でさらに説明するように、本開示の1つの例示的な態様は、1次プロセッサの不揮発性メモリから2次プロセッサの揮発性メモリに実行可能ソフトウェア画像をロードするための直接分散ロード技法を用いる。本開示のいくつかの態様はさらに、以下でさらに説明するように、認証のような転送後のデータ処理と同時の画像転送を可能にし、効率性をさらに高めることができる。

10

#### 【0040】

一態様では、ホストの1次プロセッサは、実際の画像データからのいかなる情報の処理や取り出しも行わず、パケットにいかなるパケットヘッダも添付せずに、画像データを「生」データとしてターゲットに送るだけである。ターゲットの2次プロセッサは、データ転送要求を開始するので、どれだけのデータを受信するかを正確に把握している。これにより、ホストはパケットヘッダなしでデータを送ることができ、ターゲットはデータを直接受信して記憶することができる。この態様では、ターゲットは必要に応じてホストに対しデータを要求する。ターゲットが要求する第1のデータ項目は、所与の画像転送用の画像ヘッダである。ターゲットは、画像ヘッダを処理することで、画像内の各データセグメントのロケーションおよびサイズを把握する。画像ヘッダはまた、ターゲットメモリ内の画像の宛先アドレスを指定する。この情報により、ターゲットは各データセグメントについてホストに対しデータを要求することができ、ターゲットメモリ内の適切なロケーションにデータを直接転送することができる。アプリケーションプロセッサにおけるチップ間通信バスのためのハードウェアコントローラは、自身の低レベルプロトコルヘッダを追加することができ、これはモデムプロセッサによって処理され、剥ぎ取られる。これらの低レベルヘッダは、両方のプロセッサで作動するソフトウェアには透過的であり得る。

20

#### 【0041】

本開示の一態様では、図3に示す例示的なフローで示されているように、ローディングプロセスは2つの段階に分けられる。図3は、1次プロセッサ301(図1または図2の、不揮発性メモリ106または206を有するアプリケーションプロセッサ104または204であり得る)および2次プロセッサ302(図1または図2の、揮発性メモリ112または212を有するモデムプロセッサ110または210であり得る)のプロック図を示している。図3では、2次プロセッサ302のための例示的なソフトウェア画像が、1次プロセッサ301の不揮発性メモリに記憶されている。この例で示すように、例示的なソフトウェア画像303は、画像ヘッダ部分および複数のデータセグメント(この例ではデータセグメント1~5として示している)を含むマルチセグメント画像である。1次プロセッサ301および2次プロセッサ302は、異なる物理シリコンチップに(すなわち、異なるチップパッケージに)位置することも、同じパッケージに位置することもある。

30

#### 【0042】

図3の例示的なローディングプロセスの第1の段階では、画像ヘッダ情報が2次プロセッサ302に転送される。1次プロセッサ301は、1次プロセッサの不揮発性メモリ306から、画像ヘッダで始まるデータ画像セグメントを取り出す。1次プロセッサ301は画像ヘッダを解析して、1次プロセッサの不揮発性メモリ306から1次プロセッサのシステムメモリ307に個々の画像セグメントをロードする。画像ヘッダは、2次プロセッサのシステムメモリ305のどこにモデム画像実行可能データを最終的に入れるかを特定するために使用される情報を含む。ヘッダ情報は2次プロセッサ302によって使用されて、分散ローダ/直接メモリアク

40

50

セスコントローラ304が、実際の実行可能データを受信したときにアドレスを受信するようにプログラミングされる。次いでデータセグメントは、システムメモリ307から1次ハードウェア移送機構308に送られる。次いでセグメントは、チップ間通信バス310(たとえば、HS-USBケーブル)を介して、1次プロセッサ301のハードウェア移送機構308から2次プロセッサ302のハードウェア移送機構309に送られる。転送される第1のセグメントは画像ヘッダであってよく、これは、2次プロセッサのシステムメモリ305内のターゲットロケーションにデータセグメントを位置付けるために2次プロセッサによって使用される情報を含む。画像ヘッダは、データのターゲットロケーション情報を特定するために使用される情報を含むことができる。

## 【0043】

10

一様では、ターゲットロケーションは事前に特定されているわけではなく、分散ローディングプロセスの一環として2次プロセッサでソフトウェアを実行することによって特定される。画像ヘッダからの情報を使用して、ターゲットロケーションを特定することができる。この様では、2次プロセッサのブートローダが最初に、1次プロセッサに対し画像ヘッダを要求する(1次プロセッサのCPUは、画像ヘッダをまったく処理しない)。2次プロセッサは、画像ヘッダを見ることによって、不揮発性メモリ内でデータセグメントがどのように配置されているかを把握する(RAMのアドレス/サイズのほかに、ヘッダは、各セグメントについての画像ファイルの開始点に関する不揮発性メモリ内の相対ロケーションも含む)。その後のデータセグメント要求は、2次プロセッサによって行われる。

## 【0044】

20

別の様では、画像ヘッダを解析し、次いで、画像ヘッダで示される指定されたアドレスに後続データセグメントを配置するように2次プロセッサのコントローラをプログラミングすることによって、1次プロセッサは、2次プロセッサの揮発性メモリ内のどこにセグメントを置くかを示すことができる。これは、2次プロセッサのコントローラをこのように外部から制御することを可能にする追加のハードウェアを伴うことがある。

## 【0045】

画像ヘッダは一般に、2次プロセッサのシステムメモリ305内のどこにセグメントの各々をロードすべきかを定めた、セグメント開始アドレスおよびサイズのリストを含む。2次プロセッサ302は、分散ローダコントローラ304を含むハードウェア移送機構309(たとえば、USBコントローラ)を含む。ローディングプロセスの第2の段階では、ブートローダがチップ間接続コントローラのエンジンをプログラミングして、入来データを受信し、第1の段階で受信されたヘッダ情報を従い、それを2次プロセッサの対応するターゲットメモリ領域305に分散ロードするようとする。

30

## 【0046】

USBまたはHSICバスの場合、画像の各セグメントは、チップ間通信バス310における单一のUSB転送として転送され得る。セグメントのサイズおよび宛先アドレスを把握することにより、ソフトウェアは、2次プロセッサ302によるソフトウェア干渉を最小限に抑えて、(システムメモリ305内の)ターゲットメモリロケーションにセグメント全体を直接転送するように、2次プロセッサ302の分散ローダコントローラ304をプログラミングすることができる。その結果、セグメントが著しく大きい(たとえば、1メガバイト(MB)を超える)ときのUSB/HSICバスのパフォーマンスが向上し得る。

40

## 【0047】

図3に示すように、画像セグメントは、2次プロセッサのシステムメモリ305内の連続的ロケーションに配置されるとは限らない。代わりに、セグメントはメモリの様々なロケーションに分散され得る。図3の例示的なローディングプロセスにより、2次プロセッサのソフトウェアのコピー(すなわち、画像303)を、1次プロセッサ301から2次プロセッサのシステムメモリ305におけるセグメントの最終的な宛先に直接送ることができる。

## 【0048】

1次プロセッサ301から2次プロセッサ302の分散ローダコントローラ304に画像ヘッダがロードされる。画像ヘッダは、システムメモリ305内のどこにデータセグメントを位置付

50

けるかに関する情報を提供する。分散ローダコントローラ304は、それに応じて、画像セグメントを2次プロセッサのシステムメモリ305におけるそれぞれのターゲットロケーションに直接転送する。すなわち、2次プロセッサのCPUがメモリ305内の画像ヘッダを処理し、分散ローダコントローラ304をプログラミングすると、分散ローダコントローラ304は、2次プロセッサのシステムメモリ305内のどこに画像セグメントを入れる必要があるかを正確に把握し、そのため、次いでハードウェア分散ローダコントローラ304はそれに応じて、データセグメントをターゲットの宛先に直接転送するようにプログラミングされる。図3の例では、分散ロードコントローラ304は、画像セグメントを受信し、それらをシステムメモリ305内の様々なロケーションに分散する。一態様では、実行可能ソフトウェア画像全体を2次プロセッサのハードウェアバッファに記憶することなく、実行可能ソフトウェア画像が2次プロセッサのシステムメモリにロードされる。

10

## 【0049】

したがって、上記の態様では2次プロセッサ内で追加のメモリコピー動作は発生しない。そのため、画像全体のために一時バッファを用いる従来型の技法、およびパケットヘッダ処理などは、より効率的な直接ローディングプロセスを優先して回避される。よって、図3の例示的なロードプロセスは、1次プロセッサから2次プロセッサにソフトウェア画像をロードするのに従来必要であった中間バッファ動作を必要としない。画像全体を保有する一時バッファから分散ロードする代わりに、図3の例示的なロードプロセスでは、それぞれのターゲットの宛先向けの画像セグメントを、ハードウェアからシステムメモリに直接分散ロードすることができる。画像ヘッダが処理されると、実行可能画像は、CPUのさらなる関与を回避して、ターゲットメモリに直接分散ロードされる。

20

## 【0050】

従来、外部インターフェースが関与するとき(たとえば、1次プロセッサから2次プロセッサに画像データを通信する際に使用される場合)、両方のプロセッサが実際のデータの内容およびデータの読み取り方法を把握できるように当該データを移送するための何らかの機構が必要とされている。多くの場合、外部インターフェースを介して転送されるデータはパケット化され、各パケットは、パケット内に含まれるデータを記述したヘッダを含む。たとえば、ネットワークを介してデータが転送されている伝送制御プロトコル/インターネットプロトコル(TCP/IP)システムでは、パケットヘッダの処理に関連するオーバーヘッドが生じる。

30

## 【0051】

(たとえば、図3の例のような)本発明のいくつかの態様によれば、生画像データが移送される。たとえば、パケットヘッダを有する画像データの各セグメントを移送するのではなく、図3の例示的なロードプロセスは、画像全体に関連するヘッダからデータに関して必要な情報を特定する。よって、画像ヘッダを最初に転送することができ、(画像ヘッダに基づき)セグメントの転送の前に、システムメモリ305にデータを記憶する方法を特定するためのすべての処理が生じることが可能で、次いで生データとしてセグメントが転送され、セグメントが転送されるので各セグメントのパケットヘッダの処理を必要としない。したがって、図3の例では、生画像データが1次プロセッサから2次プロセッサに通信されており、次いでハードウェアによって処理され、いかなるUSBパケットヘッダなどもなくすことができる。この例示的な態様では、実際のデータセグメントに対してCPU処理は行われず、その結果、ロードプロセスの効率性が向上する。

40

## 【0052】

同じ2次プロセッサの揮発性メモリに複数の画像をロードしなければならないとき、本開示の一態様により、図3の上記手順は、転送される画像の回数だけ繰り返してよい。いくつかの態様では、1次プロセッサ301内において、不揮発性メモリからシステムメモリへの転送は、1次プロセッサから2次プロセッサにデータを送ると並行して生じ得る。

## 【0053】

一態様では、各セグメントの転送が完了すると、2次プロセッサ302は、次のセグメントを転送するように分散ローダコントローラ304をプログラミングし、転送されたばかりの

50

セグメントの認証を開始する。これにより、分散ローダコントローラ304は、2次プロセッサ302が認証を実行している間にデータを転送することができる。本明細書での認証は一般に、受信データの完全性および信頼性をチェックすることを指す。認証メカニズムの詳細は、本開示の範囲外であり、所与の実装形態で望まれ得る任意の適切な認証メカニズム(当技術分野でよく知られているものを含む)を用いることができる。上記の並行処理は、所与の実装形態で2次プロセッサ302によって実行され得る、他の転送後の処理に適用することもできる。

【0054】

最後の画像の最後のセグメントが転送され認証されるとすぐに、2次プロセッサ302は、ブートプロセスを続行し、転送画像を実行することができる。

10

【0055】

一態様では、モデム(2次)プロセッサ110は、埋込み型ブート読み取り専用メモリ(ROM)からブートローダを実行する。そのような態様では、ハードウェアからブートROMを実行することで、モデム側におけるフラッシュメモリまたはデバイスの必要性を排除する。ROMコードは、シリコン自体によって実行され得る。

【0056】

図4は、本開示の一態様による、分散ローディング方法を示すフローチャートである。プロック402に示すように、2次プロセッサは、チップ間通信バスを介して1次プロセッサから、1次プロセッサに結合されたメモリに記憶されている2次プロセッサのための実行可能ソフトウェア画像の画像ヘッダを受信し、この実行可能ソフトウェア画像は、画像ヘッダおよび少なくとも1つのデータセグメントを備える。プロック404に示すように、少なくとも1つのデータセグメントを記憶する、2次プロセッサが結合されたシステムメモリの中の少なくとも1つのロケーションを特定するために、2次プロセッサは画像ヘッダを処理する。プロック406に示すように、2次プロセッサは、チップ間通信バスを介して1次プロセッサから、少なくとも1つのデータセグメントを受信する。プロック408に示すように、2次プロセッサは、システムメモリの中の特定された少なくとも1つのロケーションに、少なくとも1つのデータセグメントを直接ロードする。

20

【0057】

一態様では、1つの装置は、実行可能画像を受信するための手段と、画像ヘッダを処理するための手段と、データセグメントを受信するための手段と、データセグメントをロードするための手段とを含む。これらの手段は、1次プロセッサ301、2次プロセッサ302、チップ間通信バス310、メモリ305もしくは307、不揮発性メモリ306、コントローラ304、またはハードウェア移送機構308もしくは309を含むことができる。別の態様では、上記手段は上記手段によって列挙される機能を実行するように構成されたモジュールまたは任意の装置であり得る。

30

【0058】

上記に鑑みて、2次プロセッサに接続された不揮発性メモリからソフトウェア画像を直接ロードする代わりに、HS-USBまたは高速相互接続機能のような相互接続結合によって1次プロセッサから2次プロセッサのソフトウェア画像をロードすることができる。2次プロセッサは、不揮発性メモリに直接接続されなくてもよい。したがって、本開示の態様は、2次プロセッサ向け画像が1次プロセッサから転送されるマルチプロセッサシステムにおいて、2次プロセッサをブートするのに要する時間を短縮することができる。この短縮は、追加のメモリコピー動作を回避し、認証などのバックグラウンドデータ処理と同時の画像転送を可能にすることによって達成される。

40

【0059】

図5は、本開示の実施形態を有利に使用できる例示的なワイヤレス通信システム500を示すプロック図である。例示のために、図5は、3つの遠隔ユニット520、530および550ならびに2つの基地局540を示している。ワイヤレス通信システムがこれよりも多くの遠隔ユニットおよび基地局を有してもよいことが認識されよう。遠隔ユニット520、530および550は、ICデバイス525A、525Cおよび525Bを含み、これらは開示済みのMRAMを含む。基地局、

50

スイッチングデバイスおよびネットワーク機器など、他のデバイスも開示済みMRAMを含み得ることが認識されよう。図5は、基地局540から遠隔ユニット520、530および550への順方向リンク信号580、ならびに遠隔ユニット520、530および550から基地局540への逆方向リンク信号590を示す。

【0060】

図5では、遠隔ユニット520は携帯電話として示され、遠隔ユニット530はポータブルコンピュータとして示され、遠隔ユニット550はワイヤレスローカルループシステム内の固定ロケーション遠隔ユニットとして示されている。たとえば、遠隔ユニットは、携帯電話、ハンドヘルドパーソナル通信システム(PCS)ユニット、個人情報端末のようなポータブルデータユニット、GPS対応デバイス、ナビゲーションデバイス、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、メータ読み取り機器のような固定ロケーションデータユニット、またはデータもしくはコンピュータ命令の記憶もしくは取り出しを行う任意の他のデバイス、またはそれらの任意の組合せであってよい。図5は、本開示の教示に従った遠隔ユニットを示すが、本開示は、これらの例示的な示されたユニットには限定されない。本開示の実施形態は、MRAMを含む任意のデバイスにおいて適切に使用されてもよい。

【0061】

ファームウェアおよび/またはソフトウェア実装形態の場合、これらの方法は、本明細書で説明する機能を実行するモジュール(たとえば、プロシージャ、関数など)によって実現されてもよい。本明細書で説明する方法を実現する際に命令を具体的に実施する任意の機械可読媒体を使用してもよい。たとえば、ソフトウェアコードはメモリに記憶され、プロセッサユニットにより実行されてもよい。メモリは、プロセッサユニット内で実現されてもあるいはプロセッサユニットの外部で実現されてもよい。本明細書では、「メモリ」という用語は、長期メモリ、短期メモリ、揮発性メモリ、不揮発性メモリ、または他のメモリのいずれかの種類を指し、メモリのいかなる特定の種類またはメモリの数、あるいはメモリが記憶される媒体の種類に限定されない。

【0062】

ファームウェアおよび/またはソフトウェアにおいて実現する場合、機能はコンピュータ可読媒体上に1つまたは複数の命令あるいはコードとして記憶してもよい。この例には、データ構造によって符号化されたコンピュータ可読媒体およびコンピュータプログラムによって符号化されたコンピュータ可読媒体が含まれる。コンピュータ可読媒体は、物理的なコンピュータ記憶媒体を含む。記憶媒体は、コンピュータによってアクセスされ得る任意の使用可能な媒体であってもよい。限定ではなく、一例として、そのようなコンピュータ可読媒体は、RAM、ROM、EEPROM、CD-ROM、または他の光ディスクストレージ、磁気ディスクストレージまたは他の磁気記憶デバイス、あるいは所望のプログラムコードを命令またはデータ構造の形で記憶するのに使用することができ、かつコンピュータからアクセスすることのできる任意の他の媒体を含んでよく、本明細書で使用する場合、ディスク(diskおよびdisc)には、コンパクトディスク(CD)、レーザディスク、光ディスク、デジタル多用途ディスク(DVD)、フロッピィディスク、およびブルーレイディスクが含まれ、ディスク(disk)は通常、データを磁気的に再生し、一方、ディスク(disc)はデータをレーザによって光学的に再生する。上記の組合せも、コンピュータ可読媒体の範囲内に含めるべきである。

【0063】

命令および/またはデータは、コンピュータ可読媒体上に記憶されるだけでなく、通信装置に含まれる伝送媒体上の信号として提供されてもよい。たとえば、通信装置には、命令およびデータを示す信号を有するトランシーバを含めてもよい。命令およびデータは、1つまたは複数のプロセッサに特許請求の範囲において概説する機能を実施させるように構成される。

【0064】

特定の回路について説明したが、当業者には、本開示を実施するうえで開示された回路

のすべてが必要とされるわけではないことが理解されよう。さらに、本開示に対する注目を維持するためにある公知の回路については説明していない。

【0065】

本開示およびその利点について詳しく説明したが、添付の特許請求の範囲によって規定される本開示の技術から逸脱することなく、本明細書において様々な変更、代用および改変を施せることを理解されたい。たとえば、「上」および「下」などの関係語が、基板または電子デバイスに関して使用される。もちろん、基板または電子デバイスが逆転した場合には、上は下に、下は上になる。さらに、横向き、上および下は、基板または電子デバイスの側面を指すことがある。さらに、本出願の範囲は、本明細書において説明したプロセス、機械、製造、物質組成、手段、方法、およびステップの特定の実施形態に限定されるものではない。当業者には本開示から容易に理解されるように、本明細書で説明した対応する実施形態と実質的に同じ機能を実行するかあるいは実質的に同じ結果を実現する、現存するかあるいは後に開発されるプロセス、機械、製造、物質組成、手段、方法、またはステップを本開示に従って利用してもよい。したがって、添付の特許請求の範囲は、そのようなプロセス、機械、製造、物質組成、手段、方法、またはステップを範囲内に含むものである。

10

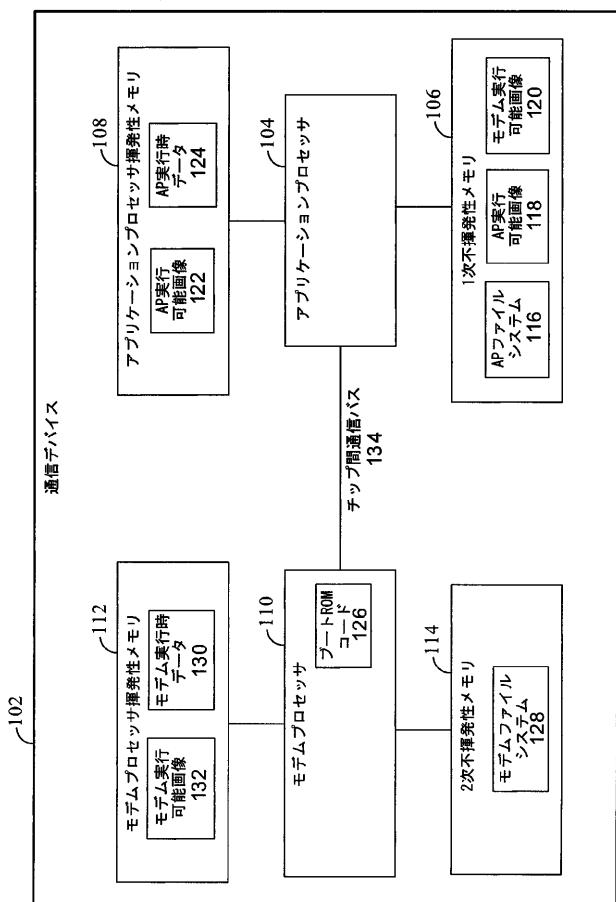
【符号の説明】

【0066】

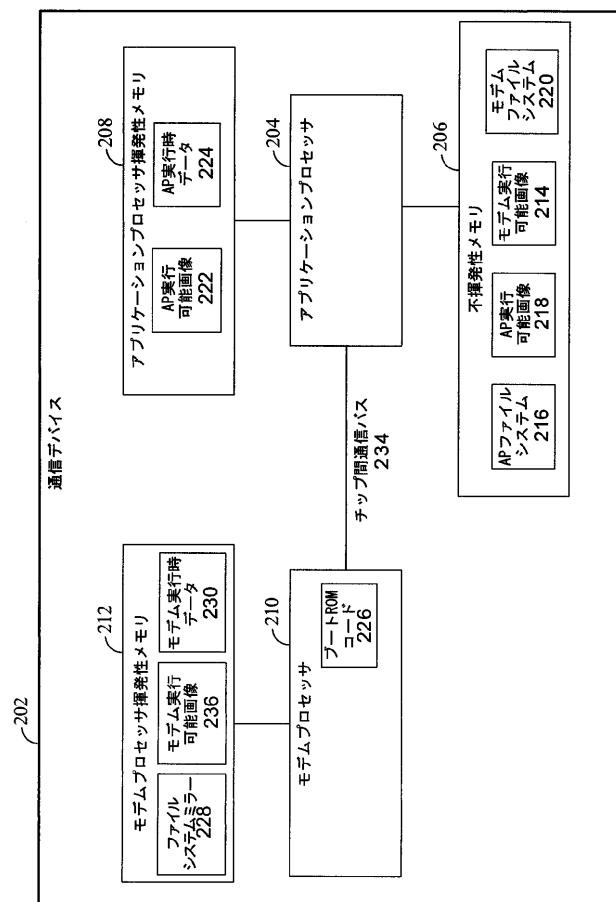
- |     |   |    |
|-----|---|----|
| 102 | 第1のマルチプロセッサーキテクチャ                       |    |
| 104 | アプリケーションプロセッサ                           | 20 |
| 106 | 1次(大型)不揮発性メモリ、アプリケーションプロセッサ(AP)不揮発性メモリ  |    |
| 108 | アプリケーションプロセッサ揮発性メモリ                     |    |
| 110 | モデムプロセッサ                                |    |
| 112 | モデムプロセッサ揮発性メモリ、モデムプロセッサRAM(ランダムアクセスメモリ) |    |
| 114 | 2次(縮小または最小)不揮発性メモリ                      |    |
| 116 | APファイルシステム                              |    |
| 118 | AP実行可能画像                                |    |
| 120 | モデム実行可能画像、実行時モデム実行可能画像、モデム実行可能データ       |    |
| 122 | AP実行可能画像                                | 30 |
| 124 | AP実行時データ                                |    |
| 126 | ハードウェアブートROM、モデムブートROMコード               |    |
| 128 | ファイルシステム、モデムファイルシステム                    |    |
| 130 | モデム実行時データ                               |    |
| 132 | モデム実行可能画像                               |    |
| 134 | プロセッサ間通信バス                              |    |
| 202 | 第2のマルチプロセッサーキテクチャ                       |    |
| 204 | アプリケーションプロセッサ、1次プロセッサ                   |    |
| 206 | 1次(大型)不揮発性メモリ                           |    |
| 208 | アプリケーションプロセッサ揮発性メモリ                     | 40 |
| 210 | モデムプロセッサ                                |    |
| 212 | モデムプロセッサ揮発性メモリ                          |    |
| 214 | モデム実行可能画像                               |    |
| 216 | APファイルシステム                              |    |
| 218 | AP実行可能画像                                |    |
| 220 | モデムファイルシステム                             |    |
| 222 | AP実行可能画像                                |    |
| 224 | AP実行時データ                                |    |
| 226 | モデムブートROMコード                            |    |
| 228 | ファイルシステムミラー、モデムファイルシステム、ファイルシステム画像      | 50 |

- 230 モデム実行時データ  
 234 プロセッサ間通信バス  
 236 モデム実行可能画像

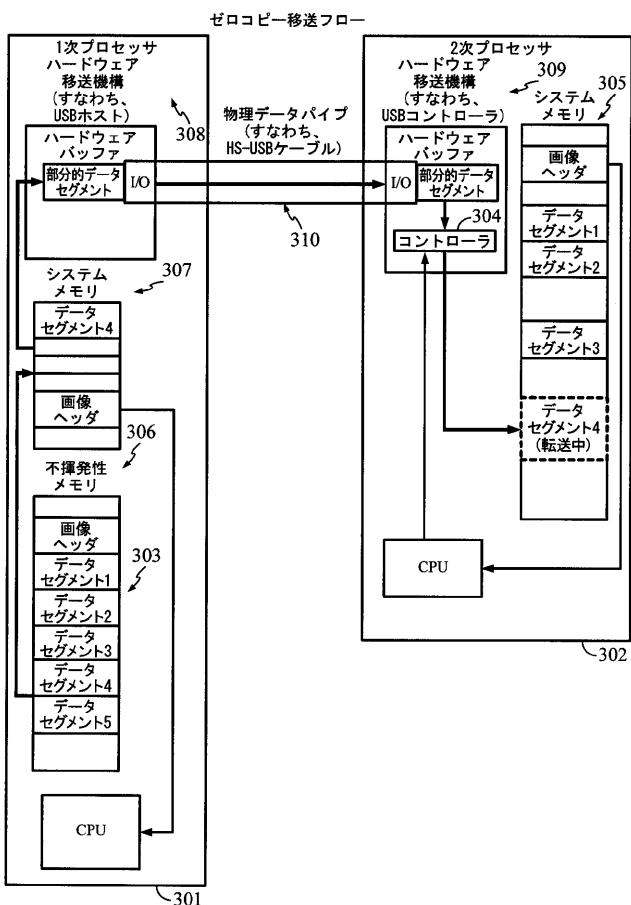
【図1】



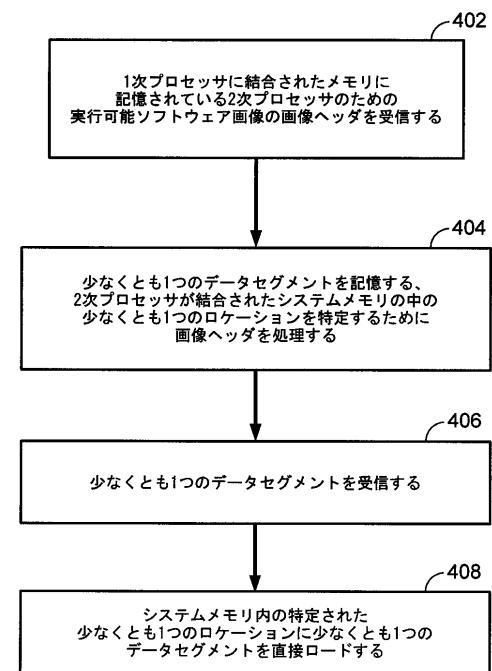
【図2】



【図3】



【図4】



【図5】

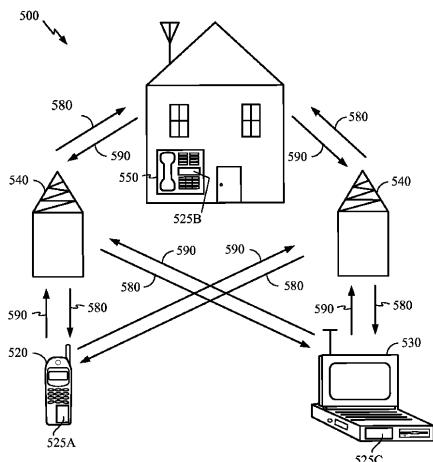


FIG. 5

**【手続補正書】**

【提出日】平成24年9月21日(2012.9.21)

**【手続補正1】**

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

**【補正の内容】**

【特許請求の範囲】

**【請求項1】**

システムメモリおよび実行可能ソフトウェア画像の少なくとも一部分を受信するためのハードウェアバッファを備え、前記ハードウェアバッファから前記システムメモリに前記実行可能ソフトウェア画像を直接ロードするための分散ローダコントローラを備える2次プロセッサと、

メモリに結合された1次プロセッサであって、前記メモリは、前記2次プロセッサのための前記実行可能ソフトウェア画像を記憶する、1次プロセッサと、

前記1次プロセッサと前記2次プロセッサとを通信可能に結合するインターフェースとを含み、前記インターフェースを介して前記実行可能ソフトウェア画像が前記2次プロセッサによって受信されるマルチプロセッサシステム。

**【請求項2】**

前記分散ローダコントローラは、前記2次プロセッサにおいてシステムメモリロケーション間でデータをコピーすることなく、前記ハードバッファから前記2次プロセッサの前記システムメモリに前記実行可能ソフトウェア画像を直接ロードするように構成される、請求項1に記載のマルチプロセッサシステム。

**【請求項3】**

前記実行可能ソフトウェア画像の生画像データが、前記インターフェースを介して前記2次プロセッサによって受信される、請求項1に記載のマルチプロセッサシステム。

**【請求項4】**

前記実行可能ソフトウェア画像は、画像ヘッダおよび少なくとも1つのデータセグメントを備える、請求項1に記載のマルチプロセッサシステム。

**【請求項5】**

前記2次プロセッサは、前記画像ヘッダを受信し、前記少なくとも1つのデータセグメントを記憶する前記システムメモリ内の少なくとも1つのロケーションを特定するために前記画像ヘッダを処理するように構成される、請求項4に記載のマルチプロセッサシステム。

**【請求項6】**

前記2次プロセッサは、前記少なくとも1つのデータセグメントを受信する前に、前記少なくとも1つのデータセグメントを記憶する前記システムメモリ内の前記少なくとも1つのロケーションを、前記受信された画像ヘッダに基づいて特定するように構成される、請求項5に記載のマルチプロセッサシステム。

**【請求項7】**

前記2次プロセッサは、前記2次プロセッサのための前記実行可能ソフトウェア画像の転送を開始するブートローダを記憶している不揮発性メモリをさらに備える、請求項1に記載のマルチプロセッサシステム。

**【請求項8】**

前記1次および2次プロセッサは異なるチップに位置する、請求項1に記載のマルチプロセッサシステム。

**【請求項9】**

実行可能ソフトウェア画像全体が前記ハードウェアバッファに記憶されることなく、前記実行可能ソフトウェア画像の前記部分が前記2次プロセッサの前記システムメモリにロードされる、請求項1に記載のマルチプロセッサシステム。

**【請求項 1 0】**

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および固定ロケーションデータユニットのうちの少なくとも1つに統合される、請求項1に記載のマルチプロセッサシステム。

**【請求項 1 1】**

2次プロセッサにおいて、チップ間通信バスを介して1次プロセッサから、前記1次プロセッサに結合されたメモリに記憶されている前記2次プロセッサのための実行可能ソフトウェア画像の画像ヘッダを受信するステップであって、前記実行可能ソフトウェア画像は、前記画像ヘッダおよび少なくとも1つのデータセグメントを備える、ステップと、

前記少なくとも1つのデータセグメントを記憶する、前記2次プロセッサが結合されたシステムメモリの中の少なくとも1つのロケーションを特定するために、前記画像ヘッダを前記2次プロセッサによって処理するステップと、

前記2次プロセッサにおいて、前記チップ間通信バスを介して前記1次プロセッサから、前記少なくとも1つのデータセグメントを受信するステップと、

前記2次プロセッサによって、前記システムメモリの中の前記特定された少なくとも1つのロケーションに前記少なくとも1つのデータセグメントを直接ロードするステップとを含む方法。

**【請求項 1 2】**

前記実行可能ソフトウェア画像を使用して前記2次プロセッサをブートするステップをさらに含む、請求項11に記載の方法。

**【請求項 1 3】**

システムメモリロケーション間でデータをコピーすることなく、ハードウェアバッファから前記2次プロセッサの前記システムメモリに前記実行可能ソフトウェア画像を直接ロードするステップをさらに含む、請求項11に記載の方法。

**【請求項 1 4】**

前記処理するステップは、前記ロードするステップの前に生じる、請求項11に記載の方法。

**【請求項 1 5】**

前記1次および2次プロセッサは異なるチップに位置する、請求項11に記載の方法。

**【請求項 1 6】**

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および固定ロケーションデータユニットのうちの少なくとも1つにおいて、前記受信するステップ、前記処理するステップおよび前記ロードするステップを実施するステップをさらに含む、請求項11に記載の方法。

**【請求項 1 7】**

2次プロセッサにおいて、チップ間通信バスを介して1次プロセッサから、前記1次プロセッサに結合されたメモリに記憶されている前記2次プロセッサのための実行可能ソフトウェア画像の画像ヘッダを受信するための手段であって、前記実行可能ソフトウェア画像は、前記画像ヘッダおよび少なくとも1つのデータセグメントを備える、手段と、

前記少なくとも1つのデータセグメントを記憶する、前記2次プロセッサが結合されたシステムメモリの中の少なくとも1つのロケーションを特定するために、前記画像ヘッダを前記2次プロセッサによって処理するための手段と、

前記2次プロセッサにおいて、前記チップ間通信バスを介して前記1次プロセッサから、前記少なくとも1つのデータセグメントを受信するための手段と、

前記2次プロセッサによって、前記システムメモリの中の前記特定された少なくとも1つのロケーションに前記少なくとも1つのデータセグメントを直接ロードするための手段とを含む装置。

**【請求項 1 8】**

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および固定ロケーションデータユニットのうちの少なくとも1つに統合される、請求項17に記載の装置。

#### 【請求項 19】

第1の不揮発性メモリに結合された1次プロセッサであって、前記第1の不揮発性メモリは前記1次プロセッサに結合され、前記1次プロセッサのためのファイルシステムならびに前記1次プロセッサおよび2次プロセッサのための実行可能画像を記憶する、1次プロセッサと、

第2の不揮発性メモリに結合された2次プロセッサであって、前記第2の不揮発性メモリは前記2次プロセッサに結合され、前記2次プロセッサのための構成パラメータおよびファイルシステムを記憶する、2次プロセッサと、

前記1次プロセッサと前記2次プロセッサとを通信可能に結合するインターフェースとを含み、前記インターフェースを介して実行可能ソフトウェア画像が、前記2次プロセッサのシステムメモリに前記実行可能ソフトウェア画像を直接ロードするための分散ローダコントローラによって、前記2次プロセッサによって受信されるマルチプロセッサシステム。

#### 【請求項 20】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および固定ロケーションデータユニットのうちの少なくとも1つに統合される、請求項19に記載のマルチプロセッサシステム。

#### 【請求項 21】

第1の不揮発性メモリに結合された1次プロセッサであって、前記第1の不揮発性メモリは前記1次プロセッサに結合され、前記1次プロセッサおよび2次プロセッサのための実行可能画像およびファイルシステムを記憶する、1次プロセッサと、

前記第1の不揮発性メモリに直接結合されていない2次プロセッサと、

前記1次プロセッサと前記2次プロセッサとを通信可能に結合するインターフェースとを含み、前記インターフェースを介して実行可能ソフトウェア画像が、前記2次プロセッサのシステムメモリに前記実行可能ソフトウェア画像を直接ロードするための分散ローダコントローラによって、前記2次プロセッサによって受信されるマルチプロセッサシステム。

#### 【請求項 22】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパーソナル通信システム(PCS)ユニット、ポータブルデータユニット、および固定ロケーションデータユニットのうちの少なくとも1つに統合される、請求項21に記載のマルチプロセッサシステム。

#### 【請求項 23】

1次プロセッサに結合されたメモリから、2次プロセッサのための実行可能ソフトウェア画像を、前記1次プロセッサと前記2次プロセッサとを通信可能に結合するインターフェースを介して送るステップと、

前記2次プロセッサにおいて、前記実行可能ソフトウェア画像を受信するステップと、分散ローダコントローラによって、前記2次プロセッサにおいて、前記2次プロセッサの前記システムメモリに前記実行可能ソフトウェア画像を直接ロードするステップと、

前記2次プロセッサにおいて、前記実行可能ソフトウェア画像を実行するステップとを含む方法。

#### 【請求項 24】

携帯電話、セットトップボックス、音楽プレーヤ、ビデオプレーヤ、エンターテインメ

ントユニット、ナビゲーションデバイス、コンピュータ、ハンドヘルドパソコン通信システム(PCS)ユニット、ポータブルデータユニット、および固定ロケーションデータユニットのうちの少なくとも1つにおいて、前記送るステップ、前記受信するステップおよび前記実行するステップを実施するステップをさらに含む、請求項23に記載の方法。

## 【国際調査報告】

INTERNATIONAL SEARCH REPORT		International application No PCT/US2011/029484						
<b>A. CLASSIFICATION OF SUBJECT MATTER</b> INV. G06F15/177 ADD.								
According to International Patent Classification (IPC) or to both national classification and IPC								
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) G06F								
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched								
Electronic data base consulted during the international search (name of data base and, where practical, search terms used) EPO-Internal								
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b> <table border="1" style="width: 100%; border-collapse: collapse;"> <thead> <tr> <th style="width: 10%;">Category*</th> <th style="width: 80%;">Citation of document, with indication, where appropriate, of the relevant passages</th> <th style="width: 10%;">Relevant to claim No.</th> </tr> </thead> <tbody> <tr> <td>X</td> <td>WO 2006/077068 A2 (ERICSSON TELEFON AB L M [SE]; SVENSSON MATS [SE]; ROSENBERG MICHAEL [S] 27 July 2006 (2006-07-27) page 4, line 27 - page 8, line 19 -----</td> <td>1-24</td> </tr> </tbody> </table>			Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.	X	WO 2006/077068 A2 (ERICSSON TELEFON AB L M [SE]; SVENSSON MATS [SE]; ROSENBERG MICHAEL [S] 27 July 2006 (2006-07-27) page 4, line 27 - page 8, line 19 -----	1-24
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.						
X	WO 2006/077068 A2 (ERICSSON TELEFON AB L M [SE]; SVENSSON MATS [SE]; ROSENBERG MICHAEL [S] 27 July 2006 (2006-07-27) page 4, line 27 - page 8, line 19 -----	1-24						
<input type="checkbox"/> Further documents are listed in the continuation of Box C.		<input checked="" type="checkbox"/> See patent family annex.						
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier document but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed								
Date of the actual completion of the international search  13 May 2011		Date of mailing of the international search report  30/05/2011						
Name and mailing address of the ISA/ European Patent Office, P.B. 5818 Patentlaan 2 NL - 2280 HV Rijswijk Tel: (+31-70) 340-2040, Fax: (+31-70) 340-3016		Authorized officer  Bijn, Koen						

**INTERNATIONAL SEARCH REPORT**

Information on patent family members

International application No  
PCT/US2011/029484

Patent document cited in search report	Publication date	Patent family member(s)	Publication date
WO 2006077068 A2	27-07-2006	CN 101107592 A EP 1844394 A2 KR 20070097538 A US 2006168435 A1	16-01-2008 17-10-2007 04-10-2007 27-07-2006

---

フロントページの続き

(31) 優先権主張番号 61/324,035

(32) 優先日 平成22年4月14日(2010.4.14)

(33) 優先権主張国 米国(US)

(31) 優先権主張番号 61/316,369

(32) 優先日 平成22年3月22日(2010.3.22)

(33) 優先権主張国 米国(US)

(81) 指定国 AP(BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW)

(72) 発明者 ダニエル・エイチ・キム

アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・577  
5

(72) 発明者 イゴール・マラマント

アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・577  
5

(72) 発明者 スティーヴ・ヘーニヘン

アメリカ合衆国・カリフォルニア・92121・サン・ディエゴ・モアハウス・ドライブ・577  
5

F ターム(参考) 5B045 BB28 BB34 HH03