

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成21年12月17日(2009.12.17)

【公表番号】特表2009-514252(P2009-514252A)

【公表日】平成21年4月2日(2009.4.2)

【年通号数】公開・登録公報2009-013

【出願番号】特願2008-538998(P2008-538998)

【国際特許分類】

H 0 1 L 33/00 (2006.01)

H 0 1 L 21/762 (2006.01)

H 0 1 L 21/76 (2006.01)

H 0 1 L 21/02 (2006.01)

H 0 1 L 27/12 (2006.01)

【F I】

H 0 1 L 33/00 A

H 0 1 L 21/76 D

H 0 1 L 21/76 L

H 0 1 L 27/12 B

H 0 1 L 27/12 F

【手続補正書】

【提出日】平成21年10月26日(2009.10.26)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

シリコン基板と、

該シリコン基板を覆って配置された第1の単結晶半導体層であって、該第1の単結晶半導体層が緩和シリコンの格子定数とは異なる格子定数を有する、第1の単結晶半導体層と

、
第1の領域内の該第1の単結晶半導体層を覆って配置された単結晶シリコン層と、
第2の領域内の該第1の単結晶半導体層の少なくとも一部の上に配置されるか、または
、該第2の領域内の該第1の単結晶半導体層の少なくとも一部を覆って配置され、該第1
の領域には存在しない、第2の単結晶半導体層であって、該第2の単結晶半導体層が該緩和
シリコンの格子定数とは異なる格子定数を有する、第2の単結晶半導体層と
を含む、半導体構造。

【請求項2】

モノリシックに集積化した半導体デバイス構造であって、該構造は、

シリコン基板と、

該シリコン基板を覆って配置された第1の単結晶半導体層であって、該第1の単結晶半導体層が緩和シリコンの格子定数とは異なる格子定数を有する、第1の単結晶半導体層と

、
第1の領域内の該第1の単結晶半導体層を覆って配置された単結晶シリコン層と、
該単結晶シリコン層の少なくとも一部を含む素子を含む、少なくとも1つのシリコンベ
ースの電子デバイスと、
第2の領域内の該第1の単結晶半導体層の少なくとも一部の上に配置され、該第1の領

域には存在しない、第2の単結晶半導体層であって、該第2の単結晶半導体層が該緩和シリコンの格子定数とは異なる格子定数を有する、第2の単結晶半導体層と、

該第2の単結晶半導体層の少なくとも一部を含むアクティブ領域を含む、少なくとも1つのIII-V族の発光デバイスとを含む、構造。

【請求項3】

少なくとも1つのシリコンベースの電子デバイスと、少なくとも1つの前記III-V族の発光デバイスとを結合する電氣的相互接続をさらに含む、請求項2に記載の構造。

【請求項4】

前記単結晶シリコン層の少なくとも一部を含むアクティブ領域を含む、少なくとも1つのシリコンベースの光検出器と、

前記少なくとも1つのIII-V族の発光デバイスと、前記少なくとも1つのシリコンベースの光検出器との間に配置された光導波管であって、該少なくとも1つのIII-V族の発光デバイスによって放射された光の少なくとも一部を、該少なくとも1つのシリコンベースの光検出器に導くように構成された、光導波路とをさらに含む、請求項2に記載の構造。

【請求項5】

モノリシックに集積化した半導体デバイス構造であって、

シリコン基板と、

該シリコン基板を覆って配置された第1の単結晶半導体層であって、該第1の単結晶半導体層が緩和シリコンの格子定数とは異なる格子定数を有する、第1の単結晶半導体層と

、
第1の領域内の該第1の単結晶半導体層を覆って配置された単結晶シリコン層と、

該単結晶シリコン層の少なくとも一部を含むアクティブ領域を含む、少なくとも1つのシリコンベースの光検出器と、

第2の領域内の該第1の単結晶半導体層の少なくとも一部の上に配置され、該第1の領域には存在しない、第2の単結晶半導体層であって、該第2の単結晶半導体層が該緩和シリコンの格子定数とは異なる格子定数を有する、第2の単結晶半導体層と、

該第2の単結晶半導体層の少なくとも一部を含むアクティブ領域を含む、少なくとも1つの非シリコン光検出器と

を含む、構造。

【請求項6】

モノリシックに集積化した半導体デバイス構造であって、該構造は、

シリコン基板と、

該シリコン基板を覆って配置された第1の単結晶半導体層であって、該第1の単結晶半導体層が緩和シリコンの格子定数とは異なる格子定数を有する、第1の単結晶半導体層と

、
第1の領域内の該第1の単結晶半導体層を覆って配置された単結晶シリコン層と、

該単結晶シリコン層の少なくとも一部を含む素子を含む、少なくとも1つのシリコンベースの電子デバイスと、

第2の領域内の該第1の単結晶半導体層の少なくとも一部の上に配置され、該第1の領域には存在しない、第2の単結晶半導体層であって、該第2の単結晶半導体層が該緩和シリコンの格子定数とは異なる格子定数を有する、第2の単結晶半導体層と、

該第2の単結晶半導体層の少なくとも一部を含む素子を含む、少なくとも1つのIII-V族の電子デバイスと

を含む、構造。

【請求項7】

前記少なくとも1つのシリコンベースの電子デバイスを、前記少なくともIII-V族の電子デバイスと結合する電氣的相互接続をさらに含む、請求項6に記載の構造。

【請求項8】

前記第 1 の領域の前記第 1 の単結晶半導体層を覆って配置された絶縁層をさらに含み、前記単結晶シリコン層は、該第 1 の領域の該絶縁層を覆って配置される、請求項 1 から 7 に記載の構造。

【請求項 9】

前記第 1 の単結晶半導体層は、少なくとも 2 つの単結晶半導体層を含み、該少なくとも 2 つの単結晶半導体層は、互いを覆って配置され、互いに異なる格子定数であって、前記緩和シリコン、あるいはシリコン - ゲルマニウム層、あるいは該シリコン - ゲルマニウム層の下に配置されたシリコン - ゲルマニウム傾斜層、あるいは III - V 族半導体層とも異なる格子定数を有する、請求項 1 から 8 に記載の構造。

【請求項 10】

前記少なくとも 2 つの単結晶半導体層は、ゲルマニウム層、あるいは GaAs 層と InP 層、あるいは GaAs 層と GaN 層を含む、請求項 9 に記載の構造。

【請求項 11】

前記少なくとも 2 つの単結晶半導体層は、ゲルマニウム層と GaN 層とを含む、請求項 9 に記載の構造。

【請求項 12】

前記第 2 の単結晶半導体層の上面は、前記単結晶シリコン層の上面と実質的に同一平面上にある、請求項 1 から 11 のいずれかに記載の構造。

【請求項 13】

前記第 2 の単結晶半導体層は、III - V 族の半導体層を含む、請求項 1 から 12 のいずれかに記載の構造。

【請求項 14】

前記 III - V 族の半導体層を覆って配置されたシリコン層をさらに含み、前記シリコン層は該 III - V 族の半導体層と接触して配置される、請求項 13 に記載の構造。

【請求項 15】

前記第 2 の単結晶半導体層は、前記第 1 の単結晶層の組成とは異なる組成を有する、請求項 1 から 14 のいずれかに記載の構造。

【請求項 16】

前記少なくとも 1 つのシリコンベースの電子デバイスは、金属酸化膜半導体電界効果トランジスタを含む、請求項 1 から 15 のいずれかに記載の構造。

【請求項 17】

前記少なくとも 1 つの III - V 族電子デバイスは、III - V 族の高電子移動度トランジスタ (HEMT)、あるいは III - V 族のヘテロ接合バイポーラトランジスタ (HBT) を含む、請求項 6 に記載の構造。

【請求項 18】

半導体構造を形成する方法であって、該方法は、シリコン基板を提供することと、該シリコン基板を覆って第 1 の単結晶半導体層を配置することであって、該第 1 の単結晶半導体層が緩和シリコンの格子定数とは異なる格子定数を有する、ことと、第 1 の領域内の該第 1 の単結晶半導体層を覆って単結晶シリコン層を配置することと、第 2 の領域内の該第 1 の単結晶半導体層の少なくとも一部を覆って第 2 の単結晶半導体層を配置することであって、該第 2 の単結晶半導体層が該第 1 の領域には存在せず、該第 2 の単結晶半導体層が該緩和シリコンの格子定数とは異なる格子定数を有する、こととを含む、方法。

【請求項 19】

モノリシックに集積化した半導体デバイス構造を形成する方法であって、該方法は、シリコン基板を提供することと、該シリコン基板を覆って第 1 の単結晶半導体層を配置することであって、該第 1 の単結晶半導体層が緩和シリコンの格子定数とは異なる格子定数を有する、ことと、第 1 の領域内の該第 1 の単結晶半導体層を覆って絶縁層を配置することと、

該第 1 の領域内の該絶縁層を覆って単結晶シリコン層を配置することと、
該単結晶シリコン層の少なくとも一部を含むアクティブ領域を含む、少なくとも 1 つの
シリコンベースの光検出器を形成することと、
第 2 の領域内の該第 1 の単結晶半導体層の少なくとも一部を覆って、該第 1 の領域には
存在しない、第 2 の単結晶半導体層を配置することであって、該第 2 の単結晶半導体層が
該緩和シリコンの格子定数とは異なる格子定数を有する、ことと、
該第 2 の単結晶半導体層の少なくとも一部を含むアクティブ領域を含む、少なくとも 1
つの非シリコンの光検出器を形成すること
を含む、方法。

【請求項 20】

モノリシックに集積化した半導体デバイス構造を形成する方法であって、該方法は、
シリコン基板を提供することと、
該シリコン基板を覆って第 1 の単結晶半導体層を配置することであって、該第 1 の単結
晶半導体層が緩和シリコンの格子定数とは異なる格子定数を有する、ことと、
第 1 の領域内の該第 1 の単結晶半導体層を覆って絶縁層を配置することと、
該第 1 の領域内の該絶縁層を覆って単結晶シリコン層を配置することと、
該単結晶シリコン層の少なくとも一部を含む素子を含む、少なくとも 1 つのシリコンベ
ースの電子デバイスを形成することと、
第 2 の領域内の該第 1 の単結晶半導体層の少なくとも一部を覆って、該第 1 の領域には
存在しない、第 2 の単結晶半導体層を配置することであって、該第 2 の単結晶半導体層が
該緩和シリコンの格子定数とは異なる格子定数を有する、ことと、
該第 2 の単結晶半導体層の少なくとも一部を含む素子を含む、少なくとも 1 つの I I I
- V 族電子デバイスを形成すること
を含む、方法。