

(19) 日本国特許庁 (JP)

(12) 特 許 公 報 (B2)

(11) 特許番号

特許第4081350号
(P4081350)

(45) 発行日 平成20年4月23日 (2008. 4. 23)

(24) 登録日 平成20年2月15日 (2008. 2. 15)

(51) Int. Cl.

F I

G 1 1 C 17/06 (2006. 01)

G 1 1 C 17/06

D

請求項の数 19 (全 20 頁)

(21) 出願番号	特願2002-323686 (P2002-323686)	(73) 特許権者	398038580
(22) 出願日	平成14年11月7日 (2002. 11. 7)		ヒューレット・パカード・カンパニー
(65) 公開番号	特開2003-187589 (P2003-187589A)		HEWLETT-PACKARD COM
(43) 公開日	平成15年7月4日 (2003. 7. 4)		PANY
審査請求日	平成17年1月6日 (2005. 1. 6)		アメリカ合衆国カリフォルニア州パロアル
(31) 優先権主張番号	09/990, 924		ト ハノーバー・ストリート 3000
(32) 優先日	平成13年11月13日 (2001. 11. 13)	(74) 代理人	100081721
(33) 優先権主張国	米国 (US)		弁理士 岡田 次生
		(74) 代理人	100105393
			弁理士 伏見 直哉
		(74) 代理人	100111969
			弁理士 平野 ゆかり

最終頁に続く

(54) 【発明の名称】 メモリのためのアドレス構成を生成する方法

(57) 【特許請求の範囲】

【請求項 1】

L 個のメモリライン及び n 個のアドレスラインを含み、第 1 の抵抗状態を有する第 1 のアドレス素子と、該第 1 のアドレス素子よりも大型で第 2 の抵抗状態を有する第 2 のアドレス素子とを含むアドレス構成のシーケンスを使用する方法であって、

L 個のブロックを形成することを含み、該ブロックのそれぞれの最上位列が、前記第 2 のアドレス素子が隣接排反して同一のシフトされていない前記シーケンスを含むように、前記シーケンスで充填されており、

前記ブロックのそれぞれの最下位列のエントリが、前記第 2 のアドレス素子が隣接排反して循環的にシフトされるように、前記各ブロックの最下位列が前記シーケンスで充填されており、

それにより、前記 L 個のブロックが、 L^2 個のメモリラインと $2n$ 個のアドレスラインのためのアドレス構成を含む、方法。

【請求項 2】

前記ブロックのそれぞれに対する前記循環的シフトが固有である、請求項 1 に記載の方法。

【請求項 3】

前記ブロックのそれぞれの前記最上位列の i 番目のエントリが、前記シーケンスの i 番目のエントリと等しい、請求項 1 に記載の方法。

【請求項 4】

10

20

k 番目のブロックの前記最下位列の i 番目のエントリが、前記シーケンスの (i + s (k)) 番目のエントリと等しい (但し、s (k) はシフト量)、請求項 1 に記載の方法。

【請求項 5】

L が奇数の場合、 $s(k) = s(k - 2) - 2$ である、請求項 4 に記載の方法。

【請求項 6】

前記 L 個のブロックが第 1 のテーブルを有し、L が偶数である場合、該第 1 のテーブルからツインテーブルを形成することをさらに含む、請求項 1 に記載の方法。

【請求項 7】

前記第 1 のテーブルが前記ツインテーブルの最後に追加される、請求項 6 に記載の方法。

10

【請求項 8】

前記ツインテーブルが前記第 1 のテーブルの最後に追加される、請求項 6 に記載の方法。

【請求項 9】

L 個のメモリラインを含む前記シーケンスが隣接排反であり、さらに以下の 6 つの条件、すなわち、 c_0 および c_1 が異なるパリティを (整数として) 有し、 c_2 および c_3 が異なるパリティを (整数として) 有し、 $T(c_1 + 1) - T(c_2) = 0$ であり、 $T(c_0 + 1) - T(c_1) = 0$ であり、 $T(c_2 + 1) - T(c_3) = 0$ であり、 $T(c_3 + 1) - T(c_0) = 0$ である (但し $T(j)$ は j 番目のメモリラインのアドレス構成)、という前記条件が満足されるように、1 と L との間にインデックス c_0 、 c_1 、 c_2 および c_3 が存在する、請求項 6 に記載の方法。

20

【請求項 10】

前記シーケンスがルックアップテーブルから獲得される、請求項 1 に記載の方法。

【請求項 11】

第 1 の抵抗状態を有する第 1 のアドレス素子と、該第 1 のアドレス素子よりも大型で第 2 の抵抗状態を有する第 2 のアドレス素子と、を含むメモリデバイスのアドレス構成を生成する方法であって、

L 個のメモリライン及び n 個のアドレスラインのためのアドレス構成のシーケンスにアクセスするステップと、

L 個のブロックを形成するステップと、を含み、

30

該ブロックのそれぞれの最上位列においては、前記第 2 のアドレス素子が隣接排反していると共に、該最上位列の i 番目のエントリが前記シーケンスの i 番目のエントリと等しく、k 番目のブロックの最下位列においては、前記第 2 のアドレス素子が隣接排反していると共に、該最下位列の i 番目のエントリが前記シーケンスの (i + s (k)) 番目のエントリと等しく (但し s (k) はシフト量)、

前記 L 個のブロックが、 L^2 個のメモリラインと $2n$ 個のアドレスラインのためのアドレス構成を含む、方法。

【請求項 12】

前記ブロックのそれぞれに対するシフト量が固有である、請求項 11 に記載の方法。

【請求項 13】

L が奇数の場合、 $s(k) = s(k - 2) - 2$ である、請求項 11 に記載の方法。

40

【請求項 14】

前記 L 個のブロックが第 1 のテーブルを有し、L が偶数である場合に該第 1 のテーブルからツインテーブルを形成するステップをさらに含む、請求項 11 に記載の方法。

【請求項 15】

前記シーケンスがルックアップテーブルから獲得される、請求項 11 に記載の方法。

【請求項 16】

L 個のメモリライン及び n 個のアドレスライン用のアドレス構成を含むルックアップテーブルを使用して、第 1 の抵抗状態を有する第 1 のアドレス素子と、該第 1 のアドレス素子よりも大型で第 2 の抵抗状態を有する第 2 のアドレス素子と、を含むメモリデバイスの

50

アドレス構成を生成する方法であって、

L 個のブロックを形成することを含み、該ブロックのそれぞれの最上位列においては、前記第 2 のアドレス素子が隣接排反していると共に、該最上位列の i 番目のエントリが前記シーケンスの i 番目のエントリと等しく、k 番目のブロックの最下位列においては、前記第 2 のアドレス素子が隣接排反していると共に、該最下位列の i 番目のエントリが前記シーケンスの (i + s (k)) 番目のエントリと等しく (但し s (k) はシフト量)、

前記 L 個のブロックが、 L^2 個のメモリラインと $2n$ 個のアドレスラインのためのアドレス構成を含む、

方法。

【請求項 17】

前記ブロックのそれぞれに対するシフト量が固有である、請求項 16 に記載の方法。

【請求項 18】

L が奇数の場合、 $s(k) = s(k - 2) - 2$ である、請求項 16 に記載の方法。

【請求項 19】

前記 L 個のブロックが第 1 のテーブルを有し、L が偶数である場合に該第 1 のテーブルからツインテーブルを形成することをさらに含む、請求項 16 に記載の方法。

【発明の詳細な説明】

【0001】

【発明の属する技術分野】

本発明は、情報記憶装置に関する。より詳細には、本発明は、半導体メモリのためのアドレスロジックに関する。

【0002】

【従来の技術】

PDA、ハンドヘルドコンピュータ、デジタルカメラおよびデジタルミュージックプレイヤー等の携帯機器は、データ、デジタルイメージおよび MP3 ファイルを格納するためのメモリを有する。これら携帯機器に対して異なるタイプのメモリが入手可能である。従来のメモリタイプには、フラッシュメモリ、小型ハードドライブ、小型コンパクトディスクおよび磁気テープが含まれる。しかしながら、これらメモリタイプの各々には、以下の限界のうちの 1 つまたは複数がある。すなわち、物理サイズが大きいこと、記憶容量が低いこと、コストが相対的に高いこと、頑強性に乏しいこと、アクセス時間が低速であること、消費電力が高いこと、である。

【0003】

半導体ダイオードベースの OTP メモリが、2001 年 6 月 5 日に出願された本願と同一の譲受人に譲渡された米国特許出願第 09/875,356 号に開示されている。従来のメモリと比較して、ダイオードベースのメモリは、耐衝撃性が高く、消費電力が低く、アクセス時間が高速であり、転送速度が適度であり、記憶容量が十分である。ダイオードベースのメモリは、携帯機器の標準携帯インタフェース (例えば、PCMCIA、CF) に適合することができる。

【0004】

複数レベルを有するダイオードベースのメモリ装置では、各レベルがメインメモリとアドレスロジックとを有する (DRAM 等の従来の半導体メモリとは異なる)。ダイオードベースのメモリ装置のアドレスロジックは、プログラム可能である。アドレスロジックは、各レベルが製作された後にプログラムされることが可能である。いかなるマスキングも必要でないため、物理的处理は簡略化される。

【0005】

【発明が解決しようとする課題】

メモリ容量を増大させることは、メモリ製造業者の継続的な目的である。しかしながら、メモリ容量が増大するにしたがい、アドレスラインおよびメモリラインの数もまた増大する。それによって、アドレスラインの増大に適応するためにアドレス構成が長くなり、メモリラインの増大に適応するためにアドレス構成の数が増大する。

10

20

30

40

50

【 0 0 0 6 】

アドレス構成の効率的な生成が必要である。

【 0 0 0 7 】

【課題を解決するための手段】

本発明の一態様によれば、方法は、 L 個のメモリライン及び n 個のアドレスラインを有するアドレス構成のシーケンスを使用することを含む。本方法は、 L 個のブロックを形成する。各ブロックの最上位列が同じシフトされていないシーケンスを含むように、各ブロックの最上位列にはシーケンスが充填される。ブロックの最下位列のエントリが循環的にシフトされるように、各ブロックの最下位列にはシーケンスが充填される。 L 個のブロックが、 L^2 個のメモリラインと $2n$ 個のアドレスラインとに対するアドレス構成を含む。

10

【 0 0 0 8 】

本発明の他の態様および利点は、例として本発明の原理を例示している添付図面に関連して、以下の詳細な説明から明らかとなろう。

【 0 0 0 9 】

【発明の実施の形態】

例示の目的のために図面に示すように、本発明は、ダイオードベースの OTP メモリ装置において具体化される。以下の段落では、OTP メモリ装置の構造を説明し、その後 2 つのアドレスプロトコルを説明する。アドレスプロトコルのうちの一方は、耐故障性を持つアドレス構成を提供することができる。他方のアドレスプロトコルは、耐故障性を持つアドレス構成とともに隣接排反(neighborhood-disjoint)アドレス構成を提供することができる。耐故障性を持つアドレスロジックは、製造歩留まりを向上させることができ、隣接排反アドレスロジックは、メモリ装置をより高い分解能で形成することができる。アドレスプロトコルの説明の後に、ルックアップを使用してアドレス構成を大型メモリアレイに拡張する方法を説明する。

20

【 0 0 1 0 】

図 1 は、マルチレベル半導体メモリ装置 110 を示す。複数のレベル 112 は、互いの上に積重ねられている。各レベル 112 は、メインメモリとアドレスロジックとを有する。レベル 112 は、メモリシステムインタフェース 116 によって制御/インタフェース回路 114 に接続される。制御/インタフェース回路 114 は、基板上に形成される。制御/インタフェース回路 114 は、装置 110 を動作させるための機能とともに、誤り符号訂正(error code correction (ECC))と欠陥管理機能とを実行する。これら機能には、書込み電圧を設定すること、書込みイネーブルラインを設定しパワーセンスストライピングを制御することと、論理アドレスを物理メモリロケーションにアクセスするために必要なアドレスラインパターンに変換することによってメモリに対してアドレス指定すること、センスライン出力のデータ読出し処理と、が含まれる。

30

【 0 0 1 1 】

システムインタフェース 116 は、アドレスラインを含む。各レベル 112 のアドレスロジックは、同じアドレスラインを共有する。データが装置 110 に書込まれる時、ビットはあるレベル以上の隣接するメモリ素子には格納されない。代わりに、ワードのビットは、異なるレベル 112 に格納される。

40

【 0 0 1 2 】

アドレスロジックが耐故障性を持つ場合、1 つのレベルで 1 つのアドレスラインに欠陥がある可能性があり、別のレベルで別のアドレスラインに欠陥がある可能性があるが、各レベルは独立して欠陥に対して耐性がある。

【 0 0 1 3 】

ここで、図 2 を参照するが、この図は、半導体メモリ装置のレベル 208 を示す。レベル 208 は、メインメモリ 210 とプログラマブルアドレスロジック 212、214 とを有する。メインメモリ 210 は、OTP メモリ素子 216 と、メモリ素子 216 の行に沿って延在するワードライン 218 と、メモリ素子 216 の列に沿って延在するビットライン 220 と、からなるクロスポイント抵抗アレイを有する。メモリ素子 216 の各行に対し

50

て1つのワードライン218と、メモリ素子216の各列に対して1つのビットライン220と、があってよい。各メモリ素子216は、ワードライン218とビットライン220とのクロスポイントに配置される。レベル208の図を簡略化するために、比較的少ない数のメモリ素子216のみが示されている。実際には、いかなるサイズのアレイが使用されてもよい。

【0014】

メモリラインは、ワードライン218かまたはビットライン220のいずれかを指してもよい。

【0015】

アドレスロジック212、214は、組合せダイオードロジックを使用して読出しおよび書込み動作中にメモリ素子216をアドレス指定する。アドレスロジック212、214は、ワードライン218を選択するOTP行デコーダ212を含む。行デコーダ212は、行アドレスライン222に供給されるアドレスをデコードすることによってワードライン218を選択する(アドレスは、外部行アドレスドライバ224によって供給されてもよい)。行デコーダ212は、複数のOTPアドレス素子226を有する。行デコーダ212の各アドレス素子226は、ワードライン218と行アドレスライン222とのクロスポイントにある。

10

【0016】

アドレスロジック212、214はまた、ビットライン220を選択するOTP列デコーダ214も有する。列デコーダ214は、列アドレスライン228に供給されるアドレスをデコードすることによりビットライン220を選択する(アドレスは、外部列アドレスドライバ230によって供給されてもよい)。列デコーダ214もまた、複数のOTPアドレス素子226を有する。列デコーダ214の各アドレス素子226は、ビットライン220と列アドレスライン228とのクロスポイントにある。

20

【0017】

各ワードライン218の一端は、行センスロジック234で終端する。行センスロジック234は、複数のセンス抵抗器236を有し、各センス抵抗器236は行パワーライン238とワードライン218の端部との間に接続される。行センスライン240は、ワードライン218と交差する。行センスロジック234はまた、複数のセンス素子242も有し、各センス素子242は、行センスライン240とワードライン218との間に接続される。

30

【0018】

各ビットライン220の一端は、列センスロジック244で終端する。列センスロジック244は、複数のセンス抵抗器236を有し、各センス抵抗器236は、列パワーライン246とビットライン220の端部との間に接続される。列センスライン248は、ビットライン220と交差する。列センスロジック244はまた、複数のセンス素子242を有し、各センス素子242は、列センスライン248とビットライン220との間に接続される。

【0019】

メインメモリ210と行デコーダ212との間の行プログラミングライン250は、ワードライン218と交差する。プログラミング素子252は、行プログラミングライン250とワードライン218との間に接続される。

40

【0020】

メインメモリ210と列デコーダ214との間の列プログラミングライン254は、ビットライン220と交差する。プログラミング素子252は、列プログラミングライン254とビットライン220との間に接続される。

【0021】

メモリ素子216と、アドレス素子226と、センス素子242と、プログラミング素子252と、は、すべてダイオードベースであってよい。これによって、レベル208の製作が容易になる。

50

【 0 0 2 2 】

図 3 a 乃至図 3 c に、異なるタイプのプログラマブル素子 2 1 6 / 2 2 6 / 2 4 2 / 2 5 2 を示す。図 3 a のプログラマブル素子は、ダイオード 3 1 2 と直列に連結されたヒューズ 3 1 0 を含む。プログラミングの前は、かかる素子の抵抗状態はローであり、ヒューズ 3 1 0 は元のまま（変化しない、intact）である。プログラミング中、素子の抵抗状態は、ヒューズ 3 1 0 の「飛び(blowing)」によってローからハイに変化することができる。

【 0 0 2 3 】

図 3 b のプログラマブル素子は、ダイオード 3 2 2 と直列に連結された抵抗器 3 2 0 を含む。プログラミングの前は、かかる素子の抵抗状態はローであり、ヒューズ 3 2 0 は元のままである。プログラミング中、素子の抵抗状態は、抵抗器 3 2 0 の「飛び(blowing)」によりローからハイに変化することができる。

10

【 0 0 2 4 】

図 3 c のプログラマブル素子は、ダイオード 3 3 2 のみを含む。プログラミングの前は、ダイオード 3 3 2 は元のままであるため、その抵抗状態はローである。プログラミング中、ダイオード 3 3 2 は、その抵抗状態をローからハイに変化させるように開放されることが可能である。かかるダイオード 3 3 2 は、ヒューズとして機能する。代替的に、ダイオード 3 3 2 は、プログラミング中に高抵抗状態から低抵抗状態になるアンチヒューズとして機能することができる。

【 0 0 2 5 】

プログラマブル素子 2 1 6 / 2 2 6 / 2 4 2 / 2 5 2 は、図 3 a 乃至図 3 c に示すタイプに限定されない。例えば、プログラマブル素子 2 1 6 / 2 2 6 / 2 4 2 / 2 5 2 は、ダイオードの代りにトランジスタを含むことができる。

20

【 0 0 2 6 】

図 2 に戻ると、レベル 2 0 8 は以下のように製作することができる。基板上に列ライン 2 2 0 が形成され、列ライン 2 2 0 上にシリコンの多層膜が形成され、膜の上にワードライン 2 1 8 が形成される。各プログラマブル素子 2 1 6 / 2 2 6 / 2 4 2 / 2 5 2 は、2 つの交差トレース（Ｔ）（図 4 参照）間において膜（Ｆ）のその部分として形成されてよい。プログラマブル素子 2 1 6 / 2 2 6 / 2 4 2 / 2 5 2 のサイズは、交差するライン間のオーバーラップ部分と膜の厚さによって確定される。例えば、メインメモリ 2 1 0 のダイオードは、交差するワードライン 2 1 8 とビットライン 2 2 0 との間において膜のその部分として形成されてよい。

30

【 0 0 2 7 】

膜の異なる層は、ダイオード 3 1 2、3 2 2、3 3 2 を形成するために適当なドーピング（および／または結晶およびアモルファスシリコンの組合せ）を有する。抵抗器 3 2 0、ヒューズ 3 1 0 またはアンチヒューズを形成するために、適当なドーピングにより更なる層を追加することができる。センス抵抗器 2 3 6 は、ワードおよびビットライン 2 1 8 および 2 2 0 の端部を変更することによって形成されてよい。行および列アドレスドライバ 2 2 4 および 2 3 0 は、基板上に制御／インタフェース回路 1 1 4 の一部として形成されてよい。

【 0 0 2 8 】

40

データは、行および列アドレスを行および列デコーダ 2 1 2 および 2 1 4 に供給することによって、メインメモリ 2 1 0 に書込むことができる。書込み電流は、選択されたワードライン 2 1 8 と選択されたビットライン 2 2 0 とを流れ、したがって選択されたワードおよびビットライン 2 1 8 および 2 2 0 のクロスポイントにおいてメモリ素子 2 1 6 を流れる。書込み電流の大きさは、選択された要素の抵抗状態を変更するためには十分である（例えば、図 3 a のヒューズ 3 1 0 を開放すること、図 3 b の抵抗器 3 2 0 を開放すること、図 3 c のダイオード 3 3 2 を開放すること、アンチヒューズを短絡させることによる）。

【 0 0 2 9 】

メモリ素子 2 1 6 の抵抗状態は、行および列デコーダ 2 1 2 および 2 1 4 に行および列ア

50

ドレスを供給することによって検知することができる。行センスライン 240 に電圧が印加され、列センスライン 248 には反対の極性の電圧が印加される。センス電流は、選択されたワードライン 218 と選択されたビットライン 220 とに流れ、したがって、選択されたワードおよびビットライン 218 および 220 のクロスポイントにおいてメモリ素子 216 を流れる。センス電流の大きさは、選択されたメモリ素子 216 の抵抗状態を示す。

【0030】

ここで、図 4 a を参照する。行および列デコーダ 212 および 214 は、装置製作 (412) 前に構成されてよく (410)、レベル 208 が製作された後にプログラムされる (414)。デコーダ 212 および 214 は、メモリラインにアドレス構成を割当てることによって構成されてよい。各アドレス構成は、論理 1 と論理 0 とのビットパターンを含む。アドレス構成の各ビットは、メモリラインに接続されたプログラマブルアドレス素子 226 に対応する。アドレス素子 226 は、アドレス構成にしたがって製作される。例えば、「0」のアドレス構成ビット値に対応するアドレス素子 226 は、「1」のアドレス構成ビットに対応するアドレス素子 226 とは異なる通電容量を有する。ここで、アドレス素子の製作およびプログラミングをより詳細に説明する。アドレス構成を生成するアドレスプロトコルについては後述する。

【0031】

図 5 を参照する。塗潰しゼロ () によって示される高通電容量素子は、アドレス構成ビットの第 1 の論理値に対応する。バツ印 (x) によって示される低通電容量素子は、アドレス構成ビット状態の第 2 の論理値に対応する。塗潰しゼロによって示されるアドレス素子 226 は、プログラミング中に抵抗状態が変化しない。バツ印によって示されるアドレス素子は、プログラミング中抵抗状態が変化する。単に例示の目的のために、バツ印によって示される素子は論理「0」に対応し、塗潰しゼロによって示される素子は論理「1」に対応する。論理「1」は、必ずしも高電圧に対応しない。

【0032】

行デコーダ 212 のプログラミング中、行プログラミングライン 250 にわたって電圧 (- V) が印加され、行センスライン 240 に反対の極性の電圧 (+ V) が印加される。(列デコーダ 214 のプログラミング中、列プログラミングライン 254 の前後に電圧が印加され、列センスライン 248 に反対の極性の電圧が印加される。)これによって、背合せに接続された 2 つのダイオードの前後に有効に電圧が印加される。電圧は、すべてのアドレス素子が逆バイアスされ、センス素子が順方向バイアスされるように印加される。したがって、電流はアドレス素子 226 を流れる。この電流により、バツ印によって示されるアドレス素子 226 のリンクは断絶されるが、塗潰しゼロによって示されるアドレス素子 226 のリンクは断絶されない。このように、塗潰しゼロによって示されるアドレス素子 226 は元のままの (intact) 状態を維持する。行デコーダ 212 のメモリライン M1 ~ M9 は、元のままの (変化しない) および変化したアドレス素子 226 からなる異なるパターンに接続され、それによってアドレスラインのセットがメモリラインのうちの 1 つを除くすべてを除外することになる。

【0033】

さらに、メモリラインのダイオードパターン (プログラミング後) を示す図 5 a を参照する。アドレス素子 226 のダイオードは、ワイヤードロジック素子を形成するアクティブな素子である。アドレスライン A0 ~ A5 にアドレス $a_0 a_1 a_2 a_3 a_4 a_5 = 110110$ が与えられると、アドレスライン A0、A1、A3 および A4 に接続されたダイオードは逆バイアスされる。その結果、電流 (矢印で示す) は、メモリラインからメインメモリ 210 に流れることができるようになる。

【0034】

同じアドレス $a_0 a_1 a_2 a_3 a_4 a_5 = 110110$ が、図 5 b に示すメモリラインを除外する。例えば、アドレスライン A2 に論理「0」を与えると、アドレスライン A2 とメモリラインとの間に接続されたダイオードが順方向バイアスされることになる。その結

10

20

30

40

50

果、電流は順方向バイアスされたダイオードに分流し、メインメモリ 2 1 0 に流れなくなる。

【 0 0 3 5 】

ここで図 6 a 乃至図 6 c を参照する。高通電容量を有するアドレス素子 2 2 6 b は、低通電容量を有するアドレス素子 2 2 6 a より物理的に大型に作製される可能性がある。アドレスプロトコルが、いずれの列にも大型のアドレス素子 2 2 6 b が隣接していないことを保証することができる場合、アドレスロジックは、図 6 a に示す構成を有することができる。図 6 a は、列がいかなる隣接する大型のアドレス素子 2 2 6 b も含まない行デコーダ 2 1 2 を示す。そのようには示されていないが、アドレス素子 2 2 6 a および 2 2 6 b は、フルコンタクトピッチで形成されてよい。

10

【 0 0 3 6 】

アドレスプロトコルがかかる保証を提供することができない場合、それによってアドレスロジックは列に隣接する大型のアドレス素子を含む可能性があるため、ワードライン 2 1 8 間の距離が増大する可能性がある。しかしながら、これによって、メインメモリのデータ記憶密度が低減する。

【 0 0 3 7 】

代りに、図 6 b に示すように、行デコーダ 2 1 2 は、間隔が空けられた 2 つのセット 2 1 2 a および 2 1 2 b に分割されてよい。奇数ワードライン 2 1 8 a は偶数ワードライン 2 1 8 b と交互に噛合うように配置される。アドレスラインの第 1 のセット 2 2 2 a は、奇数ワードライン 2 1 8 a と交差し、アドレスラインの第 2 のセット 2 2 2 b は、偶数ワードライン 2 1 8 b と交差する。アドレスラインの第 1 および第 2 のセット 2 2 2 a および 2 2 2 b は、同じアドレス信号を受取る。

20

【 0 0 3 8 】

この方法によって、隣接するアドレス素子 2 2 6 b のサイズは 3 倍に拡大されるが、それでもなお他のアドレス素子 2 2 6 a を高分解能で製作することができる。アドレスプロトコルが、いずれの列にも大型のアドレス素子 2 2 6 b が隣接していないことを保証することができる場合、隣接しない大型のメモリ素子 2 2 6 b のサイズを 5 倍に拡大することができる(図 6 c を参照)。

【 0 0 3 9 】

図 6 a 乃至図 6 c では、行デコーダ 2 1 2 に関連して説明した。しかしながら、同じ原理を列デコーダ 2 1 4 に適用してよい。

30

【 0 0 4 0 】

アドレスプロトコルは、 n ビットアドレス構成を L 個のメモリライン(例えば L 行または L 列)の各々に 1 : 1 にマップすることを含み、それにより、いずれの 2 つの行にも同じアドレス構成が割当てられず、いずれの 2 つの列にも同じアドレス構成が割当てられない。

【 0 0 4 1 】

表 1 に示すアドレス構成を考慮する。6 つのメモリライン $M_1 \sim M_6$ と 4 つのアドレスライン $A_0 \sim A_3$ とがある。アドレスラインに与えられる論理「0」は、変化しない(intact)素子によってそのアドレスラインに接続されるすべてのメモリラインを除外する。アドレスライン A_0 、 A_1 、 A_2 および A_3 にアドレス $a_0 a_1 a_2 a_3 = 1 1 0 0$ が供給される場合、第 1 のメモリライン M_1 を除くすべてのメモリライン $M_2 \sim M_6$ が除外される(第 1 のメモリライン M_1 の第 1 および第 2 のアドレス素子は変化せず、第 1 のメモリラインの第 3 および第 4 のアドレス素子は変化する)。

40

【 0 0 4 2 】

【表 1】

	A 0	A 1	A 2	A 3
M 1	●	●	×	×
M 2	●	×	●	×
M 3	●	×	×	●
M 4	×	●	●	×
M 5	×	●	×	●
M 6	×	×	●	●

【 0 0 4 3 】

アドレスラインは、物理的かつ電氣的に層のすべての対応するアドレス素子に接続されるため、層のいずれかにおける単一の欠陥接続によって使用不可能となる場合がある。アドレスラインは、経年変化または環境プロセスにより長い間に発生する欠陥によって使用不可能となる可能性がある。アドレスライン A 0、A 1、A 2 または A 3 のうちの 1 つが使用不可能となった場合、そのアドレスラインはいくつかのメモリラインを除外することができなくなる。アドレスライン A 3 に欠陥が生じると、それは、メモリライン M 2、M 4 および M 6 を除外することができなくなる。

10

【 0 0 4 4 】

この問題は、耐故障性を持つアドレス構成を備えるアドレスプロトコルを使用することによって回避することができる。耐故障性は、欠陥が発生した場合であってもメモリ装置が正確に機能することができるようにする組込み冗長性を含む。このため、耐故障性は、製造歩留まりを向上させることができる。その代わりに、アドレスラインが増大する。

20

【 0 0 4 5 】

図 7 を参照する。耐故障性は、 t が欠陥のあるアドレスラインの最大許容可能数である場合、少なくとも $t + 1$ の対称距離を有する非包含的なアドレス構成のセットを割当てることによって達成することができる (7 1 0)。

【 0 0 4 6 】

ここで、いくつかの条件を説明する。 $u_1, u_2 \in \{0, 1\}^n$ とする。単方向距離 $d_U(u_1, u_2)$ は、 u_1 が 1 を有し、かつ u_2 が 0 を有する位置の数である。対称距離は、 $d_S(u_1, u_2) = \min \{d_U(u_1, u_2), d_U(u_2, u_1)\}$ である。ハミング距離は、 $d_H(u_1, u_2) = d_U(u_1, u_2) + d_U(u_2, u_1)$ である。ハミング距離は、対称距離の少なくとも 2 倍である。すなわち、 $d_H(u_1, u_2) \geq 2 d_S(u_1, u_2)$ である。例えば、 $u_1 = 11100$ および $u_2 = 1001$ である場合、 $d_U(u_1, u_2) = 2$ および $d_U(u_2, u_1) = 1$ であり、 $d_H(u_1, u_2) = 3$ であり、 $d_S(u_1, u_2) = 1$ である。少なくとも 2 つの n ビットワードのセット U の場合、対称距離 $d_S(U)$ は、セット U における任意の 2 つの別個のワードの間における最小の対称距離であり、ハミング距離 $d_H(U)$ は、セット U における任意の 2 つの別個のワードの間における最小ハミング距離である。

30

【 0 0 4 7 】

$d_U(u_1, u_2) = 0$ である場合、 u_2 は u_1 を包含する。したがって、 u_2 が u_1 を包含するかまたは u_1 が u_2 を包含する場合に限って、 $d_S(u_1, u_2) = 0$ である。いずれのアドレス構成も他のアドレス構成を包含しないように、メモリラインにアドレス構成が割当てられる。この制約により、単一アドレスが複数のメモリラインを選択することが無くなる。

40

【 0 0 4 8 】

したがって、あるセットにおける n ビットワードが非包含的である場合、ワードのセットは、 n 個のアドレスラインに対するアドレス構成として割当てられてよい。

【 0 0 4 9 】

これら制約を満足するワードの 1 つのセットは、 t -Sperner(n, L) コードワードである。 t -Sperner(n, L) コードは、 $d_S(U) \geq t + 1$ であるように、 L 個の n ビットワードからなるセット U である。 1 -Sperner($7, 6$) コード

50

の例は、 $U = \{1100100, 1010010, 1001101, 0110001, 0101010, 0011100\}$ である。ハミング距離は、 $d_H(U) = 4$ である。アドレスラインの $t = 1$ に欠陥が生じる場合であっても、いずれのワードも他のワードを包含しない。

【0050】

アドレスワードは、 t -Spernerワードのタイプである一定重みコード($\text{constant weight code (CWC)}$)ワードであってよい。 n ビットワードのセット C は、セット C の各ワードがハミング重み (w) を有し $d_H(C) \geq 2t + 2$ である場合、 $\text{CWC}(n, 2t + 2, w)$ である。これら条件は、 C が t -Sperner(n, L)コードであることを意味する。

10

【0051】

表2のアドレス構成を考慮する。さらなる3つのアドレスライン(A_4 、 A_5 および A_6)が追加されている。いかなる $t = 1$ アドレスラインが使用不可能である場合であっても、いずれのアドレス構成も他のアドレス構成を包含しない。このため、欠陥のあるアドレスラインの最大許容可能数は、 $t = 1$ である。

【0052】

【表2】

	A0	A1	A2	A3	A4	A5	A6
M1	●	●	×	×	●	×	×
M2	●	×	●	×	×	●	×
M3	●	×	×	●	×	×	●
M4	×	●	●	×	×	×	●
M5	×	●	×	●	×	●	×
M6	×	×	●	●	●	×	×

20

【0053】

アドレスライン A_1 が使用不可能となった場合、残りの6つのアドレスライン A_0 と $A_2 \sim A_6$ とは、6つのメモリライン $M_1 \sim M_6$ の各々を明白に選択することができるようになる。アドレス $a_0 a_2 a_3 a_4 a_5 a_6 = 100100$ がまだ、第1のメモリライン M_1 を除くすべてのメモリライン $M_2 \sim M_6$ を除外する。

30

【0054】

メモリ装置は、隣接排反(neighborhood-disjoint)アドレス構成を生成するアドレスプロトコルを使用することによって、より高い分解能で製作することができる。かかるアドレスプロトコルは、いずれの列においても大型のアドレス素子 $226b$ が隣接していないことを保証する。

【0055】

ここで図8を参照すると、隣接排反アドレス構成は、 w がコードワードの重みであり、 n がアドレスラインの数であり、 t が欠陥アドレスラインの最大許容可能数である場合に、不等式 $(2w + t + 1) \leq n$ を満足する一定重みコードワードのセットを割当てることによって生成される。

40

【0056】

b 番目のメモリライン M_b のアドレス構成を $T(b)$ とする。アドレス指定が隣接排反である場合、 $T(b)$ と $T(b + 1)$ は、すべての b に対して不一致となるが(disjoint)、それは隣接するアドレスは同じ位置で1を有さないということである。すなわち、すべての b に対して $T(b) \cdot T(b + 1) = 0$ であり、さらに $T(L) \cdot T(1) = 0$ である場合、アドレス指定は隣接排反である。演算子 \cdot は、ビットに関して「AND (論理積)」を表す。

【0057】

表3に示すアドレス構成を考慮する。ハミング重みは $w = 3$ であり、アドレスラインの数は $n = 9$ であり、欠陥アドレスラインの最大許容可能数は $t = 1$ である。いずれの列にお

50

いても、大型のダイオード（塗潰しゼロで表される）が隣接していない。したがって、アドレス構成は、隣接排反である。さらに、いずれか1つのアドレスラインが使用不可能である可能性があるが、それでもまだ残りのアドレスラインはメモリラインを明確に選択することができる。耐故障性と隣接排反性に対する代価は、アドレスラインの数が4から9に増大するということである。

【0058】

【表3】

	A 0	A 1	A 2	A 3	A 4	A 5	A 6	A 7	A 8
M 1	●	●	×	×	●	×	×	×	×
M 2	×	×	●	×	×	●	×	●	×
M 3	●	×	×	●	×	×	●	×	×
M 4	×	●	●	×	×	×	×	×	●
M 5	×	×	×	●	●	×	×	●	×
M 6	×	×	×	×	×	●	●	×	●

10

【0059】

表3のアドレス構成は、 t -Sperner(n, L)コードから選択され、この例では $t = 1$ 、 $n = 9$ および $L = 6$ である。この隣接排反特性を満足させるために、 k 番目のメモリライン(M_k)に割当てられるアドレス構成は、 $k - 1$ 番目のメモリラインに割当てられる構成と隣接排反である残りのコードワードからランダムに選択される。残りのコードワード間に隣接排反コードワードを見つけない場合、 $k - 1$ 番目のアドレス構成は削除され、 $k - 1$ 番目のアドレス構成に対する別の選択が行われる。そして、 k 番目のアドレス構成が選択される。

20

【0060】

耐故障性のみ、隣接排反のみ、又は耐故障性かつ隣接排反であるかに関らず、アドレス構成は、ルックアップテーブルを使用することによってメモリラインに割当てることができる。ルックアップテーブルは、 n 個のアドレスラインと L 個のメモリラインとを有するメモリ装置に対して n ビットアドレス構成のすべてを提供することができる。しかしながら、かかるルックアップテーブルは、メモリ装置の記憶容量が増大するにしたがって非常に大きくなる可能性がある。

30

【0061】

図9は、 n 個のアドレスラインと L 個のメモリラインとに対する n ビットアドレス構成のシーケンスを提供するルックアップテーブルを用いる方法を示す。本方法は、ルックアップテーブルを使用して $2n$ 個のアドレスラインと L^2 個のメモリラインとに対するアドレス構成を生成することを含む。

【0062】

ここで図9を参照する。合計 L 個のブロックが形成される(910)。「最上位列」は、各ブロックの左半分を言う。「最下位列」は、各ブロックの右半分を言う。

【0063】

各ブロックの最上位列にはシーケンスが充填され、各ブロックの最上位列が同じシーケンスを含む(912)。各ブロックの最上位列の i 番目のエントリは、ルックアップテーブルの i 番目のエントリと等しい。

40

【0064】

各ブロックの最下位列にはシーケンスが充填されることで、第2のブロックのシーケンスが第1のブロックのシーケンスに関して循環的にシフトされ、第3のブロックのシーケンスが第2のブロックに関して循環的にシフトされ、と続く(914)。シーケンスは循環的にシフトされ、 k 番目のブロックの最下位列の i 番目のエントリがルックアップテーブルの($i + s(k)$)番目のエントリと等しくなる。ここで $s(k)$ は第1のブロックに対する k 番目のブロックのシフトの量である。この合計が L より大きい場合、 $i + s(k)$ から L を減算しなければならない。

50

【 0 0 6 5 】

L が奇数である場合、k 番目のブロックの最下位列のシフトの量 $s(k)$ は、 $k - 1$ 番目のブロックのシフトの量 $s(k - 1)$ から 2 を引いたものから取得されてよい。すなわち、 $s(k) = s(k - 1) - 2$ である。減算の結果が負の値となる場合、L が加算される。すなわち、 $s(k - 1) < 2$ である場合、 $s(k) = s(k - 1) - 2 + L$ である。隣接排反特性が侵されないように、 $s(L/2 + 1)$ の奇数値が選択される場合、 $(L/2 + 1)$ 番目のブロックを除き、L が偶数である場合も同じことが適用される。

【 0 0 6 6 】

各ブロック (k) に対する循環的シフト $s(k)$ は別個である。結果として、L 個のブロックは、 L^2 個のメモリラインと $2n$ 個のアドレスラインとに対するアドレス構成を含む。

10

【 0 0 6 7 】

ここで、図 9 の方法の第 1 の実施例を提供する。表 4 に示すルックアップテーブルは、 $L = 3$ 個のメモリライン、 $n = 3$ 個のアドレスラインおよび $t = 0$ 、1 個のアドレス構成を提供する。アドレス構成はシーケンス ABC を形成し、ここで A、B および C は、それぞれ 3 ビット構成 001_b 、 010_b および 100_b を表す。

【 0 0 6 8 】

図 9 の方法を使用して、 $2n = 6$ 個アドレスラインと $L^2 = 9$ 個のメモリラインとに対する隣接排反アドレス構成を生成する。表 5 に示すように、各ブロックの最上位列 (b_0) は、同じシフトされていないシーケンス (ABC) を有し、i 番目の最上位列のエントリは表 4 のルックアップテーブルの i 番目のエントリと同じである。最下位列 (b_1) の各ブロックのシーケンスがシフトされる。この実施例では、 $s(1) = 0$ 、 $s(2) = 1$ および $s(3) = 2$ である (第 1 のブロックにはシフトが無く、第 2 のブロックではシフトが 1 であり、第 3 のブロックではシフトが 2 である)。このより大きいアドレス指定プロトコルに対してもまた、隣接排反特性が維持される。

20

【 0 0 6 9 】

【表 4】

i	アドレス構成
1	A
2	B
3	C

30

【 0 0 7 0 】

【表 5】

	i	b_0	b_1
ブロック 1	1	A	A
	2	B	B
	3	C	C
ブロック 2	1	A	B
	2	B	C
	3	C	A
ブロック 3	1	A	C
	2	B	A
	3	C	B

40

【 0 0 7 1 】

表 6 に別の実施例を提供する。シーケンス ABCD は、 n 個のアドレスラインと 4 個のメモリラインとに対する $L = 4$ 隣接排反アドレス構成を表す。アスタリスク (*) は、アドレス構成 D および B が隣接排反であること、アドレス構成 A および D が隣接排反であることを仮定する。すなわち、 $A \quad D = 0$ および $B \quad D = 0$ である。

50

【 0 0 7 2 】

各ブロックの最上位列 (b_0) は、同じシーケンス (A B C D) を有し、各最上位列 (b_0) の i 番目のエントリはシーケンスの i 番目のエントリと同じである。最下位列 (b_1) のシーケンスは、各ブロックにおいてその相を変化させる。この実施例では、 $s(1) = 0$ 、 $s(2) = 2$ 、 $s(3) = 3$ および $s(4) = 1$ である。最後の $2n$ ビット構成が最初のビット構成から排反する以外は、このより大きいアドレス指定プロトコルにおいても隣接排反特性が維持される。

【 0 0 7 3 】

【表 6】

	b_0	b_1
ブロック 1	A	A
	B	B
	C	C
	D	D
ブロック 2	A	C
	B	D
	C	A
	D	B
ブロック 3	A	D*
	B	A
	C	B
	D	C
ブロック 4	A	B
	B	C
	C	D
	D	A

10

20

【 0 0 7 4 】

$L = 4$ 個のメモリラインに対するアドレス構成が t までの欠陥アドレスライン (n 個のアドレスラインから) に対して耐性を有することができる場合、合計 $L^2 = 16$ 個のメモリラインが、同じ数の欠陥アドレスラインに対して耐性を有することができる。さらに、最上位列には t 個までの欠陥アドレスラインがあってもよく、最下位列には t 個までの欠陥アドレスラインがあってもよい。

30

【 0 0 7 5 】

この実施例では、 n ビット構成アドレス A^{**} が、構成アドレス D および A と隣接排反する n ビット構成アドレスによって置換えられない限り、隣接排反特性は循環的であり続けない。

【 0 0 7 6 】

A^{**} を置換える代りに、「ツイン (twin)」テーブルを構成し表 6 に追加することができる。表 7 は、かかるツインテーブルである (なお $B = D = 0$ という仮定の下にある)。表 7 は循環的でないが、 $A = C = 0$ である場合、隣接排反特性を侵害することなく表 7 を表 6 に追加することができる。同様に、 $A = C = 0$ である場合、表 6 は、その特性を侵すことなく表 7 に続くことができる。

40

【 0 0 7 7 】

【表 7】

	\underline{b}_0	\underline{b}_1
ブロック 1	A	C
	B	D
	C	A
	D	B
ブロック 2	A	A
	B	B
	C	C
	D	D
ブロック 3	A	B
	B	C
	C	D
	D	A
ブロック 4	A	D
	B	A
	C	B
	D	C

10

【 0 0 7 8 】

L^3 個のラインのアドレス指定の場合、ここではツインテーブルは3つの列 (b_0 、 b_1 および b_2) を有し、図 10 a および図 10 b に示す構造を有する。図 10 a および図 10 b の各々において、右の列は、左の列に連結されている。数字 1 0 1 0 は、表 6 の最初の2つの列を含むブロックを示し、数字 1 0 1 2 は、表 7 の最初の2つの列を含むブロックを示す。数字 1 0 1 4 は、4 回繰返されるシーケンス A B C D を示し、数字 1 0 1 6 は、4 回繰返されるシーケンス C D A B を示し、数字 1 0 1 8 は、4 回繰返されるシーケンス D A B C を示し、数字 1 0 2 0 は、4 回繰返されるシーケンス B C D A を示す。

20

【 0 0 7 9 】

図 9 の方法を、 L^4 個のメモリラインおよび $4n$ 個のアドレスライン等に拡張することができる。

【 0 0 8 0 】

L 個のメモリラインに対するオリジナルアドレスプロトコル T が隣接排反であり、さらに以下の6つの条件が満足されるように、1 と L との間にインデックス c_0 、 c_1 、 c_2 および c_3 がある場合、ツインテーブルの構成と大型メモリアレイへの拡張とを行うことができる。すなわち、

30

(a) c_0 および c_1 が異なるパリティを有する (整数として)

(b) c_2 および c_3 が異なるパリティを有する (整数として)

(c) $T(c_0 + 1) \quad T(c_1) = 0$

(d) $T(c_1 + 1) \quad T(c_2) = 0$

(e) $T(c_2 + 1) \quad T(c_3) = 0$

(f) $T(c_3 + 1) \quad T(c_0) = 0$

40

$L + 1$ のインデックス値を、1 として解釈しなければならない。このため、 $L = 4$ 、 $T(1) = A$ 、 $T(2) = B$ 、 $T(3) = C$ および $T(4) = D$ であり、かつ $A \quad C = 0$ かつ $B \quad D = 0$ である場合、

$c_0 = 1$

$c_1 = 4$

$c_2 = 3$

$c_3 = 2$

に対して条件 (a) ~ (f) が成り立つ。

【 0 0 8 1 】

図 9 の方法は、図 7 および図 8 に示す方法によって生成される耐故障性および / または隣

50

接排反アドレス構成の拡張に限定されない。アドレス構成は、他の方法によって同様に生成されてよい。

【 0 0 8 2 】

上記アドレスプロトコルは、上述したメモリ装置に限定されない。それらは、組合せのアドレスロジックを使用していかなる装置に適用されてもよい。

【 0 0 8 3 】

本発明は、上に説明し例示した特定の実施形態に限定されない。代りに、本発明は、上述した特許請求の範囲にしたがって解釈される。この発明は例として、次の実施形態を含む。

【 0 0 8 4 】

(1) L 個のメモリライン及び n 個のアドレスラインを有するアドレス構成のシーケンスを使用する方法であって、

L 個のブロックを形成し (9 1 0)、各ブロックの最上位列が同一のシフトされていない前記シーケンスを含むように、各ブロックの最上位列に前記シーケンスを充填し (9 1 2)、

該ブロックの最下位列のエントリが循環的にシフトされるように、各ブロックの最下位列に前記シーケンスを充填し (9 1 4)、

それにより、前記 L 個のブロックが、 L^2 個のメモリラインと $2n$ 個のアドレスラインのためのアドレス構成を含む方法。

【 0 0 8 5 】

(2) 各ブロックに対する前記循環的シフトは、固有である (1) に記載の方法。

【 0 0 8 6 】

(3) 各ブロックの前記最上位列の i 番目のエントリは、前記シーケンスの i 番目のエントリと等しい (1) に記載の方法。

【 0 0 8 7 】

(4) k 番目のブロックの前記最下位列の i 番目のエントリは、 $s(k)$ がシフトの量である場合、前記シーケンスの $(i + s(k))$ 番目のエントリと等しい (1) に記載の方法。

【 0 0 8 8 】

(5) L が奇数の場合、 $s(k) = s(k - 2) - 2$ である (4) に記載の方法。

【 0 0 8 9 】

(6) L 個のブロックは第 1 のテーブルを含み、L が偶数である場合に該第 1 のテーブルからツインテーブルを形成することをさらに含む (1) に記載の方法。

【 0 0 9 0 】

(7) 前記第 1 のテーブルを、前記ツインテーブルの最後に追加する (6) に記載の方法。

【 0 0 9 1 】

(8) 前記ツインテーブルを、前記第 1 のテーブルの最後に追加する (6) に記載の方法。

【 0 0 9 2 】

(9) L 個のメモリラインを包含する前記シーケンスが隣接排反であり、さらに以下の 6 つの条件、すなわち、 c_0 および c_1 が異なるパリティを有し (整数として)、 c_2 および c_3 が異なるパリティを有し (整数として)、 $T(j)$ が j 番目のメモリラインのアドレス構成である場合、 $T(c_1 + 1) - T(c_2) = 0$ であり、 $T(c_0 + 1) - T(c_1) = 0$ であり、 $T(c_2 + 1) - T(c_3) = 0$ であり、 $T(c_3 + 1) - T(c_0) = 0$ であるということが満足されるように、1 と L との間にインデックス c_0 、 c_1 、 c_2 および c_3 が存在する (6) に記載の方法。

【 0 0 9 3 】

(1 0) 前記シーケンスもまた、請求項 1 に記載の方法を使用して生成したものである (1) に記載の方法。

10

20

30

40

50

【図面の簡単な説明】

【図 1】マルチレベル半導体メモリ装置の図である。

【図 2】アドレスロジックを含む、半導体メモリ装置のレベルの図である。

【図 3 a】レベルにおける異なるタイプのプログラマブル素子の図である。

【図 3 b】レベルにおける異なるタイプのプログラマブル素子の図である。

【図 3 c】レベルにおける異なるタイプのプログラマブル素子の図である。

【図 4】プログラマブル素子の他の図である。

【図 4 a】アドレスロジックを形成する方法の図である。

【図 5】メモリラインのアドレスパターンの図である。

【図 5 a】メモリラインのダイオードパターンの図である。

10

【図 5 b】メモリラインのダイオードパターンの図である。

【図 6 a】アドレスロジックのアドレス素子の異なるレイアウトの図である。

【図 6 b】アドレスロジックのアドレス素子の異なるレイアウトの図である。

【図 6 c】アドレスロジックのアドレス素子の異なるレイアウトの図である。

【図 7】アドレスロジックのためのアドレス構成を生成する第 1 の方法の図である。

【図 8】アドレスロジックのためのアドレス構成を生成する第 2 の方法の図である。

【図 9】ルックアップテーブルを使用してアドレスロジックのためアドレス構成を拡張する方法の図である。

【図 10 a】例示的なツインルックアップテーブルを示す。

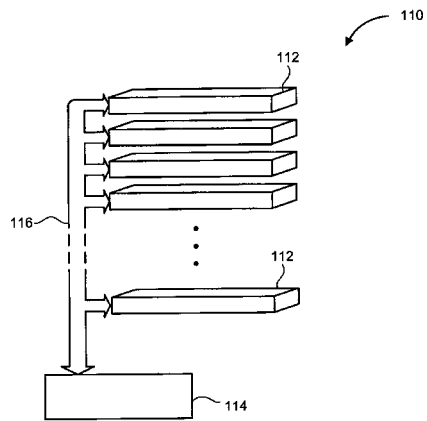
【図 10 b】例示的なツインルックアップテーブルを示す。

20

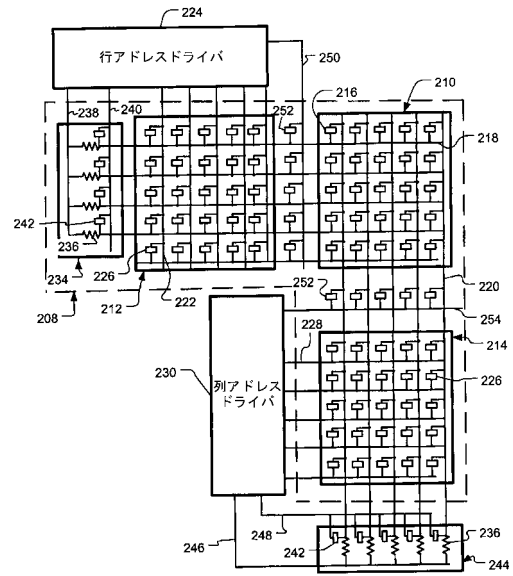
【符号の説明】

2 1 0 メインメモリ
 2 2 0 ビットライン
 2 2 2 行アドレスライン
 2 2 6 OTPアドレス素子
 2 2 8 列アドレスライン
 2 3 6 センス抵抗器
 3 1 2 , 3 2 2 , 3 3 2 ダイオード

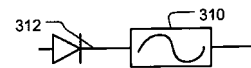
【図 1】



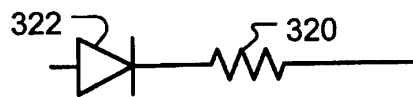
【図 2】



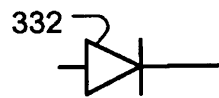
【図 3 a】



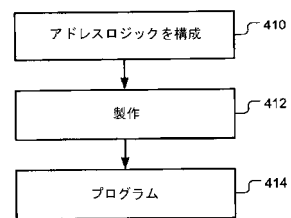
【図 3 b】



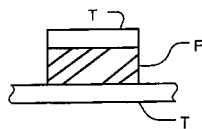
【図 3 c】



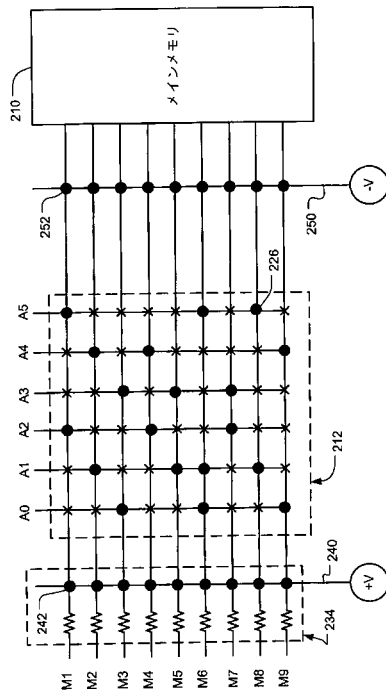
【図 4 a】



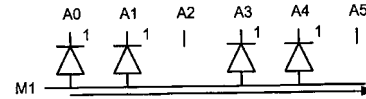
【図 4】



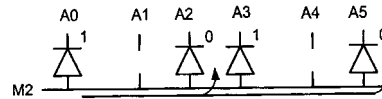
【 図 5 】



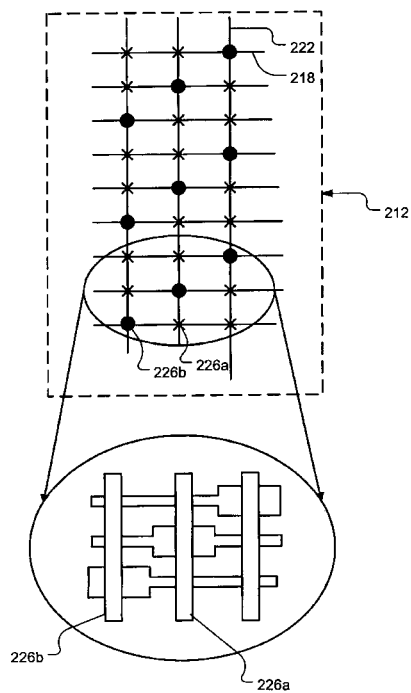
【 図 5 a 】



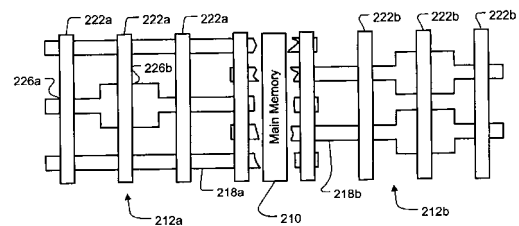
【 図 5 b 】



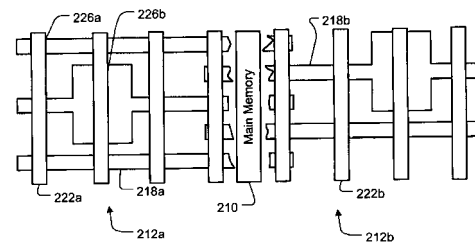
【 図 6 a 】



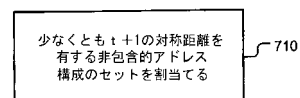
【 図 6 b 】



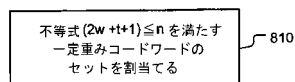
【 図 6 c 】



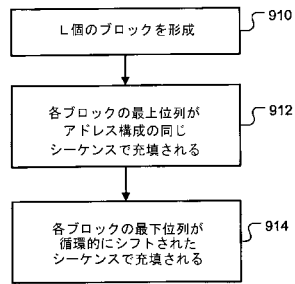
【圖 7】



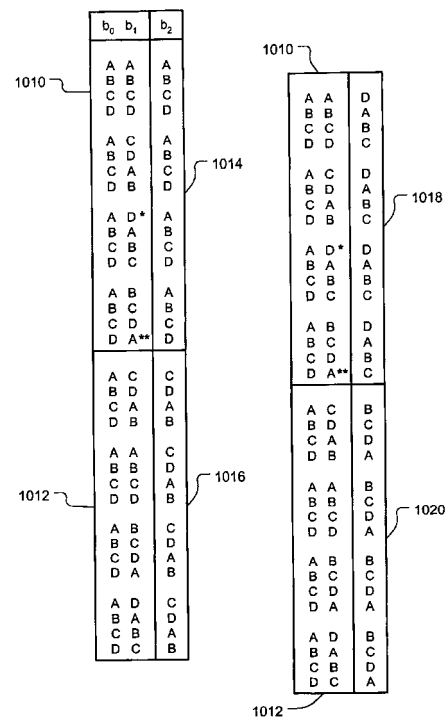
【 図 8 】



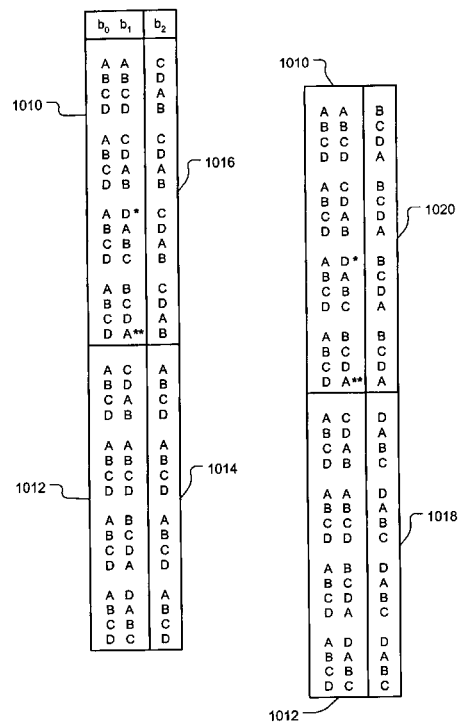
【図 9】



【図 10 a】



【図 10 b】



フロントページの続き

(72)発明者 ジョシュ・エヌ・ホーガン

アメリカ合衆国 9 4 0 2 2 カリフォルニア州 ロス・アルトス、キングスウッド・ウェイ 6 2 0

(72)発明者 ロン・エム・ロス

イスラエル国 3 4 4 0 4 ハイファ、ラス・ストリート 3 3

審査官 高野 芳徳

(56)参考文献 特開 2 0 0 3 - 1 5 1 2 9 6 (J P , A)

特開平 0 1 - 1 9 6 7 9 5 (J P , A)

特開昭 6 0 - 2 6 0 1 4 8 (J P , A)

(58)調査した分野(Int.Cl. , D B 名)

G11C 17/00