

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関  
国際事務局



(43) 国際公開日  
2012年2月9日(09.02.2012)

PCT

(10) 国際公開番号  
WO 2012/017626 A1

- (51) 国際特許分類:  
G02F 1/1368 (2006.01) H01L 29/786 (2006.01)  
H01L 21/336 (2006.01)
- (21) 国際出願番号: PCT/JP2011/004300
- (22) 国際出願日: 2011年7月28日(28.07.2011)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:  
特願 2010-175191 2010年8月4日(04.08.2010) JP
- (71) 出願人 (米国を除く全ての指定国について):  
シャープ株式会社(SHARP KABUSHIKI KAISHA)  
[JP/JP]; 〒5458522 大阪府大阪市阿倍野区長池町  
2番22号 Osaka (JP).
- (72) 発明者; および
- (75) 発明者/出願人 (米国についてのみ): 神崎 庸輔  
(KANZAKI, Yohsuke). 齊藤 裕一 (SAITOH,  
Yuhichi). 中谷 喜紀 (NAKATANI, Yoshiki). 岡本  
哲也 (OKAMOTO, Tetsuya). 高西 雄大 (TAKAN-  
ISHI, Yudai).
- (74) 代理人: 前田 弘, 外(MAEDA, Hiroshi et al.); 〒  
5410053 大阪府大阪府中央区本町2丁目5番7  
号 大阪丸紅ビル Osaka (JP).

- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PE, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG).

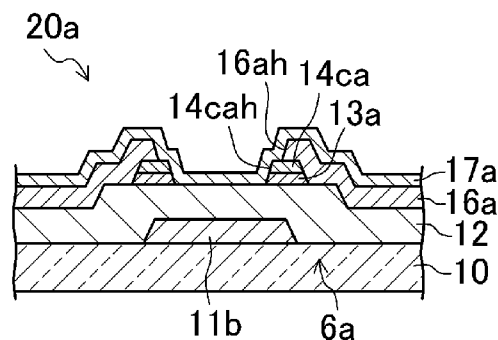
添付公開書類:

— 国際調査報告 (条約第 21 条(3))

(54) Title: THIN-FILM TRANSISTOR SUBSTRATE, METHOD FOR PRODUCING SAME, AND LIQUID CRYSTAL DISPLAY PANEL

(54) 発明の名称: 薄膜トランジスタ基板及びその製造方法並びに液晶表示パネル

[図3]



(57) Abstract: This TFT substrate (20a) is provided with: a plurality of pixel electrodes (17a) provided in a matrix; a plurality of TFTs respectively provided to each of the pixel electrodes (17a) and connected to the pixel electrodes (17a); and a plurality of auxiliary capacitors (6a) respectively provided to each of the pixel electrodes (17a). The auxiliary capacitors (6a) are provided with: a capacitor line (11b) provided of the same material and on the same layer as the gate electrode of the TFTs; a gate insulating film (12) provided in a manner so as to cover the capacitor line (11b); and the pixel electrodes (17a) provided in a manner so as to overlap the capacitor line (11b) over the gate insulating film (12) and configured in a manner so as to conduct to a drain electrode (14ca).

(57) 要約:

[続葉有]

WO 2012/017626 A1



---

本発明に係るTFT基板(20a)は、マトリクス状に設けられた複数の画素電極(17a)と、各画素電極(17a)毎にそれぞれ設けられ、各画素電極(17a)に接続された複数のTFTと、各画素電極(17a)毎にそれぞれ設けられた複数の補助容量(6a)とを備えたTFT基板(20a)であって、各補助容量(6a)は、各TFTのゲート電極と同一層に同一材料により設けられた容量線(11b)と、容量線(11b)を覆うように設けられたゲート絶縁膜(12)と、ゲート絶縁膜(12)上に容量線(11b)に重なるように設けられ、ドレイン電極(14ca)に導通するように構成された各画素電極(17a)とを備えている。

## 明 細 書

### 発明の名称：

### 薄膜トランジスタ基板及びその製造方法並びに液晶表示パネル

### 技術分野

[0001] 本発明は、薄膜トランジスタ基板及びその製造方法並びに液晶表示パネルに関し、特に、補助容量が設けられた薄膜トランジスタ基板及びその製造方法並びに液晶表示パネルに関するものである。

### 背景技術

[0002] アクティブマトリクス駆動方式の液晶表示パネルは、画像の最小単位である各画素毎に、例えば、薄膜トランジスタ（Thin Film Transistor、以下、「T F T」とも称する）がスイッチング素子として設けられたT F T基板と、T F T基板に対向するように配置された対向基板と、両基板の間に封入された液晶層とを備えている。このT F T基板では、各画素の液晶層、すなわち、液晶容量に充電された電荷を安定に保持するために、各画素毎に補助容量が設けられている。ここで、T F Tは、例えば、基板上に設けられたゲート電極と、ゲート電極を覆うように設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられ、ゲート電極に重なるように配置された半導体層と、半導体層上に設けられ、互いに離間するように配置されたソース電極及びドレイン電極とにより構成されている。また、補助容量は、例えば、基板上に設けられた容量線と、容量線を覆うように設けられたゲート絶縁膜と、ゲート絶縁膜上に設けられ、容量線に重なるように配置された容量電極（例えば、T F Tのドレイン電極）とにより構成されている。

[0003] 例えば、特許文献1には、絶縁基板上に形成されたゲート線、ゲート電極及び維持電極を覆うように、ゲート絶縁膜、半導体層（を形成する膜）、接触層（パターンを形成する膜）及び導電体層を順に蒸着し、導電体層上に2回の露光方法を用いて感光膜を形成した後に、感光膜を用いて半導体層（を形成する膜）、接触層（パターンを形成する膜）及び導電体層を2段階でエ

ッチングして、データ配線、ソース電極、半導体層、接触層パターン、ドレイン電極及び維持蓄電器用導電体パターンを形成するＴＦＴ基板の製造方法が開示されている。

## 先行技術文献

## 特許文献

[0004] 特許文献１：特開２００１－３１９８７６号公報

## 発明の概要

## 発明が解決しようとする課題

[0005]     ところで、特許文献１に開示された製造方法により製造されたＴＦＴ基板では、上記補助容量に相当する維持蓄電器が、維持電極、ゲート絶縁膜、維持蓄電器用半導体層、維持蓄電器用接触層パターン及び維持蓄電器用導電体パターンの積層構造により構成されている。ここで、特許文献１に開示された製造方法のように、半導体層とソース電極及びドレイン電極とを同一のフォトリソを用いて形成する製造工程の簡略化を図ったＴＦＴ基板の製造方法では、ソース電極及びドレイン電極の下層に半導体層が配置するので、補助容量を構成する容量電極（ドレイン電極）の下層に半導体層が積層されてしまう。そうすると、容量線、ゲート絶縁膜、半導体層及びドレイン電極の積層構造により構成された補助容量では、ゲート絶縁膜だけでなく半導体層も誘電体層として機能することになり、ゲート絶縁膜と半導体層との間において、ＭＯＳ（Metal Oxide Semiconductor）構造による電気容量の変化が生じるので、補助容量を介して画素電極の電位を制御する、例えば、各画素が明副画素及び暗副画素により構成されたマルチ画素構造を有する液晶表示パネルでは、画素電極が所定の電位で制御されなくなり、フリッカーなどの表示不良が発生してしまう。

[0006]     本発明は、かかる点に鑑みてなされたものであり、その目的とするところは、半導体層に起因する補助容量の電気容量の変化を抑制することにある。

## 課題を解決するための手段

- [0007] 上記目的を達成するために、本発明は、容量線を覆うゲート絶縁膜上に画素電極を設けるようにしたものである。
- [0008] 具体的に本発明に係る薄膜トランジスタ基板は、マトリクス状に設けられた複数の画素電極と、上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に設けられ、上記ゲート電極に重なるようにチャネル領域が配置された半導体層と、該半導体層上に設けられ、上記チャネル領域が露出すると共に、該チャネル領域を介して互いに離間するように配置されたソース電極及びドレイン電極とを備えた薄膜トランジスタ基板であって、上記各補助容量は、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように設けられ、上記ドレイン電極に導通するように構成された上記各画素電極とを備えていることを特徴とする。
- [0009] 上記の構成によれば、半導体層上に、チャネル領域が露出すると共に、そのチャネル領域を介して互いに離間するようにソース電極及びドレイン電極が設けられているので、半導体層とソース電極及びドレイン電極とを同一のフォトリソを用いて形成する製造方法により、薄膜トランジスタ基板が具体的に構成される。そして、その薄膜トランジスタ基板では、各補助容量が、ゲート電極と同一層に同一材料により設けられた容量線と、容量線を覆うように設けられたゲート絶縁膜と、ゲート絶縁膜上に容量線に重なるように設けられた各画素電極とを備えているので、ゲート絶縁膜を介して容量線に重なる半導体層の面積が抑制される。これにより、MOS構造による電気容量の変化が抑制されるので、半導体層に起因する補助容量の電気容量の変化が抑制される。
- [0010] 上記ドレイン電極は、上記容量線に重なるように設けられ、該容量線に重なる部分に、上記ゲート絶縁膜が露出する非パターン部を有し、上記各画素

電極は、上記非パターン部を介して、上記ゲート絶縁膜上に設けられていてもよい。

[0011] 上記の構成によれば、各画素電極がド레인電極の非パターン部を介してゲート絶縁膜上に設けられているので、ゲート絶縁膜を介して容量線に重なる半導体層の面積がド레인電極の非パターン部の分だけ抑制され、MOS構造による電気容量の変化が具体的に抑制される。

[0012] 上記非パターン部は、上記ド레인電極に設けられた開口部であってもよい。

[0013] 上記の構成によれば、ド레인電極の非パターン部がド레인電極（の例えば端部）に設けられた開口部であるので、ゲート絶縁膜を介して容量線に重なる半導体層の面積がド레인電極の開口部の分だけ抑制され、MOS構造による電気容量の変化が具体的に抑制される。

[0014] 上記ド레인電極は、上記容量線から平面視で離間するように設けられていてもよい。

[0015] 上記の構成によれば、ド레인電極が容量線から平面視で離間するように設けられているので、ド레인電極が容量線に重ならないことになる。これにより、ゲート絶縁膜を介して容量線に重なる半導体層の面積が0になるので、MOS構造による電気容量の変化が抑制されると共に、半導体層に起因する補助容量の電気容量の変化が抑制される。また、各画素において、例えば、遮光性を有する金属層により構成されたド레인電極の面積が抑制されるので、各画素の開口率を向上させることが可能になる。

[0016] 上記半導体層は、酸化物半導体により構成されていてもよい。

[0017] 上記の構成によれば、半導体層が酸化物半導体により構成されているので、高移動度、高信頼性及び低オフ電流などの良好な特性を有するTFTが実現する。

[0018] また、本発明に係る薄膜トランジスタ基板の製造方法は、マトリクス状に設けられた複数の画素電極と、上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、上記各画素電極毎にそれ

ぞれ設けられた複数の補助容量とを備え、上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に設けられ、上記ゲート電極に重なるようにチャネル領域が配置された半導体層と、該半導体層上に設けられ、上記チャネル領域が露出すると共に、該チャネル領域を介して互いに離間するように配置されたソース電極及びドレイン電極とを備えた薄膜トランジスタ基板を製造する方法であって、基板上に上記ゲート電極、及び容量線を形成するゲート層形成工程と、上記形成されたゲート電極及び容量線を覆うように、上記ゲート絶縁膜、半導体膜及び金属導電膜を順に成膜した後に、該金属導電膜上に上記チャネル領域、ソース電極及びドレイン電極となる領域に該チャネル領域となる領域が薄肉に設けられたレジストパターンを形成するレジスト形成工程と、上記レジストパターンから露出する上記金属導電膜、及び該金属導電膜の下層に配置する上記半導体膜をエッチングすることにより、上記チャネル領域、ソース電極及びドレイン電極となるソースドレイン形成層を形成する第1エッチング工程と、上記第1エッチング工程で用いたレジストパターンを薄肉化することにより、上記ソースドレイン形成層のうち、上記チャネル領域となる領域が露出するように該レジストパターンを変成した後に、該変成されたレジストパターンから露出する上記金属導電膜をエッチングすることにより、上記チャネル領域が配置された半導体層、ソース電極及びドレイン電極を形成して、上記各薄膜トランジスタを形成する第2エッチング工程と、上記第2エッチング工程で用いたレジストパターンを除去した後に、上記ドレイン電極に到達するようにコンタクトホールが設けられ、上記容量線に重なる部分が露出するように保護絶縁膜を形成する保護絶縁膜形成工程と、上記保護絶縁膜上に上記各画素電極を形成して、該各画素電極を上記ゲート絶縁膜を介して上記容量線に重ならせることにより、上記各補助容量を形成する画素電極形成工程とを備えることを特徴とする。

[0019] 上記の方法によれば、ゲート層形成工程において、例えば、第1のフォトリソマスクを用いて、基板上にゲート電極及び容量線を形成し、レジスト形成工

程において、ゲート電極及び容量線を覆うように、ゲート絶縁膜、半導体膜及び金属導電膜を順に成膜した後に、例えば、（ハーフトーンの露光が可能な）第2のフォトマスクを用いて、金属導電膜上にレジストパターンを形成し、第1エッチング工程において、レジストパターンから露出する金属導電膜及び半導体膜をエッチングしてソースドレイン形成層を形成し、第2エッチング工程において、レジストパターンを薄肉化して露出させたソースドレイン形成層の金属導電膜をエッチングして、チャンネル領域が配置された半導体層、ソース電極及びドレイン電極を形成することにより、薄膜トランジスタを形成し、保護絶縁膜形成工程において、例えば、第3のフォトマスクを用いて、薄膜トランジスタのドレイン電極に到達するコンタクトホールを有し、容量線に重なる部分が露出する保護絶縁膜を形成し、画素電極形成工程において、例えば、第4のフォトマスクを用いて、画素電極を形成することにより、補助容量を形成するので、4枚のフォトマスクを用いて、補助容量を備えた薄膜トランジスタ基板が製造される。そして、製造された薄膜トランジスタ基板では、各補助容量が、ゲート電極と同一層に同一材料により設けられた容量線と、容量線を覆うように設けられたゲート絶縁膜と、ゲート絶縁膜上に容量線に重なるように設けられた各画素電極とを備えているので、ゲート絶縁膜を介して容量線に重なる半導体層の面積が抑制される。これにより、MOS構造による電気容量の変化が抑制されるので、半導体層に起因する補助容量の電気容量の変化が抑制される。

[0020] また、本発明に係る液晶表示パネルは、互いに対向するように設けられた薄膜トランジスタ基板及び対向基板と、上記薄膜トランジスタ基板及び対向基板の間に設けられた液晶層とを備えた液晶表示パネルであって、上記薄膜トランジスタ基板は、マトリクス状に設けられた複数の画素電極と、上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に設けられ

、上記ゲート電極に重なるようにチャネル領域が配置された半導体層と、該半導体層上に設けられ、上記チャネル領域が露出すると共に、該チャネル領域を介して互いに離間するように配置されたソース電極及びドレイン電極とを備え、上記各補助容量は、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように設けられ、上記ドレイン電極に導通するように構成された上記各画素電極とを備えていることを特徴とする。

[0021] 上記の構成によれば、薄膜トランジスタ基板において、半導体層上に、チャネル領域が露出すると共に、そのチャネル領域を介して互いに離間するようにソース電極及びドレイン電極が設けられているので、半導体層とソース電極及びドレイン電極とを同一のフォトリソを用いて形成する製造方法により、薄膜トランジスタ基板が具体的に構成される。そして、その薄膜トランジスタ基板では、各補助容量が、ゲート電極と同一層に同一材料により設けられた容量線と、容量線を覆うように設けられたゲート絶縁膜と、ゲート絶縁膜上に容量線に重なるように設けられた各画素電極とを備えているので、ゲート絶縁膜を介して容量線に重なる半導体層の面積が抑制される。これにより、MOS構造による電気容量の変化が抑制されるので、薄膜トランジスタ基板において、半導体層に起因する補助容量の電気容量の変化が抑制されると共に、薄膜トランジスタ基板を備えた液晶表示パネルにおいて、フリッカーなどの表示不良の発生が抑制される。

### 発明の効果

[0022] 本発明によれば、容量線を覆うゲート絶縁膜上に画素電極が設けられているので、半導体層に起因する補助容量の電気容量の変化を抑制することができる。

### 図面の簡単な説明

[0023] [図1] 図1は、実施形態1に係るTFT基板の平面図である。

[図2] 図2は、図1中のII-II線に沿ったTFT基板の断面図である。

[図3] 図3は、図1中のIII-III線に沿ったTFT基板の断面図である。

[図4] 図4は、実施形態1に係るTFT基板を備えた液晶表示パネルの断面図である。

[図5] 図5は、実施形態1に係るTFT基板の等価回路図である。

[図6] 図6は、実施形態1に係るTFT基板の製造工程を断面で示す第1の説明図である。

[図7] 図7は、実施形態1に係るTFT基板の製造工程を断面で示す図6に続く第2の説明図である。

[図8] 図8は、実施形態1に係るTFT基板の製造工程を断面で示す図7に続く第3の説明図である。

[図9] 図9は、実施形態1に係るTFT基板の製造工程を断面で示す図8に続く第4の説明図である。

[図10] 図10は、実施形態2に係るTFT基板の平面図である。

[図11] 図11は、図10中のXI-XI線に沿ったTFT基板の断面図である。

[図12] 図12は、実施形態3に係るTFT基板の平面図である。

[図13] 図13は、図12中のXIII-XIII線に沿ったTFT基板の断面図である。

[図14] 図14は、実施形態4に係るTFT基板の平面図である。

[図15] 図15は、図14中のXV-XV線に沿ったTFT基板の断面図である。

### 発明を実施するための形態

[0024] 以下、本発明の実施形態を図面に基づいて詳細に説明する。なお、本発明は、以下の各実施形態に限定されるものではない。

[0025] 《発明の実施形態1》

図1～図9は、本発明に係るTFT基板及びその製造方法並びに液晶表示パネルの実施形態1を示している。具体的に、図1は、本実施形態のTFT基板20aの平面図である。そして、図2及び図3は、図1中のII-II線及びIII-III線にそれぞれ沿ったTFT基板20aの断面図である。また、図4は、TFT基板20aを備えた液晶表示パネル50の断面図である。さら

に、図5は、TFT基板20aの等価回路図である。

[0026] 液晶表示パネル50は、図4に示すように、互いに対向するように設けられたTFT基板20a及び対向基板30と、TFT基板20a及び対向基板30の間に設けられた液晶層40と、TFT基板20a及び対向基板30を互いに接着すると共に、TFT基板20a及び対向基板30の間に液晶層40を封入するためのシール材（不図示）とを備えている。

[0027] TFT基板30aは、図1～図5に示すように、絶縁基板10と、絶縁基板10上に互いに平行に延びるように設けられた複数のゲート線11aと、各ゲート線11aの間にそれぞれ設けられ、互いに平行に延びるように配置された複数の容量線11bと、各ゲート線11aと直交する方向に互いに平行に延びるように設けられた複数のソース線14bと、各ゲート線11a及び各ソース線14bの交差部分毎、すなわち、各画素毎にそれぞれ設けられた複数のTFT5と、各TFT5を覆うように設けられた保護絶縁膜16aと、保護絶縁膜16a上にマトリクス状に設けられた複数の画素電極17aと、各画素電極17aを覆うように設けられた配向膜（不図示）とを備えている。

[0028] TFT5は、図1及び図2に示すように、絶縁基板10上に設けられたゲート電極11aaと、ゲート電極11aaを覆うように設けられたゲート絶縁膜12と、ゲート絶縁膜12上に設けられ、ゲート電極11aaに重なるようにチャンネル領域Cが配置された半導体層13aと、半導体層13a上に設けられ、チャンネル領域Cが露出すると共に、互いに離間するように配置されたソース電極14ba及びドレイン電極14caとを備えている。

[0029] ゲート電極11aaは、図1に示すように、各ゲート線11aが側方に突出した部分である。

[0030] 半導体層13aは、例えば、 $\text{InGaZnO}_4$ や $\text{In}_2\text{Ga}_2\text{ZnO}_7$ などの $\text{In-Ga-Zn-O}$ 系の酸化物半導体により構成されている。

[0031] ソース電極14baは、図1に示すように、各ソース線14bが側方に突出した部分である。

- [0032] ドレイン電極 14 c a は、その端部が、図 1 及び図 3 に示すように、容量線 11 b に重なるように設けられ、その容量線 11 b に重なる部分に非パターン部として開口部 14 c a h を有している。また、ドレイン電極 14 c a は、図 3 に示すように、その開口部 14 c a h の縁部が、保護絶縁膜 16 a に形成されたコンタクトホール 16 a h を介して、画素電極 17 a に接続されている。
- [0033] 画素電極 17 a は、図 1 及び図 3 に示すように、ゲート絶縁膜 12 を介して、容量線 11 b に重なることにより、補助容量 6 a を構成している。ここで、補助容量 6 a は、図 5 に示すように、容量線 11 b 及び画素電極 17 a がゲート絶縁膜 12 だけを介して重なる固定コンデンサー部（図 5 中の符号 6 a の上側部分を参照）と、容量線 11 b 及び画素電極 17 a がゲート絶縁膜 12、半導体層 13 a 及びドレイン電極 14 c a を介して重なる MOS 構造の可変コンデンサー部（図 5 中の符号 6 a の下側部分を参照）とを備えている。
- [0034] 対向基板 30 は、絶縁基板（不図示）と、その絶縁基板上に格子状に設けられたブラックマトリクス（不図示）と、そのブラックマトリクスの各格子間に赤色層、緑色層及び青色層などがそれぞれ設けられたカラーフィルタ（不図示）と、それらのブラックマトリクス及びカラーフィルタを覆うように設けられた共通電極（不図示）と、その共通電極を覆うように設けられた配向膜（不図示）とを備えている。
- [0035] 液晶層 40 は、電気光学特性を有するネマチックの液晶材料などにより構成されている。
- [0036] 上記構成の液晶表示パネル 50 は、TFT 基板 20 a 上の各画素電極 17 a と対向基板 30 上の共通電極との間に配置する液晶層 40 に各画素毎に所定の電圧を印加して、液晶層 40 の配向状態を変えることにより、各画素毎にパネル内を透過する光の透過率を調整して、画像を表示するように構成されている。
- [0037] 次に、本実施形態の TFT 基板 20 a を製造する方法について、図 6 ～図

9を用いて説明する。ここで、図6～図9は、本実施形態のTFT基板20aの製造工程を連続的に断面で示す説明図である。具体的に、図6～図9では、図中左側の領域が図2の断面図に対応し、図中右側の領域が図3の断面図に対応する。なお、本実施形態の製造方法は、ゲート層形成工程、レジスト形成工程、第1エッチング工程、第2エッチング工程、保護絶縁膜形成工程及び画素電極形成工程を備える。

[0038] <ゲート層形成工程>

ガラス基板などの絶縁基板10の基板全体に、例えば、スパッタリング法により、チタン膜（厚さ30nm程度）、アルミニウム膜（厚さ300nm程度）及びチタン膜（厚さ150nm程度）などを順に成膜して、金属積層膜を形成した後に、その金属積層膜を第1のフォトリソマスクを用いてパターニングすることにより、図6（a）に示すように、ゲート線11a（図1参照）、ゲート電極11aa及び容量線11bを形成する。

[0039] <レジスト形成工程>

まず、上記ゲート層形成工程でゲート線11a、ゲート電極11aa及び容量線11bが形成された基板全体に、例えば、CVD（Chemical Vapor Deposition）法により、酸化シリコン膜（厚さ300nm程度）などを成膜することにより、図6（b）に示すように、ゲート絶縁膜12を形成する。

[0040] 続いて、ゲート絶縁膜12が形成された基板全体に、図6（c）に示すように、例えば、スパッタリング法により、 $\text{InGaZnO}_4$ などのIn-Ga-Zn-O系の半導体膜13（厚さ50nm程度）、並びにチタン膜（厚さ100nm程度）及びアルミニウム膜（厚さ300nm程度）が順に積層された金属導電膜14を順に成膜する。

[0041] さらに、半導体膜13及び金属導電膜14が成膜された基板全体に、感光性樹脂膜（厚さ2μm程度）を塗布した後に、その感光性樹脂膜をハーフトーン又はグレイトーンの露光が可能な第2のフォトリソマスクを用いる露光、現像及び焼成することにより、図7（a）に示すように、レジストパターンR

aを形成する。ここで、レジストパターンR aは、図7（a）に示すように、チャンネル領域C、ソース電極14 b a及びド레인電極14 c aとなる領域に、チャンネル領域Cとなる領域がソース電極14 b a及びド레인電極14 c aとなる領域よりも薄肉になるように形成する。

[0042] <第1エッチング工程>

上記レジスト形成工程で形成されたレジストパターンR aから露出する金属導電膜14及びその下層の半導体膜13をドライエッチング又はウエットエッチングでエッチングすることにより、図7（b）に示すように、半導体層13 a及び金属導電膜14 aからなるソースド레인形成層15を形成する。

[0043] <第2エッチング工程>

まず、上記第1エッチング工程で用いたレジストパターンR aをO<sub>2</sub>プラズマなどを用いてアッシングすることにより、図7（c）に示すように、ソースド레인形成層15の金属導電膜14 aが露出するようにレジストパターンR aを薄肉化して、レジストパターンR bに変成する。

[0044] 続いて、レジストパターンR bから露出する金属導電膜14 aをドライエッチング又はウエットエッチングでエッチングすることにより、図8（a）に示すように、チャンネル領域Cが配置された半導体層13 a、ソース線14 b（図1参照）、ソース電極14 b a及びド레인電極14 c aを形成して、TFT 5を形成する。

[0045] <保護絶縁膜形成工程>

まず、図8（b）に示すように、上記第2エッチング工程でTFT 5 aが形成された基板からレジストパターンR bを剥離により除去する。

[0046] 続いて、レジストパターンR bが除去された基板全体に、例えば、CVD法により、酸化シリコン膜（厚さ250 nm程度）などを成膜することにより、図8（c）に示すように、無機絶縁膜16を形成する。

[0047] そして、無機絶縁膜16が形成された基板全体に、感光性樹脂膜（厚さ2 μm程度）を塗布した後に、その感光性樹脂膜を第3のフォトマスクを用い

る露光、現像及び焼成することにより、図9（a）に示すように、レジストパターンR<sub>c</sub>を形成する。

[0048] さらに、レジストパターンR<sub>c</sub>から露出する無機絶縁膜16を、例えば、ドライエッチング又はウエットエッチングでエッチングすることにより、図9（b）に示すように、保護絶縁膜16aを形成した後に、レジストパターンR<sub>c</sub>を剥離により除去する。

[0049] <画素電極形成工程>

上記保護絶縁膜形成工程で層間絶縁膜16aが形成された基板全体に、例えば、スパッタリング法により、ITO（Indium Tin Oxide）膜（厚さ100nm程度）などの透明導電膜を成膜した後に、その透明導電膜を第4のフォトマスクを用いてパターニングすることにより、図9（c）に示すように、画素電極17aを形成する。

[0050] 以上のようにして、TFT基板20aを製造することができる。

[0051] 以上説明したように、本実施形態のTFT基板20a及びその製法方法によれば、ゲート層形成工程において、第1のフォトマスクを用いて、絶縁基板10上にゲート電極11a及び容量線11bを形成し、レジスト形成工程において、ゲート電極11a及び容量線11bを覆うように、ゲート絶縁膜12、半導体膜13及び金属導電膜14を順に成膜した後に、ハーフトーンの露光が可能な第2のフォトマスクを用いて、金属導電膜14上にレジストパターンR<sub>a</sub>を形成し、第1エッチング工程において、レジストパターンR<sub>a</sub>から露出する金属導電膜14及び半導体膜13をエッチングしてソースドレイン形成層15を形成し、第2エッチング工程において、レジストパターンR<sub>a</sub>を薄肉化して露出させたソースドレイン形成層15の金属導電膜14aをエッチングして、チャネル領域Cが配置された半導体層13a、ソース電極14ba及びドレイン電極14caを形成することにより、TFT5を形成し、保護絶縁膜形成工程において、第3のフォトマスクを用いて、TFT5のドレイン電極14caに到達するコンタクトホール16ahを有し、容量線11bに重なる部分が露出する保護絶縁膜16aを形成し、画素

電極形成工程において、第４のフォトリソマスクを用いて、画素電極１７ａを形成することにより、補助容量６ａを形成するので、４枚のフォトリソマスクを用いて、補助容量６ａを備えたＴＦＴ基板２０ａを製造することができる。そして、製造されたＴＦＴ基板２０ａでは、各補助容量６ａが、ゲート電極１１ａと同一層に同一材料により設けられた容量線１１ｂと、容量線１１ｂを覆うように設けられたゲート絶縁膜１２と、ゲート絶縁膜１２上に容量線１１ｂに重なるように設けられた各画素電極１７ａとを備えているので、ゲート絶縁膜１２を介して容量線１１ｂに重なる半導体層１３ａの面積を抑制することができる。これにより、ＭＯＳ構造による電気容量の変化を抑制することができるので、半導体層１３ａに起因する補助容量６ａの電気容量の変化を抑制することができる。

[0052] また、本実施形態の液晶表示パネル５０によれば、ＴＦＴ基板２０ａにおいて、半導体層１３ａに起因する補助容量６ａの電気容量の変化を抑制することができるので、フリッカーなどの表示不良の発生を抑制することができる。

[0053] また、本実施形態のＴＦＴ基板２０ａによれば、半導体層１３ａが酸化物半導体により構成されているので、高移動度、高信頼性及び低オフ電流などの良好な特性を有するＴＦＴ５を実現することができる。

[0054] 《発明の実施形態２》

図１０は、本実施形態のＴＦＴ基板２０ｂの平面図である。そして、図１１は、図１０中のXI-XI線に沿ったＴＦＴ基板２０ｂの断面図である。なお、以下の各実施形態において、図１～図９と同じ部分については同じ符号を付して、その詳細な説明を省略する。

[0055] 上記実施形態１では、各画素において、ドレイン電極１４ｃａの端部が容量線１１ｂに全体的に重なるように配置されたＴＦＴ基板２０ａを例示したが、本実施形態では、各画素において、ドレイン電極１４ｃｂの端部が容量線１１ｂに部分的に重なるように配置されたＴＦＴ基板２０ｂを例示する。

[0056] 具体的にＴＦＴ基板２０ｂでは、図１０及び図１１に示すように、各ＴＦ

T 5が、絶縁基板 1 0上に設けられたゲート電極 1 1 a aと、ゲート電極 1 1 a aを覆うように設けられたゲート絶縁膜 1 2と、ゲート絶縁膜 1 2上に設けられ、ゲート電極 1 1 a aに重なるようにチャネル領域 Cが配置された半導体層 1 3 bと、半導体層 1 3 b上に設けられ、チャネル領域 Cが露出すると共に、互いに離間するように配置されたソース電極 1 4 b a及びドレイン電極 1 4 c bとを備えている。

[0057] また、T F T基板 2 0 bでは、図 1 0及び図 1 1に示すように、各T F T 5を覆うように保護絶縁膜 1 6 bが設けられ、保護絶縁膜 1 6 b上に複数の画素電極 1 7 bがマトリクス状に設けられている。

[0058] ドレイン電極 1 4 c bは、その端部が、図 1 0及び図 1 1に示すように、容量線 1 1 bの一部（図 1 0中の下方側）に重なるように設けられ、その容量線 1 1 bに重なる部分に非パターン部として開口部 1 4 c b hを有している。そして、T F T基板 2 0 bでは、図 1 0及び図 1 1に示すように、ドレイン電極 1 4 c bの開口部 1 4 c b hの縁部が、保護絶縁膜 1 6 bに形成されたコンタクトホール 1 6 b hを介して、画素電極 1 7 bに接続されている。ここで、画素電極 1 7 bは、図 1 0及び図 1 1に示すように、ゲート絶縁膜 1 2を介して、容量線 1 1 bに重なることにより、補助容量 6 bを構成している。なお、補助容量 6 bは、上記実施形態 1の補助容量 6 aと同様に、容量線 1 1 b及び画素電極 1 7 bがゲート絶縁膜 1 2だけを介して重なる固定コンデンサー部と、容量線 1 1 b及び画素電極 1 7 bがゲート絶縁膜 1 2、半導体層 1 3 b及びドレイン電極 1 4 c bを介して重なるM O S構造の可変コンデンサー部とを備えている。そして、補助容量 6 bでは、上記実施形態 1の補助容量 6 aよりも容量線 1 1 bに重なるドレイン電極 1 4 c bの開口部 1 4 c b hの面積が小さいので、上記実施形態 1の補助容量 6 aよりも可変コンデンサー部の電気容量の比率が高くなっている。

[0059] 上記構成のT F T基板 2 0 bは、上記実施形態 1で説明した製造方法において、ソースドレイン形成層や保護絶縁膜などのパターン形状を変更することにより、製造することができる。

[0060] 以上説明したように、本実施形態のＴＦＴ基板２０ｂ及びその製法方法によれば、上記実施形態１と同様に、容量線１１ｂを覆うゲート絶縁膜１２上に画素電極１７ｂが設けられているので、半導体層１３ｂに起因する補助容量６ｂの電気容量の変化を抑制することができる。

[0061] 《発明の実施形態３》

図１２は、本実施形態のＴＦＴ基板２０ｃの平面図である。そして、図１３は、図１２中のXIII-XIII線に沿ったＴＦＴ基板２０ｃの断面図である。

[0062] 上記各実施形態では、ドレイン電極１４ｃａ及び１４ｃｂが容量線１１ｂにそれぞれ重なるように配置されたＴＦＴ基板２０ａ及び２０ｂを例示したが、本実施形態では、ドレイン電極１４ｃｃが容量線１１ｂに重ならないように配置されたＴＦＴ基板２０ｃを例示する。

[0063] 具体的にＴＦＴ基板２０ｃでは、図１２及び図１３に示すように、各ＴＦＴ５が、絶縁基板１０上に設けられたゲート電極１１ａと、ゲート電極１１ａを覆うように設けられたゲート絶縁膜１２と、ゲート絶縁膜１２上に設けられ、ゲート電極１１ａに重なるようにチャネル領域Ｃが配置された半導体層１３と、半導体層１３上に設けられ、チャネル領域Ｃが露出すると共に、互いに離間するように配置されたソース電極１４ｂ及びドレイン電極１４ｃとを備えている。

[0064] また、ＴＦＴ基板２０ｃでは、図１２及び図１３に示すように、各ＴＦＴ５を覆うように保護絶縁膜１６が設けられ、保護絶縁膜１６上に複数の画素電極１７がマトリクス状に設けられている。

[0065] ドレイン電極１４ｃは、図１２及び図１３に示すように、容量線１１ｂから平面視で離間するように設けられ、その端部の開口部１４ｃｈの縁部が保護絶縁膜１６に形成されたコンタクトホール１６ｃｈを介して画素電極１７に接続されている。ここで、画素電極１７は、図１２及び図１３に示すように、保護絶縁膜１６の開口部１６ｃｈ、及びゲート絶縁膜１２を介して、容量線１１ｂに重なることにより、補助容量６を構成している。なお、補助容量６は、容量線１１ｂ及び画素電極１７が絶縁性の

ゲート絶縁膜 1 2 及び保護絶縁膜 1 6 c だけを介して重なる固定コンデンサ一部を備え、上記実施形態 1 及び 2 で説明した MOS 構造の可変コンデンサ一部を備えていない。

[0066] 上記構成の TFT 基板 2 0 c は、上記実施形態 1 で説明した製造方法において、ソースドレイン形成層や保護絶縁膜などのパターン形状を変更することにより、製造することができる。

[0067] 以上説明したように、本実施形態の TFT 基板 2 0 c 及びその製法方法によれば、上記実施形態 1 及び 2 と同様に、容量線 1 1 b を覆うゲート絶縁膜 1 2 上に画素電極 1 7 c が設けられ、実施形態 1 及び 2 とは異なり、ゲート絶縁膜 1 2 を介して容量線 1 1 b に重なる半導体層 1 3 c の面積が 0 になっているので、半導体層 1 3 c に起因する補助容量 6 c の電気容量の変化を抑制することができると共に、各画素において、遮光性を有する金属層により構成されたドレイン電極 1 4 c c の面積を抑制することができるので、各画素の開口率を向上させることができる。

[0068] なお、本実施形態では、画素電極 1 7 c が保護絶縁膜 1 6 c の開口部 1 6 c h b 及びゲート絶縁膜 1 2 を介して容量線 1 1 b に重なって構成された補助容量 6 c を例示したが、この補助容量は、例えば、画素電極が、開口部 1 6 c h b が形成されていない保護絶縁膜、及びゲート絶縁膜 1 2 を介して容量線 1 1 b に重なった構成であってもよい。

[0069] 《発明の実施形態 4》

図 1 4 は、本実施形態の TFT 基板 2 0 d の平面図である。そして、図 1 5 は、図 1 4 中の XV-XV 線に沿った TFT 基板の断面図である。

[0070] 上記各実施形態では、半導体層上にソース電極及びドレイン電極が積層された TFT 基板 2 0 a ~ 2 0 c を例示したが、本実施形態では、半導体層上にソース電極及びドレイン電極が部分的に積層されていない TFT 基板 2 0 d を例示する。

[0071] 具体的に TFT 基板 2 0 d では、図 1 4 及び図 1 5 に示すように、各 TFT 5 が、絶縁基板 1 0 上に設けられたゲート電極 1 1 a a と、ゲート電極 1

1 a a を覆うように設けられたゲート絶縁膜 1 2 と、ゲート絶縁膜 1 2 上に設けられ、ゲート電極 1 1 a a に重なるようにチャネル領域 C が配置された半導体層 1 3 a と、半導体層 1 3 a 上に設けられ、チャネル領域 C が露出すると共に、互いに離間するように配置されたソース電極 1 4 b a 及びドレイン電極 1 4 c d とを備えている。

[0072] また、T F T 基板 2 0 d では、図 1 4 及び図 1 5 に示すように、各 T F T 5 を覆うように保護絶縁膜 1 6 d が設けられ、保護絶縁膜 1 6 d 上に複数の画素電極 1 7 d がマトリクス状に設けられている。

[0073] 半導体層 1 3 a は、図 1 4 及び図 1 5 に示すように、チャネル領域 C だけでなく、容量線 1 1 b に重なる部分もドレイン電極 1 4 c d から露出している。

[0074] ドレイン電極 1 4 c d は、図 1 4 に示すように、保護絶縁膜 1 6 d に形成されたコンタクトホール 1 6 d h a を介して画素電極 1 7 d に接続されている。ここで、画素電極 1 7 d は、図 1 4 及び図 1 5 に示すように、保護絶縁膜 1 6 d の開口部 1 6 d h b、半導体層 1 3 a の開口部 1 3 a h 及びゲート絶縁膜 1 2 を介して、容量線 1 1 b に重なることにより、補助容量 6 d を構成している。なお、補助容量 6 d は、容量線 1 1 b 及び画素電極 1 7 d がゲート絶縁膜 1 2 だけを介して重なる固定コンデンサ一部と、容量線 1 1 b 及び画素電極 1 7 d がゲート絶縁膜 1 2 及び半導体層 1 3 a を介して重なる M O S 構造の可変コンデンサ一部とを備えている。

[0075] 上記構成の T F T 基板 2 0 d は、上記実施形態 1 で説明した製造方法において、ドレイン電極や保護絶縁膜などのパターン形状を変更することにより、製造することができる。

[0076] 本実施形態の T F T 基板 2 0 d によれば、上記各実施形態と同様に、容量線 1 1 b を覆うゲート絶縁膜 1 2 上に画素電極 1 7 d が設けられているので、半導体層 1 3 a に起因する補助容量 6 d の電気容量の変化を抑制することができる。

[0077] なお、上記各実施形態では、シングル画素構造を有する T F T 基板を例示

したが、本発明は、例えば、補助容量を介して画素電極の電位を制御することにより、各画素が明副画素及び暗副画素により構成されたマルチ画素構造を有するTFT基板にも適用することができる。

[0078] また、上記各実施形態では、半導体層として、In-Ga-Zn-O系の酸化物半導体を例示したが、本発明は、例えば、In-Si-Zn-O系、In-Al-Zn-O系、Sn-Si-Zn-O系、Sn-Al-Zn-O系、Sn-Ga-Zn-O系、Ga-Si-Zn-O系、Ga-Al-Zn-O系、In-Cu-Zn-O系、Sn-Cu-Zn-O系、Zn-O系、In-O系、In-Zn-O系などの酸化物半導体、アモルファスシリコン、ポリシリコンなどのシリコン半導体にも適用することができる。

[0079] また、上記各実施形態では、積層構造を有するゲート線、ゲート電極、容量線、ソース線、ソース電極及びドレイン電極を例示したが、ゲート線、ゲート電極、容量線、ソース線、ソース電極及びドレイン電極は、単層構造を有するものであってもよい。

[0080] また、上記各実施形態では、単層構造を有するゲート絶縁膜及び保護絶縁膜を例示したが、ゲート絶縁膜及び保護絶縁膜は、積層構造を有するものであってもよい。

[0081] また、上記各実施形態では、画素電極に接続されたTFTの電極をドレイン電極としたTFT基板を例示したが、本発明は、画素電極に接続されたTFTの電極をソース電極と呼ぶTFT基板にも適用することができる。

### 産業上の利用可能性

[0082] 以上説明したように、本発明は、半導体層に起因する補助容量の電気容量の変化を抑制することができるので、液晶表示パネルを構成するTFT基板について有用である。

### 符号の説明

[0083] C            チャネル領域  
Ra, Rb           レジストパターン  
5                TFT

|                                        |             |
|----------------------------------------|-------------|
| 6 a ~ 6 d                              | 補助容量        |
| 1 0                                    | 絶縁基板        |
| 1 1 a a                                | ゲート電極       |
| 1 1 b                                  | 容量線         |
| 1 2                                    | ゲート絶縁膜      |
| 1 3                                    | 半導体膜        |
| 1 3 a ~ 1 3 c                          | 半導体層        |
| 1 4, 1 4 a                             | 金属導電膜       |
| 1 4 b a                                | ソース電極       |
| 1 4 c a ~ 1 4 c d                      | ドレイン電極      |
| 1 4 c a h, 1 4 c b h                   | 開口部（非パターン部） |
| 1 5                                    | ソースドレイン形成層  |
| 1 6 a ~ 1 6 d                          | 保護絶縁膜       |
| 1 6 a h, 1 6 b h, 1 6 c h a, 1 6 d h a | コンタクトホール    |
| 1 7 a ~ 1 7 d                          | 画素電極        |
| 2 0 a ~ 2 0 d                          | T F T 基板    |
| 3 0                                    | 対向基板        |
| 4 0                                    | 液晶層         |
| 5 0                                    | 液晶表示パネル     |

## 請求の範囲

### [請求項1]

マトリクス状に設けられた複数の画素電極と、  
上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、  
上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、  
上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に設けられ、上記ゲート電極に重なるようにチャネル領域が配置された半導体層と、該半導体層上に設けられ、上記チャネル領域が露出すると共に、該チャネル領域を介して互いに離間するように配置されたソース電極及びドレイン電極とを備えた薄膜トランジスタ基板であって、  
上記各補助容量は、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように設けられ、上記ドレイン電極に導通するように構成された上記各画素電極とを備えていることを特徴とする薄膜トランジスタ基板。

### [請求項2]

請求項1に記載された薄膜トランジスタ基板において、  
上記ドレイン電極は、上記容量線に重なるように設けられ、該容量線に重なる部分に、上記ゲート絶縁膜が露出する非パターン部を有し、  
上記各画素電極は、上記非パターン部を介して、上記ゲート絶縁膜上に設けられていることを特徴とする薄膜トランジスタ基板。

### [請求項3]

請求項2に記載された薄膜トランジスタ基板において、  
上記非パターン部は、上記ドレイン電極に設けられた開口部であることを特徴とする薄膜トランジスタ基板。

### [請求項4]

請求項1に記載された薄膜トランジスタ基板において、  
上記ドレイン電極は、上記容量線から平面視で離間するように設け

られていることを特徴とする薄膜トランジスタ基板。

[請求項5]       請求項 1 乃至 4 の何れか 1 つに記載された薄膜トランジスタ基板において、

      上記半導体層は、酸化物半導体により構成されていることを特徴とする薄膜トランジスタ基板。

[請求項6]       マトリクス状に設けられた複数の画素電極と、

      上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、

      上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、

      上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に設けられ、上記ゲート電極に重なるようにチャネル領域が配置された半導体層と、該半導体層上に設けられ、上記チャネル領域が露出すると共に、該チャネル領域を介して互いに離間するように配置されたソース電極及びドレイン電極とを備えた薄膜トランジスタ基板を製造する方法であって、

      基板上に上記ゲート電極、及び容量線を形成するゲート層形成工程と、

      上記形成されたゲート電極及び容量線を覆うように、上記ゲート絶縁膜、半導体膜及び金属導電膜を順に成膜した後に、該金属導電膜上に上記チャネル領域、ソース電極及びドレイン電極となる領域に該チャネル領域となる領域が薄肉に設けられたレジストパターンを形成するレジスト形成工程と、

      上記レジストパターンから露出する上記金属導電膜、及び該金属導電膜の下層に配置する上記半導体膜をエッチングすることにより、上記チャネル領域、ソース電極及びドレイン電極となるソースドレイン形成層を形成する第 1 エッチング工程と、

      上記第 1 エッチング工程で用いたレジストパターンを薄肉化するこ

とにより、上記ソースドレイン形成層のうち、上記チャネル領域となる領域が露出するように該レジストパターンを変成した後に、該変成されたレジストパターンから露出する上記金属導電膜をエッチングすることにより、上記チャネル領域が配置された半導体層、ソース電極及びドレイン電極を形成して、上記各薄膜トランジスタを形成する第2エッチング工程と、

上記第2エッチング工程で用いたレジストパターンを除去した後に、上記ドレイン電極に到達するようにコンタクトホールが設けられ、上記容量線に重なる部分が露出するように保護絶縁膜を形成する保護絶縁膜形成工程と、

上記保護絶縁膜上に上記各画素電極を形成して、該各画素電極を上記ゲート絶縁膜を介して上記容量線に重ならせることにより、上記各補助容量を形成する画素電極形成工程とを備えることを特徴とする薄膜トランジスタ基板の製造方法。

[請求項7]

互いに対向するように設けられた薄膜トランジスタ基板及び対向基板と、

上記薄膜トランジスタ基板及び対向基板の間に設けられた液晶層とを備えた液晶表示パネルであって、

上記薄膜トランジスタ基板は、

マトリクス状に設けられた複数の画素電極と、

上記各画素電極毎にそれぞれ設けられ、該各画素電極に接続された複数の薄膜トランジスタと、

上記各画素電極毎にそれぞれ設けられた複数の補助容量とを備え、

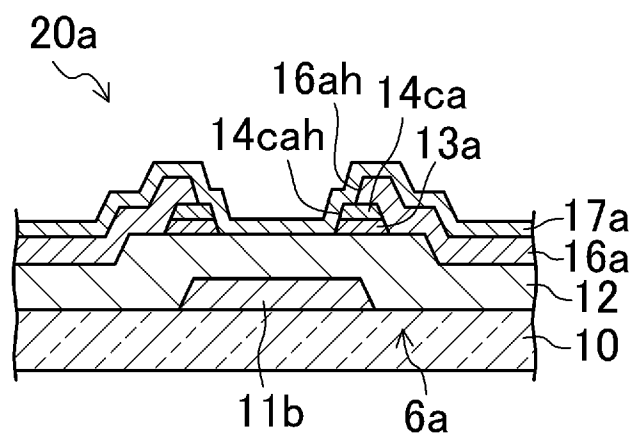
上記各薄膜トランジスタが、基板に設けられたゲート電極と、該ゲート電極を覆うように設けられたゲート絶縁膜と、該ゲート絶縁膜上に設けられ、上記ゲート電極に重なるようにチャネル領域が配置された半導体層と、該半導体層上に設けられ、上記チャネル領域が露出すると共に、該チャネル領域を介して互いに離間するように配置された

ソース電極及びドレイン電極とを備え、

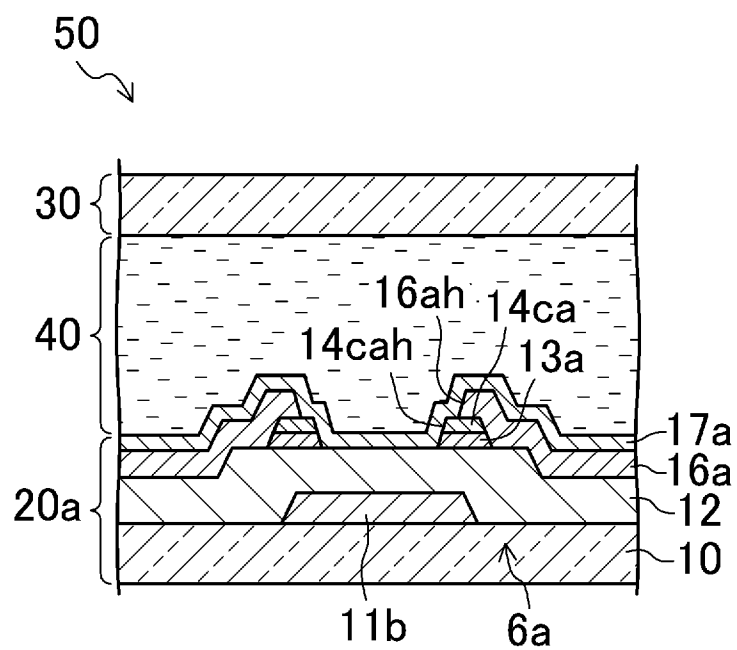
上記各補助容量は、上記ゲート電極と同一層に同一材料により設けられた容量線と、該容量線を覆うように設けられた上記ゲート絶縁膜と、該ゲート絶縁膜上に上記容量線に重なるように設けられ、上記ドレイン電極に導通するように構成された上記各画素電極とを備えていることを特徴とする液晶表示パネル。



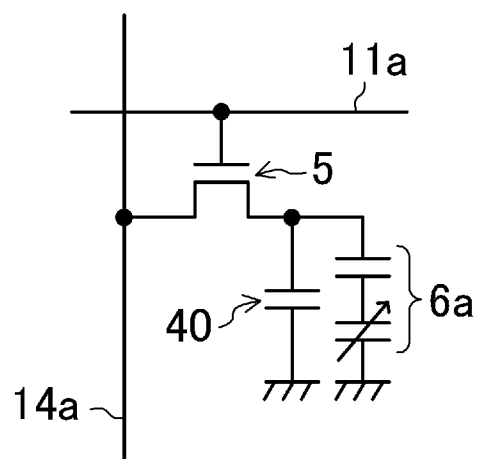
[図3]



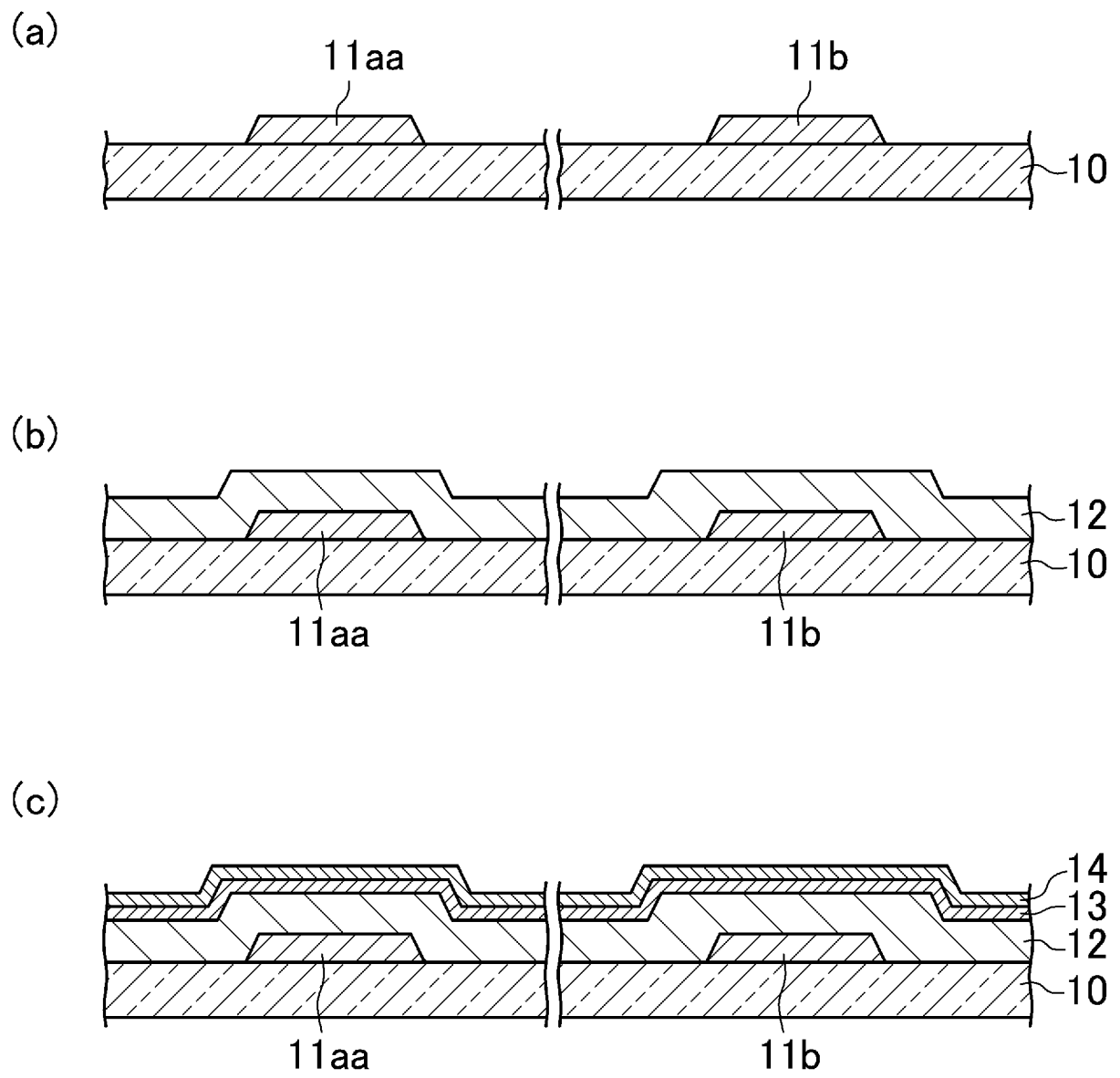
[図4]



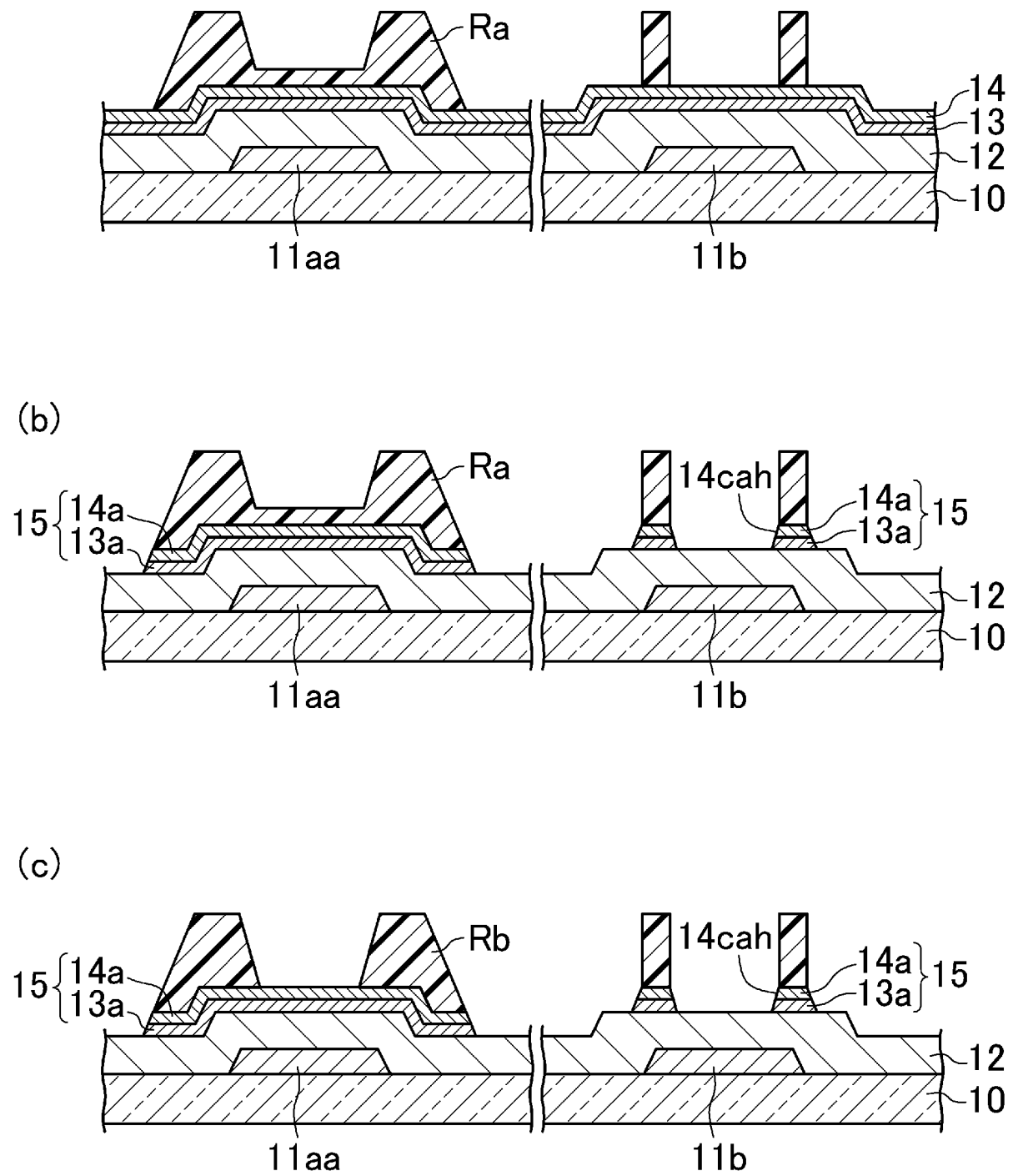
[図5]



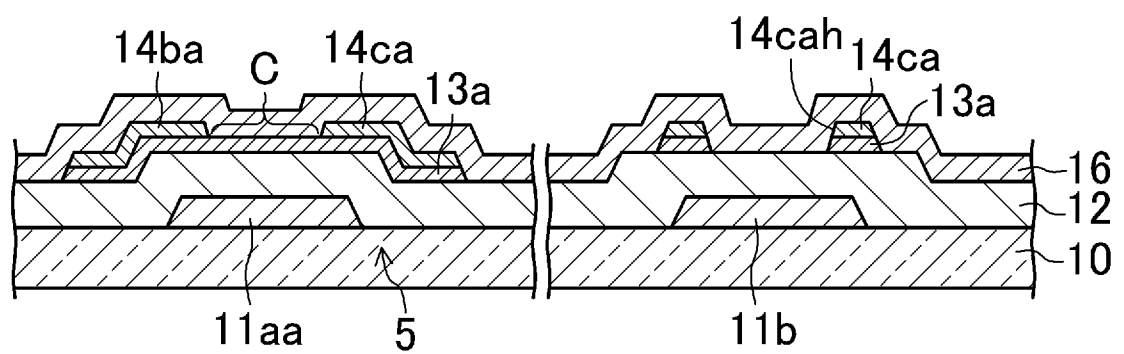
[図6]



(a)

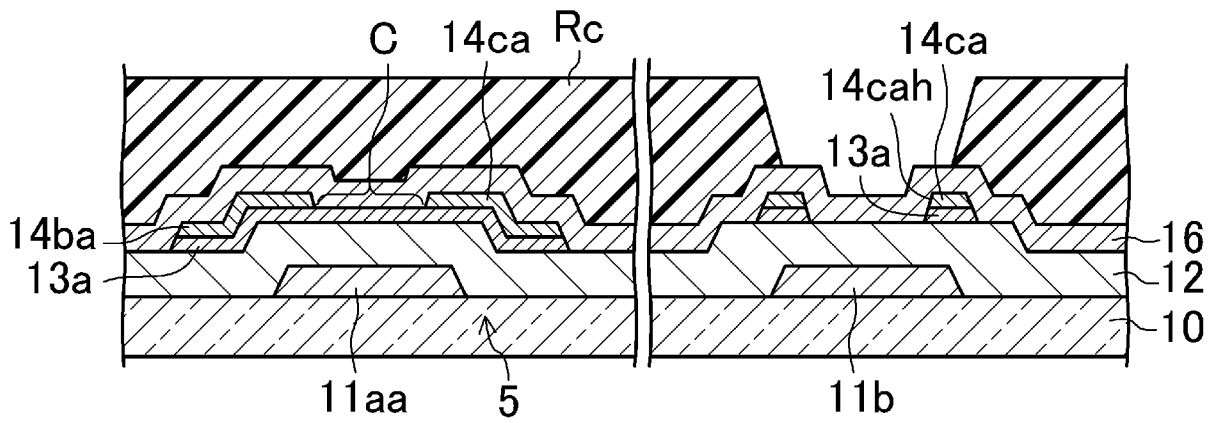


(a)

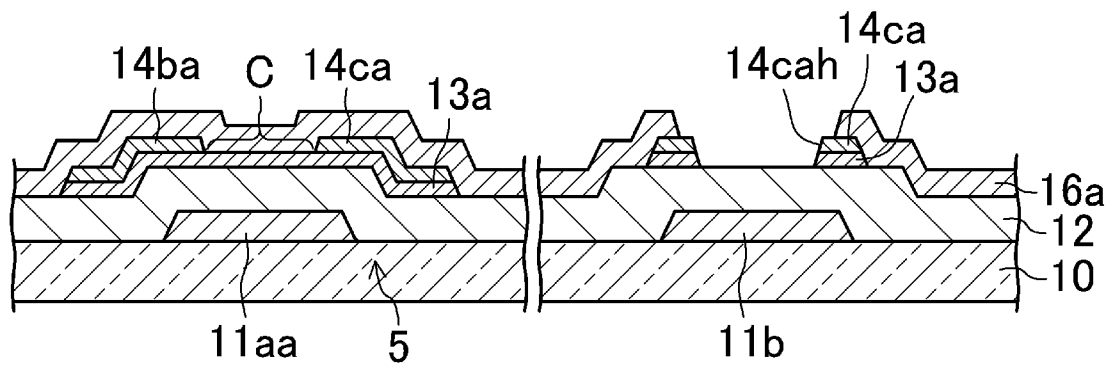


[図9]

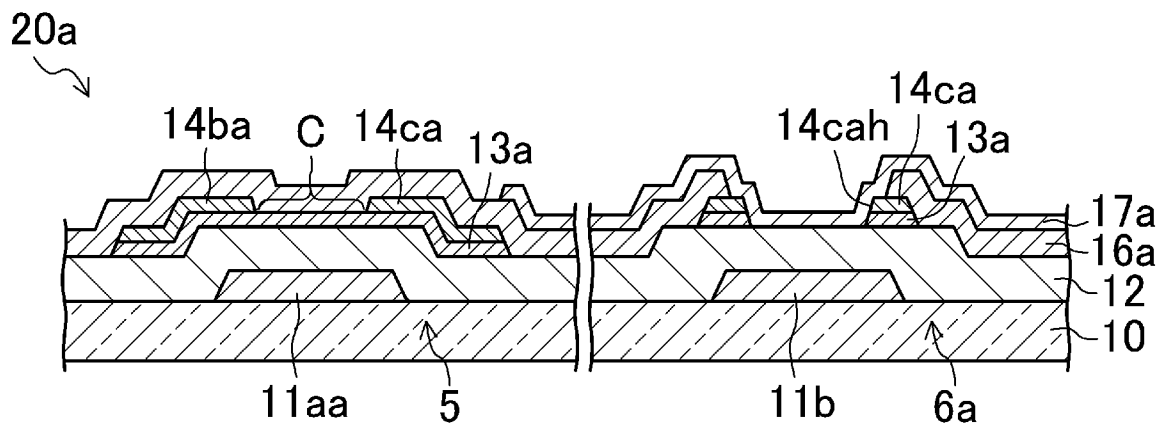
(a)



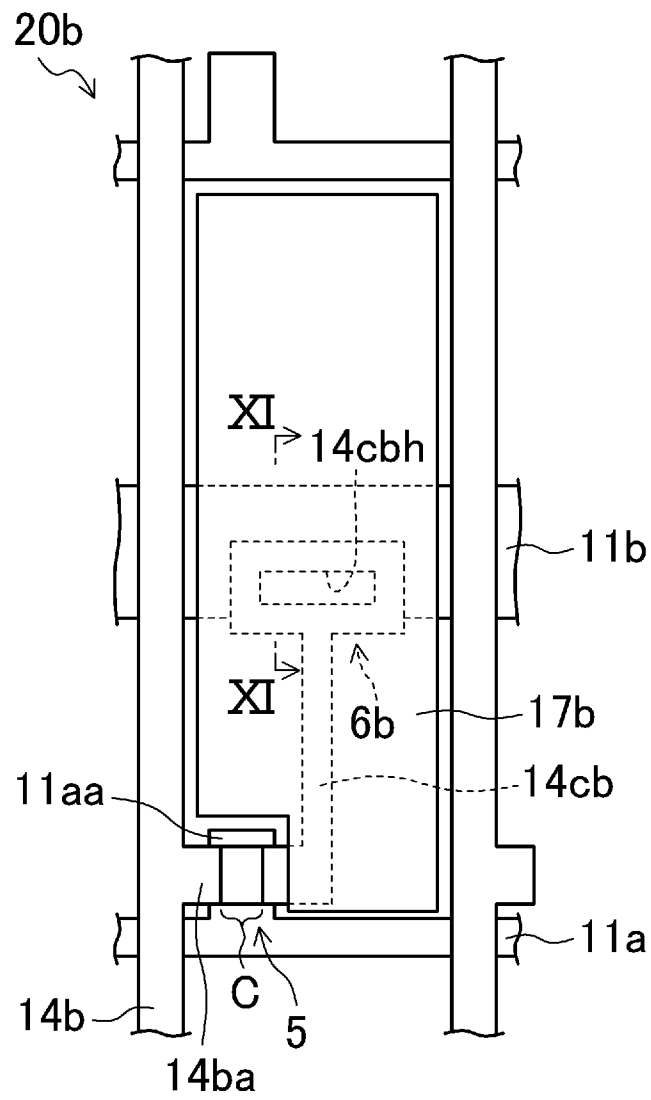
(b)



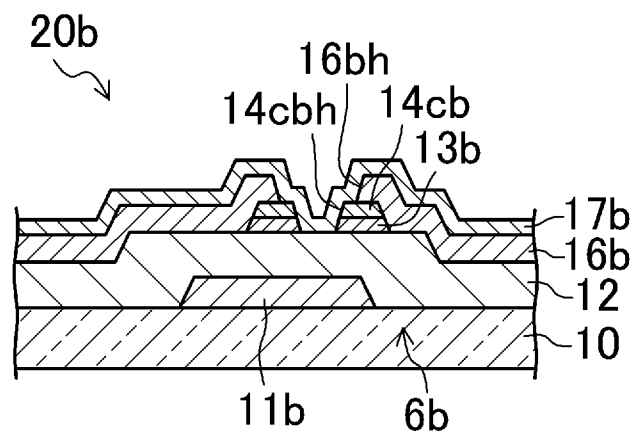
(c)



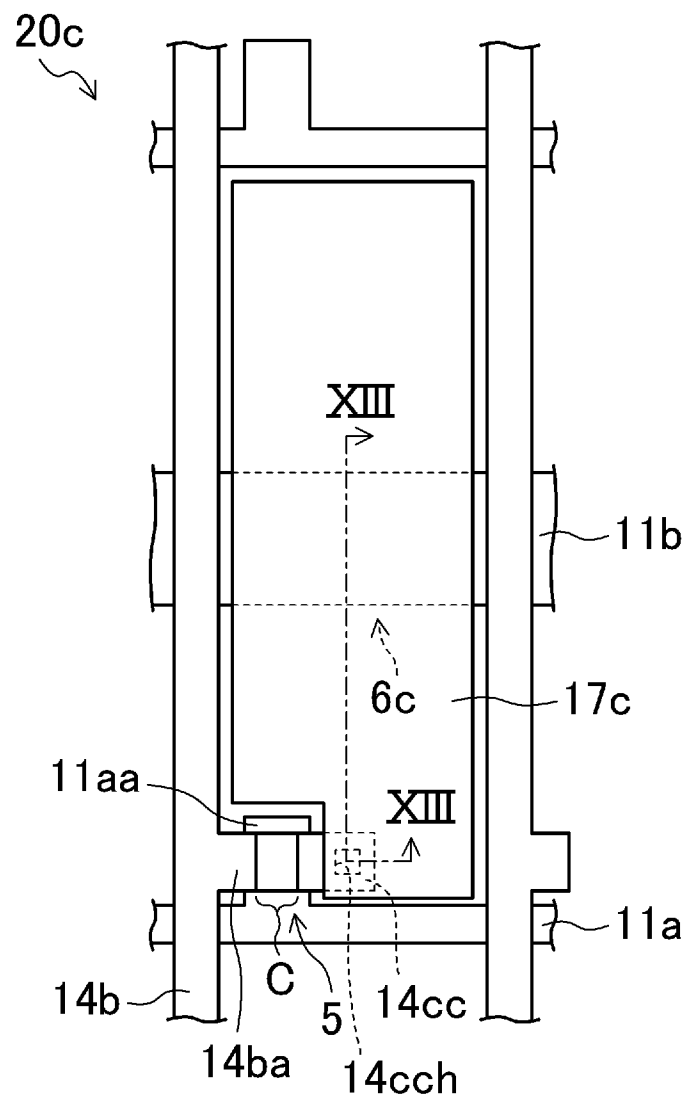
[図10]



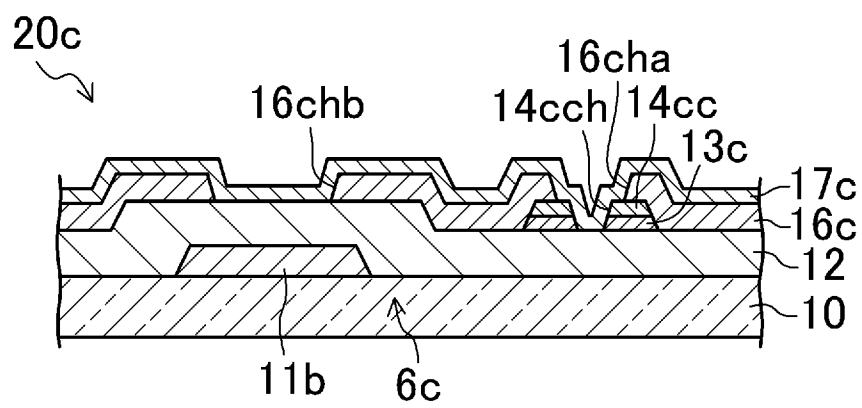
[図11]

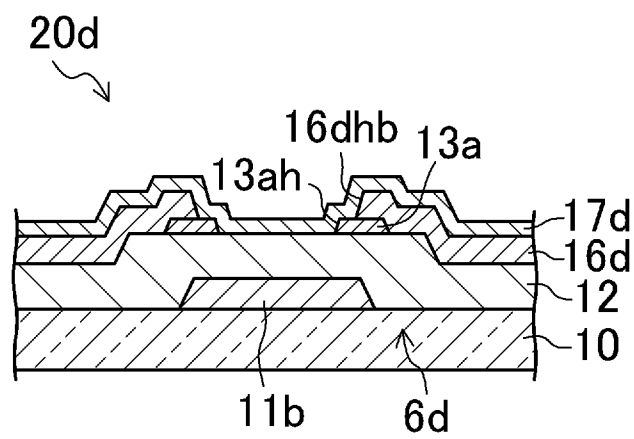
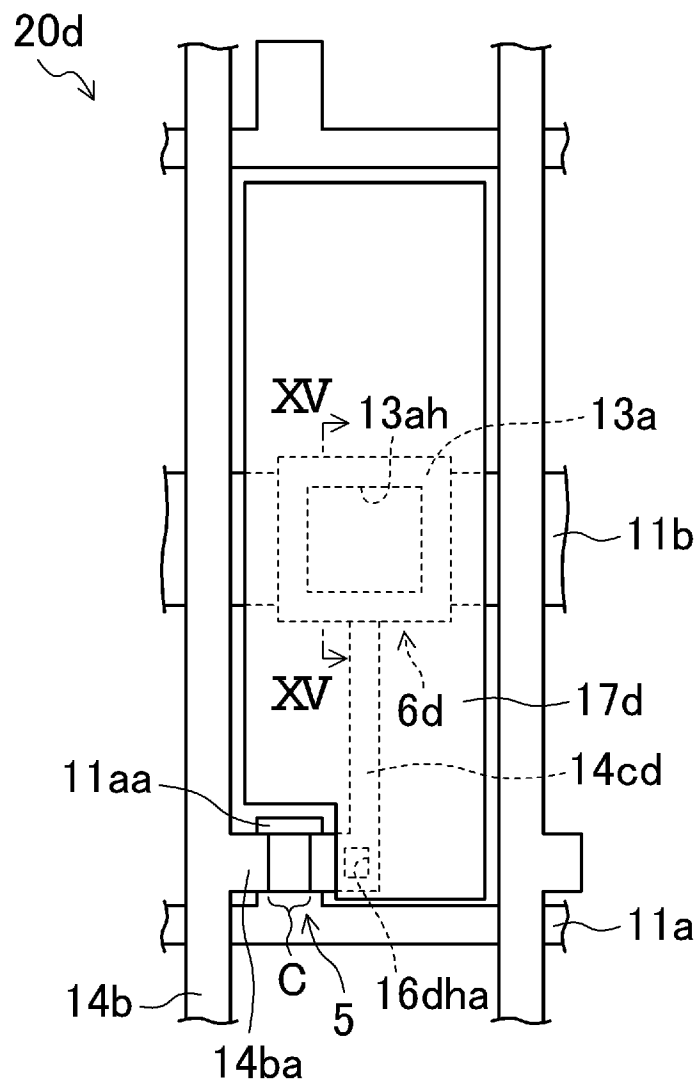


[図12]



[図13]





# INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2011/004300

## A. CLASSIFICATION OF SUBJECT MATTER

G02F1/1368(2006.01) i, H01L21/336(2006.01) i, H01L29/786(2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

## B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G02F1/1368, H01L21/336, H01L29/786

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho 1922-1996 Jitsuyo Shinan Toroku Koho 1996-2011

Kokai Jitsuyo Shinan Koho 1971-2011 Toroku Jitsuyo Shinan Koho 1994-2011

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

## C. DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                 | Relevant to claim No. |
|-----------|------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| X<br>Y    | JP 2010-139539 A (Sharp Corp.),<br>24 June 2010 (24.06.2010),<br>paragraphs [0023] to [0039]; fig. 1<br>(Family: none)             | 1-3, 7<br>5, 6        |
| X<br>Y    | JP 2010-145875 A (Videocon Gloval Ltd.),<br>01 July 2010 (01.07.2010),<br>paragraphs [0036] to [0043]; fig. 2, 3<br>(Family: none) | 1, 4<br>5             |
| Y         | JP 2010-123748 A (Toshiba Corp.),<br>03 June 2010 (03.06.2010),<br>paragraphs [0001] to [0003]<br>& US 2010/0127266 A1             | 5                     |



Further documents are listed in the continuation of Box C.



See patent family annex.

\* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

17 August, 2011 (17.08.11)

Date of mailing of the international search report

30 August, 2011 (30.08.11)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

**INTERNATIONAL SEARCH REPORT**

International application No.

PCT/JP2011/004300

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

| Category* | Citation of document, with indication, where appropriate, of the relevant passages                                                    | Relevant to claim No. |
|-----------|---------------------------------------------------------------------------------------------------------------------------------------|-----------------------|
| Y         | JP 2010-32737 A (Hoya Corp.),<br>12 February 2010 (12.02.2010),<br>paragraphs [0060] to [0062]; fig. 10, 11<br>& KR 10-2010-0012831 A | 6                     |

## A. 発明の属する分野の分類（国際特許分類（I P C））

Int.Cl. G02F1/1368(2006.01)i, H01L21/336(2006.01)i, H01L29/786(2006.01)i

## B. 調査を行った分野

調査を行った最小限資料（国際特許分類（I P C））

Int.Cl. G02F1/1368, H01L21/336, H01L29/786

最小限資料以外の資料で調査を行った分野に含まれるもの

|             |                     |
|-------------|---------------------|
| 日本国実用新案公報   | 1 9 2 2 - 1 9 9 6 年 |
| 日本国公開実用新案公報 | 1 9 7 1 - 2 0 1 1 年 |
| 日本国実用新案登録公報 | 1 9 9 6 - 2 0 1 1 年 |
| 日本国登録実用新案公報 | 1 9 9 4 - 2 0 1 1 年 |

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

## C. 関連すると認められる文献

| 引用文献の<br>カテゴリー* | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                     | 関連する<br>請求項の番号 |
|-----------------|---------------------------------------------------------------------------------------|----------------|
| X<br>Y          | JP 2010-139539 A（シャープ株式会社）2010.06.24,<br>段落【0023】－【0039】、図1（ファミリーなし）                  | 1－3、7<br>5、6   |
| X<br>Y          | JP 2010-145875 A（ビデオコン グローバル リミテッド）<br>2010.07.01, 段落【0036】－【0043】、図2、図3（ファミ<br>リーなし） | 1、4<br>5       |
| Y               | JP 2010-123748 A（株式会社東芝）2010.06.03, 段落【0001】<br>－【0003】 & US 2010/0127266 A1          | 5              |

☒ C欄の続きにも文献が列挙されている。☐ パテントファミリーに関する別紙を参照。

## \* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの  
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの  
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）  
「O」口頭による開示、使用、展示等に言及する文献  
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの

「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの

「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの

「&amp;」同一パテントファミリー文献

国際調査を完了した日

1 7 . 0 8 . 2 0 1 1

国際調査報告の発送日

3 0 . 0 8 . 2 0 1 1

国際調査機関の名称及びあて先

日本国特許庁（I S A / J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

鈴木 俊光

電話番号 03-3581-1101 内線 3255

2 L

4 8 4 6

| C (続き) . 関連すると認められる文献 |                                                                                             |                |
|-----------------------|---------------------------------------------------------------------------------------------|----------------|
| 引用文献の<br>カテゴリー*       | 引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示                                                           | 関連する<br>請求項の番号 |
| Y                     | JP 2010-32737 A (H O Y A株式会社) 2010.02.12, 段落【0060】<br>－【0062】、図10、11 & KR 10-2010-0012831 A | 6              |