

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第6部門第2区分

【発行日】平成17年9月22日(2005.9.22)

【公開番号】特開2005-208682(P2005-208682A)

【公開日】平成17年8月4日(2005.8.4)

【年通号数】公開・登録公報2005-030

【出願番号】特願2005-113397(P2005-113397)

【国際特許分類第7版】

G 10 H 7/02

【F I】

G 10 H 7/00 521 K

【手続補正書】

【提出日】平成17年6月24日(2005.6.24)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

nビットの波形データを記憶するとともに一のアドレスのデータ幅がn×mビットである第1のメモリデバイスを用いる波形メモリ型楽音合成装置であって、

nビットの波形データを読み出すためのアドレスを発生するアドレス発生部と、

該アドレスを構成するビットの一部である第1群のビットからメモリアドレスを生成するメモリアドレス生成部と、

前記アドレスを構成するビットのうち前記第1群のビットを除くビットから構成される第2群のビットからメモリマスクを生成するメモリマスク生成部と、

前記メモリアドレスを用いて前記第1のメモリデバイスをアクセスするとともに、前記メモリマスクにより第1のメモリデバイスのn×mビットのデータのうちn×(m-1)ビットをマスク状態に設定することにより、前記第1のメモリデバイスからnビットの波形データを読出す第1の読み出し部と

を有することを特徴とする波形メモリ型楽音合成装置。

【請求項2】

前記波形メモリ型楽音合成装置は、nビット幅の波形データを記憶するとともに一のアドレスのデータ幅がnビットである第2のメモリデバイスも用いるものであり、

前記メモリアドレスを用いて前記第2のメモリデバイスをアクセスし、該第2のメモリデバイスからnビットの波形データを読み出す第2の読み出部

をさらに有することを特徴とする請求項1記載の波形メモリ型楽音合成装置。

【手続補正2】

【補正対象書類名】明細書

【補正対象項目名】0007

【補正方法】変更

【補正の内容】

【0007】

上記課題を解決するため本発明にあっては、下記構成を具備することを特徴とする。なお、括弧内は例示である。

請求項1記載の波形メモリ型楽音合成装置にあっては、n(16)ビットの波形データを記憶するとともに一のアドレスのデータ幅がn×m(16×4=64)ビットである第

1のメモリデバイス( D I M M 4 1 4 )を用いる波形メモリ型楽音合成装置であって、n(16)ビットの波形データを読み出すためのアドレスを発生するアドレス発生部(上位・下位アドレス生成回路316)と、該アドレスを構成するビットの一部である第1群のビットからメモリアドレスを生成する(段落0110:上位アドレス信号M A H 0 ~ 3 0のうち下位「20ビット」である上位アドレス信号M A H 0 ~ 1 9に基づいて、R O W(行)およびC O L(列)アドレス信号を生成する)メモリアドレス生成部(行・列アドレス発生部364)と、前記アドレスを構成するビットのうち前記第1群のビットを除くビットから構成される第2群のビットからメモリマスクを生成する(段落0094~0095)メモリマスク生成部(マスク抽出部366)と、前記メモリアドレスを用いて前記第1のメモリデバイス( D I M M 4 1 4 )をアクセスするとともに、前記メモリマスクにより第1のメモリデバイスの $n \times m$ ( $16 \times 4 = 64$ )ビットのデータのうち $n \times (m - 1)$ ( $16 \times 3 = 48$ )ビットをマスク状態に設定する(段落0120:上位マスク信号D Q M H 0 ~ 3が生成されると、全64ビットのデータバスのうち何れか「16ビット」のみがアクティブ状態にされ、他の「48ビット」がマスク状態に設定される)ことにより、前記第1のメモリデバイス( D I M M 4 1 4 )からn(16)ビットの波形データを読み出す第1の読み出し部( S D R A M コントローラ360)とを有することを特徴とする。

さらに、請求項2記載の構成にあっては、請求項1記載の波形メモリ型楽音合成装置において、前記波形メモリ型楽音合成装置は、n(16)ビット幅の波形データを記憶するとともに一のアドレスのデータ幅がn(16)ビットである第2のメモリデバイス( R O M 4 1 0 )も用いるものであり、前記メモリアドレスを用いて前記第2のメモリデバイス( R O M 4 1 0 )をアクセスし(段落0106:上位アドレス信号H M A 0 ~ 3 0のうち下位23ビット(H M A 0 ~ 2 2)がアドレス信号A 0 ~ 2 2としてR O M 4 1 0に供給される)、該第2のメモリデバイスからn(16)ビットの波形データを読み出す第2の読み出し部( R O M コントローラ340)をさらに有することを特徴とする。

【手続補正3】

【補正対象書類名】明細書

【補正対象項目名】0008

【補正方法】変更

【補正の内容】

【0008】

以上のように、本発明によれば、共通のアドレスを用いて $n \times m$ ビット幅の第1のメモリデバイス、またはnビット幅の第2のメモリデバイスをアクセスするから、ビット幅の異なる複数種類のメモリデバイスに対して同一のアドレスを用いることができるため、回路構成を複雑化することなく、柔軟性の高いメモリシステムを構成できる。