

(19) 日本国特許庁(JP)

(12) 公表特許公報(A)

(11) 特許出願公表番号

特表2010-520571

(P2010-520571A)

(43) 公表日 平成22年6月10日(2010.6.10)

(51) Int.Cl.	F I	テーマコード (参考)
<b>G 1 1 C 16/02 (2006.01)</b>	G 1 1 C 17/00 6 1 2 F	5 B 1 2 5
<b>G 1 1 C 16/04 (2006.01)</b>	G 1 1 C 17/00 6 0 1 C	
<b>G 1 1 C 16/06 (2006.01)</b>	G 1 1 C 17/00 6 1 2 E	
	G 1 1 C 17/00 6 2 2 E	
	G 1 1 C 17/00 6 3 3 A	
審査請求 未請求 予備審査請求 未請求 (全 31 頁) 最終頁に続く		

(21) 出願番号	特願2009-552034 (P2009-552034)	(71) 出願人	508034325
(86) (22) 出願日	平成20年3月4日 (2008.3.4)		モサイド・テクノロジーズ・インコーポレ
(85) 翻訳文提出日	平成21年10月30日 (2009.10.30)		ーテッド
(86) 国際出願番号	PCT/CA2008/000411		カナダ・オンタリオ・K 2 K・2 X 1・オ
(87) 国際公開番号	W02008/106778		タワ・ハインズ・ロード・1 1・スイート
(87) 国際公開日	平成20年9月12日 (2008.9.12)		・2 0 3
(31) 優先権主張番号	60/893, 432	(74) 代理人	100108453
(32) 優先日	平成19年3月7日 (2007.3.7)		弁理士 村山 靖彦
(33) 優先権主張国	米国 (US)	(74) 代理人	100064908
(31) 優先権主張番号	60/914, 849		弁理士 志賀 正武
(32) 優先日	平成19年4月30日 (2007.4.30)	(74) 代理人	100089037
(33) 優先権主張国	米国 (US)		弁理士 渡邊 隆
(31) 優先権主張番号	11/779, 685	(74) 代理人	100140534
(32) 優先日	平成19年7月18日 (2007.7.18)		弁理士 木内 敬二
(33) 優先権主張国	米国 (US)		
		最終頁に続く	

(54) 【発明の名称】 フラッシュメモリ向け部分ブロック消去アーキテクチャ

## (57) 【要約】

メモリブロックのサブブロックを選択的に消去することによってフラッシュメモリデバイスの寿命を向上させる方法およびシステム。フラッシュメモリ装置の各物理メモリブロックは、少なくとも2つの論理サブブロックに分割可能であり、その少なくとも2つの論理サブブロックのそれぞれは消去可能である。したがって、論理サブブロックのデータのみが消去および再プログラムされ、他の論理サブブロック内の未修正データは、不要なプログラム/消去サイクルを回避する。消去すべき論理サブブロックは、サイズおよびブロック内の位置の点で動的に構成可能である。メモリアレイの物理サブブロックおよび論理サブブロック全体にわたってデータを配布するのに磨耗レベリングアルゴリズムが使用され、プログラミング動作およびデータ修正動作中の物理ブロックの寿命が最大にされる。

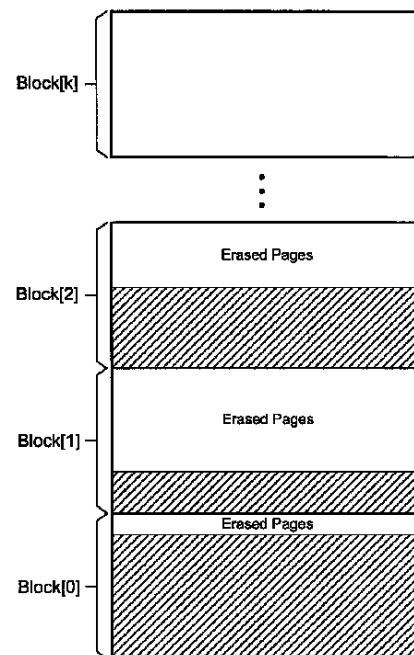


Figure 3

**【特許請求の範囲】****【請求項 1】**

列として配置されたNANDフラッシュメモリセルストリングの少なくとも1つのブロックを有するメモリアレイであって、前記少なくとも1つのブロックが、第1ワード線から最終ワード線への所定の方向にプログラム可能なページを有し、動的に選択可能な数のフラッシュメモリセルが消去可能であるメモリアレイと、

前記動的に選択可能な数のフラッシュメモリセルを消去する消去電圧まで基板にバイアスがかけられたときに、事前設定された数のフラッシュメモリセルに対応する第1ワード線を第1電圧まで駆動する行回路であって、行デコーダが、前記第2ワード線に結合された前記フラッシュメモリセルの消去を抑制するために第2ワード線を第2電圧まで駆動し、前記第2ワード線が、前記第1ワード線から最後の非選択ワード線までを含み、前記第1ワード線が、前記最後の非選択ワード線に隣接する最初に選択されたワード線から、最後に選択されたワード線までを含む行回路と

を備えるフラッシュメモリ装置。

**【請求項 2】**

前記最後に選択されたワード線は、前記最終ワード線を含む請求項1に記載のフラッシュメモリ装置。

**【請求項 3】**

前記動的に選択可能な数のフラッシュメモリセルは、マルチビットセル(MBC)である請求項1に記載のフラッシュメモリ装置。

**【請求項 4】**

前記動的に選択可能な数のフラッシュメモリセルは、フラッシュメモリセルの1つの順次セットに対応する請求項1に記載のフラッシュメモリ装置。

**【請求項 5】**

前記動的に選択可能な数のフラッシュメモリセルは、フラッシュメモリセルの2つの順次セットに対応し、前記フラッシュメモリセルの2つの順次セットは、互いに隣接しない請求項1に記載のフラッシュメモリ装置。

**【請求項 6】**

前記少なくとも1つのブロックの前記NANDフラッシュメモリセルストリングは、共通ソース線に結合され、前記フラッシュメモリ装置は、消去検証動作中に前記共通ソース線の電圧を第3電圧と第4電圧の間に設定するソース線電圧制御回路をさらに含む請求項1に記載のフラッシュメモリ装置。

**【請求項 7】**

前記第4電圧が前記第3電圧未満であり、前記共通ソース線の前記電圧が、第1ワード線の数が増加するにつれて低下する請求項6に記載のフラッシュメモリ装置。

**【請求項 8】**

メモリブロックのサブブロックを消去する方法であって、前記メモリブロックは、第1ワード線、最終ワード線、ならびに前記第1ワード線と前記最終ワード線との間の中間ワード線に結合されたNANDメモリセルストリングを有し、

第1アドレスを有する第1入力アドレスコマンドを発行する段階と、

第2アドレスを有する第2入力アドレスコマンドを発行する段階と、

部分消去コマンドを発行する段階と、

前記第1アドレスおよび前記第2アドレスに対応するワード線によってバインドされるワード線の組を有するサブブロックを消去する段階と

を含む方法。

**【請求項 9】**

前記第1アドレスはヌルアドレスを含む請求項8に記載の方法。

**【請求項 10】**

前記サブブロックは、前記第2アドレスに対応する1つのワード線および前記第1ワード線によってバインドされる前記ワード線の組を含む請求項9に記載の方法。

**【請求項 1 1】**

前記第2アドレスは、ヌルアドレスを含む請求項8に記載の方法。

**【請求項 1 2】**

前記サブブロックは、前記第1アドレスに対応する1つのワード線および最終ワード線によってバインドされる前記ワード線の組を含む請求項11に記載の方法。

**【請求項 1 3】**

消去されたサブブロックを消去検証する段階をさらに含む請求項8に記載の方法。

**【請求項 1 4】**

消去検証する段階は、

NANDメモリセルストリングに結合されたビット線を事前充電電圧レベルまで事前に充電する段階と、

前記ワード線の組に結合された消去済みメモリセルをオンにするために、前記ワード線の組に第1電圧までバイアスをかける段階と、

非選択ワード線に結合されたメモリセルをオンにするために、前記非選択ワード線に第2電圧までバイアスをかける段階と、

事前充電電圧レベルの変化を検知する段階と

を含む請求項13に記載の方法。

**【請求項 1 5】**

前記第1電圧は負電圧であり、前記第2電圧は、読取り動作中に使用される読取り電圧である請求項14に記載の方法。

**【請求項 1 6】**

前記第1電圧は0Vであり、前記第2電圧は、読取り動作中に使用される読取り電圧である請求項14に記載の方法。

**【請求項 1 7】**

前記NANDメモリセルストリングに結合された共通ソース線に可変ソースバイアス電圧までバイアスがかけられる請求項16に記載の方法。

**【請求項 1 8】**

前記可変ソースバイアス電圧は、前記ワード線の組の数が減少するにつれて0Vから最大電圧まで上昇する請求項17に記載の方法。

**【請求項 1 9】**

メモリブロックのサブブロック内のデータを修正するときの磨耗レベリング制御のための方法であって、

新しいメモリブロックの空きサブブロックに対して修正後データをプログラムする段階と、

前記メモリブロックの前記サブブロックを消去する段階と

を含む方法。

**【請求項 2 0】**

利用可能な最低ランキングのサブブロックに対して新しいデータをプログラムする段階をさらに含み、各メモリブロックは、少なくとも2つのサブブロックを含み、前記利用可能な最低ランキングのサブブロックは、順次プログラミングスキームでプログラムすべき第1ワード線に最も近接するワード線の組を含む請求項19に記載の方法。

**【請求項 2 1】**

アドレスマッピングテーブルを更新し、修正後データの論理アドレスを新しいメモリブロックの空きサブブロックに対応する物理アドレスにマッピングする段階をさらに含む請求項19に記載の方法。

**【請求項 2 2】**

前記空きサブブロックは、利用可能な最低ランキングのサブブロックである請求項19に記載の方法。

**【請求項 2 3】**

前記空きサブブロックは、前記サブブロックと等しいランキングを有する請求項19に記

10

20

30

40

50

載の方法。

【請求項 2 4】

前記新しいメモリブロックは空である請求項23に記載の方法。

【請求項 2 5】

前記新しいメモリブロックは、前記空きサブブロックよりも低いランキングを有する別のサブブロック内に格納された他のデータを含む請求項23に記載の方法。

【請求項 2 6】

前記空きサブブロックは、前記サブブロックよりも高いランキングを有する請求項19に記載の方法。

【請求項 2 7】

前記サブブロックと前記メモリブロックの他の1つのサブブロックのプログラム/消去サイクル間の差が所定の値に達したとき、前記サブブロック内のデータを、前記他の1つのサブブロック内の他のデータとスワップする段階をさらに含む請求項19に記載の方法。

【発明の詳細な説明】

【技術分野】

【0 0 0 1】

本発明は、フラッシュメモリ装置に関するものであり、特に、フラッシュメモリ向け部分ブロック消去アーキテクチャに関するものである。

【背景技術】

【0 0 0 2】

フラッシュメモリは、例えばデジタルカメラやポータブルデジタル音楽プレーヤなどのコンシューマエレクトロニクス用の大容量記憶装置としての広範な用途で一般的に使用されるタイプの不揮発性メモリである。現在入手可能なフラッシュメモリチップの密度は、最大32Gビット(4GB)とすることができ、1つのフラッシュチップのサイズが小さいので、人気のあるUSBフラッシュドライブでの使用に適している。

【0 0 0 3】

図1は、従来技術の典型的なフラッシュメモリの全体的なブロック図である。フラッシュメモリ10は、フラッシュ回路の様々な機能を制御する、制御回路12などの論理回路と、アドレス情報、データ情報、およびコマンドデータ情報を格納するレジスタと、必要とされるプログラム電圧および消去電圧を生成する高電圧回路と、メモリアレイ18にアクセスする行アドレスデコード14や行アドレスデコードバッファ16などのコアメモリ回路とを含む。制御回路12は、読取り機能、プログラム機能、消去機能などの内部フラッシュ動作を実行するコマンドデコードおよび論理回路を含む。図示されるフラッシュメモリ10の回路ブロックの機能は、当技術分野で周知である。図1に示されるフラッシュメモリ10は、多数の可能な構成のうちの1つの可能なフラッシュメモリ構成を表すことを当業者は理解する。

【0 0 0 4】

図1のフラッシュメモリ10のメモリセルアレイ18は、特定のフラッシュデバイスについて選択された設計パラメータである、任意の数のバンクからなる。図2は、図1のメモリセルアレイ18の1つのバンク20の編成を示す略図である。バンク20は、ブロック(Block[0]からBlock[k])として編成され、各ブロックは、ページ(WL<sub>0</sub>からWL<sub>i</sub>)からなる。kとiはどちらも、ゼロでない整数値である。各ページは、共通ワード線に結合されたメモリセルの行に対応する。ブロックのメモリセルの詳細な説明が次に行われる。

【0 0 0 5】

各ブロックは、直列結合で配置され、互いに電氣的に結合されたフラッシュメモリセル22を有するNANDメモリセルストリングからなる。したがって、ワード線WL<sub>0</sub>からWL<sub>i</sub>は、メモリセルストリング内の各フラッシュメモリセルのゲートに結合される。信号SSL(ストリング選択線)に結合されたストリング選択デバイス24が、ビット線26にメモリセルストリングを選択的に接続し、信号GSL(グラウンド選択線)に結合されたグラウンド選択デバイス28が、VSSなどのソース線にメモリセルストリングを選択的に接続する。ストリング選択デ

10

20

30

40

50

バイス24およびグランド選択デバイス28は、 $n$ チャネルトランジスタである。

【0006】

ビット線26( $BL_0$ から $BL_j$ 、ただし $j$ はゼロでない整数値)は、バンク20のすべてのブロックに対して共通であり、各ビット線26は、ブロック[0]から[k]のそれぞれの中の1つのNANDメモリセルストリングに結合される。各ワード線( $WL_0$ から $WL_i$ )、SSL信号、およびGSL信号は、ブロック内の各NANDメモリセルストリング内の対応する同一のトランジスタデバイスに結合される。当業者には知られているように、1つのワード線に沿ったフラッシュメモリセル内に格納されたデータがデータのページと呼ばれる。

【0007】

バンク20の外側で、フラッシュメモリセルの1ページ内にプログラムすべき書込みデータの1ページを格納するデータレジスタ30が、各ビット線に結合される。データレジスタ30はまた、フラッシュメモリセルの1ページから読み取られたデータを検知する検知回路をも含む。プログラミング動作中に、データレジスタは、プログラム検証動作を実行して、選択されたワード線に結合されたフラッシュメモリセル内にデータが適切にプログラミングされたことを保証する。高密度を達成するために、各フラッシュメモリセルは、少なくとも2ビットのデータを格納し、一般にはマルチビットセル(MBC)と呼ばれる。

【0008】

MBCフラッシュメモリに伴う問題は、そのメモリセルの、プログラム外乱に対する感度であることを当業者は理解する。プログラム外乱は、隣接するワード線と浮遊ゲートとの間の容量結合の結果として生じ、隣接するワード線と浮遊ゲートは、各製造技術世代に伴って互いに対してより近接して形成される。したがって、プログラミング中にあるセルに対して印加される高電圧が、隣接するセルのプログラムしきい電圧を、異なる論理状態を表すプログラムしきい電圧にシフトする可能性があり、あるセルのプログラム状態が、現在プログラムされている隣接するセルのしきい電圧に影響を及ぼす可能性がある。MBCフラッシュメモリ内のプログラム外乱を最小限に抑えるために、ブロック内のプログラミングは、 $WL_0$ に対応するページで開始し、 $WL_i$ まで順次進むことになる。あるいは、プログラミングは、 $WL_i$ で開始し、 $WL_0$ まで下に順次進むこともできる。NAND MBCフラッシュメモリセルをプログラミングするこうしたスキームは、当業界で周知である。ブロックがデータで完全にプログラムされると、次のファイルまたはデータの組のプログラミングが、次のブロックの $WL_0$ で開始する。デバイス内では、ブロックは通常、順次プログラムされる。

【0009】

フラッシュメモリ装置は、もはやデータを確実に格納するのに使用することができなくなるまでの消去-プログラムサイクルの数が限られていることが知られている。より具体的には、フラッシュメモリセルは、累積的なプログラム動作および消去動作によるフラッシュメモリセルの漸進的劣化であるプログラム/消去サイクル磨耗の対象となる。メモリブロックは、データでプログラムされる前に常にまず消去され、したがってサイクルをプログラムサイクルと消去サイクルの両方と呼ぶことができることを当業者は理解する。現在周知のすべてのフラッシュメモリは、ブロック消去のために構成され、そのことは、ブロック内のデータの1ページだけを修正/更新すべき場合、そのページを含むブロック全体が消去され、修正後のページおよび未修正のページで再プログラムされることを意味する。そのような累積的なプログラム動作および消去動作の効果は、最適なパラメータを超える、メモリセルのプログラム特性および消去特性の変質である。メモリセルが劣化したとき、メモリセルを所望のしきい電圧にプログラムまたは消去するのに、より高いプログラム電圧および消去電圧が必要となる。最終的に、メモリセルは、プログラムしきい電圧として表されるデータを適切に保持することに失敗する。例えば、MBCフラッシュメモリに関する典型的な消去-プログラムサイクルは、約10,000サイクルである。

【0010】

現在、入手可能なほとんどのフラッシュメモリは、そのチップサイズに比べて記憶密度が高いために、MBCタイプのものである。MBCタイプはほとんどの消費者応用例に適しているが、10,000サイクルのプログラム-消去限界は、データのプログラミングおよび消去が

10

20

30

40

50

頻繁な他の応用例にとって十分ではないことがある。したがって、MBCフラッシュメモリがその10,000サイクルの寿命に達したとき、MBCフラッシュメモリはもはや使用不能であり、廃棄しなければならない。この問題は、より頻繁なプログラム-消去サイクルがあるHDD応用例などの商用応用例にとって、より重大である。HDD応用例は、ほとんどの消費者応用例よりも高いデータ保全性を必要とするので、MBCフラッシュメモリの比較的短い10,000サイクルという寿命のために、MBCフラッシュメモリは使用に適さない。

#### 【0011】

この問題は、フラッシュメモリ装置のブロックサイズが引き続き増加すると共に、格納されるデータファイルサイズが比較的静的なままであることによって悪化する。例えば、今日の高密度フラッシュデバイスに関するブロックサイズは256KBの範囲であるが、将来の高密度フラッシュデバイスは、512KBに近いブロックサイズを有することになる。ブロック内に格納されるデータファイルが小さい場合、データファイルが修正されるとき、ブロックがサイズを有するのとは比べて、より多くのメモリセルが不必要に消去/プログラムサイクルの対象となることになる。

#### 【先行技術文献】

#### 【特許文献】

#### 【0012】

【特許文献1】米国特許出願第11/565,170号明細書

#### 【発明の概要】

#### 【発明が解決しようとする課題】

#### 【0013】

したがって、寿命が延長されるように動作可能なフラッシュメモリ装置を提供することが望ましい。

#### 【課題を解決するための手段】

#### 【0014】

本実施形態の一態様は、従来のフラッシュメモリシステムの少なくとも1つの欠点を回避または軽減することである。

#### 【0015】

第1の態様では、メモリアレイおよび行回路を有するフラッシュメモリ装置が提供される。メモリアレイは、列として配置されたNANDフラッシュメモリセルストリングの少なくとも1つのブロックを有し、その少なくとも1つのブロックは、選択的に消去可能である、事前設定された数のフラッシュメモリセルを有する。事前設定された数のフラッシュメモリセルを消去するために基板に消去電圧までバイアスがかけられると、行回路は、事前設定された数のフラッシュメモリセルに対応する第1ワード線を第1電圧まで駆動する。第2ワード線に結合されたフラッシュメモリセルの消去を抑制するために、行デコーダが、第2ワード線を第2電圧まで駆動する。第1の態様の実施形態によれば、事前設定された数のフラッシュメモリセルは、マルチビットセル(MBC)でよく、フラッシュメモリセルの1つの順次セットに対応することができ、またはフラッシュメモリセルの2つの順次セットに対応することができ、この場合、フラッシュメモリの2つの順次セットは、互いに隣接しない。本態様の別の実施形態では、少なくとも1つのブロックのNANDフラッシュメモリセルストリングが、共通ソース線に結合され、フラッシュメモリ装置は、消去検証動作中に共通ソース線の電圧を第3電圧と第4電圧の間に設定するソース線電圧制御回路をさらに含む。第4電圧は第3電圧未満であり、共通ソース線の電圧は、第1ワード線の数が増加するにつれて下降する。

#### 【0016】

第2の態様では、メモリブロックのサブブロックを消去する方法であって、メモリブロックが、第1ワード線、最終ワード線、ならびに第1ワード線と最終ワード線との間の中間ワード線に結合されたNANDメモリセルストリングを有する方法が提供される。この方法は、第1アドレスを有する第1入力アドレスコマンドを発行すること、第2アドレスを有する第2入力アドレスコマンドを発行すること、部分消去コマンドを発行すること、および第1

10

20

30

40

50

アドレスおよび第2アドレスに対応するワード線によってバインドされるワード線の組を有するサブブロックを消去することを含む。

【0017】

本態様の一実施形態によれば、第1アドレスはヌルアドレスを含み、サブブロックは、第2アドレスに対応する1つのワード線および第1ワード線によってバインドされるワード線の組を含む。本態様の別の実施形態では、第2アドレスはヌルアドレスを含み、サブブロックは、第1アドレスに対応する1つのワード線および最終ワード線によってバインドされるワード線の組を含む。さらに別の実施形態では、この方法は、消去されたサブブロックを消去検証することをさらに含む。消去検証することは、ビット線を事前充電すること、ワード線の組にバイアスをかけること、非選択ワード線にバイアスをかけること、および検知することを含む。事前充電するステップは、NANDメモリセルストリングに結合されたビット線を事前充電電圧レベルまで事前充電することを含む。ワード線の組に結合された消去済みメモリセルをオンにするために、ワード線の組に第1電圧までバイアスがかけられる。非選択ワード線に結合されたメモリセルをオンにするために、非選択ワード線に第2電圧までバイアスがかけられる。検知することは、事前充電電圧レベルの変化を検知することを含む。

10

【0018】

さらに別の実施形態では、第1電圧は負電圧であり、第2電圧は、読取り動作中に使用される読取り電圧である。あるいは、第1電圧は0Vでもよく、第2電圧は、読取り動作中に使用される読取り電圧である。別の実施形態では、NANDメモリセルストリングに結合された共通ソース線に可変ソースバイアス電圧までバイアスがかけられ、可変ソースバイアス電圧は、ワード線の組の数が減少するにつれて0Vから最大電圧まで上昇する。

20

【0019】

第3の態様では、メモリブロックのサブブロック内のデータを修正するときの磨耗レベリング制御のための方法が提供される。この方法は、新しいメモリブロックの空きサブブロックに対して修正後データをプログラムすること、およびメモリブロックのサブブロックを消去することを含む。一実施形態では、この方法は、利用可能な最低ランキングのサブブロックに対して新しいデータをプログラムすることをさらに含み、各メモリブロックは、少なくとも2つのサブブロックを含み、利用可能な最低ランキングのサブブロックは、順次プログラミングスキームでプログラムすべき第1ワード線に最も近接するワード線の組を含む。別の実施形態では、この方法は、アドレスマッピングテーブルを更新し、修正後データの論理アドレスを新しいメモリブロックの空きサブブロックに対応する物理アドレスにマッピングすることを含む。さらに別の実施形態では、空きサブブロックは、利用可能な最低ランキングのサブブロックであり、またはサブブロックに等しいランキングを有する。空きサブブロックのランキングがサブブロックに等しいとき、新しいメモリブロックは空であり、または空きサブブロックよりも低いランキングを有する別のサブブロック内に格納された他のデータを含む。あるいは、空きサブブロックは、サブブロックよりも高いランキングを有する。さらに別の実施形態では、この方法は、サブブロックとメモリブロックの他の1つのサブブロックのプログラム/消去サイクル間の差が所定の値に達したとき、サブブロック内のデータを、他の1つのサブブロック内の他のデータとスワップすることを含む。

30

40

【0020】

特定の実施形態についての以下の説明を添付の図と共に検討することにより、本願発明の実施形態の他の態様および特徴が当業者には明らかとなる。

【0021】

これから、添付の図を参照しながら、単なる例示として実施形態を説明する。

【図面の簡単な説明】

【0022】

【図1】従来技術の典型的なフラッシュメモリのブロック図である。

【図2】メモリアレイの物理的構成を示す図である。

50

【図3】フラッシュメモリ装置の部分消去済み物理メモリブロックの概念図である。

【図4】フラッシュメモリアレイの物理メモリブロックの回路詳細を示す回路図である。

【図5】消去検証動作中の、ソース線電圧と、選択されたワード線の数との間の関係を示すグラフである。

【図6】部分ブロック消去および消去検証のための方法のフローチャートである。

【図7a】選択的に消去可能なサブブロックの例を示すNANDメモリセルストリングの回路図である。

【図7b】選択的に消去可能なサブブロックの例を示すNANDメモリセルストリングの回路図である。

【図7c】選択的に消去可能なサブブロックの例を示すNANDメモリセルストリングの回路図である。

【図8】メモリブロックのサブブロックを消去するためのコマンドプロトコルを示すフローチャートである。

【図9】図8に示されるコマンドプロトコルを使用して、上位サブブロック、下位サブブロック、またはサブブロックスライスを消去する方法のフローチャートである。

【図10a】相異なる論理サブブロック構成を有するメモリブロックの略図である。

【図10b】相異なる論理サブブロック構成を有するメモリブロックの略図である。

【図11】磨耗レベリングアルゴリズムのフローチャートである。

【図12】図11に示される磨耗レベリングアルゴリズムのサブブロックアロケータサブルーチンである。

【図13a】別のサブブロックに対するデータ再プログラミングの図である。

【図13b】別のサブブロックに対するデータ再プログラミングの図である。

【図13c】別のサブブロックに対するデータ再プログラミングの図である。

【図13d】別のサブブロックに対するデータ再プログラミングの図である。

【図14】メモリブロックのサブブロック間のプログラム/消去サイクル不均衡を制御する方法のフローチャートである。

【図15】図14の方法を使用するデータスワッピングの前および後のメモリブロッ

【発明を実施するための形態】

【0023】

一般に、この実施形態は、フラッシュメモリデバイスの寿命を向上させる方法およびシステムを提供する。フラッシュメモリ装置の各物理メモリブロックは、少なくとも2つの論理サブブロックに分割可能であり、その少なくとも2つの論理サブブロックのそれぞれは消去可能である。したがって、論理ブロックのデータのみが消去および再プログラムされ、他の論理ブロック内の未修正データは、不要なプログラム/消去サイクルを回避する。消去すべき論理サブブロックは、サイズおよびブロック内の位置の点で動的に構成可能である。メモリアレイの物理サブブロックおよび論理サブブロック全体にわたってデータを配布するのに磨耗レベリングアルゴリズムが使用され、物理ブロックの寿命が最大にされる。

【0024】

図3は、本実施形態による、フラッシュメモリ装置の物理メモリブロック(Block[0]からBlock[k])の概念図である。各物理ブロックは、選択的に消去される論理サブブロックを有することができ、消去されているサブブロックは、任意の数のページからなることができる。図3では、データを格納するメモリブロックの部分が、網掛けで示されており、メモリブロックの消去済みサブブロックは、網掛けを有さない。選択的に消去されているサブブロックのサイズを、物理ブロックの任意の比率となるように事前設定することができ、または実行中に動的に構成可能でよい。図3の例では、Block[0]は、Block[1]よりも小さい消去済みサブブロックを有する。物理ブロックサイズに応じて、例えば4つの論理サブブロックなどの、3つ以上の論理サブブロックに物理ブロックを分割することが好都合であることがある。したがって、各物理ブロックは、部分的に消去可能である。各物理ブロックのメモリセルが、図2に示されるようにNANDメモリセルストリングとして構成され

10

20

30

40

50



、各ページが $WL_0$ から $WL_i$ の方向に順次プログラムされると仮定する。ただし、 $WL_i$ は、プログラムすべき最後のワード線である。

【0025】

データが $WL_0$ から $WL_i$ まで順次プログラムされるこの例では、下位サブブロックと上位サブブロックがある。下位サブブロックは、ワード線の下位の順次セットを含み、上位サブブロックは、ワード線の上位の順次セットを含む。プログラム外乱を最小限に抑えるために、任意のメモリブロックの上位サブブロックが消去および再プログラムされ、下位サブブロックのデータが保持される。このスキームは、以前に消去された物理ブロックが一定のページまで順次プログラムされ、残りのページが消去された状態のままにされる状況に似ている。したがって、消去済み上位サブブロックまでデータが後で順次プログラムされるときに、プログラム外乱が最小限に抑えられる。下位サブブロックを消去することができると共に、データが隣接する上位サブブロック内に保持されるが、隣接する上位サブブロックが消去されるまで、下位サブブロックに対してデータを再プログラムすべきではない。

10

【0026】

物理ブロックを部分的に消去するための一般的概念が導入されたので、それ以上の詳細な実施形態が、図4を参照しながら説明される。図4は、フラッシュメモリアレイ、ワード線ドライバブロック102、およびソース線電圧制御回路104の物理ブロック100を示す回路図である。ワード線ドライバブロック102およびソース線電圧制御回路104は通常、物理ブロック100に対してローカルなものである。物理ブロック100は、列として配置されたNANDフラッシュメモリセルストリングを有し、各ストリングは、ビット線 $BL_0$ から $BL_j$ 、共通ソース線CSLに結合される。ワード線ドライバブロック102は、信号SSをSSL制御線に、 $S[0:n]$ を $WL_0$ ワード線から $WL_n$ ワード線にそれぞれ結合し、GSをGSL制御線に結合する。当業者には周知の通り、信号SS、 $S[0:n]$ 、およびGSLは、プログラム中、プログラム検証中、読取り動作中、および消去動作中に異なる電圧レベルに設定される。ソース線電圧制御回路104は、実行中の前述の動作のうちの1つに応じて、CSLの電圧レベルを設定する任を担う。

20

【0027】

以下は、物理ブロック100の消去可能サブブロックの論理構成を示すための例示的シナリオである。物理ブロック100のすべてのページ( $WL_0$ から $WL_n$ )が、 $WL_0$ から $WL_n$ の方向にデータでプログラムされており、 $WL_{27}$ から $WL_n$ に結合されたメモリセル内に格納されたデータを修正すべきであると仮定する。したがって、ワード線 $WL_{27}$ から $WL_n$ に結合されたメモリセル内に格納されたデータのみを消去するように、ビット線、ワード線 $WL_{27}$ から $WL_n$ 、およびソース線CSLにバイアスがかけられる。次いで、修正後データが、同じワード線に対して再プログラムされる。ワード線 $WL_{27}$ から $WL_n$ に対応するページは、上位サブブロック106と呼ばれ、 $WL_0$ から $WL_{26}$ に対応するページは、下位サブブロック108と呼ばれる。したがって、上位サブブロック106のサイズは、消去されるデータに依存するので、上位サブブロック106は、サイズの点で動的に構成可能である。あるいは、サブブロック106およびサブブロック108のサイズを固定することもできる。

30

【0028】

サブブロックが消去された後に、データを必ずしも再プログラムしなければならないわけではないので、現在説明している実施形態は、サブブロックの消去および再プログラムに限定されない。このことは、サブブロックがある動作で消去されると、消去されたサブブロックの下位の任意の数の順次ページを後の動作で消去することができ、それによって、消去されるサブブロックのサイズが拡張されることを意味する。

40

【0029】

前述のように、物理ブロックの特定のページが、ビット線、選択されたワード線および非選択ワード線、ならびにソース線にバイアスをかけることによって消去される。表1および2は、選択された物理ブロック内のページのサブブロックを消去するのに有効な例示的バイアス条件と、非選択物理ブロック内の消去を抑制するのに有効なバイアス条件とを与えるものである。

50

【 0 0 3 0 】

【 表 1 】

表1

	選択されたブロック	非選択ブロック
ビット線(B/L)	Vers-0.6Vにクランピングされる	Vers-0.6Vにクランピングされる
ストリング選択線(SSL)	Vers	Versの約90%まで昇圧される
選択されたワード線	0V	Versの約90%まで昇圧される
非選択ワード線	Vers	Versの約90%まで昇圧される
グラント選択線(GSL)	Vers	Versの約90%まで昇圧される
共通ソース線(CSL)	Vers-0.6Vにクランピングされる	Vers-0.6Vにクランピングされる
基板(Pocket P-Well)	Vers	Vers

10

【 0 0 3 1 】

20

表1の例では、非選択ワード線に正電圧のバイアスがかけられ、対応する非選択ページ(複数可)が消去されることが防止される。この電圧はVersと呼ばれる。選択されたワード線に別の電圧、例えば0Vのバイアスがかけられ、選択されたページ(複数化)が消去される。Versなどの正電圧までバイアスがかけられたメモリセルの基板では、0Vまでバイアスがかけられたメモリセルと基板との間に電界が形成され、この電界は、メモリセルを消去するのに有効である。Versまでバイアスがかけられたメモリセルと基板との間の電場は、メモリセルを消去するには不十分であり、したがって消去が抑制され、メモリセル内に格納されたデータが保持される。

【 0 0 3 2 】

30

非選択ブロック内のメモリセルの消去を防止するために、非選択ブロック内のすべてのワード線が、消去動作中に浮遊するままにされる。非選択ブロック内の浮遊するワード線は、ほぼ消去電圧Versまで昇圧され、セルアレイの基板にVersまでバイアスがかけられたときに、Versが基板に印加されたときの基板とワード線との間の容量結合により、Versの約90%となることができる。浮遊ワード線上の実際の昇圧電圧レベルは、基板とワード線との間の結合率によって決定されることに留意されたい。非選択ブロック内のワード線上の昇圧電圧は、基板とワード線との間の電界を低減し、それによってメモリセルの消去が抑制される。フラッシュメモリ内のワード線昇圧のより詳しい詳細が、本願と同じ所有者の2006年11月30日出願の米国特許出願第11/565,170号に記載されている。

【 0 0 3 3 】

【表 2】

表2

	選択されたブロック	非選択ブロック
ビット線(B/L)	Vers-0.6Vにクランピングされる	Vers-0.6Vにクランピングされる
ストリング選択線(SSL)	Versの約90%まで昇圧される	Versの約90%まで昇圧される
選択されたワード線	0V	Versの約90%まで昇圧される
非選択ワード線	Versの約90%まで昇圧される	Versの約90%まで昇圧される
グラント選択線(GSL)	Versの約90%まで昇圧される	Versの約90%まで昇圧される
共通ソース線(CSL)	Vers-0.6Vにクランピングされる	Vers-0.6Vにクランピングされる
基板(Pocket P-Well)	Vers	Vers

10

## 【0034】

表2の例では、バイアス条件は、選択されたブロックの非選択ワード線がほぼ消去電圧Versまで昇圧されることを除いて、表1に示されるものと同一である。一実施形態では、この昇圧電圧はVersの約90%であり、これは、ビット線およびソース線を通じてメモリセルを事前充電し、基板がVersまで上昇するときに基板に対する容量結合を通じてワード線を昇圧することによって達成される。この場合も、消去を抑制するためのワード線昇圧の詳細が、米国特許出願第11/565,170号に詳細に記載されている。表1および2に示される、例示されるバイアス条件は例に過ぎないが、特定の値が製造工程、使用される材料、メモリセルの特定の設計に依存することを当業者は理解することができる。

20

## 【0035】

物理ブロックのサブブロックが消去されると、データが再プログラムされる前に実行すべき任意選択の手続きは、消去検証動作である。消去検証動作は、消去されるセルが、しきい電圧に適切なしきい電圧マージンを有することを保証する。例えば、消去しきい電圧は、ある負電圧値となる。従来のブロック消去アーキテクチャでは、消去検証が、ブロックのすべてのワード線に0Vまでバイアスをかけ、NANDメモリセルストリングを通る電流を検知することによって実行される。0Vよりも高い消去しきい電圧を有する少なくとも1つのメモリセルを有するどんなメモリセルもオンされず、対応するビット線中の電流の欠如が検知される。この従来のスキームは、メモリセルの一部が多数の可能なしきい電圧のうちの1つに対応するデータを依然として保持するときには可能ではない。

30

## 【0036】

一実施形態によれば、部分消去済みブロックのための消去検証動作が、消去されるメモリセルに結合された選択されるワード線に、消去しきい電圧よりも高い電圧までバイアスをかけ、残りのすべての非選択ワード線に、読取り動作のために使用される電圧までバイアスをかけることによって実行される。この電圧はVreadと呼ばれ、例えば4～5Vの間で変化することができる。表3は、部分消去済みブロックに対する消去検証動作を実施するための例示的バイアス条件を示す。

40

## 【0037】

【表 3】

表3

	ソースバイアスを用いるページ消去検証
ビット線(B/L)	事前充電され、検知される
ストリング選択線(SSL)	Vread(4~5V)
選択されたワード線	0V
非選択ワード線	Vread(4~5V)
グラウンド選択線(GSL)	Vread(4~5V)
共通ソース線(CSL)	Vcs
基板(Pocket P-Well)	0V

10

## 【0038】

一実施形態によれば、ソース線(Vcs)の電圧は、負のしきい値消去電圧が0Vから十分に離間することを保証するために、検証中のワード線の数に対して調節可能である。例えば、負のしきい値消去電圧が少なくとも-0.5Vであるべきであり、消去の結果、しきい値-0.2Vとなる場合、-0.2Vのしきい値を検出するために、ワード線に-0.5Vまでバイアスをかけるべきである。しかし、負の電圧はあるデバイスでは使用に適さないことがあるので、ソース線Vcsが正電圧レベルまで上げられ、選択されたワード線に0Vまでバイアスがかけられる。Vcsに正のバイアスをかけることにより、選択されたワード線は実質的に負となる。当業者はこの効果を理解するはずである。

20

## 【0039】

図5は、ソース線電圧と、検証中の消去されたサブブロックに対応する、選択されたワード線の数との間の関係を示す。x軸は、検証すべきワード線の合計数であり、y軸は、共通ソース線の電圧(Vcs)である。斜め曲線120は、Vcsの電圧レベルと、選択されたワード線の数との間の理想的な関係を表す。Vcs電圧は、検証すべき、選択されたワード線の数が増加するにつれて低下することが明らかである。ただ1つのワード線を検証すべき場合、Vcsを例えば0.4Vなどの第1電圧に設定することができる。他方の極限では、すべてのワード線を検証すべき場合、Vcsを、第2のより低い電圧0Vに設定することができる。したがって、ここで示される実施形態でのVcsの範囲は、0Vから0.4Vの間で変化することができる。各NANDメモリセルストリング内により多くのワード線を有する代替実施形態では、0.4Vよりも高い電圧を使用することができる。

30

## 【0040】

斜め曲線120は理想的であるが、少なくともいくつかの実施例でそれを実施するのに必要な細かい制御は、非現実的である。しかし、当業者は理解するであろうが、選択されたワード線のグルーピングに対する階段形電圧をソース線電圧制御回路104で現実的に実施することができる。階段形曲線122は、可能であるステップサイズおよびワード線グルーピングの一例を示す。第1電圧、第2電圧、ワード線グルーピングのサイズ、およびグルーピング間の電圧ステップサイズの選択は、フラッシュメモリ装置の設計パラメータに基づくことになる。

40

## 【0041】

次に、図6を参照しながら、部分ブロック消去および消去検証方法実施形態が説明される。各部分ブロック消去動作について、図6の方法を実行することができる。この方法は、ステップ200で、ERS\_LOOPと呼ばれる消去ループカウンタ変数を1または任意の所望の開始値に等しく設定することによって開始する。ステップ202で、NANDメモリセルストリング内の少なくとも1つのメモリセルを消去するために、部分ブロック消去動作が実行され

50

る。このステップは、部分消去命令を受け取ること、消去すべきメモリセル(複数可)に対応するアドレス(複数可)を受け取ること、選択されたワード線(複数可)、非選択ワード線(複数可)、ビット線、および他の関連する信号に、選択されたワード線に結合されたメモリセルを消去するのに十分なレベルまでバイアスをかけることを含む。先に示された表1および2は、使用することのできる例示的バイアス値を列挙する。

#### 【0042】

次に、物理ブロックのサブブロックが部分的に消去された後に、ステップ204で消去検証シーケンスが開始する。このステップは、選択されたワード線の数に基づいて適切なVcsレベルを設定すること、および選択されたワード線に結合されたメモリセルの消去された状態を検知するために、選択されたワード線および非選択ワード線に適切な電圧でバイアスをかけることを含む。先に示された表3は、使用することのできる例示的バイアス値を列挙する。ビット線が事前充電され、ビット線の検知が開始される。ステップ206で、検知が完了し、結果は、部分消去動作が成功した、または成功しなかったことを示すことになる。例えば、選択されたワード線に0Vまでバイアスをかけ、非選択ワード線、SSL、およびGSLにVreadまでバイアスをかけることにより、選択されたワード線に結合されたすべてのメモリセルが0V未満のしきい電圧を有する場合、高電圧レベルまで事前充電された対応するビット線が、Vcsまで放電することになり、それによってテストに合格する。しかし、選択されたワード線に結合された少なくとも1つのメモリセルが0Vよりも高いしきい値を有する場合、ビット線はVcsまで放電されず、それによってテストに不合格となる。当業者には周知であるが、どちらのケースも、ビット線センス増幅器回路によって検出することができる。

#### 【0043】

テストに不合格であった場合、方法はステップ208に進み、カウンタ変数ERS\_LOOPが最大値Maxと比較され、現ループカウンタがMax未満である場合、ステップ210でERS\_LOOPが増分される。ステップ210より、方法はステップ202に戻り、選択されたサブブロックの部分消去が反復される。2つの条件の一方が満たされるまで、部分消去ステップおよび検証ステップ202、204、206、208、および210が続行される。カウンタ変数ERS\_LOOPが最大値Maxに達した場合、第1条件が生じ、その場合、方法はステップ212に進み、ステータスレジスタが更新され、消去不合格ステータスが反映される。あるいは、サブブロックに対応するすべてのページが、別の用途から設計される。次いで、方法はステップ214で終了する。テストに合格した場合、第2条件が生じ、その場合、方法はステップ206からステップ216に進み、ステータスレジスタが更新され、消去合格ステータスが反映される。次いで、このサブブロックは、新しいデータでプログラムされる準備ができる。

#### 【0044】

まとめると、図3から6に示される実施形態を参照しながら、部分消去の概念が全般的に説明された。メモリブロックを部分に消去することにより、フラッシュメモリ装置は、メモリブロック内にサブブロックと呼ばれるより小さなサブディビジョンを作成することができる。メモリブロック全体を消去する必要なしに、サブブロックを占有するデータを修正することができ、それによってプログラム/消去サイクルが温存され、メモリブロックの寿命が向上する。以下の説明は、どのように特定のサブブロックが消去すべきであるかと選択されるかを論じる。

#### 【0045】

メモリブロックの何らかのサブブロックを消去すべきであるとき、フラッシュメモリ装置は、メモリブロック内のそのサブブロックの位置についての情報を必要とし、その結果、フラッシュメモリ装置は、バイアス電圧の印加のためにどの行(ワード線)を選択して、それに結合されたメモリセルの消去を実施するかを認識することになる。図7aから7cは、メモリブロック内の消去可能サブブロックの可能な3つのサイズ/位置を示す。

#### 【0046】

図7aは、WL<sub>0</sub>からWL<sub>31</sub>まで順次プログラムされるNANDメモリセルストリングの回路図である。この実施形態では、フラッシュメモリ装置が必要とするのは、開始アドレスとして

の1つのワード線アドレスだけである。開始アドレスが受信されると、フラッシュメモリ装置の論理回路が、サブブロックサイズを開始アドレスから最後のワード線、この例では $WL_{31}$ までとなるように自動的に設定する。図7aを参照しながら例示するために、 $WL_{27}$ に対応する開始アドレスが部分消去動作に関して受信された場合、フラッシュメモリ装置の論理回路は、サブブロック300が $W_{27}$ で開始し、 $WL_{31}$ で終了することを決定する。言い換えれば、提供される開始アドレスの如何に関わらず、終了アドレスは $WL_{31}$ となるように事前設定される。サブブロック300に関するワード線の組が決定されると、選択されるワード線および非選択ワード線にバイアスをかけることにより、部分消去手続きおよび消去検証手続きを実行することができる。サブブロック300は上位サブブロックであり、上位サブブロックは、順次プログラムすべき最終ワード線を含むワード線の任意のグルーピングである。

10

#### 【0047】

図7bは、図7aのNANDメモリセルストリングの回路図である。図7aの実施形態と同様に、部分消去動作のために必要なのは1つの開始行アドレスだけである。この実施形態では、フラッシュメモリ装置の論理回路は、サブブロックサイズを、開始アドレスから下に第1ワード線 $WL_0$ までであると自動的に設定することができる。図7bを参照しながら例示するために、 $WL_{26}$ に対応する開始アドレスが部分消去動作に関して受信された場合、フラッシュメモリ装置の論理回路は、サブブロック302が $W_{26}$ で開始し、 $WL_0$ で終了することを決定する。提供される開始アドレスの如何に関わらず、終了アドレスは $WL_0$ となるように事前設定される。サブブロック302は下位サブブロックであり、下位サブブロックは、順次プ

20

#### 【0048】

図7aと7bの実施形態のどちらも、1つのメモリブロックを下位サブブロックと上位サブブロックに細分する。しかし、1つのサブブロックが消去され、データで部分的に再プログラムされるだけである場合、依然として消去された状態のページがあることになる。さらに、元のサブブロックの消去は、消去されたページにさらなる消去動作を施すことになり、これは望ましくない。したがって、図7cの実施形態に示されるように、サブブロックスライスを選択することができる。

#### 【0049】

図7cは、図7aのNANDメモリセルストリングの回路図である。このとき、開始アドレスおよび終了アドレスは、メモリブロック内のサブブロック位置およびサイズを定義する。この実施形態では、フラッシュメモリ装置の論理回路は、サブブロックサイズを、開始アドレスから終了アドレスとなるように自動的に設定する。図7cを参照しながら例示するために、 $WL_2$ に対応する開始アドレスおよび $WL_{28}$ に対応する終了アドレスが部分消去動作に関して受信された場合、フラッシュメモリ装置の論理回路は、サブブロックスライス304が $WL_2$ で開始し、 $WL_{28}$ で終了することを決定する。サブブロックスライスは、NANDメモリセルストリングの他のワード線間に配置されたワード線の任意のグルーピングである。プログラム外乱を最小限に抑えるために、 $WL_0$ および $WL_1$ に対応するページ内に格納されたデータがある場合であっても、 $WL_{29}$ から $WL_{31}$ に対応するページが消去されることを条件として、サブブロックスライス304を反復的に消去し、プログラムすることができる。

30

40

#### 【0050】

図7a~7cに示されるように、上位サブブロックまたは下位サブブロックを消去するのに少なくとも1つのアドレスが使用され、サブブロックスライスを消去するのに2つのアドレスが使用される。一実施形態によれば、フラッシュメモリコントローラがフラッシュメモリ装置とインターフェースし、上位サブブロック、下位サブブロック、またはサブブロックスライスの消去を開始することを可能にするように、コマンドプロトコルが提供される。フラッシュメモリ装置(複数可)とコンピュータなどのホストシステムとの間のインターフェースとして働く単一のフラッシュメモリコントローラによって、1つまたは複数のフラッシュメモリ装置を制御できることを当業者は理解する。

#### 【0051】

50

図8は、メモリブロックのサブブロックを消去するコマンドプロトコル実施形態を示すフローチャートである。図1の制御回路12で実装することのできるフラッシュメモリ制御論理が、このコマンドプロトコルに応答するように構成されると仮定する。メモリブロックに対して部分消去動作を実行するために、フラッシュメモリコントローラはまず、ステップ400で、第1アドレスを含むアドレス入力コマンドを発行する。それに続いてステップ402で、フラッシュメモリコントローラは、第2アドレスを含む別のアドレス入力コマンドを発行する。後でより詳細に説明するように、第1または第2アドレスはヌルアドレス値でよい。部分消去コマンドがステップ404で発行され、以前に受信された第1および第2アドレスに応じて、上位サブブロック、下位サブブロック、またはサブブロックスライスが、ステップ406で消去される。ステップ406で消去することは、ワード線、ビット線、およびソース線に、その適切な電圧レベルまでバイアスをかけることを含む。

10

#### 【0052】

このコマンドプロトコル例では、3つのアドレスの組合せが可能にされる。第1のケースでは、第1アドレスが有効であり、第2アドレスがヌルであるとき、制御論理は、第1アドレスに対応するワード線(NANDメモリセルチェーンの第1ワード線と最終ワード線の間の中間ワード線と呼ばれる)から、NANDメモリセルストリングの最終ワード線、この例ではWL<sub>3</sub>までによってバインドされ、それらを含む上位サブブロックを選択する。第2のケースでは、第1アドレスがヌルであり、第2アドレスが有効であるとき、制御論理は、第2アドレスに対応する中間ワード線から、NANDメモリセルストリングの第1ワード線、この例ではWL<sub>0</sub>までによってバインドされ、それらを含む下位サブブロックを選択する。第3のケースでは、第1および第2アドレスが有効であるとき、制御論理は、第1および第2アドレスに対応するワード線によってバインドされ、それらを含むサブブロックスライスを選択する。当業者は、上記で列挙された3つの状況が、可能な1つのプロトコル構成を表すことを理解する。一代替構成では、第1のケースの結果、下位サブブロックが選択され、第2のケースの結果、上位サブブロックが選択される。さらに別の代替実施形態では、第1および第2入力アドレスコマンドのいずれかが発行される前に、部分消去コマンドを発行することができる。

20

#### 【0053】

図9は、図8に示されるコマンドプロトコルを使用して、上位サブブロック、下位サブブロック、またはサブブロックスライスを消去する特定の方法実施形態のフローチャートである。より具体的には、上位サブブロック、下位サブブロック、およびサブブロックスライスのうちの1つが、第1入力アドレスコマンドおよび第2入力アドレスコマンドと共に受信された第1または第2有効アドレスの存在または欠如に基づいて消去される。以下の説明のために、フラッシュコントローラが、フラッシュメモリ装置のメモリブロックのサブブロックを消去する部分消去コマンドを発行するように構成され、フラッシュメモリ装置が、部分消去動作および消去検証動作のためにワード線、ビット線、および他の信号にバイアスをかける制御論理を含むと仮定する。

30

#### 【0054】

図9の方法は、図8のコマンドプロトコルによる、アドレス入力コマンドおよび消去コマンドに応答する、フラッシュメモリ装置制御論理の論理演算を示す。図9の方法はステップ500で開始し、第1アドレス入力コマンドが受信される。このアドレス入力コマンドは、メモリブロックのNANDメモリセルストリングのワード線に対応する第1有効アドレス、またはヌルアドレスを含む。第1のケースでは、第1アドレスは有効であり、方法はステップ502に進み、第2アドレス入力コマンドが第2アドレスと共に受信される。第2アドレスは、NANDメモリセルストリングの異なるワード線に対応する有効アドレス、またはヌルアドレスでよい。第1のケースを続けると、第2アドレスはヌルアドレスであり、方法はステップ504に進む。ステップ504で、部分消去コマンドが受信され、ステップ506で、上位サブブロックが消去され、検証される。ステップ504は、ワード線と、ビット線と、上位サブブロックを消去し、上位サブブロックを消去検証する他の関連信号の適切なバイアシングを含む。

40

50

## 【 0 0 5 5 】

ステップ500に戻ると、第1アドレスが有効アドレスではなく、ヌルアドレスである場合、ステップ502と同一であるステップ508に進む。第2アドレスもヌルアドレスである場合、部分消去方法は終了し、ステップ500に戻る。一方、第2アドレスが有効アドレスである場合、ケース2が生じる。部分消去コマンドがステップ510で受信されると、ステップ512で、下位サブブロックが消去され、検証される。ステップ512は、ワード線と、ビット線と、下位サブブロックを消去し、下位サブブロックを消去検証する他の関連信号の適切なバイアシングを含む。ステップ502に戻ると、ステップ500からの第1アドレスが有効であり、かつ第2アドレスが有効である場合、ケース3が生じる。その場合、方法はステップ514に進み、部分消去コマンドが受信される。次いで、ステップ516で、サブブロックスライ

10

## 【 0 0 5 6 】

コマンドプロトコルは、ケース1では第2有効アドレスを必要とせず、またはケース2では第1有効アドレスを必要としないが、ケース1およびケース2について、それぞれ有効な第2アドレスおよび第1アドレスを受諾するようにコマンドプロトコルを構成することができる。例えば、上位サブブロックを消去するために、第1アドレスは中間ワード線に対応し、第2有効アドレスは例えば最終ワード線 $WL_{31}$ に対応する。同様に、下位サブブロックを消去するために、第1アドレスは、第1ワード線 $WL_0$ に対応し、第2有効アドレスは中間ワード線に対応する。

20

## 【 0 0 5 7 】

したがって、図8および9に示されるコマンドプロトコルおよび方法を使用することにより、メモリアレイの他のサブブロック(複数可)のプログラム消去サイクル寿命に影響を及ぼすことなく、メモリブロックの任意のサブブロックを反復的に消去し、データで再プログラムすることができる。任意のサブブロックを消去するように構成された、1つまたは複数のフラッシュメモリ装置を有する任意のフラッシュメモリ装置またはフラッシュメモリシステムを制御して、メモリブロックの寿命を最大にする磨耗レベリングアルゴリズムを実行することができ、それによってフラッシュメモリ装置の寿命が最大となる。磨耗レベリングアルゴリズムなしに動作するフラッシュメモリ装置は、第1メモリブロックから最終メモリブロックまでデータを順次プログラムし、各メモリブロックを、次のメモリブロックをプログラムする前に満たす。システムが第1メモリブロックで継続的にデータをプログラムおよび消去し、他のメモリブロックを未使用のままにする場合、不均一な磨耗が生じることになる。

30

## 【 0 0 5 8 】

磨耗レベリングは、フラッシュメモリ装置のすべてのメモリを均一に使用することを保証するスキームである。より具体的には、磨耗レベリングは、すべてのメモリブロックがほぼ同数のプログラムサイクルまたは消去サイクルを受けることを保証する。データがもはや確実に格納されなくなるまで、有限の回数だけフラッシュメモリセルをプログラム/消去できることを当業者は理解する。フラッシュコントローラは、メモリブロックの各メモリブロックまたはページが受けるプログラム/消去サイクルの合計数を追跡する。サイクル数は、メモリアレイの各ページのスペアフィールド内に格納される。フラッシュコントローラは、データの論理アドレス位置を、フラッシュメモリ装置内にデータが格納される物理アドレスにマッピングする。メモリブロックが所定の最大プログラム/消去サイクル数に達したとき、フラッシュコントローラは、利用可能なメモリブロックに、メモリブロック内に格納されたデータを再プログラムするようにフラッシュメモリ装置に指令し、次いで、元のメモリブロックを別の用途から設計する(ここでは無効ブロックと呼ばれる)。次いで、それに応じてマッピングが調節される。

40

## 【 0 0 5 9 】

現在周知の磨耗レベリング技法は、異なるメモリブロックにわたってデータをプログラ

50



ムするのに論理-物理マッピング技法を使用する。例えば、プログラムすべき大きいデータファイルが、第1ブロックに対してプログラムされた第1部分を有することができ、第2ブロックに対してプログラムされた第2部分を有することができ、以下同様である。別の例では、合計で1つのメモリブロックのサイズ未満である複数のデータファイルを、それぞれ異なるメモリブロックに対してプログラムすることができる。したがって、大きいデータファイルの特定の部分、または特定の小さいデータファイルを修正すべきである場合、それを格納する、対応するメモリブロックのみが、プログラム/消去サイクルの対象となる。これらのすべてのスキームに伴う問題は、メモリブロック内に存在する小さいデータファイルまたはデータファイルの一部を修正することがメモリブロック全体の消去を必要とすることである。したがって、メモリブロック内に格納された他のデータも消去され、修正後データが再プログラムされるときに不必要に再プログラムされることになる。これが、メモリブロックの寿命の低下に寄与する主な要因である。

10

#### 【0060】

前述の例示的实施形態では、消去すべきサブブロックは、消去または修正すべきメモリブロック内のデータによって決定される任意のサイズであった。サブブロックのデータを修正することは、サブブロックを消去し、修正後データでサブブロックを再プログラムすることによって行うことができる。しかし、このことは、サブブロックに過度に多くのプログラム/消去サイクルを施す可能性があり、それによって、未使用のサブブロックに比べて、あまりにも早くサブブロックの寿命が低下する。したがって、別の実施形態によれば、消去可能サブブロックを活用して不要なプログラム/消去サイクルを最小限に抑える

20

#### 【0061】

この磨耗レベリングアルゴリズムは、フラッシュメモリ装置のメモリブロックを論理的に所定のサブブロックに分割する。図10aは、メモリブロック600が2つの等しいサイズのサブブロックであるサブブロック0およびサブブロック1に分割される例を示す。サブブロック0はページ0から15からなり、サブブロック1はページ16から31からなる。メモリブロックがページ0からページ31まで順次プログラムされ、各ページが特定のワード線に対応すると仮定する。図10bは、メモリブロック602が4つの等しいサイズのサブブロックであるサブブロック0、サブブロック1、サブブロック2、およびサブブロック3に分割される例を示す。あるいは、必ずしもメモリブロック600および602のサブブロックを等しいサイズに分割する必要はなく、したがってメモリブロック600および602は、所定の異なるサイズを有することができる。論理サブブロックが決定されると、磨耗レベリングアルゴリズムに従ってデータをプログラムすることができる。

30

#### 【0062】

先に議論したように、プログラムすべきサブブロックの上のページ内にデータがないことを条件として、 $WL_0$  から  $WL_{31}$  まで (あるいは  $WL_{31}$  から  $WL_0$  まで) のデータで順次プログラムされたNANDメモリセルストリングは、受けるプログラム外乱が最小限のものとなる。この例では、サブブロックの上のページは、より大きい数を有するワード線に対応する。したがって、図10aの例では、サブブロック0が下位サブブロックと呼ばれ、サブブロック1が上位サブブロックと呼ばれる。この実施形態の磨耗レベリングアルゴリズムでは、上位サブブロック内にデータがある場合、データが下位サブブロックまでプログラムされない。フラッシュメモリコントローラは、アドレスマッピングテーブルを参照することにより、上位サブブロック内のデータがあることを認識し、アドレスマッピングテーブルは、下位サブブロックの各ページのスペアフィールドからロードされた1つまたは複数の有効性ビットを含むことができる。有効性ビットの特定の論理状態は、下位サブブロックをプログラムすることができるか否かをフラッシュメモリコントローラに示す。あるいは、上位サブブロックに対応するスペアフィールドの有効性ビットは、データが下位サブブロックまでプログラムされないことを示す。図10bの例では、1対の隣接するサブブロックのうちの、より大きい数字を有するサブブロックが上位サブブロックであり、より小さい数字を有する他方のサブブロックが下位サブブロックである。図10bに示されるような、3つ以上のサ

40

50

ブブロックを有するように構成されたメモリブロックでは、サブブロック0は最低ランキングのサブブロックであり、サブブロック3が最高ランキングのサブブロックであり、より高いランキングを有する何らかのサブブロック内の格納されたデータがある場合、データはサブブロックまでプログラムされない。

#### 【0063】

図11に示されるこの実施形態の磨耗レベリングアルゴリズムは、フラッシュメモリ装置に対して新しいデータをプログラムするデータプログラミングサブルーチンと、フラッシュメモリ装置に対して修正後データを再プログラムするデータ修正サブルーチンを含む。どちらのサブルーチンも、フラッシュメモリ装置のサブブロックが均一に使用されることを保証する。磨耗レベリングアルゴリズムが、所定のサイズのサブブロックを消去するように構成されたフラッシュメモリ装置用のフラッシュメモリコントローラによって実行され、ステップ700で、ホストシステムからコマンドを受信することによって開始する。ステップ702で、フラッシュメモリコントローラは、コマンドが新しいデータをプログラムすべきか、それとも現在プログラムされているデータを修正すべきかを判定する。コマンドが新しいデータをプログラムすべきである場合、方法はステップ704に進み、利用可能な最低ランキングのサブブロックに対してデータがプログラムされる。例えば、フラッシュメモリ装置が、図10aに示されるように2つのサブブロック(サブブロック0およびサブブロック1)にそれぞれ論理的に分割される4つの空きメモリブロックからなる場合、あらゆるメモリブロックのサブブロック0に対してデータが次々にプログラムされる。最終的に、すべてのサブブロック0がデータを格納し、プログラムすべき次のデータが、最初に利用可能なサブブロック1に対してプログラムされる。

#### 【0064】

利用可能な最低のサブブロックに対して新しいデータを最初にプログラムすることにより、すべてのメモリブロックが使用される。しかし、ステップ704を代替データプログラミングスキームで置き換えることができる。この代替スキームでは、新しいデータをプログラムすることは、プログラムすべきデータの高優先順位レベルまたは低優先順位レベルに基づく。ホストシステムは、適切なファイル拡張子を有する音楽ファイルおよび実行可能アプリケーションは高優先順位であり、頻繁に修正されるテキスト文書などのデータファイルは低優先順位であると判定する。データを高優先順位または低優先順位としての指定は、ホストシステムによって任意に設定することができる。

#### 【0065】

代替データプログラミング実施形態では、ステップ704が、データの優先順位レベルに関する判定ステップで置き換えられる。データが高優先順位と指定される場合、高優先順位データファイルは経時的に修正される可能性が低いので、メモリブロックの利用可能な最低ランキングのサブブロックに対してデータがプログラムされる。利用可能な最低ランキングの下位サブブロックが、データを格納するには小さ過ぎる場合、高優先順位データを分割し、異なるメモリブロックの2つ以上の利用可能な最低ランキングのサブブロックにわたって分散させることができる。あるいは、同一のメモリブロック内の、任意の数の隣接する利用可能な最低ランキングのサブブロックに対してデータをプログラムすることもできる。データが低優先順位と指定される場合、低優先順位データファイルは経時的に修正される可能性が高いので、メモリブロックの利用可能な最高ランキングのサブブロックに対してデータがプログラムされる。サブブロックが小さ過ぎる場合、高優先順位データについて先に説明したのと同様にデータを分散させることができる。

#### 【0066】

ステップ702に戻ると、コマンドが以前にプログラムされたデータを修正するためのものである場合、方法はステップ710に進む。以前にプログラムされたデータがメモリブロックのサブブロック内に存在するので、サブブロックを消去し、修正後データで再プログラムすることができる。サブブロックが他のデータファイルを含んでいた場合、他のデータファイルが同時に再プログラムされる。しかし、再プログラム前に実行しなければならないサブブロック消去動作は、フラッシュメモリ装置の性能を低下させ、サブブロックに

プログラム/消去サイクルを施すことになる。両者の問題を克服するために、ステップ710で、元のサブブロックの修正後データが、異なるメモリブロック内の別のサブブロックに対してプログラムされる。次いで、ステップ712で、フラッシュメモリコントローラによって管理される元のアドレスマッピングテーブルが調節され、元のメモリブロックのサブブロック内に格納されたデータが今や新しいメモリブロックのサブブロック内に物理的に配置されていることが示される。後にシステムが遊休状態であるとき、ステップ714で、データが元々格納されていたサブブロックが消去され、この消去されるサブブロックが、消去され、データを格納するのに利用可能であるとマークされる。消去するステップは、図9で先に説明した方法に追従することができる。サブブロックを後で消去することにより、プログラミング性能が最大となる。

10

#### 【0067】

ステップ710で修正後データを再プログラムすることはさらに、フリーサブブロックアロケータサブルーチンによって管理される。このサブルーチンは、フラッシュメモリ装置の他のメモリブロックのステータスに基づいて、データを再プログラムするのに最も適切なサブブロックを識別する。サブブロックアロケータサブルーチン実施形態は、合致する物理サブブロックにデータを最初に再プログラムする優先順位(すなわち同じサブブロックランキング)で、別のメモリブロック内のサブブロックに対してサブブロックのデータを再プログラムする。合致する物理サブブロックが利用不能である場合、次に最も適切な物理サブブロックに対してデータが再プログラムされる。サブブロックを合致させる目的は、低優先順位データが高ランキングのサブブロックに対してプログラムされるように、図11で説明される選択的データ配布アルゴリズムに従って高優先順位データおよび低優先順位データの配布を可能な限り多く維持することである。図12のフローチャートと、図13aから13dの元のメモリブロックおよび新しいメモリブロックの図とを参照しながら、サブブロックアロケータサブルーチン方法が説明される。

20

#### 【0068】

図12の方法は、ステップ800でデータを修正するコマンドが受信されるときに開始する。コマンドは、修正すべきデータが現在存在している元のメモリブロックのサブブロックのアドレス位置に関する情報を含む。ステップ802で、他のメモリブロックが所定の順序付けスキームに従って論理的にソートされ、評価するメモリブロックのシーケンスが求められる。例えば、最も単純なスキームは、メモリブロックの割り当てられた物理/論理位置に基づいて順序を設定することである。第2のスキームは、メモリブロックの占有率に基づいて、例えば完全に空きのブロックから、完全にプログラムされたブロックに、あるいはその逆で順序を設定することである。第3のスキームは、プログラム/消去サイクルの最小の番号を有するメモリブロックに基づいて順序を設定することである。メモリブロックのアドレスマッピングテーブルを走査することによって第2および第3のスキームを実装することができ、メモリブロックのアドレスマッピングテーブルは、空であるサブブロックと、各ページまたはメモリブロックのプログラム/消去サイクルの数とを示す。データがプログラムされ、メモリブロックから消去されるときに、この論理ソートを動的に維持することができる。

30

#### 【0069】

次いで、メモリブロックの論理的にソートされたリスト中の最初の新しいメモリブロックを評価し、それに対してデータを再プログラムすべきかどうかを判定する。ステップ804で、その新しいメモリブロックが、利用可能な合致する物理サブブロック、すなわち消去されるのと同じランキングのサブブロックを有するかどうかをチェックする。それが新しいメモリブロック内に存在する場合、システムは、ステップ806で、元のデータを現在格納しているサブブロックよりも高いランキングの何らかのサブブロックがあるかどうかをチェックする。プログラム外乱を最小限に抑えるために、データがその中に格納されたより高いランキングのサブブロックがあるとき、合致する物理サブブロックに対してデータは再プログラムされない。データを有する、より高いランキングのサブブロックが存在する場合、ステップ808で次のメモリブロックを評価し、ステップ804に戻る。そうではな

40

50

く、データを格納する他のサブブロックがより低いランキングのものである場合、方法はステップ810に進み、新しいメモリブロックが空であるかどうかを判定する。メモリブロックが空ではない場合、1つまたは複数のより低いランキングのサブブロックに対してプログラムされたデータがあり、ステップ812で、新しいメモリブロックの合致するサブブロックに対してデータが再プログラムされる。

【0070】

例えば、図13aは、サブブロック0から3を有するように構成された元のメモリブロック900と、やはりサブブロック0から3を有するように構成された、評価すべき新しいメモリブロック902とを示す。網掛けのあるページは、データの存在を示し、網掛けのないページは空であり、以前に消去されたものである。サブブロック1のデータを修正すべきであると仮定すると、合致するサブブロック1がメモリブロック902内で見つかり、メモリブロック902は、下位ランキングのサブブロック0内にプログラムされたデータを含む。メモリブロック902内にはプログラムされたデータを有する上位ランキングのサブブロックがないので、メモリブロック902のサブブロック1に対してデータがプログラムされる。

10

【0071】

ステップ810に戻ると、新しいメモリブロックが空である場合、ステップ814で、メモリブロックの第1サブブロック(サブブロック0)に対してデータが再プログラムされる。図13bは、サブブロック0から3を有するように構成された元のメモリブロック900と、やはりサブブロック0から3を有するように構成された、評価すべき新しいメモリブロック904とを示す。この例では、メモリブロック904は空であり、空のメモリブロック904のサブブロック0に対してデータがプログラムされる。

20

【0072】

代替実施形態では、ステップ810を省略することができ、新しいメモリブロックが空である場合、合致するサブブロックに対してデータがプログラムされる。別の代替実施形態によれば、新しいメモリブロックのすべての下位ランキングのサブブロックにデータが入れられることを保証する別のステップを含むことにより、メモリブロックの使用量が最大となる。

【0073】

先に説明したステップ806、808、810、812、および814は、新しいメモリブロック内に合致するサブブロックがある場合に実行される方法ステップである。ステップ804、806、および808の反復によって判定されるように、すべての利用可能なメモリブロックが、データでプログラムされた上位ランキングのサブブロックを有する状況が生じることがある。そのようなケースでは、利用可能な合致するサブブロックをメモリブロックが有さないものとして処理する。ステップ804に戻ると、合致する物理サブブロックがない場合、修正すべきデータを現在格納しているサブブロックよりも上位ランキングのサブブロックに対してデータを再プログラムするステップ816に進む。最初に利用可能な上位ランキングのサブブロックに対して、または利用可能な最低ランキングのサブブロックに対してデータをプログラムすることができる。図13cおよび13dは、上位ランキングのサブブロックに対してデータが再プログラムされるケースを示す。

30

【0074】

図13cは、サブブロック0から3を有するように共に構成された、元のメモリブロック900および新しいメモリブロック906を示す。この例では、メモリブロック906のサブブロック1が、現在データを格納しており、したがってメモリブロック900のサブブロック1のデータが、空きメモリブロック904のサブブロック0に対してプログラムされる。図13dは、サブブロック0から3を有するように共に構成された、同じメモリブロック900および新しいメモリブロック908を示す。この例では、メモリブロック908のサブブロック1が空きであるが、上位ランキングのサブブロック2が、他のデータを格納する。したがって、メモリブロック908内の次に最も高い利用可能なサブブロックであるサブブロック3に対してデータが再プログラムされる。

40

【0075】

50

フラッシュメモリ装置の寿命の間に、フラッシュメモリコントローラは、新しいデータがプログラムされ、古いデータが修正されるときに生じる、各サブブロックによって蓄積されたプログラム/消去サイクルの数を監視する。メモリブロック内のあるサブブロックは、メモリブロック内の他のサブブロックよりも多いプログラム/消去サイクル数を有することがある。これにより、メモリブロックのサブブロック間でプログラム/消去サイクルの不均衡が生じる。別の実施形態によれば、所定の条件が満たされるとき、メモリブロックのサブブロック内のデータをスワップし、または別のメモリブロックに移動することができる。そのような一基準は、例えばサブブロック間のプログラム/消去サイクルの所定の差でよい。

#### 【0076】

10

図14は、メモリブロックのサブブロック間のプログラム/消去サイクル不均衡を制御する全般的な方法のフローチャートである。フラッシュメモリ装置の起動時、またはフラッシュメモリ装置が起動中の任意の時間にこの方法を開始することができ、この方法は、フラッシュメモリコントローラによって実行される。ステップ1000で、メモリブロック内のあらゆる対のサブブロックについて、プログラム/消去サイクル数が走査される。各サブブロックの1つまたは複数のページが、サブブロックが施されるプログラム/消去サイクル数に対応するカウンタをスペアフィールドエリア内に格納することを当業者は理解する。こうしたカウンタ値が読み取られ、フラッシュメモリコントローラのアドレスマッピングテーブルにロードされる。ステップ1002で、メモリブロックの各サブブロックについてのプログラム/消去サイクルカウンタのチェックが行われる。プログラム/消去サイクルカウンタが、最大の許容値に達した場合、ステップ1004で、サブブロックに格納されたデータが、利用可能なサブブロックにコピーされ、ステップ1006で、元のサブブロックが回収され、または別の用途から設計される。コピーするステップ1004は、図11および12に略述される方法に従従することができる。

20

#### 【0077】

そうでない場合、プロセスはステップ1008に進み、最高のプログラム/消去カウントを有するサブブロックと、最低のプログラム/消去カウントを有するサブブロックとの差がCycleとなるように計算される。Cycleが「Set\_diff」と呼ばれる設定限界未満である場合、ステップ1002にループバックし、次のメモリブロックが評価される。一方、Cycleが少なくとも「Set\_diff」である場合、方法はステップ1010に進み、2つのサブブロック内のデータが、互いにスワップされる。「Set\_diff」の値は、製造業者のフラッシュ管理ポリシーに従って、フラッシュメモリシステムの製造業者、またはフラッシュメモリコントローラによって設定される。ステップ1010のサブブロックスワッピングは、まずメモリブロックのすべてのサブブロック内に格納されたデータを、利用可能な物理ブロックまたは他の利用可能なサブブロックにコピーすることによって実行される。元のメモリブロックが消去され、メモリブロックのサブブロックに対してデータが再プログラムされ、それによって2つのサブブロックのデータがスワップされる。データのための一時ストレージとして働く他のメモリブロック、または利用可能なサブブロックを、先に教示したように全メモリブロック消去または部分消去によって任意の時間に消去することができる。次いで、アドレスマッピングテーブルが更新され、スワップされたデータの物理位置の変化が反映される。

30

40

#### 【0078】

図15aは、サブブロック0から3を有するように構成された元のメモリブロック1100を示し、サブブロック0がデータDATA Aを格納し、サブブロック1がDATA Bを格納し、サブブロック2がDATA Cを格納し、サブブロック3がDATA Dを格納する。サブブロック0および3がCycle>「Set\_diff」を有すると判定された場合、データがスワップされる。図15bは、データスワッピング後に得られるメモリブロック1100内のデータマッピングを示す。この場合、サブブロック0がDATA Dを格納し、サブブロック3がDATA Aを格納する。

#### 【0079】

すべてのメモリブロックのデータがスワップされると、通常のプログラミング動作を進

50

めることができる。例えば、フラッシュメモリ装置に対して新しいデータをプログラムすることができ、既存のデータを修正することができる。

【 0 0 8 0 】

前述の実施形態は、ワード線、ビット線、および他の関連信号にバイアスをかけることにより、サブブロックと呼ばれるメモリブロックの部分の選択的消去を可能にする。したがって、データが修正されるサブブロックのみがプログラム/消去サイクルの対象となるので、メモリブロックの寿命を延長することができる。サブブロックは任意のサイズでよく、または特定のサイズとなるように事前設定することができる。フラッシュメモリコントローラがフラッシュメモリ装置とインターフェースし、任意のサイズまたは事前設定されたサイズのサブブロックの消去を開始することが可能となるように、コマンドプロトコルが提供される。次いで、このコマンドプロトコルを使用して、フラッシュメモリ装置に対して新しいデータをプログラミングするとき、またはフラッシュメモリ装置内に格納された既存のデータを修正するときに磨耗レベリングアルゴリズムを実行することができる。メモリブロックの寿命を延長するために、こうしたすべての態様をそれら自体で、または組み合わせて使用することができる。

10

【 0 0 8 1 】

2つまたは4つのサブブロックをその中に有するメモリブロックを参照しながら、前述の実施形態が説明された。しかし、実施形態は、任意の数のサブブロックに論理的に分割可能なメモリブロックに適用可能である。

【 0 0 8 2 】

20

上記の説明では、説明の都合上、実施形態の完全な理解を与えるために、多数の詳細が説明された。しかし、こうした特定の詳細が実施形態を実施するために必要ではないことは当業者には明らかである。他の例では、実施形態の態様を不明瞭にしないために、周知の電氣的構造および回路がブロック図形式で示される。例えば、本明細書に記載の実施形態がソフトウェアルーチンで実現されるか、ハードウェア回路で実現されるか、ファームウェアで実現されるか、またはそれらの組合せとして実現されるかに関して、特定の詳細は提供されない。

【 0 0 8 3 】

上述の実施形態は単なる例であるものとする。本明細書に添付される特許請求の範囲によって専ら定義される範囲から逸脱することなく、特定の実施形態に対して変更、修正、および変形を当業者は実施することができる。

30

【 符号の説明 】

【 0 0 8 4 】

- 100 物理ブロック
- 102 ワード線ドライバブロック
- 104 ソース線電圧制御回路
- 106 上位サブブロック
- 108 下位サブブロック
- 300 サブブロック
- 302 サブブロック
- 304 サブブロックスライス
- 600 メモリブロック
- 602 メモリブロック
- 900 メモリブロック
- 902 メモリブロック
- 904 メモリブロック
- 906 メモリブロック
- 1100 メモリブロック

40

【図 1】

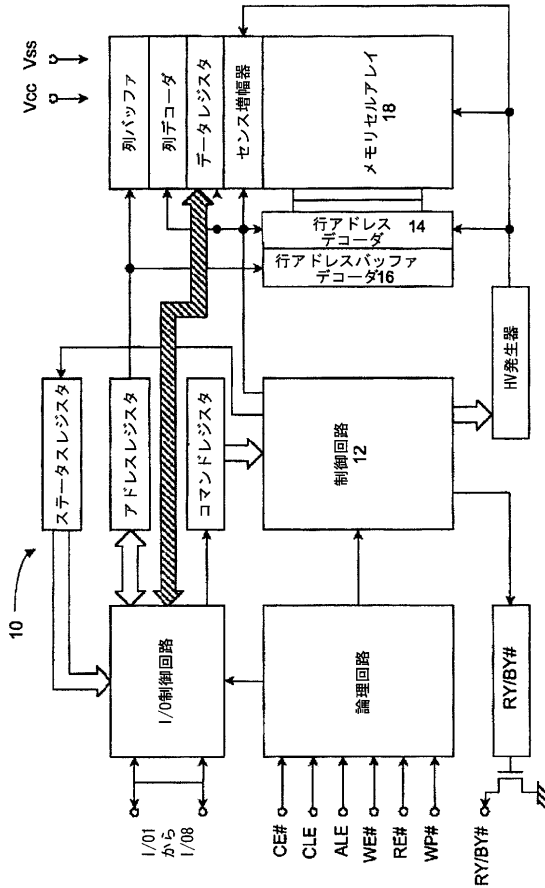


Figure 1 (従来技術)

【図 2】

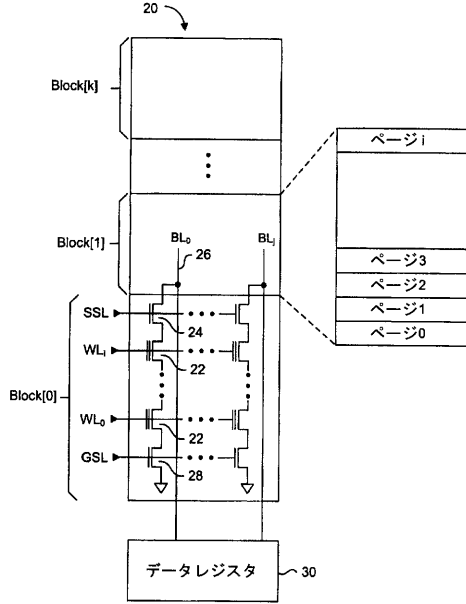


Figure 2

【図 3】

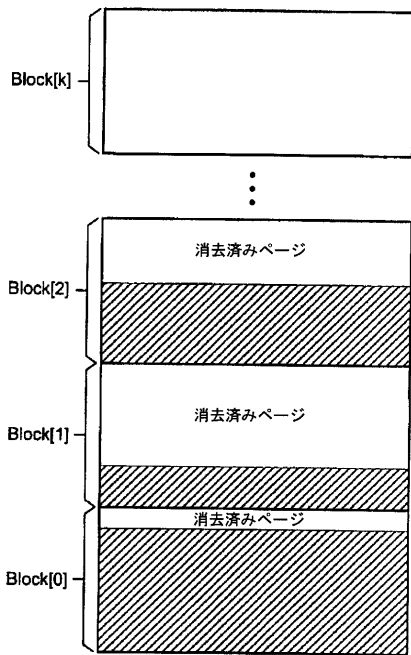


Figure 3

【図 4】

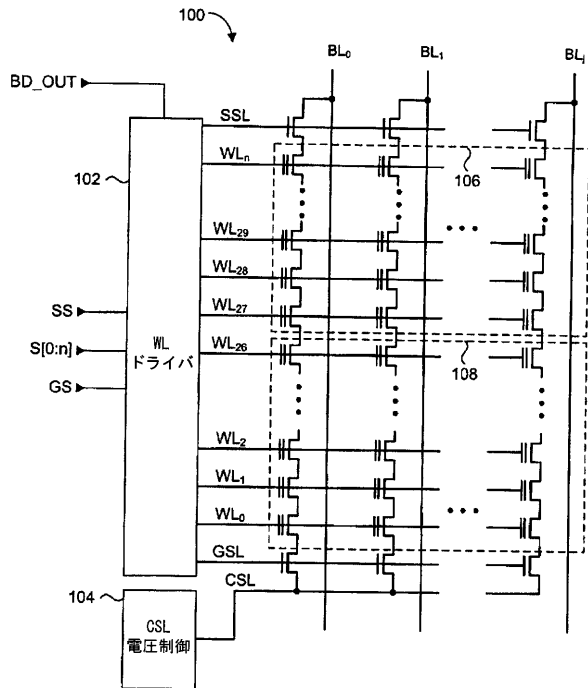


Figure 4

【図 5】

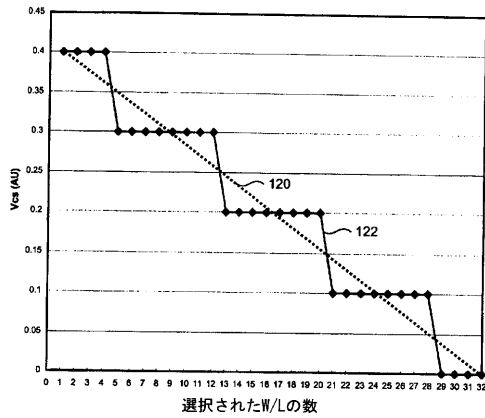


Figure 5

【図 6】

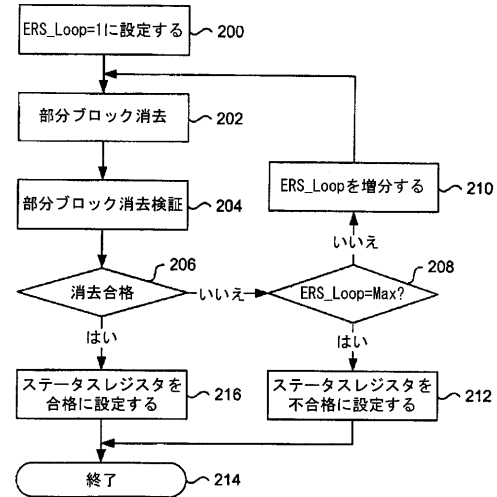


Figure 6

【図 7 a】

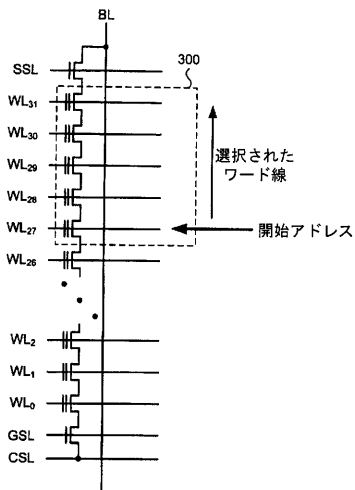


Figure 7a

【図 7 b】

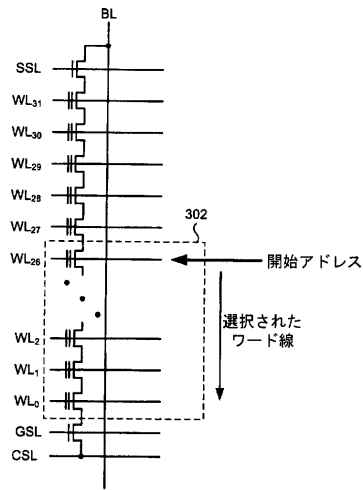


Figure 7b



【図7c】

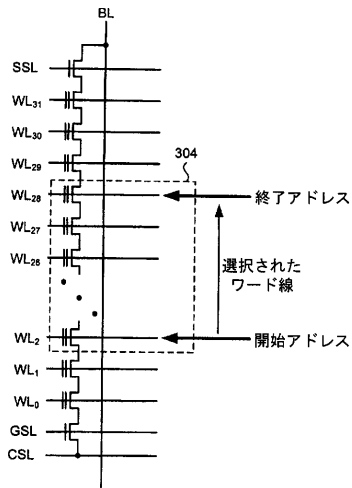


Figure 7c

【図8】

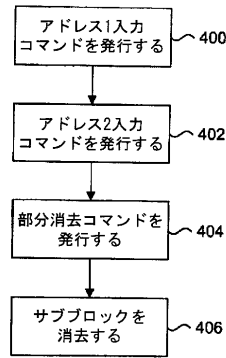


Figure 8

【図9】

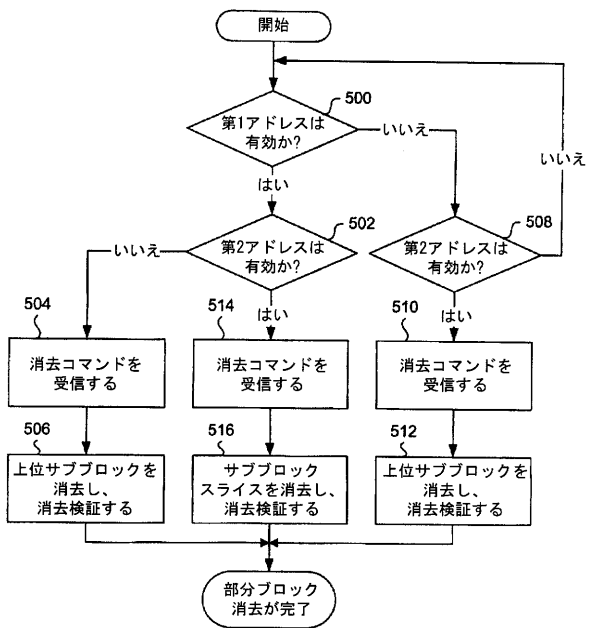


Figure 9

【図10a】

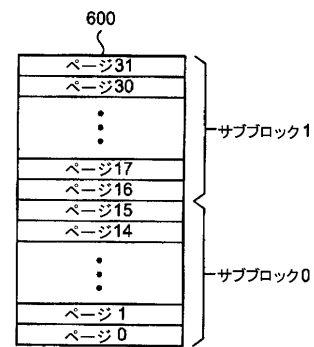


Figure 10a

【図10b】

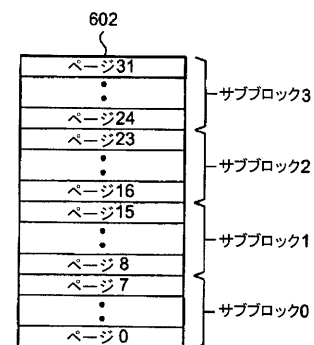


Figure 10b

【図 1 1】

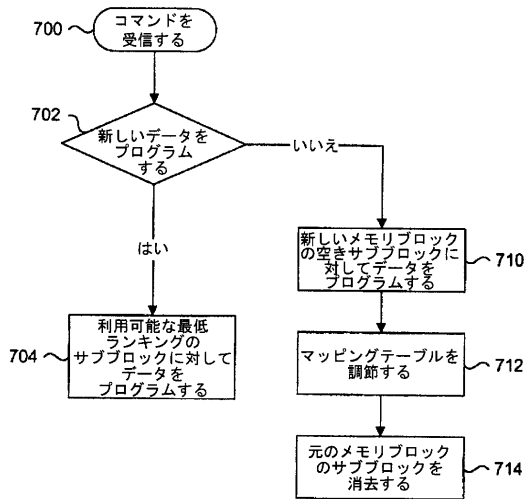


Figure 11

【図 1 2】

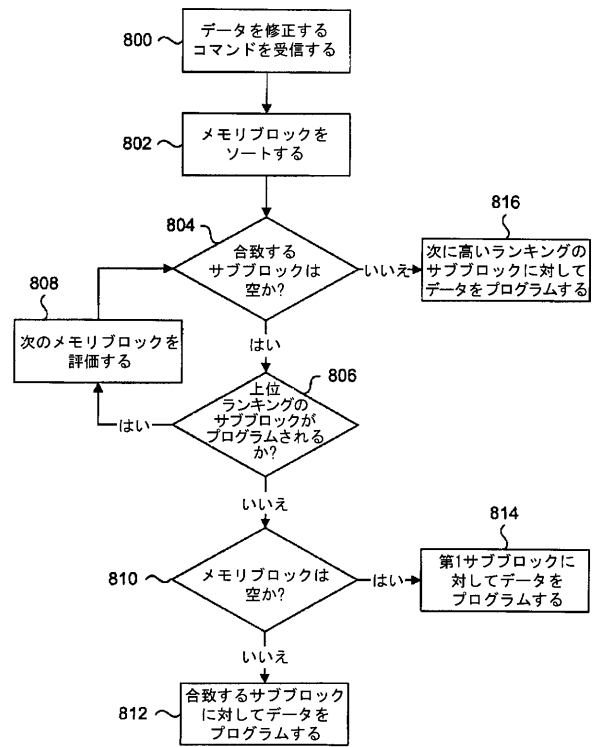


Figure 12

【図 1 3 a】

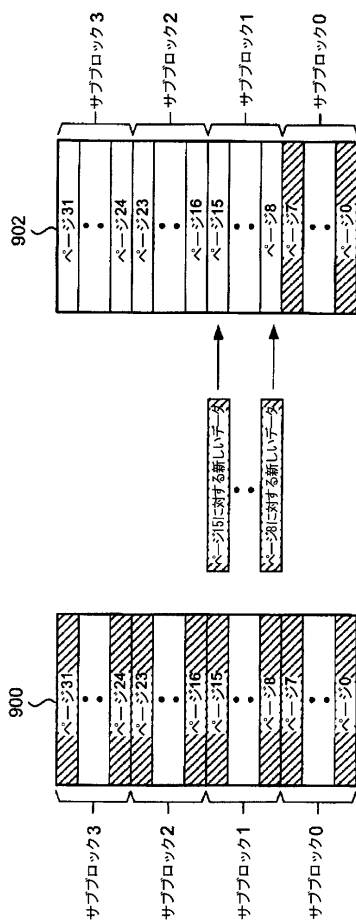


Figure 13a

【図 1 3 b】

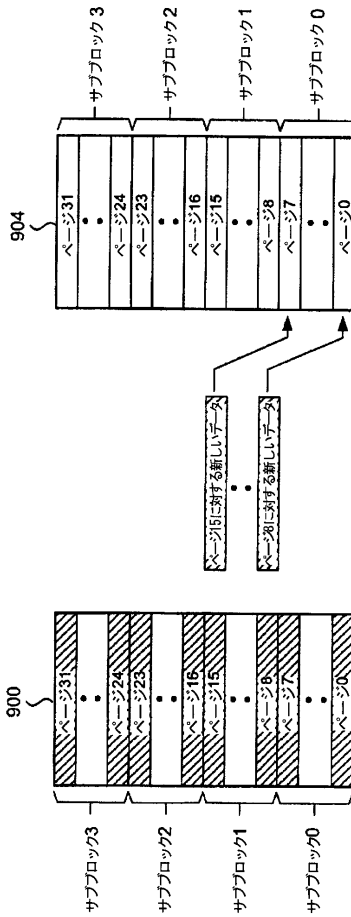


Figure 13b

【図 13c】

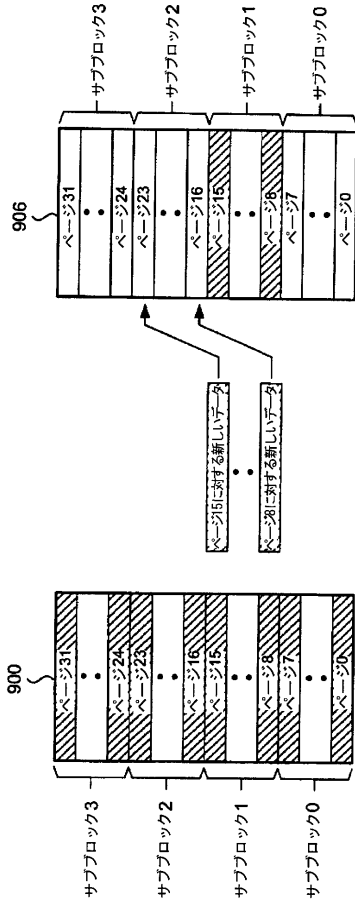


Figure 13c

【図 13d】

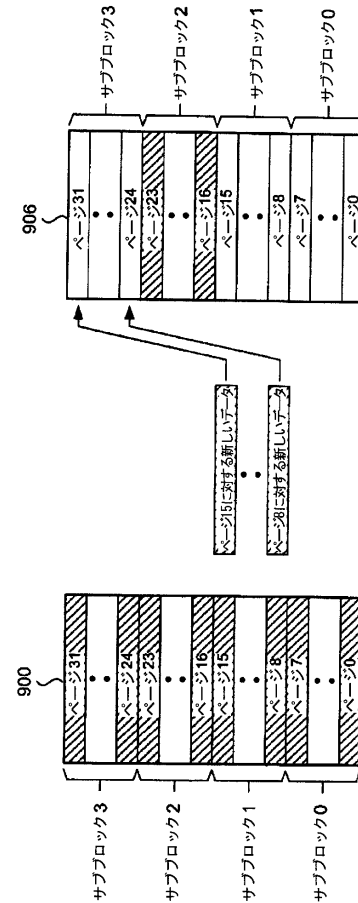


Figure 13d

【図 14】

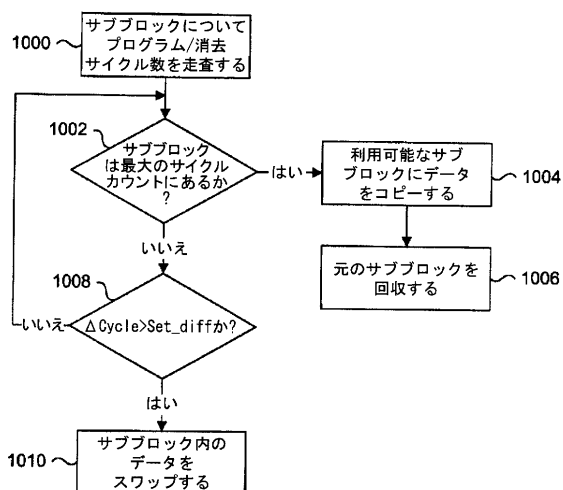


Figure 14

【図 15】

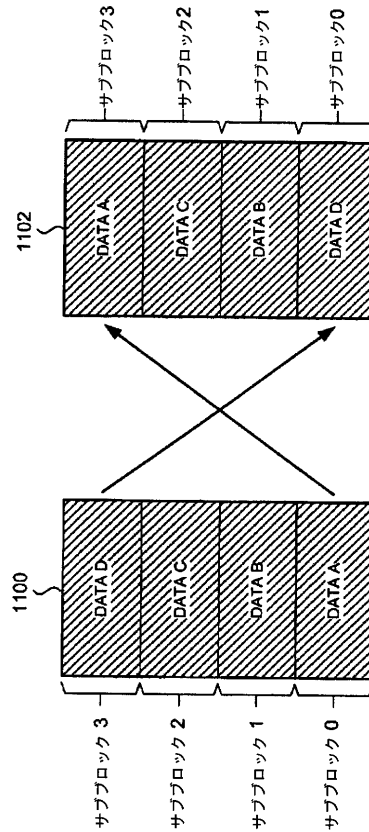


Figure 15b

Figure 15a

## 【 国際調査報告 】

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CA2008/000411

<b>A. CLASSIFICATION OF SUBJECT MATTER</b> IPC: <i>G11C 16/16</i> (2006.01), <i>G11C 16/02</i> (2006.01), <i>G11C 16/08</i> (2006.01), <i>G11C 7/20</i> (2006.01), <i>G11C 8/14</i> (2006.01) According to International Patent Classification (IPC) or to both national classification and IPC		
<b>B. FIELDS SEARCHED</b> Minimum documentation searched (classification system followed by classification symbols) IPC: G11C		
Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched		
Electronic database(s) consulted during the international search (name of database(s) and, where practicable, search terms used) Databases: WEST, Delphion, and Espacenet Search terms used: flash, memory, sub-block, erase		
<b>C. DOCUMENTS CONSIDERED TO BE RELEVANT</b>		
Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	US 2006/0256623 A1, 16 November 2006, Roohparvar *see figures 2 and 5; abstract; and paragraphs 0020 to 0038	1-17
A	US 5,847,994, 8 December 1998, Motoshima et al. *see entire document	1-17
A	US 6,026,021, 15 February 2000, Hoang *see entire document	1-17
<input type="checkbox"/> Further documents are listed in the continuation of Box C. <input checked="" type="checkbox"/> See patent family annex.		
* Special categories of cited documents : "A" document defining the general state of the art which is not considered to be of particular relevance "E" earlier application or patent but published on or after the international filing date "L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified) "O" document referring to an oral disclosure, use, exhibition or other means "P" document published prior to the international filing date but later than the priority date claimed "T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention "X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone "Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art "&" document member of the same patent family		
Date of the actual completion of the international search 18 June 2008 (18-06-2008)		Date of mailing of the international search report 28 July 2008 (28-07-2008)
Name and mailing address of the ISA/CA Canadian Intellectual Property Office Place du Portage I, C114 - 1st Floor, Box PCT 50 Victoria Street Gatineau, Quebec K1A 0C9 Facsimile No.: 001-819-953-2476		Authorized officer <b>Kazem Ziaie</b> 819- 934-2667

## INTERNATIONAL SEARCH REPORT

International application No.  
PCT/CA2008/000411

<b>Box No. II</b>	<b>Observations where certain claims were found unsearchable (Continuation of item 2 of the first sheet)</b>
<p>This international search report has not been established in respect of certain claims under Article 17(2)(a) for the following reasons :</p> <p>1. <input type="checkbox"/> Claim Nos. : because they relate to subject matter not required to be searched by this Authority, namely :</p> <p>2. <input type="checkbox"/> Claim Nos. : because they relate to parts of the international application that do not comply with the prescribed requirements to such an extent that no meaningful international search can be carried out, specifically :</p> <p>3. <input type="checkbox"/> Claim Nos. : because they are dependant claims and are not drafted in accordance with the second and third sentences of Rule 6.4(a).</p>	
<b>Box No. III</b>	<b>Observations where unity of invention is lacking (Continuation of item 3 of first sheet)</b>
<p>This International Searching Authority found multiple inventions in this international application, as follows :</p> <p><b>Group A-</b> Claims 1-17 are directed to a method for erasing a sub-block of a memory block, the memory block having a NAND memory cell string coupled to a first wordline, a last wordline, and intermediate wordlines between the first wordline and the last wordline, comprising: issuing a first input address command with a first address; issuing a second input address command with a second address; issuing a partial erase command; and, erasing the sub-block having a set of wordlines bound by wordlines corresponding to the first address and the second address.</p> <p><b>Group B-</b> Claims 18-26 are directed to a method for wear leveling control when modifying data in a sub-block of a memory block, comprising: programming modified data to an empty sub-block of a new memory block; erasing the sub-block of the memory block.</p> <p>1. <input type="checkbox"/> As all required additional search fees were timely paid by the applicant, this international search report covers all searchable claims.</p> <p>2. <input type="checkbox"/> As all searchable claims could be searched without effort justifying additional fees, this Authority did not invite payment of additional fees.</p> <p>3. <input type="checkbox"/> As only some of the required additional search fees were timely paid by the applicant, this international search report covers only those claims for which fees were paid, specifically claim Nos. :</p> <p>4. <input checked="" type="checkbox"/> No required additional search fees were timely paid by the applicant. Consequently, this international search report is restricted to the invention first mentioned in the claims; it is covered by claim Nos. : 1-17</p> <p><b>Remark on Protest</b> <input type="checkbox"/> The additional search fees were accompanied by the applicant's protest and, where applicable, the payment of a protest fee.</p> <p><input type="checkbox"/> The additional search fees were accompanied by the applicant's protest but the applicable protest fee was not paid within the time limit specified in the invitation.</p> <p><input type="checkbox"/> No protest accompanied the payment of additional search fees.</p>	

**INTERNATIONAL SEARCH REPORT**  
Information on patent family membersInternational application No.  
PCT/CA2008/000411

Patent Document Cited in Search Report	Publication Date	Patent Family Member(s)	Publication Date
US2006256623	16-11-2006	NONE	
US5847994	08-12-1998	JP3940218B2 B2	04-07-2007
US6026021	15-02-2000	AU6140699 A WO0016379 A2	03-04-2000 23-03-2000

## フロントページの続き

(51)Int.Cl.	F I	テーマコード (参考)
	G 1 1 C 17/00	6 3 5
	G 1 1 C 17/00	6 4 1

(81)指定国 AP(BW, GH, GM, KE, LS, MW, MZ, NA, SD, SL, SZ, TZ, UG, ZM, ZW), EA(AM, AZ, BY, KG, KZ, MD, RU, TJ, TM), EP(AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MT, NL, NO, PL, PT, RO, SE, SI, SK, TR), OA(BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG), AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BR, BW, BY, BZ, CA, CH, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PG, PH, PL, PT, RO, RS, RU, SC, SD, SE, SG, SK, SL, SM, SV, SY, TJ, TM, TN, TR, TT, TZ, UA, UG, UZ, VC, VN, ZA, ZM, ZW

(72)発明者 ジン・キ・キム

カナダ・オンタリオ・K 2 K・3 H 6・カナタ・アイアンサイド・コート・4 6

Fターム(参考) 5B125 BA02 BA19 CA08 CA27 CA29 DC03 DD03 DD05 DD08 DE11  
EA05 EA08 EB08 EB09 EB10 EC09 EF09 FA01 FA04