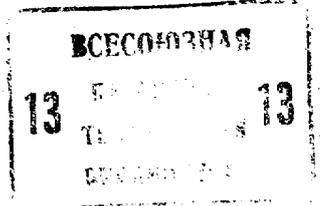




ГОСУДАРСТВЕННЫЙ КОМИТЕТ СССР
ПО ДЕЛАМ ИЗОБРЕТЕНИЙ И ОТКРЫТИЙ

ОПИСАНИЕ ИЗОБРЕТЕНИЯ К АВТОРСКОМУ СВИДЕТЕЛЬСТВУ



(21) 4086472/24-24
(22) 09.07.86
(46) 23.02.88. Бюл. № 7

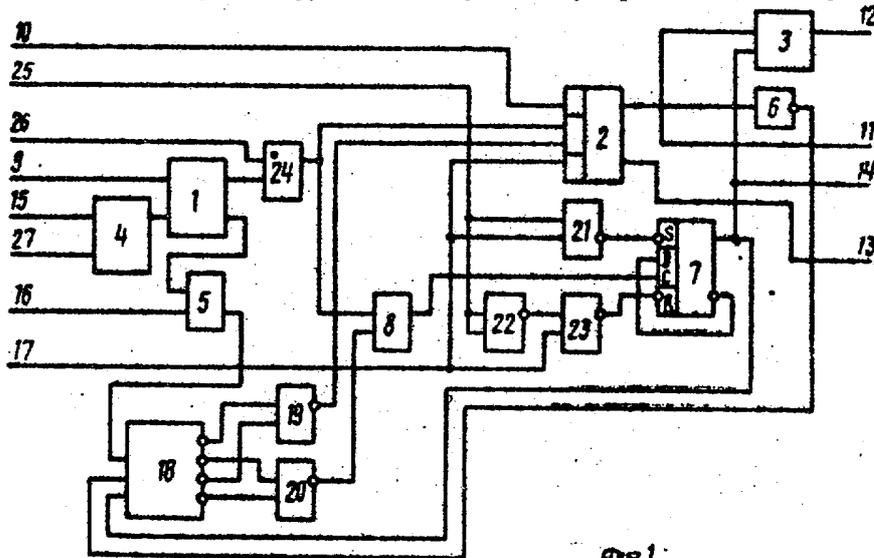
(72) А.В.Комаров
(53) 681.335(088.8)

(56) Авторское свидетельство СССР
№ 1010616, кл. G 06 G 7/186, 1981.
Авторское свидетельство СССР
№ 1275483, кл. G 06 G 7/18, 1985.

(54) АНАЛОГО-ЦИФРОВОЕ ИНТЕГРИРУЮЩЕЕ
УСТРОЙСТВО

(57) Изобретение относится к вычислительной технике и может быть использовано в качестве операционного блока аналоговых и аналого-цифровых вычислительных систем, а также в устройствах предварительной обработки информации, в частности в анализаторах спектра. Цель изобретения - упрощение устройства и расширение функ-

циональных возможностей за счет реализации режима хранения результата. Устройство содержит преобразователь 1 напряжения в частоту, реверсивный счетчик 2, цифроаналоговый преобразователь 3, умножающий цифроаналоговый преобразователь 4, элемент ИС-КЛЮЧАЮЩЕЕ ИЛИ 5, триггер 7, дешифратор 18, элемент ИЛИ-НЕ 6, элементы И-НЕ 19-23, формирователь 24 импульсов. В аналого-цифровом интегрирующем устройстве диапазон изменения напряжения на аналоговом выходе 12 устройства соответствует диапазону изменения напряжения на аналоговом информационном входе 15 устройства, а разрядность и формат выходного цифрового сигнала - разрядности и формату входного цифрового сигнала. Кроме того, в устройстве реализуется режим хранения результатов путем задания нулевого сигнала на входе 26 задания режима устройства. 4 ил.



Фиг. 1

(19) **SU** (11) **1376106** **A1**

Изобретение относится к вычислительной технике и может быть использовано в устройствах предварительной обработки информации, в частности в анализаторах спектра, а также в качестве операционного блока аналоговых и аналого-цифровых вычислительных систем.

Цель изобретения - упрощение устройства и расширение функциональных возможностей за счет реализации режима хранения результата.

На фиг. 1 представлена функциональная схема аналого-цифрового интегрирующего устройства; на фиг. 2 - временные диаграммы работы реверсивного счетчика, триггера и дешифратора при выполнении операции суммирования в реверсивном счетчике; на фиг. 3 - то же, при выполнении операции вычитания в реверсивном счетчике; на фиг. 4 - принципиальная схема формирователя импульсов.

Аналого-цифровое интегрирующее устройство (фиг. 1) содержит преобразователь 1 напряжения в частоту, реверсивный счетчик 2, цифроаналоговый преобразователь 3, умножающий цифроаналоговый преобразователь 4, элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 5, элемент ИЛИ-НЕ 6, триггер 7, элемент И 8, тактовый вход 9 устройства, цифровой вход 10 начальных условий устройства, цифровой выход 11 устройства, аналоговый выход 12 устройства, контрольный выход 13 устройства, знаковый выход 14 устройства, аналоговый информационный вход 15 устройства, знаковый вход 16 устройства, первый вход 17 задания режима устройства, дешифратор 18, пять элементов И-НЕ 19-23, формирователь 24 импульсов, знаковый вход 25 задания начальных условий устройства, второй вход 26 задания режима устройства, цифровой информационный вход 27 устройства.

Формирователь 24 импульсов (фиг. 4) содержит три элемента И-НЕ 28-30 и интегрирующую RC-цепь 31, причем входы элемента И-НЕ 28 являются входом, а выход элемента И-НЕ 30 - выходом формирователя.

Устройство функционирует в трех режимах: "Подготовка", "Работа" и "Хранение результата". Режим "Подготовка" устанавливается единичными значениями сигналов на входах 17 и 26 устройства и используется для установки начальных условий в аналого-

цифровом интегрирующем устройстве. Начальные условия представлены прямым кодом, мантисса которого подается на цифровой вход 10 начальных условий устройства, а знак - на знаковый вход 25 начальных условий устройства. При единичном сигнале на входе 17 устройства реверсивный счетчик 2 переводится в режим приема информации с установочного входа, что позволяет записать в его младшие разряды любой n -разрядный код, подав его на вход 10 устройства. В старший $(n+1)$ -й разряд при этом записывается нуль, поскольку $(n+1)$ -й разряд установочного входа реверсивного счетчика 2 связан с общей точкой устройства. Единичное значение сигнала на входе 17 устройства также позволяет записать в триггер 7 код знака начальных условий, подав его на вход 25 устройства. При этом используется канал предустановки триггера 7, в который входят третий 21, четвертый 22 и пятый 23 элементы И-НЕ. При переходе сигнала на входе 17 устройства из единичного значения в нулевое (при единичном сигнале на входе 26 устройства) устройство переходит в режим "Работа". Реверсивный счетчик 2 при этом переходит в счетный режим и его содержимое меняется после прихода каждого импульса на его счетный вход.

Эти импульсы формируются на информационном выходе преобразователя 1 напряжения в частоту и при необходимости обостряются (укорачиваются) с помощью формирователя 24 сигнала. Импульсы на выходе формирователя 24 сигнала представляют собой приращение интеграла входного воздействия устройства. Знак приращения формируется на знаковом выходе преобразователя 1 напряжения в частоту в виде того или иного значения логической переменной. Так, нулевое значение этой переменной определяет приращение положительной величины интеграла, а единичное значение - приращение отрицательной величины интеграла. Значение логической переменной на знаковом выходе преобразователя 1 напряжения в частоту управляет режимом реверсивного счетчика 2, поскольку знаковый выход преобразователя 1 напряжения в частоту через первый вход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ 5, дешифратор 18 и первый элемент И-НЕ 19 соединен со знаковым входом ревер-

сивного счетчика 2. Нулевой сигнал на выходе первого элемента И-НЕ 19 переводит реверсивный счетчик 2 в режим суммирования, а единичный - в режим вычитания. В реверсивном счетчике 2 при этом формируется текущее значение мантиссы интеграла от входного воздействия устройства в прямом коде. Код знака текущего значения интеграла от входного воздействия формируется в триггере 7, прямой выход которого является знаковым выходом 14 устройства. Мантисса интеграла входного воздействия устройства формируется в n младших разрядах реверсивного счетчика 2, совокупность выходов которых является цифровым выходом 11 устройства, который совместно со знаковым выходом 14 устройства образует цифровой информационный $(n+1)$ разрядный выход устройства. Одновременно мантисса и знак текущего значения интеграла входного воздействия устройства подаются на вход цифроаналогового преобразователя 3, на выходе которого формируется соответствующее напряжение, подаваемое на аналоговый выход 12 устройства. В старшем $(n+1)$ -м разряде реверсивного счетчика 2 формируется сигнал логической единицы при переносе из n младших разрядов. Этот перенос можно рассматривать как переполнение разрядной сетки, поэтому выход старшего разряда реверсивного счетчика 2 соединен с контрольным выходом 13 устройства. Появление единичного сигнала на этом выходе свидетельствует о необходимости прервать вычислительный процесс в рассматриваемом устройстве и во всей аналого-цифровой вычислительной системе, в которую это устройство входит.

Формирование прямого кода текущего значения интеграла входного воздействия устройства в реверсивном счетчике 2 и триггере 7 происходит с помощью элемента ИЛИ-НЕ 6, дешифратора 18, первого элемента И-НЕ 19, второго элемента И-НЕ 20 и элемента И 8. Принцип формирования прямого кода интеграла входного воздействия устройства в реверсивном счетчике 2 и триггере 7 иллюстрируется временными диаграммами (фиг. 2 и 3). На фиг. 2 показан процесс суммирования ($a=0$) в реверсивном счетчике 2 (символом [СТ2] обозначено содержимое реверсивного счетчика 2). В момент времени

t_0 в реверсивном счетчике 2 находится некоторое отрицательное число (диаграммы [СТ2] и с); поэтому после прихода каждого выходного импульса формирователя 24 сигнала содержимое реверсивного счетчика 2 уменьшается (моменты времени t_0, t_1, t_2 на диаграммах $f, d, [СТ2]$). В момент времени t_2 содержимое реверсивного счетчика 2 становится равным нулю, при этом $b=1, d=0, e=1$ (диаграммы $f, [СТ2], b, d, e$, фиг. 2). Это приводит к тому, что следующий входной импульс инвертирует знак содержимого реверсивного счетчика 2 (диаграмма с в момент времени t_3 , фиг. 2) и увеличивает содержимое реверсивного счетчика 2 (момент времени t_3 на диаграмме [СТ2], фиг. 2). Каждый последующий входной импульс реверсивного счетчика 2 увеличивает его содержимое (моменты времени t_4, t_5, t_6 на диаграммах $f, d, [СТ2]$, фиг. 2).

Увеличение содержимого реверсивного счетчика 2 возможно до максимального значения $N_{\max} = 2^n - 1$, поскольку по приходу следующего суммирующего импульса содержимое n младших разрядов обнулится, а в старший $(n+1)$ -й разряд возникнет перенос, сигнализирующий о переполнении разрядной сетки (момент времени t_7 на диаграммах $f, [СТ2], g$, фиг. 2).

Временные диаграммы процесса вычитания в реверсивном счетчике 2 ($a=1$) представлены на фиг. 3. Эти процессы во многом аналогичны рассмотренным процессам суммирования (с учетом того, что в момент времени t_0 в реверсивном счетчике 2 находится некоторое положительное число). Отличие заключается во временной зависимости знака содержимого реверсивного счетчика 2 (диаграмма с на фиг. 3). Для надежной работы реверсивного счетчика 2 счетные импульсы должны быть достаточно короткими (их длительность должна быть меньше суммарной задержки в реверсивном счетчике 2, элементе ИЛИ-НЕ 6, дешифраторе 18 и первом (или втором) элементе И-НЕ 19). Функцию укорочения счетных импульсов реверсивного счетчика 2 (если это необходимо) выполняет формирователь 24 сигнала. Длительность выходных импульсов в формирователе 24 сигнала определяется постоянной времени RC-цепочки, что позволяет установить необходимые пара-

метры выходных импульсов, которые могут появляться только при единичном сигнале на втором входе 26 задания режима устройства.

При нулевом сигнале на втором входе 26 задания режима устройства счетные импульсы на вход реверсивного счетчика 2 не проходят, что позволяет реализовать режим "Хранение результатов" (режим "Останов") при нулевом сигнале на первом входе 17 задания режима устройства. В этом режиме содержимое реверсивного счетчика 2 не изменяется, что позволяет после изменения значений параметров некоторых операционных блоков (в составе аналого-цифровой вычислительной системы) продолжать интегрирование (решение задачи).

В реверсивном счетчике 2 формируется код, пропорциональный интегралу произведения двух сигналов, один из которых представлен аналоговой формой и подается на аналоговый информационный вход 15 устройства (\bar{U}), а другой сигнал - цифровой формой. Входной цифровой сигнал устройства представлен прямым $(n+1)$ -разрядным кодом, старший разряд которого является знаковым и подается в устройство через знаковый вход 16 устройства. Остальные n разрядов представляют собой мантиссу и подаются в устройство через цифровой информационный вход 27 устройства, который прямо связан с цифровым входом второго цифроаналогового преобразователя 4. Элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 5 обрабатывает знаки входного аналогового сигнала (формируется на знаковом выходе преобразователя 1 напряжения в частоту) и цифрового сигнала. Если входной цифровой сигнал положителен, то знаковый сигнал его равен нулю. При этом элемент ИСКЛЮЧАЮЩЕЕ ИЛИ 5 передает знаковый сигнал преобразователя 1 напряжения в частоту без изменения. В противном случае знаковый сигнал преобразователя 1 напряжения в частоту инвертируется.

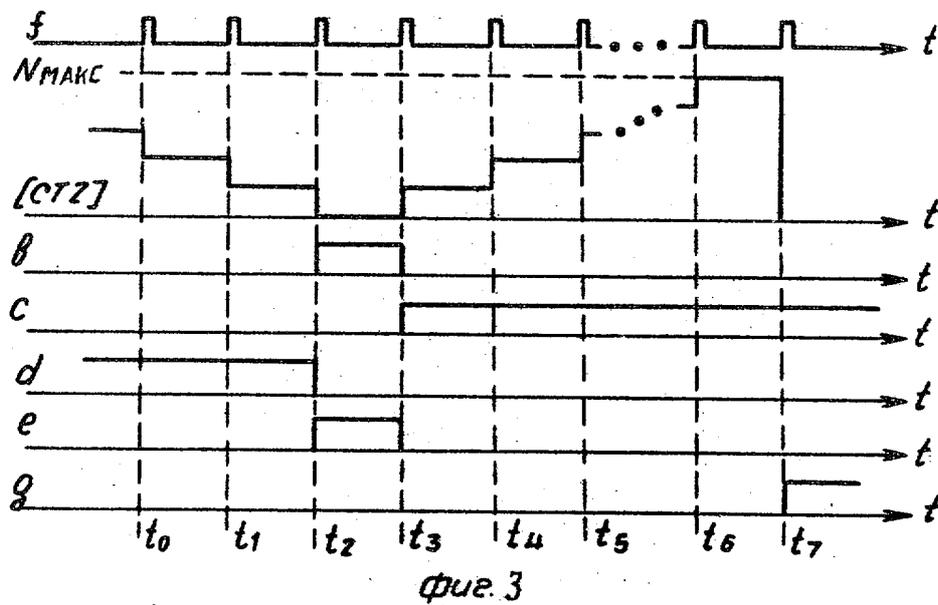
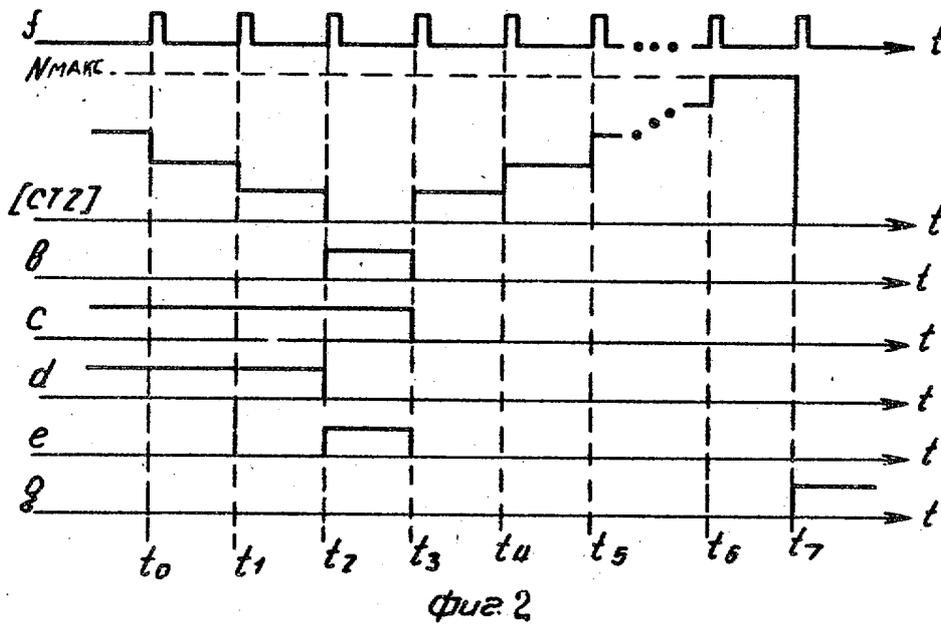
Ф о р м у л а и з о б р е т е н и я

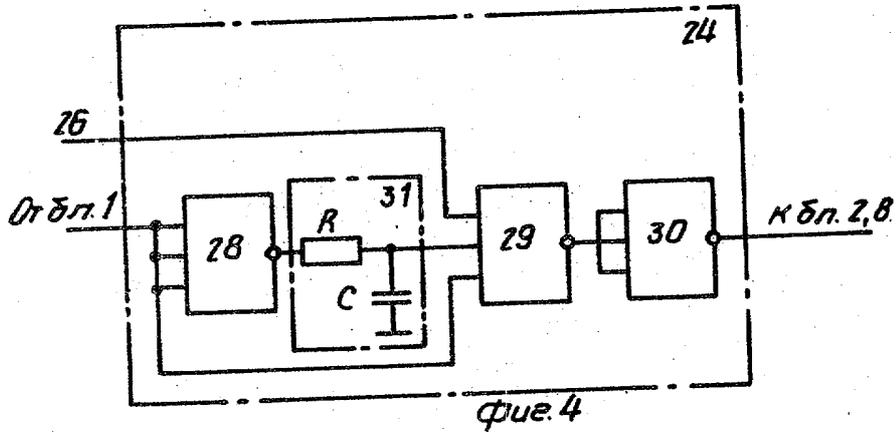
Аналого-цифровое интегрирующее устройство, содержащее преобразователь напряжения в частоту, тактовый вход которого является тактовым входом устройства, а информационный вход подключен к выходу умножающего циф-

роаналогового преобразователя, входы которого являются аналоговым и цифровым информационными входами устройства соответственно, знаковый выход преобразователя напряжения в частоту подключен к первому входу элемента ИСКЛЮЧАЮЩЕЕ ИЛИ, второй вход которого связан со знаковым входом устройства, реверсивный счетчик, установочный вход которого соединен с цифровым входом задания начальных условий устройства, n младших выходных разрядов реверсивного счетчика являются цифровым выходом устройства и соединены с входом элемента ИЛИ-НЕ и с цифровым входом цифроаналогового преобразователя, выход которого является аналоговым выходом устройства, $(n+1)$ -й выходной разряд реверсивного счетчика соединен с контрольным выходом устройства, а вход управления режимом является первым входом задания режима устройства, триггер, вход синхронизации которого соединен с выходом элемента И, прямой выход триггера является знаковым выходом устройства, отличающееся тем, что, с целью упрощения устройства и расширения функциональных возможностей за счет реализации режима хранения результата, в устройство введены дешифратор, пять элементов И-НЕ и формирователь импульсов, причем выход элемента ИСКЛЮЧАЮЩЕЕ ИЛИ соединен с первым входом дешифратора, второй вход которого соединен с выходом элемента ИЛИ-НЕ, а третий вход подключен к прямому выходу триггера, соединенному со знаковом входом цифроаналогового преобразователя, информационный выход преобразователя напряжение - частота подключен к информационному входу формирователя импульсов, вход разрешения которого является вторым входом задания режима устройства, а выход соединен со счетным входом реверсивного счетчика и первым входом элемента И, второй вход которого подключен к выходу первого элемента И-НЕ, входами соединенного с четными выходами дешифратора, нечетные выходы которого подключены к входам второго элемента И-НЕ, выходом соединенного со знаковым входом реверсивного счетчика, знаковый вход начальных условий устройства соединен с первым входом третьего элемента И-НЕ и через четвертый элемент И-НЕ - с первым входом пято-

го элемента И-НЕ, вторые входы третьего и пятого элементов И-НЕ соединены с первым входом задания режима устройства, выходы третьего и пято-

го элементов И-НЕ соединены с входом установки и входом сброса триггера соответственно, информационный вход которого подключен к его инверсному выходу.





Редактор Н.Тупица Составитель С.Белан Корректор Л.Пилипенко
 Техред М.Дидык

Заказ 790/49 Тираж 704 Подписное
 ВНИИПИ Государственного комитета СССР
 по делам изобретений и открытий
 113035, Москва, Ж-35, Раушская наб., д. 4/5

Производственно-полиграфическое предприятие, г. Ужгород, ул. Проектная, 4