

【公報種別】特許法第17条の2の規定による補正の掲載

【部門区分】第7部門第2区分

【発行日】平成28年11月10日(2016.11.10)

【公開番号】特開2014-78714(P2014-78714A)

【公開日】平成26年5月1日(2014.5.1)

【年通号数】公開・登録公報2014-022

【出願番号】特願2013-210120(P2013-210120)

【国際特許分類】

H 01 L	21/8247	(2006.01)
H 01 L	27/115	(2006.01)
H 01 L	21/336	(2006.01)
H 01 L	29/788	(2006.01)
H 01 L	29/792	(2006.01)
H 01 L	27/105	(2006.01)
H 01 L	21/8246	(2006.01)
H 01 L	45/00	(2006.01)
H 01 L	49/00	(2006.01)

【F I】

H 01 L	27/10	4 3 4
H 01 L	29/78	3 7 1
H 01 L	27/10	4 4 8
H 01 L	27/10	4 4 7
H 01 L	45/00	A
H 01 L	45/00	Z
H 01 L	49/00	Z

【手続補正書】

【提出日】平成28年9月21日(2016.9.21)

【手続補正1】

【補正対象書類名】特許請求の範囲

【補正対象項目名】全文

【補正方法】変更

【補正の内容】

【特許請求の範囲】

【請求項1】

第1方向に延長されている単一の選択線と；

前記第1方向と交差している第2方向に配列されている、第1の垂直に積層されたメモリセルストリング及び第2の垂直に積層されたメモリセルストリングであって、前記単一の選択線に共通して接続された、第1の垂直に積層されたメモリセルストリング及び第2の垂直に積層されたメモリセルストリングと；

前記第2方向に延長されている第1ビット線及び第2ビット線であって、前記第1ビット線が、前記第1方向に前記第2ビット線から離間されている、第1ビット線及び第2ビット線と；

前記第1の垂直に積層されたメモリセルストリングを前記第1ビット線に接続する第1サブインター コネクションと；

前記第2の垂直に積層されたメモリセルストリングを前記第2ビット線に接続する第2サブインター コネクションと；
を含み、

前記垂直に積層されたメモリセルストリングが、それぞれ、異なるビット線に接続され

ている、半導体装置。

【請求項 2】

前記単一の選択線、前記サブインターコネクション及び前記ビット線が、基板上で連続して提供され、

前記垂直に積層されたメモリセルストリングが、前記基板に接続され、

前記ビット線が、前記垂直に積層されたメモリセルストリング上に提供され、

前記サブインターコネクションが、前記垂直に積層されたメモリセルストリングと前記ビット線との間に提供される、請求項 1 に記載の装置。

【請求項 3】

前記サブインターコネクションの各々が、長軸及び短軸を有し、

前記サブインターコネクションの各々の中央部が、前記短軸に沿って前記第 1 方向に突出しており、

前記長軸が、前記第 2 方向に延長されている、請求項 1 に記載の装置。

【請求項 4】

第 1 方向に延長されている第 1 選択線及び第 2 選択線であって、前記第 1 方向と交差している第 2 方向に互いに離間されている、第 1 選択線及び第 2 選択線と；

前記第 2 方向に配列されている第 1 の垂直に積層されたメモリセルストリング及び第 2 の垂直に積層されたメモリセルストリングであって、前記第 1 の垂直に積層されたメモリストリングが、前記第 1 選択線に接続され、前記第 2 の垂直に積層されたメモリセルストリングが、前記第 2 選択線に接続される、第 1 の垂直に積層されたメモリセルストリング及び第 2 の垂直に積層されたメモリセルストリングと；

前記第 2 方向に延長されているビット線と；

前記第 1 の垂直に積層されたメモリセルストリング及び前記第 2 の垂直に積層されたメモリセルストリングを前記ビット線に接続する、前記第 2 方向に延長されている単体サブインターコネクションであって、前記第 1 の垂直に積層されたメモリセルストリングに接続された一つの末端部、及び前記第 2 の垂直に積層されたメモリセルストリングに接続された他の一つの末端部を有する、単体サブインターコネクションと；
を含む、半導体装置。

【請求項 5】

前記サブインターコネクションが、長軸及び短軸を有し、

前記単体サブインターコネクションの中央部が、前記短軸に沿って前記第 1 方向に突出しており、

前記長軸が、前記第 2 方向に延長されている、請求項 4 に記載の装置。

【請求項 6】

前記第 1 方向に延長されている分離絶縁層をさらに含み、前記分離絶縁層が、前記第 1 選択線と前記第 2 選択線との間に提供される、請求項 5 に記載の装置。

【請求項 7】

前記単体サブインターコネクションの前記中央部が、前記分離絶縁層と垂直に重なっている、請求項 6 に記載の装置。

【請求項 8】

前記単体サブインターコネクションが、前記サブインターコネクションの前記中央部を介して前記ビット線に接続される、請求項 6 に記載の装置。

【請求項 9】

前記垂直に積層されたメモリセルストリングを前記単体サブインターコネクションに接続する第 1 コンタクトと；

前記単体サブインターコネクションを前記ビット線に接続する第 2 コンタクトと、をさらに含む、請求項 5 に記載の装置。

【請求項 10】

前記第 2 コンタクトが、前記第 1 方向に沿って前記第 1 コンタクトからシフトされている、請求項 9 に記載の装置。

【請求項 1 1】

第1方向に延長されている第1選択線、第2選択線及び第3選択線であって、前記第1方向と交差している第2方向に互いに離間されている、第1選択線、第2選択線及び第3選択線と；

前記第2方向に配列されている、第1垂直柱、第2垂直柱、第3垂直柱及び第4垂直柱であって、前記第1垂直柱が、前記第1選択線に接続され、前記第2垂直柱及び前記第3垂直柱が、前記第2選択線に共通して接続され、前記第4垂直柱が、前記第3選択線に接続される、第1垂直柱、第2垂直柱、第3垂直柱及び第4垂直柱と；

前記第2方向に延長されている第1ビット線及び第2ビット線であって、前記第1ビット線が、前記第1方向に前記第2ビット線から離間されている、第1ビット線及び第2ビット線と；

前記第1垂直柱及び前記第2垂直柱を前記第1ビット線に接続する第1サブインターフェクションと；

前記第3垂直柱及び前記第4垂直柱を前記第2ビット線に接続する第2サブインターフェクションと、を含む、半導体装置。

【請求項 1 2】

前記サブインターフェクションの各々が、長軸及び短軸を有し、

前記第1サブインターフェクションが、前記短軸に沿った前記第1方向に突出した第1突出部を有し、

前記第2サブインターフェクションが、前記短軸に沿った前記第1方向の反対方向に突出した第2突出部を含み、

前記長軸が、前記第2方向に延長されている、請求項1 1に記載の装置。

【請求項 1 3】

前記第1サブインターフェクションが、前記第1突出部を介して前記第1ビット線に接続され、前記第2サブインターフェクションが、前記第2突出部を介して前記第2ビット線に接続される、請求項1 2に記載の装置。

【請求項 1 4】

前記選択線、前記サブインターフェクション及び前記ビット線が、基板上に連続して提供され、

前記装置が、

前記第1方向に延長されている第1分離絶縁層であって、前記第1選択線と前記第2選択線との間に提供される第1分離絶縁層、をさらに含む、請求項1 2に記載の装置。

【請求項 1 5】

前記第1突出部が、前記第1分離絶縁層と垂直に重なっている、請求項1 4に記載の装置。

【請求項 1 6】

前記基板と前記選択線との間のセルゲートをさらに含み、

前記垂直柱が、前記セルゲートを貫通しており、前記基板に電気的に接続される、請求項1 5に記載の装置。

【請求項 1 7】

前記第1方向に延長されている第2分離絶縁層であって、前記第2選択線と前記第3選択線との間に提供される、第2分離絶縁層をさらに含み、

前記第1分離絶縁層が、前記基板と接触し、前記第2分離絶縁層が、前記セルゲートの上方へ提供される、請求項1 6に記載の装置。

【請求項 1 8】

前記第1突出部が、前記第1分離絶縁層と垂直に重なっており、前記第2突出部が、前記第2分離絶縁層と垂直に重なっている、請求項1 7に記載の装置。

【請求項 1 9】

前記セルゲートと前記垂直柱との間の情報格納要素をさらに含む、請求項1 6に記載の装置。

【請求項 20】

前記第1サブインターロネクションが、前記長軸に沿って、前記第2サブインターロネクションよりも、短い長さを有する、請求項12に記載の装置。