

(19) 世界知的所有権機関
国際事務局



(43) 国際公開日
2002 年 7 月 4 日 (04.07.2002)

PCT

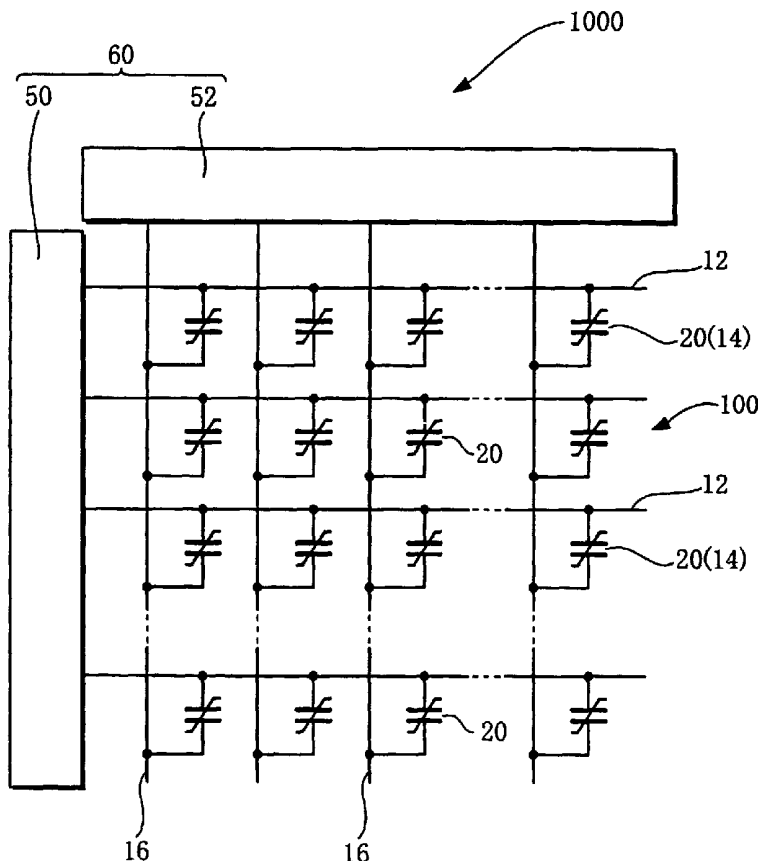
(10) 国際公開番号
WO 02/052571 A1

- (51) 国際特許分類: G11C 11/22, H01L 27/10 (71) 出願人: セイコーエプソン株式会社 (SEIKO EPSON CORPORATION) [JP/JP]; 〒163-0811 東京都 新宿区 西新宿 2 丁目 4 番 1 号 Tokyo (JP).
- (21) 国際出願番号: PCT/JP01/11547
- (22) 国際出願日: 2001 年 12 月 27 日 (27.12.2001) (72) 発明者: 長谷川 和正 (HASEGAWA, Kazumasa); 〒392-8502 長野県 諏訪市 大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内 Nagano (JP). 名取 栄治 (NATORI, Eiji); 〒392-8502 長野県 諏訪市 大和 3 丁目 3 番 5 号 セイコーエプソン株式会社内 Nagano (JP).
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ: (74) 代理人: 井上 一, 外 (INOUE, Hajime et al.); 〒167-0051 東京都 杉並区 荻窪 5 丁目 2 番 1 3 号 荻窪 T M ビル 2 階 Tokyo (JP).
- 特願 2000-397122 2000 年 12 月 27 日 (27.12.2000) JP
- 特願 2001-393649 2001 年 12 月 26 日 (26.12.2001) JP (81) 指定国 (国内): CN, KR.

[続葉有]

(54) Title: FERROELECTRIC MEMORY DEVICE AND METHOD FOR OPERATING MEMORY CELL COMPRISING FERROELECTRIC CAPACITOR

(54) 発明の名称: 強誘電体メモリ装置および強誘電体キャパシタからなるメモリセルに対する動作方法



(57) Abstract: A ferroelectric memory device (1000) comprises memory cells each composed of a ferroelectric capacitor in a region where a first signal electrode (12) traverses a second signal electrode (16). Information is written in a selected memory cell (20) by applying a write voltage between the first and second signal electrodes (12, 16) of the memory cell (20). Information is read out of a selected memory cell (20) by applying a read voltage between the first and second signal electrodes (12, 16) of the memory cell (20). The absolute value $|V_s|$ of the write voltage $+V_s$ and the read voltage $+V_s$ or $-V_s$ is less than the absolute value of the saturation voltage at which the residual polarization of the ferroelectric capacitor is saturated.

[続葉有]



(84) 指定国 (広域): ヨーロッパ特許 (AT, BE, CH, CY, DE, DK, ES, FI, FR, GB, GR, IE, IT, LU, MC, NL, PT, SE, TR).

2文字コード及び他の略語については、定期発行される各PCTガゼットの巻頭に掲載されている「コードと略語のガイダンスノート」を参照。

添付公開書類:

— 国際調査報告書

(57) 要約:

強誘電体メモリ装置 (1000) は、第1信号電極 (12) と第2信号電極 (16) との交差する領域において、強誘電体キャパシタからなるメモリセル (20) が形成されている。選択されたメモリセル (20) に対する情報の書き込みは、メモリセル (20) における第1信号電極 (12) と第2信号電極 (16) との間に、書き込み電圧を印加することにより行われる。選択されたメモリセル (20) に対する情報の読み出しは、メモリセルにおける第1信号電極 (12) と第2信号電極 (16) との間に、読み出し電圧を印加することにより行われる。書き込み電圧を $\pm V_s$ とし、前記読み出し電圧を $+V_s$ または $-V_s$ とした場合、 $|V_s|$ は、強誘電体キャパシタの残留分極が飽和する飽和電圧の絶対値未満である。

明 細 書

強誘電体メモリ装置および強誘電体キャパシタからなるメモリセルに対する動作方法

5

[技術分野]

本発明は、強誘電体メモリ装置および強誘電体キャパシタからなるメモリセルに対する動作方法に関し、特に、単純マトリクス型の強誘電体メモリ装置および強誘電体キャパシタからなるメモリセルに対する動作方法に関する。

10

[背景技術]

セルトランジスタを有せず、強誘電体キャパシタのみを用いた単純マトリクス型の強誘電体メモリ装置は、非常に簡単な構造を有し、高い集積度を得ることができることから、その開発が期待されている。

15 単純マトリクス型の強誘電体メモリ装置およびその動作方法が開示されている技術として、特開平9-116107号公報を挙げるることができる。

以下、特開平9-116107号公報に開示されている、データの書き込み方法および読み出し方法についての技術を説明する。図7は、強誘電体記憶装置のメモリセルアレイを示す図である。

20 まず、データの書き込み方法について説明する。図8は、強誘電体キャパシタ C_m , N に1データを、 C_m , $N+1$ に0データを書き込む場合のタイミング図である。なお、特開平9-116107号公報に係る技術においては、メモリセルに対する1データの書き込みは、選択するワード線電位よりも選択する副ビット線電位が高くなる方向に電圧を印加することにより行われる。また、メモリセルに対する0データの書き込み
25 は、選択するワード線電位よりも選択する副ビット線電位が低くなる方向に電圧を印加することにより行われる。

まず、時刻 t_1 で、主ビット線 $MBLN$ 、 $MBLN+1$ を接地電圧 (0 V) に設定する。同時に、選択ゲート線 SL を 0 V から 5 V に、選択ワード線 WL_m を電源電圧 VCC (3.3 V) に、すべての非選択ワード線 $WL_1 \sim WL_m$ を接地電圧 (0 V) に設定する。これにより、強誘電体キャパシタ $C_{m,N}$ 、 $C_{m,N+1}$ の消去 (0 データの書き込み) が完了する。

次に、時刻 t_2 で、選択ゲート線 SL 、および選択ワード線 WL_m を接地電圧 (0 V) に立ち下げ、主ビット線 $MBLN$ を電源電圧 VCC (3.3 V) に、主ビット線 $MBLN+1$ を $(1/3)VCC$ (1.1 V) に設定する。

次に、時刻 t_3 で、選択ゲート線 SL を 5 V に、選択ワード線 WL_m を接地電圧 (0 V) に、非選択ワード線 $WL_1 \sim WLM$ を $(2/3)VCC$ (2.2 V) に設定する。これにより、強誘電体キャパシタ $C_{m,N}$ において、 1 データが書き込まれる。

次に、時刻 t_4 で、主ビット線 $MBLN$ 、 $MBLN+1$ を $(1/3)VCC$ (1.1 V) に設定した後、選択ゲート線 SL 、ワード線 $WL_1 \sim WLM$ を接地電圧 (0 V) に立ち下げ、書き込み動作が終了する。

次に、データの読み出し方法について説明する。図 9 は、メモリセル $C_{m,N}$ に記録されている 1 データ、 $C_{m,N+1}$ に記録されている 0 データを読み出した後、メモリセル $C_{m,N}$ に 1 データ、 $C_{m,N+1}$ に 0 データの再書き込みを行う場合のタイミング図である。

まず、時刻 t_1 において、プリチャージ信号 ϕ_{PC} を電源電圧 VCC (3.3 V) に、カラム選択信号 ϕ を 5 V に立ち上げる。これにより、時刻 t_2 までに、主ビット線 $MBLN$ 、 $MBLN+1$ がプリチャージ電圧 V_{PC} (0 V) にプリチャージされる。また、主ビット線 $MBLN$ 、 $MBLN+1$ がそれぞれのセンスアンプのノード V_N 、 V_{N+1} に接続される。

次に、時刻 t_2 において、プリチャージ信号 ϕ_{PC} を 0 V に立ち下げて主ビット線 $MBLN$ 、 $MBLN+1$ をフローティング状態にする。その後、選択ゲート線 SL を 0 V から 5 V に、選択ワード線 WL_m を 0 V から電源電圧 VCC (3.3 V) に立ち上げる。これにより、強誘電体キャパシタ $C_{m,N}$ 、 $C_{m,N+1}$ が、 0 データが書き込まれ

た分極状態に変化する。

次に、時刻 t_3 で、選択ゲート線 SL および選択ワード線 WL_m を 0 V に立ち下げる。次に、時刻 t_4 で、センスイネーブル信号 ϕ_{SE} を電源電圧 V_{CC} (3.3 V) に立ち上げる。これにより、センスアンプ SAN , $SAN+1$ が活性化される。その結果、センスアンプ SAN には、時刻 t_5 までに、1 データがセンスラッチされ、主ビット線 $MBLN$ の電位は、電源電圧 V_{CC} (3.3 V) に設定される。また、センスアンプ $SAN+1$ には、0 データがセンスラッチされ、主ビット線 $MBLN+1$ の電位は接地電圧 (0 V) に設定される。こうして、読み出しを行うことができる。

時刻 t_5 以降は、再書き込みのためのステップであるため、説明を省略する。

[発明の開示]

本発明の目的は、強誘電体メモリ装置の誤動作を抑えることができる、強誘電体メモリ装置および強誘電体キャパシタからなるメモリセルに対する動作方法を提供することにある。

1. 強誘電体メモリ装置

(A) 本発明の第1の強誘電体メモリ装置は、

第1信号電極と、強誘電体層と、第2信号電極とを含み、

前記第2信号電極は、前記第1信号電極と交差する方向に沿って形成され、

前記第1信号電極と前記第2信号電極との交差する領域において、少なくとも該第

1信号電極と該第2信号電極と前記強誘電体層とを含む強誘電体キャパシタからなるメモリセルが形成され、

選択された前記メモリセルに対する情報の書き込みは、該メモリセルにおける第1信号電極と第2信号電極との間に、書き込み電圧を印加することにより行われ、

前記書き込み電圧の絶対値は、前記強誘電体キャパシタの残留分極が飽和する飽和電圧の絶対値未満である。

本発明においては、書き込み電圧の絶対値は、飽和電圧の絶対値未満で行っている。

これにより、書き込み電圧を飽和電圧に設定した場合に比べて、スイッチング分極量とノンスイッチング分極量との差を大きくすることができる。このため、第1のデータ読み出しと、第2のデータ読み出しのビット線電位の差を大きくすることができ、誤動作をより抑えることができる。

5 本発明の強誘電体メモリ装置は、次の態様をとることができる。

(a) 選択された前記メモリセルに対する情報の読み出しは、該メモリセルにおける第1信号電極と第2信号電極との間に、読み出し電圧を印加することにより行われ、前記読み出し電圧の絶対値は、飽和電圧の絶対値未満である態様である。

この態様の場合、前記書き込み電圧の絶対値と、前記読み出し電圧の絶対値とは、
10 同一であることができる。

また、この態様の場合、選択された前記メモリセルに対する情報の読み出しが行われると同時に、該メモリセルに対して情報の一部の書き込みが行われることができる。

(b) 選択された前記メモリセルに対する情報の書き込みにおいて、非選択の前記メモリセルにおける前記第1信号電極と前記第2信号電極との間において、非選択の
15 メモリセルの分極状態が反転しないようにするための第1電圧が印加され、

前記第1電圧の絶対値の最大値は、前記書き込み電圧の絶対値の $1/2$ である態様である。

(c) 選択された前記メモリセルに対する情報の読み出しにおいて、非選択の前記メモリセルにおける前記第1信号電極と前記第2信号電極との間において、非選択の
20 メモリセルの分極状態が反転しないようにするための第2電圧が印加され、

前記第2電圧の絶対値の最大値は、前記読み出し電圧の絶対値の $1/2$ である態様である。

(B) 本発明の第2の強誘電体メモリ装置は、

第1信号電極と、強誘電体層と、第2信号電極とを含み、

25 前記第2信号電極は、前記第1信号電極と交差する方向に沿って形成され、

前記第1信号電極と前記第2信号電極との交差する領域において、少なくとも該第1信号電極と該第2信号電極と前記強誘電体層とを含む強誘電体キャパシタからな

るメモリセルが形成され、

選択された前記メモリセルに対する情報の書き込みは、該メモリセルにおける第1信号電極と第2信号電極との間に、書き込み電圧を印加することにより行われ、

5 選択された前記メモリセルに対する情報の読み出しは、該メモリセルにおける第1信号電極と第2信号電極との間に、読み出し電圧を印加することにより行われ、

前記書き込み電圧を $\pm V_s$ とし、前記読み出し電圧を $+V_s$ または $-V_s$ とした場合、

前記 $|V_s|$ は、前記強誘電体キャパシタの残留分極が飽和する飽和電圧の絶対値未満である。

10 本発明において、前記 $|V_s|$ は、前記強誘電体キャパシタの残留分極が飽和する飽和電圧の絶対値未満である。このため、書き込み電圧は、飽和電圧未満で行われることとなる。その結果、本発明の第1の強誘電体メモリ装置と同様の作用効果を奏することができる。

本発明の第2の強誘電体メモリ装置は、次の態様をとることができる。

15 (a) 選択された前記メモリセルに対する情報の書き込みにおいて、非選択の前記メモリセルにおける前記第1信号電極と前記第2信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第1電圧が印加され、

前記第1電圧の絶対値の最大値は、 $(1/2)|V_s|$ である態様。

(b) 選択された前記メモリセルに対する情報の読み出しにおいて、非選択の前記
20 メモリセルにおける前記第1信号電極と前記第2信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第2電圧が印加され、

前記第2電圧の絶対値の最大値は、 $(1/2)|V_s|$ である態様。

本発明の第1および第2の強誘電体メモリ装置においては、前記強誘電体層は、ペロブスカイト型酸化物強誘電体であることができる。

25 前記強誘電体層の厚さに対する、前記書き込み電圧の絶対値の比は、好ましくは $17\text{ V}/\mu\text{m}$ 以下であり、より好ましくは $15\text{ V}/\mu\text{m}$ 以下である。

前記強誘電体層は、バイアス電圧が印加されていない状態における比誘電率が好ま

しくは400以下、より好ましくは300以下である材質からなる

2. メモリセルに対する動作方法

(A) 本発明の第1の強誘電体キャパシタからなるメモリセルに対する動作方法は、前記メモリセルは、第1信号電極と、強誘電体層と、第2信号電極とを含み、

5 前記第2信号電極は、前記第1信号電極と交差する方向に沿って形成され、

前記第1信号電極と前記第2信号電極との交差する領域において、少なくとも該第1信号電極と該第2信号電極と前記強誘電体層とを含み、

選択された前記メモリセルにおいて第1信号電極と第2信号電極との間において書き込み電圧を印加することにより、メモリセルに対して情報の書き込みを行うステップを含み、

前記書き込み電圧の絶対値は、前記強誘電体キャパシタの残留分極が飽和する飽和電圧の絶対値未満である。

本発明の動作方法によれば、メモリセルに対して情報を書き込む際に、書き込み電圧の絶対値を、飽和電圧の絶対値未満にしている。このため、書き込み電圧を飽和電圧に設定した場合に比べて、スイッチング分極量とノンスイッチング分極量との差を大きくすることができる。このため、第1のデータ読み出しと、第2のデータ読み出しのビット線電位の差を大きくすることができ、誤動作をより抑えることができる。

本発明の第1のメモリセルに対する動作方法は、次の態様をとることができる。

(a) さらに、選択された前記メモリセルにおいて第1信号電極と第2信号電極との間において読み出し電圧を印加することにより、メモリセルに対して情報の読み出しを行うステップを含み、

前記読み出し電圧の絶対値は、前記強誘電体キャパシタの残留分極が飽和する飽和電圧の絶対値未満である態様。

この態様の場合、前記書き込み電圧の絶対値と、前記読み出し電圧の絶対値とは、同一である態様。

また、この態様の場合、選択された前記メモリセルに対する情報の読み出しが行われると同時に、該メモリセルに対して情報の一部の書き込みが行われる態様。

(b) 選択された前記メモリセルに対する情報の書き込みにおいて、非選択の前記メモリセルにおける前記第1信号電極と前記第2信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第1電圧が印加され、

前記第1電圧の絶対値の最大値は、前記書き込み電圧の絶対値の $1/2$ である態様。

5 (c) 選択された前記メモリセルに対する情報の読み出しにおいて、非選択の前記メモリセルにおける前記第1信号電極と前記第2信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第2電圧が印加され、

前記第2電圧の絶対値の最大値は、前記読み出し電圧の絶対値の $1/2$ である態様。

(B) 本発明の強誘電体キャパシタからなるメモリセルに対する動作方法は、

10 前記メモリセルは、第1信号電極と、強誘電体層と、第2信号電極とを含み、

前記第2信号電極は、前記第1信号電極と交差する方向に沿って形成され、

前記第1信号電極と前記第2信号電極との交差する領域において、少なくとも該第1信号電極と該第2信号電極と前記強誘電体層とを含み、

15 選択された前記メモリセルにおいて第1信号電極と第2信号電極との間において書き込み電圧を印加することにより、メモリセルに対して情報の書き込みを行うステップおよび、

選択された前記メモリセルにおいて第1信号電極と第2信号電極との間において読み出し電圧を印加することにより、メモリセルに対して情報の書き込みを行うステップを含み、

20 前記書き込み電圧を $\pm V_s$ とし、前記読み出し電圧を $+V_s$ または $-V_s$ とした場合、

前記 $|V_s|$ は、前記強誘電体キャパシタの残留分極が飽和する飽和電圧の絶対値未満である。

25 本発明の第2のメモリセルに対する動作方法は、書き込み電圧の絶対値 $|V_s|$ が飽和電圧の絶対値未満である。このため、本発明の第1のメモリセルに対する動作方法と同様の作用効果を奏することができる。

本発明の第2のメモリセルに対する動作方法は、次の態様をとることができる。

(a) 選択された前記メモリセルに対する情報の書き込みにおいて、非選択の前記メモリセルにおける前記第1信号電極と前記第2信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第1電圧が印加され、

前記第1電圧の絶対値の最大値は、 $(1/2) |V_s|$ である態様である。

- 5 (b) 選択された前記メモリセルに対する情報の読み出しにおいて、非選択の前記メモリセルにおける前記第1信号電極と前記第2信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第2電圧が印加され、

前記第2電圧の絶対値の最大値は、 $(1/2) |V_s|$ である態様である。

- 本発明の第1および第2のメモリセルに対する動作方法は、前記強誘電体層は、ペ
10 ロブスカイト型酸化物強誘電体であることができる。

[図面の簡単な説明]

図1は、強誘電体メモリ装置を模式的に示す平面図である。

図2は、強誘電体装置のパターンレイアウトを模式的に示す平面図である。

- 15 図3は、図2のA-A線に沿って強誘電体メモリ装置の一部を模式的に示す断面図である。

図4は、スイッチング分極量およびノンスイッチング分極量を説明するための強誘電体キャパシタのヒステリシス特性を示すグラフである。

- 図5は、飽和電圧を説明するための、ビット線ーワード線間に印加した電圧と、分
20 極量との関係を示したグラフである。

図6は、書き込み電圧 V_{write} と、 $P_{sw}-P_{ns}$ との関係を示したグラフである。

図7は、従来例に係る強誘電体記憶装置のメモリセルアレイを示す図である。

図8は、強誘電体キャパシタ $C_{m,N}$ に1データを、 $C_{m,N+1}$ に0データを書き込む場合のタイミング図である。

- 25 図9は、メモリセル $C_{m,N}$ に記録されている1データ、 $C_{m,N+1}$ に記録されている0データを読み出した後、メモリセル $C_{m,N}$ に1データ、 $C_{m,N+1}$ に0データの再書き込

みを行う場合のタイミング図である。

[発明を実施するための最良の形態]

以下、本発明の好適な実施の形態について図面を参照しながら説明する。

5 1. 強誘電体メモリ装置の構成

図1は、強誘電体メモリ装置を模式的に示す平面図である。図2は、強誘電体装置のパターンレイアウトを模式的に示す平面図である。図3は、図2のA-A線に沿って強誘電体メモリ装置の一部を模式的に示す断面図である。

本実施の形態の強誘電体メモリ装置1000は、メモリセルアレイ100を有する。

10 メモリセルアレイ100は、行選択のための第1信号電極（ワード線）12と、列選択のための第2信号電極（ビット線）16とが直交するように配列されている。なお、信号電極は、上記の逆でもよく、第1信号電極がビット線、第2信号電極がワード線でもよい。

そして、図2に示すように、少なくとも第1信号電極12と第2信号電極16との
15 間には強誘電体層14が配置されている。従って、第1信号電極12と第2信号電極16との交差領域において、それぞれ強誘電体キャパシタからなるメモリセル20が構成されている。強誘電体層14は、隣り合うメモリセルにおける強誘電体層14が相互に連続するように形成されている。具体的には、強誘電体層14は、メモリセルアレイの形成領域において連続的に形成されている。

20 また、メモリセルに対して選択的に情報の書き込みもしくは読み出しを行うための各種回路を含む周辺回路部60が形成されている。周辺回路部60は、例えば、第1信号電極12を選択的に制御するための第1駆動回路50と、第2信号電極34を選択的に制御するための第2駆動回路52と、センスアンプなどの信号検出回路（図示せず）とを含む。周辺回路部200の具体例としては、Yゲート、センスアンプ、入出力バッファ、Xアドレスデコーダ、Yアドレスデコーダまたはアドレスバッファを
25 挙げることができる。

2. 書き込み・読み出し方法

次に、本実施の形態の強誘電体メモリ装置 1 0 0 0 における書き込み、読み出し動作の一例について述べる。

なお、以下では、ワード線 1 2 に対してビット線 1 6 を高電位にすることにより、
5 強誘電体キャパシタを分極させてデータを書き込んだ場合を 1 データの書き込みと定義し、ビット線 1 6 に対してワード線 1 2 を高電位にすることにより、強誘電体キャパシタを分極させてデータを書き込んだ場合を 0 データの書き込みと定義する。また、書き込み電圧 V_{write} の符号は、ビット線 1 6 がワード線 1 2 よりも高電位の場合には正 (+) とし、ビット線 1 6 がワード線 1 2 よりも低電位の場合には負 (-)
10 とする。つまり、正の書き込み電圧 V_{write} がビット線 1 6 とワード線 1 2 との間に印加された場合には、1 データの書き込みが行われ、負の書き込み電圧がビット線 1 6 とワード線 1 2 との間に印加された場合には 0 データの書き込みが行われる。

また、読み出し電圧 V_{read} の符号は、ビット線 1 6 がワード線 1 2 よりも高電位の場合には正 (+) とし、ビット線 1 6 がワード線 1 2 よりも低電位の場合には負 (-)
15 とする。

2. 1 書き込み動作

書き込み動作の一例について説明する。まず、選択メモリセルのすべてが 0 データにされている状態を考える。なお、選択メモリセルのすべてを 0 データにする方法は、たとえば、選択メモリセルのすべてにおいて、ビット線 1 6 とワード線 1 2 との間において負の書き込み電圧 $-V_{write}$ を印加することにより行われる。負の書き込み電圧 $-V_{write}$ は、その絶対値が負の飽和電圧の絶対値未満に設定され、好ましくは負の飽和電圧の絶対値の 9 0 % 以下、さらに好ましくは 3 0 ~ 7 5 %、特に好ましくは 4 5 ~ 6 0 % である。

次に、1 データを書き込みたい選択メモリセルにおいて、ビット線 1 6 とワード線
25 1 2 との間において、正の書き込み電圧 $+V_w$ を印加することにより行われる。正の書き込み電圧 $+V_w$ は、その絶対値が正の飽和電圧の絶対値未満に設定され、好ましくは飽和電圧の絶対値の 9 0 % 以下、さらに好ましくは 3 0 ~ 7 5 %、特に好ましくは

は45～60%である。この1データの書き込みにおいては、0データの書き込みを保持したい選択メモリセルの分極状態が反転しないような電圧が、その選択メモリセルにおけるビット線16とワード線12との間において印加されるようにする。これにより、0データの書き込みを保持したい選択メモリセルの分極状態が反転せず、0
5 データが保持される。

また、1データの書き込みの際、非選択メモリセルのキャパシタには、書き込み時のクロストークを防ぐため、所定の電圧が印加される。具体的には、非選択メモリセルにおけるビット線16とワード線12との間において、非選択メモリセルの分極状態が反転しないような第1電圧が印加される。第1電圧の絶対値の最大は、たとえば
10 書き込み電圧の絶対値の1/2、好ましくは書き込み電圧の絶対値の1/3である。こうして、選択メモリセルにおいて、0データおよび1データを書き込むことができる。

なお、上記の書き込み動作に限定されず、たとえば次のようにしてもよい。

(1) まず、選択メモリセルのすべてを1データの状態にしてから、所定の選択メモリセルのみを0データに変化させることにより、1データと0データの書き込みを行ってもよい。
15

(2) 正の書き込み電圧+Vwriteの絶対値と、負の書き込み電圧-Vwriteの絶対値とは、同一の値であっても、異なってもよい。

なお、上記の強誘電体メモリ装置の動作において、書き込み電圧の絶対値を飽和電圧の絶対値未満にする点以外は、特開平9-116107号公報に開示されている技術を適用することができる。
20

2. 2 読み出し動作

次に、読み出し動作について説明する。

選択メモリセルにおけるビット線16とワード線12との間において、正の読み出し電圧+Vreadを印加する。これにより、このとき、選択されたビット線16を流れる電流またはビット線16をハイインピーダンスにしたときの電位をセンスアンプにて読み出し、選択メモリセルのデータが読み出される。なお、読み出しの際、負の
25

読み出し電圧 $-V_{\text{read}}$ を印加して、読み出しを行ってもよい。

なお、この読み出し動作を、1または0のデータの再書き込みと兼用させることもできる。この場合、読み出し電圧 $\pm V_{\text{read}}$ の絶対値は、飽和電圧の絶対値未満であり、好ましくは飽和電圧の絶対値の90%以下、より好ましくは30~75%、特に好ましくは45~60%である。また、この場合、非選択メモリセルのキャパシタには、読み出し時のクロストークを防ぐため、所定の電圧が印加される。具体的には、非選択メモリセルにおけるビット線16とワード線12との間において、非選択メモリセルの分極状態が反転しないような第2電圧が印加される。第2電圧の絶対値の最大は、たとえば読み出し電圧の絶対値の1/2、好ましくは読み出し電圧の絶対値の1/3である。

3. 作用効果

以下、強誘電体メモリ装置に係る作用効果を説明する。

本実施の形態においては、書き込み電圧の絶対値は、飽和電圧の絶対値未満で行っている。これにより、書き込み電圧を飽和電圧に設定した場合に比べて、スイッチング分極量とノンスイッチング分極量との差を大きくすることができる。このため、1データ読み出しと0データ読み出しのビット線電位の差を大きくすることができ、誤動作をより抑えることができる。

ここで、スイッチング分極量とノンスイッチング分極量とを説明する。図4は、強誘電体キャパシタのヒステリシス特性を示す。図4において、スイッチング分極量は P_{sw} であり、ノンスイッチング分極量は P_{ns} である。具体的には、選択メモリセルを1データの分極状態に変化させて読み出す場合において、読み出す前において0データが記録されていた選択メモリセルの、読み出し前後の分極量の差がスイッチング分極量であり、読み出す前において1データが記録されていた選択メモリセルの、読み出し前後の分極量の差がノンスイッチング分極量である。具体的には、 P_{sw} は、0データが書き込まれているメモリセルに $(1/3)V_s$ が印加された状態から、そのメモリセルに V_s を印加してデータを読み出した場合におけるものである。また、 P_{ns} は、1データが書き込まれているメモリセルに $(-1/3)V_s$ が印加された状態か

ら、そのメモリセルに V_s を印加してデータを読み出した場合におけるものである。

なお、非選択メモリセルに印加される第1電圧および第2電圧の絶対値を、書き込みおよび読み出し電圧の絶対値の $1/2$ としたときは、 P_{sw} は、0データが書き込まれているメモリセルに $(1/2)V_s$ が印加された状態から、そのメモリセルに V_s を印加してデータを読み出すこととなり、また、 P_{ns} は、1データが書き込まれているメモリセルに $(-1/2)V_s$ が印加された状態から、そのメモリセルに V_s を印加してデータを読み出すこととなる。

また、上記で述べた飽和電圧を定義する。飽和電圧とは、強誘電体キャパシタの残留分極が飽和する電圧をいう。具体的には、正の飽和電圧とは、ワード線に対してビット線の電位を高めていった場合に、それ以上高くしても、分極量 P_r が上昇しないところの電圧をいう。より具体的には、図5における飽和分極量 P_{sat} における印加電圧 V_{sat} をいう。また、負の飽和電圧とは、ワード線に対してビット線の電位を下げていった場合に、それ以上下げても、分極量が低下しなくなるころの電圧をいう。

4. デバイスの製造方法

次に、上述したメモリセルアレイの製造方法の一例について述べる。図3は、メモリセルアレイ100の製造工程を模式的に示す断面図である。

基体10の上に、第1信号電極12を形成する。第1信号電極12の材質としては、たとえば Ir 、 IrO_x 、 Pt 、 RuO_x 、 $SrRuO_x$ 、 $LaSrCoO_x$ を挙げることができる。第1信号電極12の形成方法としては、スパッタリング、蒸着、などの方法を挙げることができる。第1信号電極12は、単一の層あるいは複数の層が積層された構造を有することができる。

次に、第1信号電極12をエッチングして、第1信号電極12をパターンニングする。第1信号電極12のエッチング方法としては、 RIE 、スパッタエッチング、プラズマエッチングなどの方法を挙げることができる。

次に、第1信号電極12が形成された10上に、強誘電体層14を形成する。強誘電体層の材質としては、ペロブスカイト型酸化物強誘電体（たとえば $SrBi_2Ta_2O_9$ ）を挙げることができる。 $SrBi_2Ta_2O_9$ の場合、組成のばらつきや製法等にも

よるが、そのバイアス電圧を印加しない状態における比誘電率は、250～400となる。強誘電体層14の材質は、特に限定されず、バイアス電圧を印加しない状態における比誘電率が好ましくは400以下、より好ましくは300以下の材質である。また、強誘電体層14の材質としては、 $\text{SrBi}_2\text{Ta}_2\text{O}_9$ の他に、同じ構成元素を用いる組成の異なるSBT系の材質や、 $\text{SrBi}_2\text{Nb}_2\text{O}_9$ 系の材料等を用いることができる。強誘電体層14の成形方法としては、たとえば、ゾルゲル材料やMOD材料を用いたスピコート法やディッピング法、スパッタ法、MOCVD法、レーザアブレーション法を挙げることができる。強誘電体層の厚さは、特に限定されず、書き込み電圧の絶対値を $|V_{\text{write}}|$ (V) と、強誘電体層の厚さを T_1 (μm) とすると、
10 次の関係式を満たす厚さであることが好ましい。すなわち、強誘電体層の厚さは、好ましくは $|V_{\text{write}}|/T_1 \leq 17$ (V/ μm)、より好ましくは $|V_{\text{write}}|/T_1 \leq 15$ (V/ μm) を満たす厚さであることができる。

次に、強誘電体層14をエッチングして、強誘電体層14をパターンニングする。

次に、強誘電体層14の上に、第2信号電極16を形成する。第2信号電極16の
15 材質および形成方法は、第1信号電極12と同様のものを適用することができる。次に、第2信号電極16をエッチングして、第2信号電極16をパターンニングをする。第2信号電極16のエッチング法は、第1信号電極12と同様のものを適用することができる。このようにして、メモリセルアレイ100が形成される。

5. 変形例

20 上記の実施の形態は、次の変形が可能である。

強誘電体層14は、メモリセルアレイ100の形成領域において、連続的に形成されていた。しかし、これに限定されず、たとえば、次のいずれかの態様をとることができる。1) 第1の電極12に沿ってライン状に形成されている態様。2) 第2の電極16に沿ってライン状に形成されている態様。3) 第1の電極12と第2の電極1
25 6との交差領域のみに形成されている態様。

6. 実験例

(1) スイッチング分極量とノンスイッチング分極量との差($P_{\text{sw}} - P_{\text{ns}}$)と、

書き込み電圧 V_s との間において、どのような関係があるか調べた。図6は、スイッチング分極量とノンスイッチング分極量との差と、書き込み電圧との関係を示すグラフである。表1は、各書き込み電圧に対応した、スイッチング分極量とノンスイッチング分極量との差のデータを示す。ここで、 P_{sw} は、0 データが書き込まれているメモリセルに $(1/3) V_s$ が印加された状態から、そのメモリセルに V_s を印加してデータを読み出した場合におけるものである。また、 P_{ns} は、1 データが書き込まれているメモリセルに $(-1/3) V_s$ が印加された状態から、そのメモリセルに V_s を印加してデータを読み出した場合におけるものである。

なお、この実験は、次の条件で行った。強誘電体層の材質は、 $SrBi_2Ta_2O_9$ とした。強誘電体層の厚さは、 120 nm とした。この強誘電体層において、飽和電圧は、 2.0 V である。

図6から、書き込み電圧 V_{write} が 2.0 V (飽和電圧) 未満である場合には、書き込み電圧 V_{write} が 2.0 V に場合に比べて、 $P_{sw} - P_{ns}$ の値が向上しているのがわかる。これにより、書き込み電圧が飽和電圧未満であると、 $P_{sw} - P_{ns}$ が大きくなるのがわかる。

(表1)

V_s (V)	$P_{sw} - P_{ns}$ ($\mu\text{C}/\text{cm}^2$)
0.6	8.5
0.9	12.0
1.2	8.0
1.5	5.0
1.8	2.0

(2) 強誘電体層の材質の比誘電率と、スイッチング分極量とノンスイッチング分極量との差 ($P_{sw} - P_{ns}$) との間において、どのような関係があるか調べた。表2は、強誘電体層の材質の比誘電率に対応した、スイッチング分極量とノンスイッチング分極量との差 ($P_{sw} - P_{ns}$) のデータを示す。

なお、この実験においては、比誘電率は、バイアス電圧が 0 V のときの値である。

強誘電体層は、溶液塗布法により形成した。強誘電体層の厚さは120nmであった。書き込み電圧は、1.2Vであった。

表2から、比誘電率が低下するにしたがって、スイッチング分極量とノンスイッチング分極量との差 ($P_{sw}-P_{ns}$) が大きくなることがわかる。

5 (表2)

材料	比誘電率	$P_{sw}-P_{ns}(\mu C/cm^2)$
$SrBi_2Ta_2O_9$	300	8.0
$SrBi_2Ta_{1.8}Nb_{0.2}O_9$	250	10.0
$SrBi_2Nb_2O_9$	170	13.0

本発明は、上記の実施の形態に限定されず、本発明の要旨を超えない範囲で種々の変更が可能である。

請 求 の 範 囲

1. 第1信号電極と、強誘電体層と、第2信号電極とを含む、強誘電体メモリ装置であって、

- 5 前記第2信号電極は、前記第1信号電極と交差する方向に沿って形成され、
前記第1信号電極と前記第2信号電極との交差する領域において、少なくとも該第1信号電極と該第2信号電極と前記強誘電体層とを含む強誘電体キャパシタからなるメモリセルが形成され、

- 10 選択された前記メモリセルに対する情報の書き込みは、該メモリセルにおける第1信号電極と第2信号電極との間に、書き込み電圧を印加することにより行われ、

前記書き込み電圧の絶対値は、前記強誘電体キャパシタの残留分極が飽和する飽和電圧の絶対値未満である、強誘電体メモリ装置。

2. 請求項1において、

- 15 選択された前記メモリセルに対する情報の読み出しは、該メモリセルにおける第1信号電極と第2信号電極との間に、読み出し電圧を印加することにより行われ、

前記読み出し電圧の絶対値は、飽和電圧の絶対値未満である、強誘電体メモリ装置。

3. 請求項2において、

前記書き込み電圧の絶対値と、前記読み出し電圧の絶対値とは、同一である、強誘電体メモリ装置。

- 20 4. 請求項2または3において、

選択された前記メモリセルに対する情報の読み出しが行われると同時に、該メモリセルに対して情報の一部の書き込みが行われる、強誘電体メモリ装置。

5. 請求項1～3のいずれかにおいて、

- 25 選択された前記メモリセルに対する情報の書き込みにおいて、非選択の前記メモリセルにおける前記第1信号電極と前記第2信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第1電圧が印加され、

前記第1電圧の絶対値の最大値は、前記書き込み電圧の絶対値の $1/2$ である、強

誘電体メモリ装置。

6. 請求項 1～3 のいずれかにおいて、

選択された前記メモリセルに対する情報の読み出しにおいて、非選択の前記メモリセルにおける前記第 1 信号電極と前記第 2 信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第 2 電圧が印加され、

前記第 2 電圧の絶対値の最大値は、前記読み出し電圧の絶対値の $1/2$ である、強誘電体メモリ装置。

7. 第 1 信号電極と、強誘電体層と、第 2 信号電極とを含む、強誘電体メモリ装置であって、

10 前記第 2 信号電極は、前記第 1 信号電極と交差する方向に沿って形成され、

前記第 1 信号電極と前記第 2 信号電極との交差する領域において、少なくとも該第 1 信号電極と該第 2 信号電極と前記強誘電体層とを含む強誘電体キャパシタからなるメモリセルが形成され、

15 選択された前記メモリセルに対する情報の書き込みは、該メモリセルにおける第 1 信号電極と第 2 信号電極との間に、書き込み電圧を印加することにより行われ、

選択された前記メモリセルに対する情報の読み出しは、該メモリセルにおける第 1 信号電極と第 2 信号電極との間に、読み出し電圧を印加することにより行われ、

前記書き込み電圧を $\pm V_s$ とし、前記読み出し電圧を $+V_s$ または $-V_s$ とした場合、

20 前記 $|V_s|$ は、前記強誘電体キャパシタの残留分極が飽和する飽和電圧の絶対値未満である、強誘電体メモリ装置。

8. 請求項 7 において、

25 選択された前記メモリセルに対する情報の書き込みにおいて、非選択の前記メモリセルにおける前記第 1 信号電極と前記第 2 信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第 1 電圧が印加され、

前記第 1 電圧の絶対値の最大値は、 $(1/2) |V_s|$ である、強誘電体メモリ装置。

9. 請求項7または8において、

選択された前記メモリセルに対する情報の読み出しにおいて、非選択の前記メモリセルにおける前記第1信号電極と前記第2信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第2電圧が印加され、

5 前記第2電圧の絶対値の最大値は、 $(1/2) |V_s|$ である、強誘電体メモリ装置。

10 請求項1～3、7および8のいずれかにおいて、

前記強誘電体層は、ペロブスカイト型酸化物強誘電体である、強誘電体メモリ装置。

11 請求項1～3、7および8のいずれかにおいて、

10 前記強誘電体層の厚さに対する、前記書き込み電圧の絶対値の比は、 $1.7 \text{ V}/\mu\text{m}$ 以下である、強誘電体メモリ装置。

12 請求項1～3、7および8のいずれかにおいて、

前記強誘電体層の厚さに対する、前記書き込み電圧の絶対値の比は、 $1.5 \text{ V}/\mu\text{m}$ 以下である、強誘電体メモリ装置。

15 13 請求項1～3、7および8のいずれかにおいて、

前記強誘電体層は、バイアス電圧が印加されていない状態における比誘電率が40以下である材質からなる、強誘電体メモリ装置。

14 請求項1～3、7および8のいずれかにおいて、

20 前記強誘電体層は、バイアス電圧が印加されていない状態における比誘電率が30以下である材質からなる、強誘電体メモリ装置。

15 強誘電体キャパシタからなるメモリセルに対する動作方法であって、

前記メモリセルは、第1信号電極と、強誘電体層と、第2信号電極とを含み、

前記第2信号電極は、前記第1信号電極と交差する方向に沿って形成され、

前記第1信号電極と前記第2信号電極との交差する領域において、少なくとも該第

25 1信号電極と該第2信号電極と前記強誘電体層とを含み、

選択された前記メモリセルにおいて第1信号電極と第2信号電極との間において書き込み電圧を印加することにより、メモリセルに対して情報の書き込みを行うステ

ップを含み、

前記書き込み電圧の絶対値は、前記強誘電体キャパシタの残留分極が飽和する飽和電圧の絶対値未満である、強誘電体キャパシタからなるメモリセルに対する動作方法。

16. 請求項15において、

- 5 さらに、選択された前記メモリセルにおいて第1信号電極と第2信号電極との間において読み出し電圧を印加することにより、メモリセルに対して情報の読み出しを行うステップを含み、

前記読み出し電圧の絶対値は、前記強誘電体キャパシタの残留分極が飽和する飽和電圧の絶対値未満である、強誘電体メモリセルからなるメモリセルに対する動作方法。

- 10 17. 請求項16において、

前記書き込み電圧の絶対値と、前記読み出し電圧の絶対値とは、同一である、強誘電体メモリセルからなるメモリセルに対する動作方法。

18. 請求項16または17において、

- 15 選択された前記メモリセルに対する情報の読み出しが行われると同時に、該メモリセルに対して情報の一部の書き込みが行われる、強誘電体メモリセルからなるメモリセルに対する動作方法。

19. 請求項15～17のいずれかにおいて、

- 20 選択された前記メモリセルに対する情報の書き込みにおいて、非選択の前記メモリセルにおける前記第1信号電極と前記第2信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第1電圧が印加され、

前記第1電圧の絶対値の最大値は、前記書き込み電圧の絶対値の $1/2$ である、強誘電体キャパシタからなるメモリセルからなる動作方法。

20. 請求項15～17のいずれかにおいて、

- 25 選択された前記メモリセルに対する情報の読み出しにおいて、非選択の前記メモリセルにおける前記第1信号電極と前記第2信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第2電圧が印加され、

前記第2電圧の絶対値の最大値は、前記読み出し電圧の絶対値の $1/2$ である、強

誘電体キャパシタからなるメモリセルからなる動作方法。

2 1. 強誘電体キャパシタからなるメモリセルに対する動作方法であって、

前記メモリセルは、第 1 信号電極と、強誘電体層と、第 2 信号電極とを含み、

前記第 2 信号電極は、前記第 1 信号電極と交差する方向に沿って形成され、

- 5 前記第 1 信号電極と前記第 2 信号電極との交差する領域において、少なくとも該第 1 信号電極と該第 2 信号電極と前記強誘電体層とを含み、

選択された前記メモリセルにおいて第 1 信号電極と第 2 信号電極との間において書き込み電圧を印加することにより、メモリセルに対して情報の書き込みを行うステップおよび、

- 10 選択された前記メモリセルにおいて第 1 信号電極と第 2 信号電極との間において読み出し電圧を印加することにより、メモリセルに対して情報の書き込みを行うステップを含み、

前記書き込み電圧を $\pm V_s$ とし、前記読み出し電圧を $+V_s$ または $-V_s$ とした場合、

- 15 前記 $|V_s|$ は、前記強誘電体キャパシタの残留分極が飽和する飽和電圧の絶対値未満である、強誘電体キャパシタからなるメモリセルに対する動作方法。

2 2. 請求項 2 1 において、

選択された前記メモリセルに対する情報の書き込みにおいて、非選択の前記メモリセルにおける前記第 1 信号電極と前記第 2 信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第 1 電圧が印加され、

- 20

前記第 1 電圧の絶対値の最大値は、 $(1/2) |V_s|$ である、強誘電体キャパシタからなるメモリセルからなる動作方法。

2 3. 請求項 2 1 または 2 2 において、

選択された前記メモリセルに対する情報の読み出しにおいて、非選択の前記メモリセルにおける前記第 1 信号電極と前記第 2 信号電極との間において、非選択のメモリセルの分極状態が反転しないようにするための第 2 電圧が印加され、

- 25

前記第 2 電圧の絶対値の最大値は、 $(1/2) |V_s|$ である、強誘電体キャパシ

タからなるメモリセルからなる動作方法。

24. 請求項15～17、21および22のいずれかにおいて、

前記強誘電体層は、ペロブスカイト型酸化物強誘電体である、強誘電体キャパシタからなるメモリセルからなる動作方法。

5 25. 請求項15～17、21および22のいずれかにおいて、

前記強誘電体層の厚さに対する、前記書き込み電圧の絶対値の比は、 $1.7 \text{ V}/\mu\text{m}$ 以下である、強誘電体キャパシタからなるメモリセルからなる動作方法。

26. 請求項15～17、21および22のいずれかにおいて、

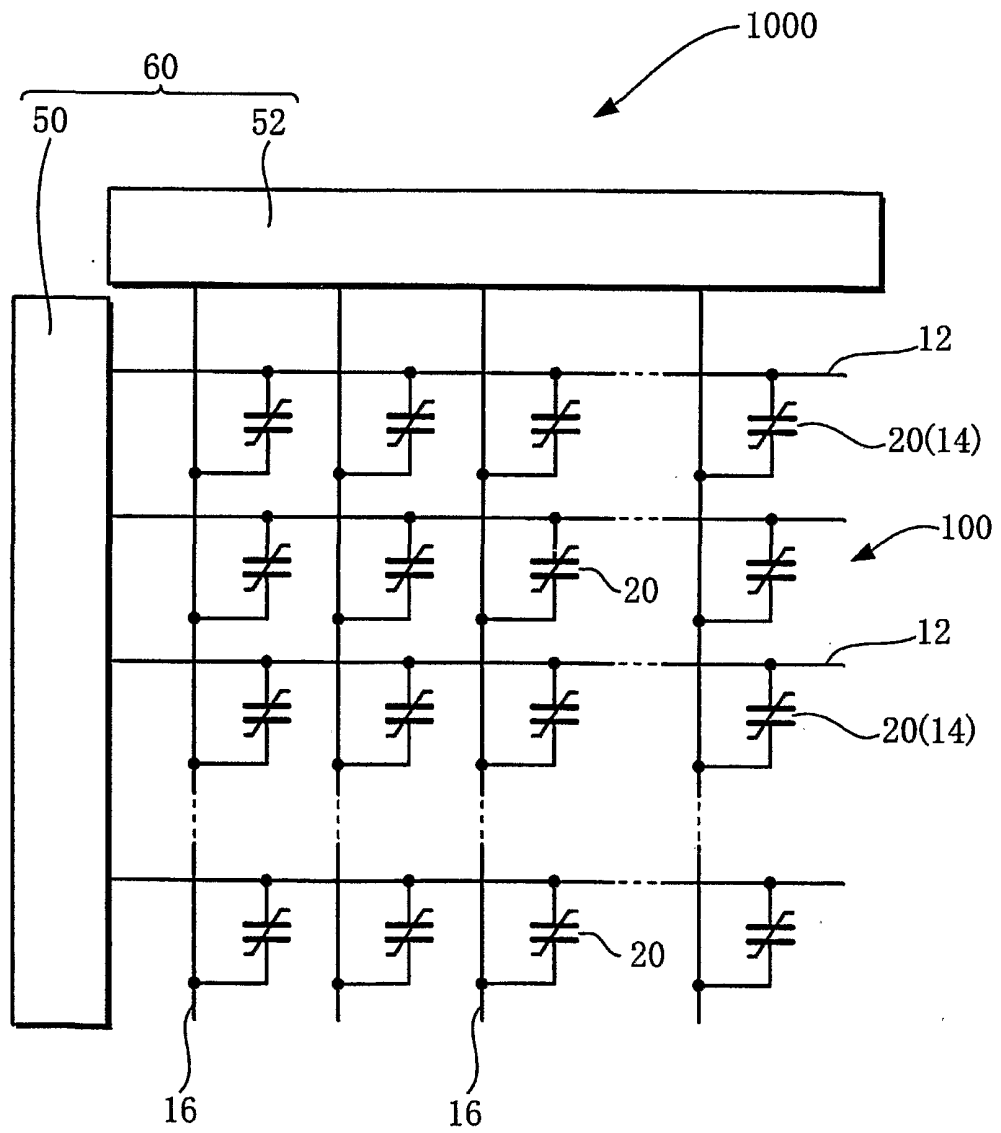
10 前記強誘電体層の厚さに対する、前記書き込み電圧の絶対値の比は、 $1.5 \text{ V}/\mu\text{m}$ 以下である、強誘電体キャパシタからなるメモリセルからなる動作方法。

27. 請求項15～17、21および22のいずれかにおいて、

前記強誘電体層は、バイアス電圧が印加されていない状態における比誘電率が400以下である材質からなる、強誘電体キャパシタからなるメモリセルからなる動作方法。

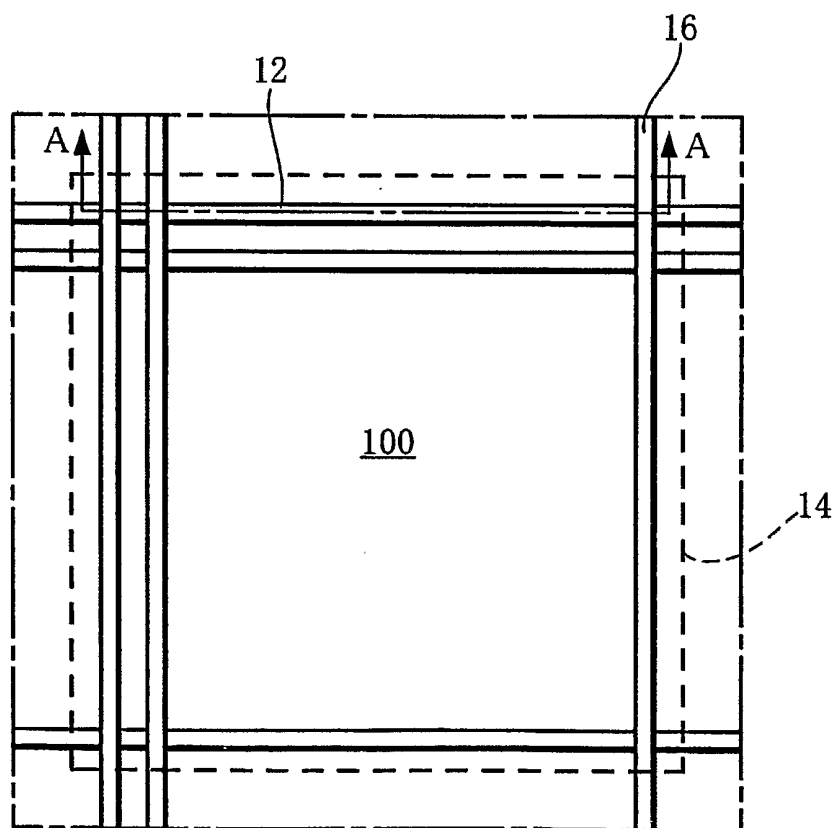
15 28. 請求項15～17、21および22のいずれかにおいて、

前記強誘電体層は、バイアス電圧が印加されていない状態における比誘電率が300以下である材質からなる、強誘電体キャパシタからなるメモリセルからなる動作方法。

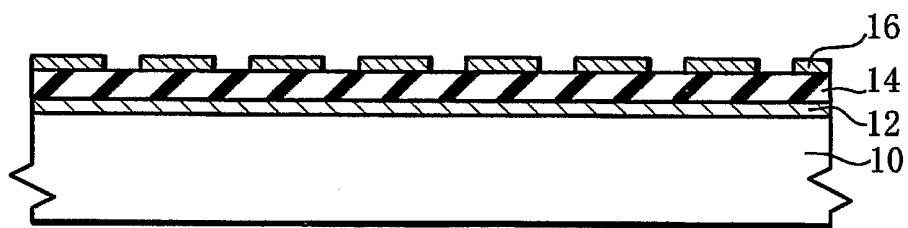
FIG. 1

2/9

FIG. 2



3/9

FIG. 3

4/9

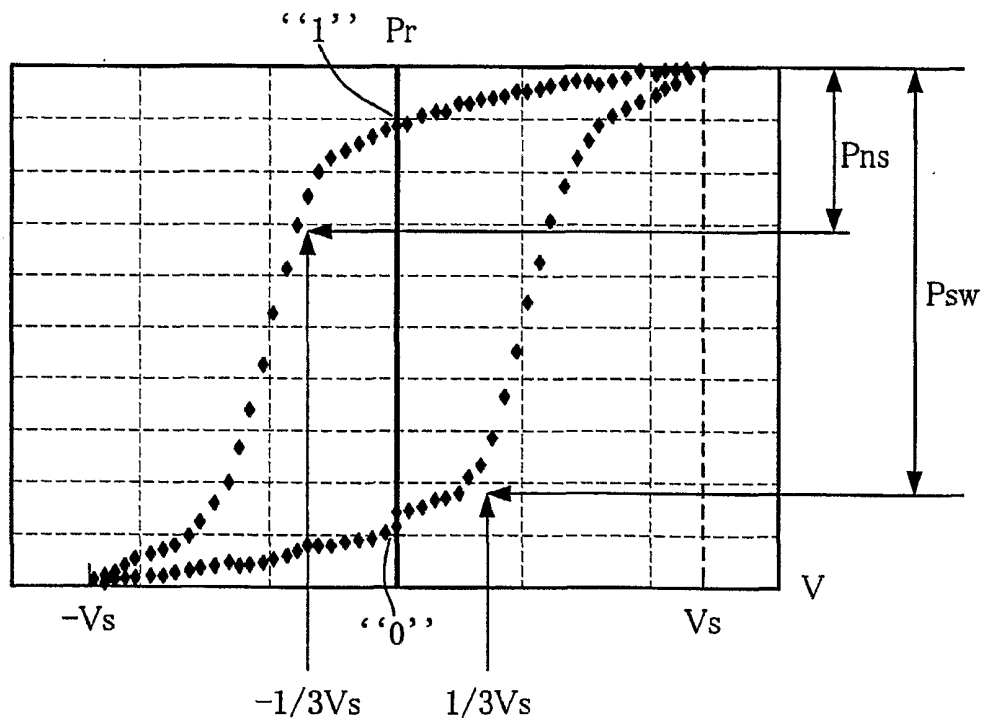
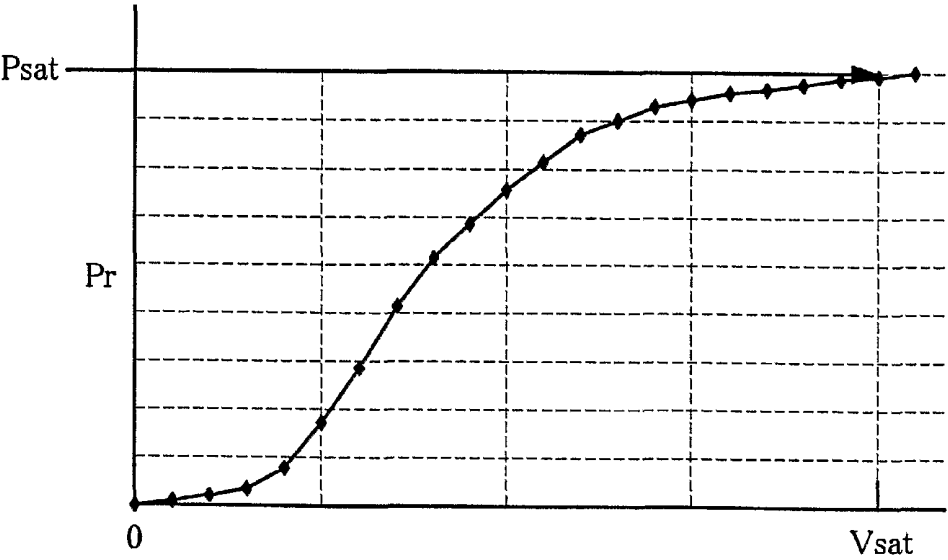
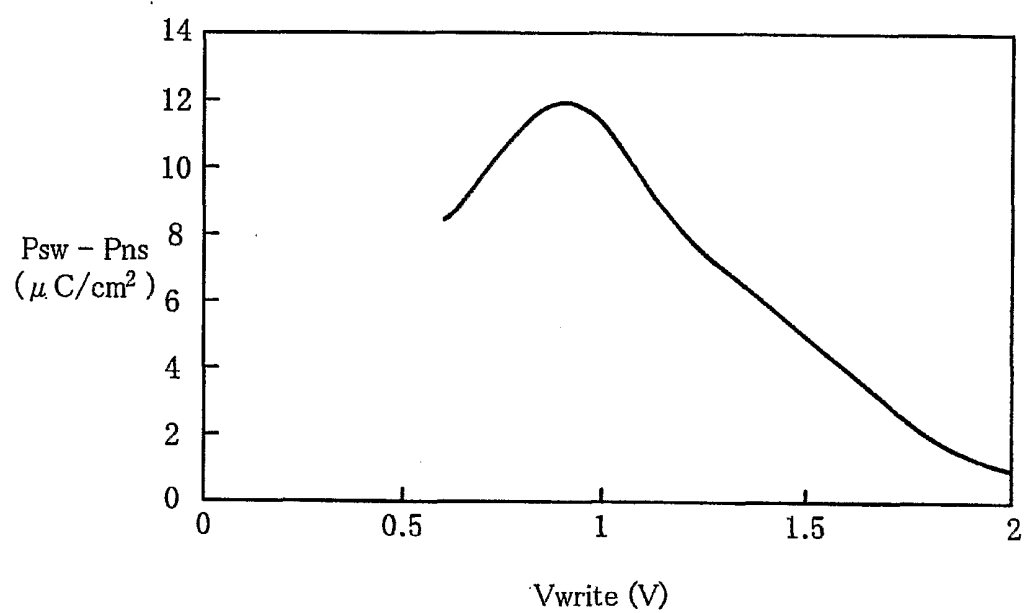
FIG. 4

FIG. 5

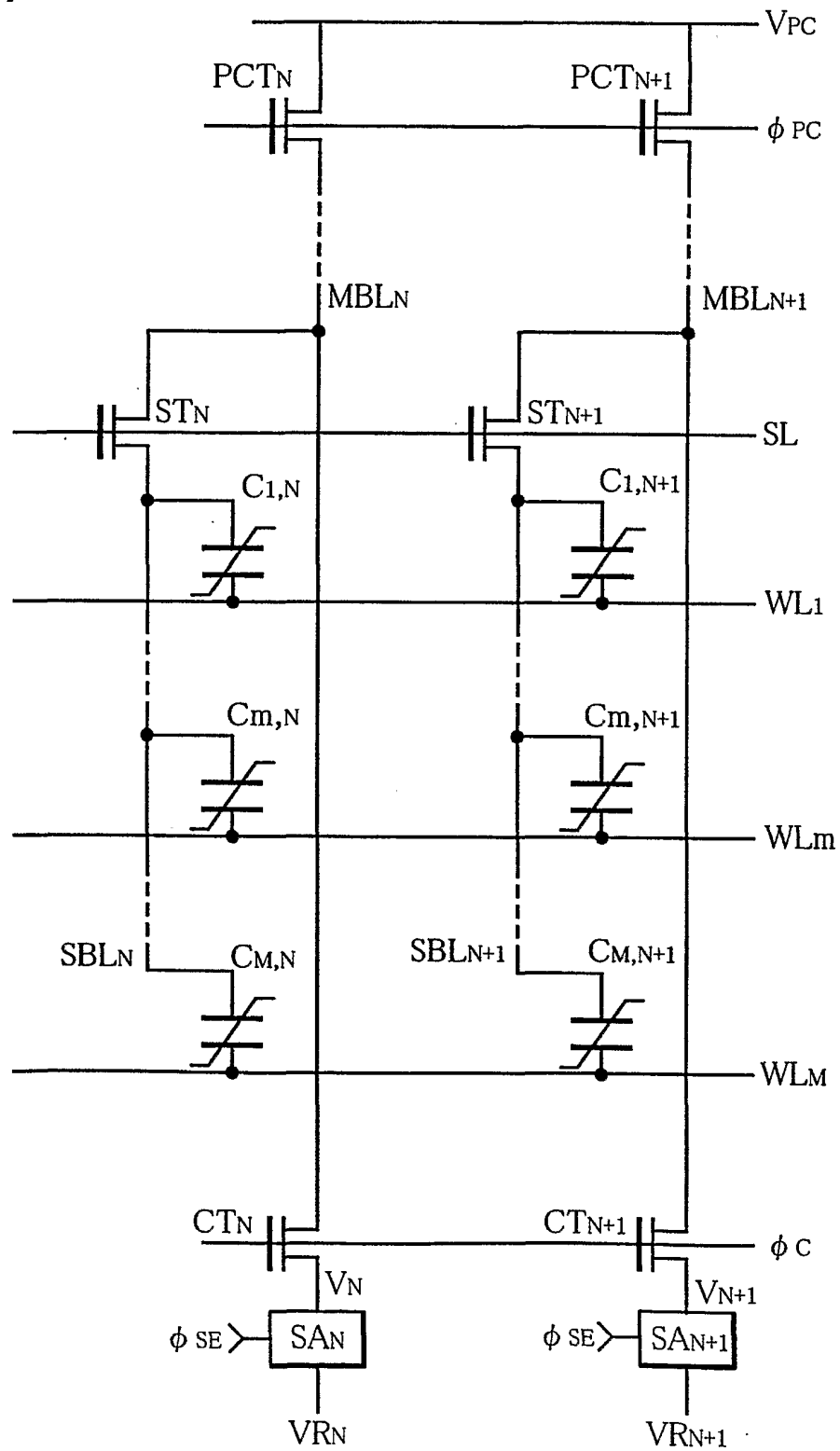


6/9

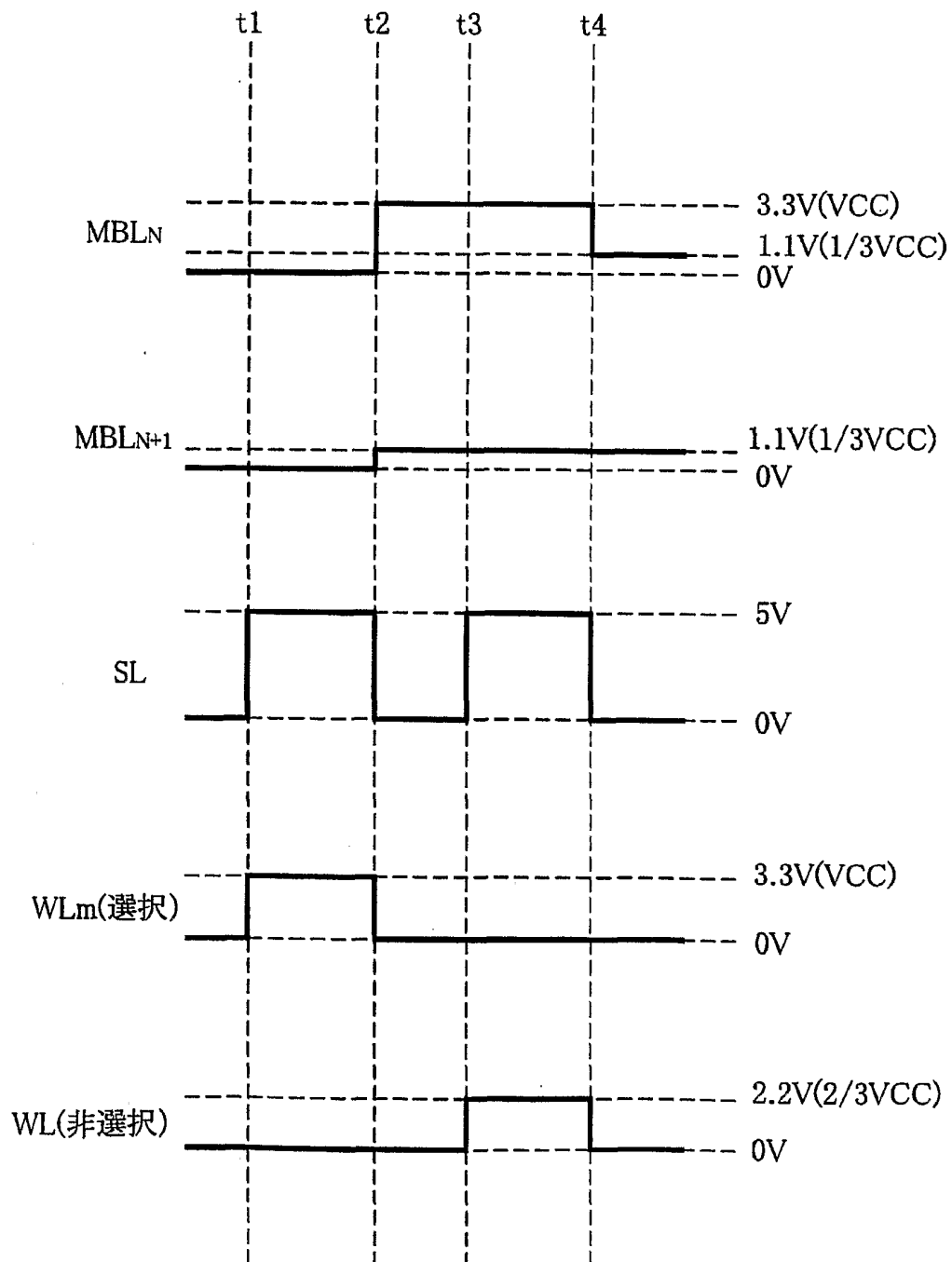
FIG. 6

7/9

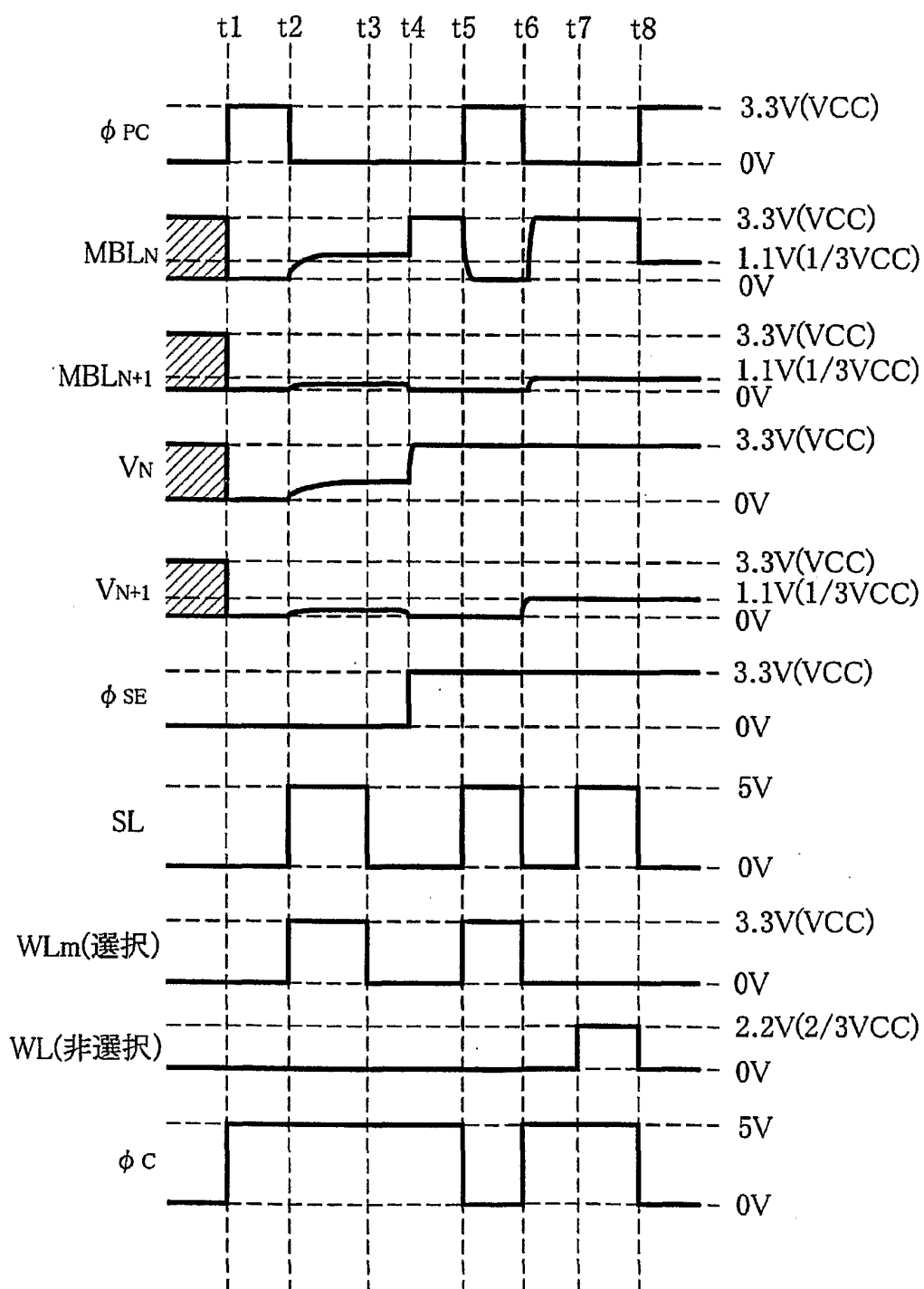
FIG. 7



8/9

FIG. 8

9/9

FIG. 9

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP01/11547

A. CLASSIFICATION OF SUBJECT MATTER

Int.Cl⁷ G11C11/22, H01L27/10

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

Int.Cl⁷ G11C11/22, H01L27/10

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2002
Kokai Jitsuyo Shinan Koho	1971-2002	Toroku Jitsuyo Shinan Koho	1994-2002

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP, 8-147982, A (Olympus Optical Co., Ltd., Symetrix Corp.),	1-3, 5-17,
A	07 June, 1996 (07.06.96), Column 4, line 47 to column 5, line 47; column 22, line 23 to column 25, line 4 & US 5666305 A1	19-28 4, 18
A	JP, 6-77434, A (Hitachi, Ltd.), 18 March, 1994 (18.03.94), Full text; all drawings & US 5487029 A1 & US 5550770 A1	1-28

☐ Further documents are listed in the continuation of Box C. ☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier document but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

02 April, 2002 (02.04.02)

Date of mailing of the international search report

16 April, 2002 (16.04.02)

Name and mailing address of the ISA/

Japanese Patent Office

Authorized officer

Facsimile No.

Telephone No.

A. 発明の属する分野の分類 (国際特許分類 (IPC))
Int. Cl. ⁷ G11C11/22, H01L27/10

B. 調査を行った分野
調査を行った最小限資料 (国際特許分類 (IPC))
Int. Cl. ⁷ G11C11/22, H01L27/10

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2002年
日本国実用新案登録公報	1996-2002年
日本国登録実用新案公報	1994-2002年

国際調査で使用した電子データベース (データベースの名称、調査に使用した用語)

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求の範囲の番号
X	J P 8-147982 A (オリンパス光学工業株式会社, シメ トリックス・コーポレーション) 1996. 06. 07, 第4欄第 47行-第5欄第47行, 第22欄第23行-第25欄第4行 &	1-3, 5- 17, 19- 28
A	US 5666305 A1	4, 18
A	J P 6-77434 A (株式会社日立製作所) 1994. 0 3. 18, 全文, 全図 & US 5487029 A1 & US 5550770 A1	1-28

☐ C欄の続きにも文献が列挙されている。

☐ パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」 特に関連のある文献ではなく、一般的技術水準を示すもの
「E」 国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」 優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献 (理由を付す)
「O」 口頭による開示、使用、展示等に言及する文献
「P」 国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」 国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」 特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」 特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」 同一パテントファミリー文献

国際調査を完了した日
02. 04. 02

国際調査報告の発送日
16.04.02

国際調査機関の名称及びあて先
日本国特許庁 (ISA/J P)
郵便番号100-8915
東京都千代田区霞が関三丁目4番3号

特許庁審査官 (権限のある職員)
堀江義隆



5 N 9172

電話番号 03-3581-1101 内線 3545