

(19)대한민국특허청(KR)  
(12) 등록특허공보(B1)

(51) Int. Cl. <sup>8</sup> H01L 21/24 (2006.01)	(45) 공고일자 (11) 등록번호 (24) 등록일자	2006년01월26일 10-0546390 2006년01월19일
--	-------------------------------------	--

(21) 출원번호 (22) 출원일자	10-2003-0074664 2003년10월24일	(65) 공개번호 (43) 공개일자	10-2005-0039234 2005년04월29일
------------------------	--------------------------------	------------------------	--------------------------------

(73) 특허권자            삼성전자주식회사  
                              경기도 수원시 영통구 매탄동 416

(72) 발명자                이상훈  
                              경기도의왕시내손2동697-4

                              김준  
                              서울특별시서초구서초동현대아파트21동904호

                              방석철  
                              경기도용인시기홍읍구갈리396한양아파트109-803

                              정은국  
                              서울특별시중랑구상봉2동85-5호4/3

                              장우순  
                              서울특별시송파구송파동47-11301호

                              안중선  
                              경기도용인시기홍읍농서리산7-1

(74) 대리인                리엔목특허법인

심사관 : 이강하

(54) 듀얼 실리사이드화 공정을 이용한 MOS 트랜지스터의 제조 방법

요약

MOS 트랜지스터에서 소스/드레인 영역의 상면 및 게이트 전극의 상면에 각각 금속 실리사이드층을 독립적으로 형성하는 데 있어서 소스/드레인 영역의 상면에는 금속 실리사이드층을 500℃ 이상의 고온 열처리를 통하여 형성하고, 게이트 전극의 상면에는 금속 실리사이드층을 500℃ 이하의 저온 열처리를 통하여 형성한다. 이를 위하여, 반도체 기판상에 게이트 전극과 그 위에 형성된 실리사이드화 방지막을 포함하는 적층 패턴을 형성한다. 게이트 전극의 측벽을 덮는 절연 스페이서를 형성하고, 소스/드레인 영역을 형성한다. 500 ~ 800℃에서 소스/드레인 영역의 상면에만 선택적으로 제1 금속 실리사이드층을 형성한다. 실리사이드화 방지막을 제거하여 게이트 전극의 상면을 노출시킨다. 400 ~ 500℃에서 게이트 전극의 상면에만 선택적으로 제2 금속 실리사이드층을 형성한다.

대표도

도 8

색인어

실리사이드, 드레인 전류, 게이트 전극, 소스/드레인

명세서

도면의 간단한 설명

도 1 내지 도 8은 본 발명의 바람직한 실시예에 따른 MOS 트랜지스터의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 9는 본 발명의 바람직한 실시예에 따른 MOS 트랜지스터의 제조 방법에 따라 소스/드레인 영역의 상면에 Co를 이용하여 금속 실리사이드층을 형성하였을 때의 드레인 전류 특성을 평가한 결과이다.

<도면의 주요 부분에 대한 부호의 설명>

100: 반도체 기판, 102: 게이트 절연막, 104: 게이트 전극, 106: 실리사이드화 방지막, 108: 절연 스페이서, 110: 소스/드레인 영역, 112: 채널 영역, 120: 제1 금속 실리사이드층, 130: 제1 절연막, 140: 열, 150: 제2 절연막, 160: 층간절연막, 160a: 평탄화된 층간절연막, 162: 포토레지스트 패턴, 170: 제2 금속 실리사이드층, 180: 제3 절연층.

발명의 상세한 설명

발명의 목적

발명이 속하는 기술 및 그 분야의 종래기술

본 발명은 반도체 소자의 제조 방법에 관한 것으로, 특히 셀리사이드(salicide) 기술을 이용하여 게이트 전극 및 소스/드레인 영역의 상부에 금속 실리사이드층을 형성하는 MOS (metal oxide semiconductor) 트랜지스터의 제조 방법에 관한 것이다.

반도체 소자가 고집적화 됨에 트랜지스터의 게이트 전극의 선폭이 감소되고, 이에 따라 상기 게이트 전극의 저항이 증가된다. 또한, 상기 트랜지스터의 불순물 영역, 즉 소스/드레인 접합이 점차 얇아지고 있으며, 이러한 얇은 접합에 의하여 소스/드레인 영역에서의 저항이 증가된다. MOS 트랜지스터에서 게이트 전극의 저항 및 소스/드레인 영역에서의 저항 증가는 반도체 소자의 동작에 치명적인 영향을 준다. 따라서, 이들 저항을 감소시키기 위하여 게이트 전극과, 소스/드레인 영역의 상부에 내화성 금속을 증착한 후 이를 실리사이드화 하는 셀리사이드(self aligned silicide: salicide) 공정이 널리 행해지고 있다. 통상의 셀리사이드 공정에서는 게이트 전극 및 소스/드레인 영역에서 동시에 실리사이드층이 형성되므로 공정 단순화를 이루는 장점이 있다.

한편, 집적회로의 고속화 및 고집적화가 진행됨에 따라 반도체 소자의 피쳐 사이즈가 축소되고, 그에 따라 트랜지스터의 게이트 길이는 점차 좁아지고 소스/드레인 영역의 접합은 점차 얇아지고 있다. 통상적으로, 트랜지스터의 접합 누설 전류가 발생하는 것을 억제하기 위하여 소스/드레인 영역 위에 형성되는 실리사이드층의 두께는 작게 할 필요가 있다. 반면, 고집적화된 반도체 소자에서 감소된 선폭을 가지는 게이트 전극을 형성하는 경우에는 실리사이드층의 두께를 낮추면 시트 저항이 매우 악화된다. 따라서, 소스/드레인 영역에서는 실리사이드층의 두께를 증가시키지 않으면서, 게이트 전극의 상부에는 보다 두꺼운 실리사이드층을 형성할 필요가 있다. 그러나, 상기한 바와 같이 게이트 전극 및 소스/드레인 영역에서 동시에 실리사이드층을 형성하는 통상의 셀리사이드 공정에 의하면 상기와 같은 방법으로는 이러한 요구를 충족시킬 수 없다.

따라서, 소스/드레인 영역의 표면과 게이트 전극의 상면에 형성되는 실리사이드층을 동시에 동일 물질로 형성하지 않고 각각 독립적으로 형성하기 위한 다양한 방법들이 제안되었다. 그러나, 지금까지 제안된 방법들은 소스/드레인 영역과 게이트

전극의 상부에 각각 형성되는 실리사이드층의 두께를 조절할 수 있는 장점은 있지만, 상기 게이트 전극의 선풍이 작아짐에 따라 발생하는 여러가지 문제점들을 해결하지는 못하였다. 예를 들면, 디자인 룰이 80nm 이하인 트랜지스터를 제조하는 데 있어서, 게이트 전극의 상부에 금속 실리사이드층을 형성한 후 후속의 고온 열처리 단계를 거치면서 상기 금속 실리사이드층과, 게이트 전극의 측벽을 덮는 절연 스페이서의 열팽창이 증가되어 게이트 전극이 끊어져 버리는 문제가 발생한다. 또한, 소스/드레인 영역에서는 실리사이드층의 구성 물질에 따라 접합 누설 전류 특성이 열화되고, 게이트 전극 하부의 채널 영역에서 인장 응력(tensile stress) 미비로 인하여 트랜지스터 특성이 열화되는 문제가 발생된다.

**발명이 이루고자 하는 기술적 과제**

본 발명은 상기와 같은 종래 기술에서의 문제점을 해결하고자 하는 것으로, 미세한 선풍을 가지는 고집적 반도체 소자에 적합한 고성능 트랜지스터에서 축소된 디자인 룰을 가지는 경우에도 게이트 전극의 끊어짐을 방지할 수 있는 동시에 소스/드레인 영역에서의 누설 전류를 방지하고 트랜지스터 특성을 향상시킬 수 있는 MOS 트랜지스터의 제조 방법을 제공하는 것이다.

**발명의 구성 및 작용**

상기 목적을 달성하기 위하여, 본 발명에 따른 MOS 트랜지스터 제조 방법에서는 반도체 기판상에 게이트 전극과 상기 게이트 전극의 상면을 덮는 실리사이드화 방지막을 포함하는 적층 패턴을 형성한다. 상기 게이트 전극의 측벽을 덮는 절연 스페이서를 형성한다. 상기 반도체 기판에 소스/드레인 영역을 형성한다. 500 ~ 800℃의 온도 하에서 상기 소스/드레인 영역의 상면에만 선택적으로 제1 금속 실리사이드층을 형성한다. 상기 실리사이드화 방지막을 제거하여 상기 게이트 전극의 상면을 노출시킨다. 상기 제1 금속 실리사이드층이 절연막으로 덮여 있는 상태에서 400 ~ 500℃의 온도 하에서 상기 게이트 전극의 상면에만 선택적으로 제2 금속 실리사이드층을 형성한다.

바람직하게는, 상기 제1 금속 실리사이드층은 Co, W, 또는 이들의 복합 물질로 이루어지는 제1 금속을 사용하는 셀리사이드 공정에 의하여 형성된다.

상기 제1 금속 실리사이드층을 형성하기 위하여, 먼저 상기 소스/드레인 영역의 상면 위에 상기 제1 금속을 증착한다. 그 후, 상기 증착된 제1 금속을 1차 열처리하여 상기 소스/드레인 영역의 상면에 상기 제1 금속 실리사이드층을 형성한다. 이어서, 상기 증착된 제1 금속 중 미반응된 부분을 제거하고, 상기 제1 금속 실리사이드층을 2차 열처리한다. 여기서, 상기 1차 열처리 및 2차 열처리는 각각 500 ~ 800℃의 온도 하에서 행해진다.

상기 제1 금속 중 미반응된 부분을 제거한 후, 상면에 상기 제1 금속 실리사이드층이 형성된 상기 소스/드레인 영역 위에 제1 절연막을 형성할 수 있다. 이 경우, 상기 2차 열처리는 상기 제1 절연막을 형성한 후 행해진다. 바람직하게는, 상기 제1 절연막은 P-SiON막으로 구성된다.

본 발명에 따른 MOS 트랜지스터의 제조 방법은 상기 제1 금속 실리사이드층, 상기 실리사이드화 방지막, 및 상기 절연 스페이서를 덮는 제1 절연막을 형성하는 단계와, 상기 제1 절연막 위에 제2 절연막을 형성하는 단계와, 상기 제2 절연막 위에 평탄화된 층간절연막을 형성하는 단계를 더 포함할 수 있다. 상기 평탄화된 층간절연막을 형성하기 위하여 상기 제2 절연막 위에 제3 절연막을 형성한 후 상기 제2 절연막을 식각 저지층으로 하여 상기 층간절연막을 평탄화한다.

바람직하게는, 상기 제2 금속 실리사이드층은 Ni, Ti, Ta, 또는 이들의 복합 물질로 이루어지는 제2 금속을 사용하는 셀리사이드 공정에 의하여 형성된다.

상기 제2 금속 실리사이드층을 형성하기 위하여, 먼저 상기 게이트 전극의 노출된 상면 위에 상기 제2 금속을 증착한다. 그 후, 상기 증착된 제2 금속을 1차 열처리하여 상기 소스/드레인 영역의 상면에 제2 금속 실리사이드층을 형성하고, 상기 증착된 제2 금속 중 미반응된 부분을 제거한다. 필요에 따라, 상기 증착된 제2 금속 중 미반응된 부분을 제거한 후 상기 제2 금속 실리사이드층을 2차 열처리하는 단계를 더 포함할 수도 있다. 여기서, 상기 1차 열처리 및 2차 열처리는 각각 400 ~ 500℃의 온도 하에서 행해진다.

본 발명에 의하면, MOS 트랜지스터에서 소스/드레인 영역의 상면 및 게이트 전극의 상면에 형성되는 금속 실리사이드층을 각각 독립적으로 형성하는 데 있어서 소스/드레인 영역의 상면에는 금속 실리사이드층을 500℃ 이상의 비교적 고온 열처리를 통하여 형성함으로써 드레인 전류가 증가될 수 있고, 게이트 전극의 상면에는 금속 실리사이드층을 500℃ 이하의

비교적 저온 열처리를 통하여 형성함으로써 디자인 룰의 감소에 따라 미세한 선폭을 가지는 게이트 전극을 형성하는 경우에도 게이트 전극 주위의 금속 실리사이드층 및 절연 스페이서의 열팽창으로 인하여 게이트 전극이 끊어지는 현상을 방지할 수 있다.

다음에, 본 발명의 바람직한 실시예에 대하여 첨부 도면을 참조하여 상세히 설명한다.

도 1 내지 도 8은 본 발명의 바람직한 실시예에 따른 MOS 트랜지스터의 제조 방법을 설명하기 위하여 공정 순서에 따라 도시한 단면도들이다.

도 1을 참조하면, 반도체 기판(100)상에 게이트 절연막(102), 게이트 전극(104) 및 실리사이드화 방지막(106)이 차례로 형성되어 있는 적층 패턴을 형성한다. 여기서, 상기 게이트 절연막(102)은 산화막으로 구성되고, 상기 게이트 전극(104)은 도핑된 폴리실리콘으로 구성된다. 상기 실리사이드화 방지막(106)은 산화물, 질화물, 또는 이들의 복합 물질로 구성될 수 있다. 상기 실리사이드화 방지막(106)으로서 상기 게이트 전극 형성을 위한 패터닝 공정시 ARL(anti-reflective layer)로 사용되었던 하드 마스크 절연층을 제거하지 않고 그대로 사용할 수 있다. 예를 들면, 상기 실리사이드화 방지막(106)은  $Si_3N_4$  또는 SiON막으로 이루어진다.

그 후, 상기 적층 패턴을 마스크로 하여 불순물 이온을 주입하여 소스/드레인 영역(110)을 형성한다. 상기 소스/드레인 영역(110)을 LDD (lightly doped drain) 구조로 하는 경우에는 이 단계에서 저농도의 불순물 이온을 주입하여 소스/드레인 영역(110)의 일부를 구성하는 익스텐션(extension) 영역(도시 생략)을 형성한다.

이어서, 상기 적층 패턴을 덮도록 절연물, 예를 들면 실리콘 질화물을 증착한 후 다시 에치백하여 게이트 전극(104)의 측벽을 덮는 절연 스페이서(108)를 형성한다.

상기 소스/드레인 영역(110)을 LDD 구조로 하는 경우에는 이 단계에서 고농도의 불순물 이온을 주입하고 열처리하여 소스/드레인 영역(110)을 완성한다.

도 2를 참조하면, 셀리사이드(salicide) 공정에 의하여 상기 소스/드레인 영역(110)의 상면에 제1 금속 실리사이드층(120)을 형성한다. 여기서, 상기 제1 금속 실리사이드층(120)은 약 500°C 이상의 비교적 고온 열처리에 의하여 저저항체를 형성하는 제1 금속, 예를 들면 코발트(Co), 텅스텐(W), 또는 이들의 복합 물질을 사용하여 형성된다.

보다 구체적으로 설명하면, 상기 소스/드레인 영역(110)이 형성된 결과물 전면에서 스퍼터링 방식에 의하여 상기 제1 금속을 증착한 후 약 500 ~ 800°C의 온도로 1차 열처리를 실시하여 제1 상(phase)의 제1 금속 실리사이드층(120)을 형성한다. 이어서, 상기 제1 금속의 미반응된 부분을 습식 식각에 의해 선택적으로 제거한다. 상기 제1 금속이 코발트인 경우에는 상기 제1 금속 실리사이드층(120)은 코발트 실리사이드로 구성되고, 상기 제1 금속이 텅스텐인 경우에는 상기 제1 금속 실리사이드층(120)은 텅스텐 실리사이드로 구성된다. 상기 게이트 전극(104)의 상면은 상기 실리사이드화 방지막(106)으로 덮여 있으므로 실리사이드막이 형성되지 않는다.

도 3을 참조하면, 표면에 제1 금속 실리사이드층(120)이 형성된 상기 소스/드레인 영역(110)의 상부에 제1 절연막(130)을 형성한다. 상기 제1 절연막(130)은 후속의 열처리에 의하여 상기 소스/드레인 영역(110)에서의 압축 응력(compressive stress)을 증가시키기 위하여 형성되는 것으로서, 상기 소스/드레인 영역(110)의 상부 뿐 만 아니라 상기 게이트 전극(104)을 포함하는 적층 패턴을 컨포멀(conformal)하게 덮도록 형성된다. 바람직하게는, 상기 제1 절연막(130)은 플라즈마를 이용하는 증착 공정에 의하여 형성된 P-SiON막으로 구성된다.

상기 제1 절연막(130)이 형성된 결과물을 약 500 ~ 800°C의 온도로 2차 열(140) 처리한다. 이로써, 상기 제1 금속 실리사이드층(120)은 저항 및 상 안정도 측면에서 더욱 안정적인 제2 상을 가지게 되며, 상기 2차 열(140) 처리하는 동안 상기 제1 절연막(130)에 의하여 상기 소스/드레인 영역(110)에서 압축 응력이 증가된다. 그 결과, 채널 영역(112)에서는 인장 응력이 향상되어 스트레인된(strained) 실리콘층이 조성된다. 이와 같이 스트레인된 실리콘층을 채널로 사용함으로써 전자 및 정공 이동도(mobility)가 향상되고 드레인 전류가 증가하여 트랜지스터의 고성능화가 가능하게 된다.

도 4를 참조하면, 상기 제1 절연막(130) 위에 식각 저지층을 구성하는 제2 절연막(150)을 형성하고, 상기 제2 절연막(150) 위에 층간절연막(160)을 형성한다. 예를 들면, 상기 제2 절연막(150)은 실리콘 질화막으로 이루어지고, 상기 층간절연막(160)은 실리콘 산화막으로 이루어진다.

도 5를 참조하면, 상기 제2 절연막(150)을 식각 저지층으로 하여 상기 층간절연막(160)을 CMP(chemical mechanical polishing) 공정에 의하여 연마하여 평탄화된 층간절연막(160a)을 형성한다. 그 후, 상기 평탄화된 층간절연막(160a) 위에 포토레지스트 패턴(162)을 형성한다. 상기 포토레지스트 패턴(162)은 상기 게이트 전극(104)에 대응하는 부분이 오픈되어 있는 패턴으로 이루어진다.

도 6을 참조하면, 상기 포토레지스트 패턴(162)을 식각 마스크로 하여 상기 제2 절연막(150), 제1 절연막(130) 중 상기 포토레지스트 패턴(162)을 통하여 노출되어 있는 부분을 제거한다. 그 결과, 상기 실리사이드화 방지막(106)이 노출된다. 이어서, 상기 노출된 실리사이드화 방지막(106)을 선택적으로 제거하여 상기 게이트 전극(104)의 상면을 노출시킨다. 그 후, 상기 포토레지스트 패턴(162)을 제거한다.

도 7을 참조하면, 셀리사이드 공정에 의하여 상기 게이트 전극(104)의 상면에 제2 금속 실리사이드층(170)을 형성한다. 여기서, 상기 제2 금속 실리사이드층(170)은 약 500°C 이하의 비교적 저온 열처리에 의하여 저저항체를 형성하는 제2 금속, 예를 들면 니켈(Ni), 티타늄(Ti), 탄탈륨(Ta), 또는 이들의 복합 물질을 사용하여 형성된다.

보다 구체적으로 설명하면, 상기 평탄화된 층간절연막(160a)을 통하여 상기 게이트 전극(104)의 상면이 노출되어 있는 결과물 전면에 스퍼터링 방식에 의하여 상기 제2 금속을 증착한 후 약 400 ~ 500°C의 온도로 1차 열처리를 실시하여 제1 상의 제2 금속 실리사이드층(170)을 형성한다. 이어서, 상기 제2 금속의 미반응된 부분을 습식 식각에 의해 선택적으로 제거한다. 상기 제2 금속이 니켈인 경우에는 상기 제2 금속 실리사이드층(170)은 니켈 실리사이드로 구성되고, 상기 제2 금속이 티타늄인 경우에는 상기 제2 금속 실리사이드층(170)은 티타늄 실리사이드로 구성되고, 상기 제2 금속이 탄탈륨인 경우에는 상기 제2 금속 실리사이드층(170)은 탄탈륨 실리사이드로 구성된다. 그 후, 상기 제2 금속 실리사이드층(170)의 저항 및 상 안정도를 더욱 안정화시키기 위하여 상기 제2 금속 실리사이드층(170)을 약 400 ~ 500°C의 온도로 2차 열처리한다. 여기서, 상기 제2 금속이 니켈인 경우에는 예를 들면 약 460°C의 온도 하에서 RTP(rapid thermal process) 처리를 약 30초 동안 행하는 1차 열처리 만으로도 안정된 저저항체를 형성할 수 있으므로 2차 열처리 공정을 생략할 수 있다.

도 8을 참조하면, 상기 제2 금속 실리사이드층(170)이 형성된 결과물을 제3 절연층(180)으로 덮는다.

상기한 바와 같이, 본 발명에 따른 MOS 트랜지스터의 제조 방법에 의하면, 상기 소스/드레인 영역(110)의 상면 및 상기 게이트 전극(104)의 상면에 각각 형성되는 제1 금속 실리사이드층(120) 및 제2 금속 실리사이드층(170)이 각각 다른 공정 단계에서 독립적으로 형성된다. 따라서, 상기 소스/드레인 영역(110) 위에 형성되는 제1 금속 실리사이드층(120)과 상기 게이트 전극(104)의 상부에 형성되는 제2 금속 실리사이드층(170)의 두께를 필요에 따라 각각 다르게 조절할 수 있다.

또한, 상기 소스/드레인 영역(110)의 상면에 형성되는 제1 금속 실리사이드층(120)은 500°C 이상의 비교적 고온 열처리에 의하여 실리사이드화 공정을 진행함으로써 형성된다. 따라서, 상기 소스/드레인 영역(110)에 압축 응력을 증가시켜 스트레인된 Si층으로 구성되는 채널 영역이 형성되고, 이와 같은 채널 영역을 사용함으로써 얻어지는 전자 및 정공의 이동도 향상 효과에 의하여 드레인 전류를 증가시킬 수 있다.

그리고, 상기 게이트 전극(104)의 상면에 형성되는 제2 금속 실리사이드층(170)은 500°C 이하의 비교적 저온 열처리에 의하여 실리사이드화 공정을 진행하여 형성되므로 상기 제2 금속 실리사이드층(170) 및 절연 스페이서(108)의 열팽창으로 인하여 상기 게이트 전극(104)이 끊어지는 현상이 발생될 염려가 없다.

도 9는 본 발명에 따른 방법에 의하여 MOS 트랜지스터의 소스/드레인 영역의 상면에 Co로 구성되는 금속을 이용하여 금속 실리사이드층을 형성한 경우의 드레인 전류 특성을 평가한 결과를 나타낸 그래프이다. 도 9에는 대조예로서, MOS 트랜지스터의 소스/드레인 영역에 NiTa 복합 물질로 구성되는 금속을 이용하여 금속 실리사이드층을 형성한 경우의 드레인 전류 특성을 평가한 결과가 함께 나타나 있다. 도 9에서, “Idsat”은 드레인 포화 전류를 나타내고, “Idoff”는 드레인 오프 전류를 나타낸다.

도 9의 결과로부터 알 수 있는 바와 같이, 소스/드레인 영역의 상면에 Co로 구성되는 금속을 이용하여 금속 실리사이드층을 형성한 경우, 전자 및 정공 이동도 향상 효과로 인하여 드레인 전류 특성이 향상된다.

### 발명의 효과

본 발명에 따른 MOS 트랜지스터의 제조 방법에서는 소스/드레인 영역의 상면 및 게이트 전극의 상면에 형성되는 금속 실리사이드층을 각각 독립적으로 형성함으로써 소스/드레인 영역 및 게이트 전극 위에서 필요에 따라 각각 서로 다른 두께를

가지는 금속 실리사이드층을 형성할 수 있다. 또한, 소스/드레인 영역의 상면에 형성되는 금속 실리사이드층을 500°C 이상의 비교적 고온 열처리를 통하여 형성함으로써 소스/드레인 영역에 압축 응력을 증가시켜 스트레인된 Si층으로 구성되는 채널을 구성할 수 있다. 따라서, 전자 및 정공의 이동도가 향상되어 드레인 전류를 증가시킴으로써 고성능화된 트랜지스터를 구현할 수 있다. 그리고, 게이트 전극의 상면에 형성되는 금속 실리사이드층은 500°C 이하의 비교적 저온 열처리를 통하여 형성함으로써, 디자인 룰의 감소에 따라 미세한 선폭을 가지는 게이트 전극을 형성하는 경우에도 게이트 전극 주위의 금속 실리사이드층 및 절연 스페이서의 열팽창으로 인하여 게이트 전극이 끊어지는 현상이 발생될 염려가 없다.

이상, 본 발명을 바람직한 실시예를 들어 상세하게 설명하였으나, 본 발명은 상기 실시예에 한정되지 않고, 본 발명의 기술적 사상의 범위 내에서 당 분야에서 통상의 지식을 가진 자에 의하여 여러가지 변형 및 변경이 가능하다.

## (57) 청구의 범위

### 청구항 1.

반도체 기판상에 게이트 전극과 상기 게이트 전극의 상면을 덮는 실리사이드화 방지막을 포함하는 적층 패틴을 형성하는 단계와,

상기 게이트 전극의 측벽을 덮는 절연 스페이서를 형성하는 단계와,

상기 반도체 기판에 소스/드레인 영역을 형성하는 단계와,

제1 금속을 이용하여 500 ~ 800°C의 범위 내에서 선택되는 제1 온도 하에서 상기 소스/드레인 영역의 상면에만 선택적으로 제1 금속 실리사이드층을 형성하는 단계와,

상기 실리사이드화 방지막을 제거하여 상기 게이트 전극의 상면을 노출시키는 단계와,

상기 제1 금속 실리사이드층이 절연막으로 덮여 있는 상태에서, 상기 제1 금속과는 다른 제2 금속을 이용하여, 상기 제1 온도보다 낮고 400 ~ 500°C의 범위 내에서 선택되는 제2 온도 하에서 상기 게이트 전극의 상면에만 선택적으로 제2 금속 실리사이드층을 형성하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

### 청구항 2.

제1항에 있어서,

상기 게이트 전극은 도핑된 폴리실리콘으로 이루어지는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

### 청구항 3.

제1항에 있어서,

상기 실리사이드화 방지막은  $\text{Si}_3\text{N}_4$  또는  $\text{SiON}$ 으로 이루어지는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

### 청구항 4.

제1항에 있어서,

제1 금속 실리사이드층은 Co, W, 또는 이들의 복합 물질로 이루어지는 제1 금속을 사용하는 실리사이드 공정에 의하여 형성되는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

## 청구항 5.

제4항에 있어서,

상기 제1 금속 실리사이드층을 형성하는 단계는

상기 소스/드레인 영역의 상면 위에 상기 제1 금속을 증착하는 단계와,

상기 증착된 제1 금속을 1차 열처리하여 상기 소스/드레인 영역의 상면에 상기 제1 금속 실리사이드층을 형성하는 단계와,

상기 증착된 제1 금속 중 미반응된 부분을 제거하는 단계와,

상기 제1 금속 실리사이드층을 2차 열처리하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

## 청구항 6.

제5항에 있어서,

상기 1차 열처리 및 2차 열처리는 각각 500 ~ 800°C의 온도 하에서 행해지는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

## 청구항 7.

제5항에 있어서,

상기 제1 금속 중 미반응된 부분을 제거한 후, 상면에 상기 제1 금속 실리사이드층이 형성된 상기 소스/드레인 영역 위에 제1 절연막을 형성하는 단계를 더 포함하고,

상기 2차 열처리는 상기 제1 절연막을 형성한 후 행해지는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

## 청구항 8.

제7항에 있어서,

상기 제1 절연막은 P-SiON막으로 구성되는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

## 청구항 9.

제1항에 있어서,

상기 제1 금속 실리사이드층, 상기 실리사이드화 방지막, 및 상기 절연 스페이서를 덮는 제1 절연막을 형성하는 단계와,

상기 제1 절연막 위에 제2 절연막을 형성하는 단계와,

상기 제2 절연막 위에 평탄화된 층간절연막을 형성하는 단계를 더 포함하는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

#### 청구항 10.

제9항에 있어서,

상기 제1 절연막은 P-SiON막으로 구성되는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

#### 청구항 11.

제9항에 있어서,

상기 평탄화된 층간절연막을 형성하는 단계는 상기 제2 절연막 위에 제3 절연막을 형성한 후 상기 제2 절연막을 식각 저지 층으로 하여 상기 층간절연막을 평탄화하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

#### 청구항 12.

제11항에 있어서,

상기 제2 절연막은 실리콘 질화막으로 이루어지고, 상기 제3 절연막은 실리콘 산화막으로 이루어지는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

#### 청구항 13.

제9항에 있어서,

상기 실리사이드화 방지막을 제거하는 단계는

상기 제2 절연막 및 제1 절연막의 일부를 제거하여 상기 실리사이드화 방지막을 노출시키는 단계와,

상기 실리사이드화 방지막을 선택적으로 제거하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

#### 청구항 14.

제1항에 있어서,

상기 제2 금속 실리사이드층은 Ni, Ti, Ta, 또는 이들의 복합 물질로 이루어지는 제2 금속을 사용하는 샬리사이드 공정에 의하여 형성되는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

#### 청구항 15.

제14항에 있어서,

상기 제2 금속 실리사이드층을 형성하는 단계는

상기 게이트 전극의 노출된 상면 위에 상기 제2 금속을 증착하는 단계와,  
상기 증착된 제2 금속을 1차 열처리하여 상기 소스/드레인 영역의 상면에 제2 금속 실리사이드층을 형성하는 단계와,  
상기 증착된 제2 금속 중 미반응된 부분을 제거하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

### 청구항 16.

제15항에 있어서,

상기 제2 금속 실리사이드층을 1차 열처리하는 단계는 400 ~ 500℃의 온도 하에서 행해지는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

### 청구항 17.

제15항에 있어서,

상기 증착된 제2 금속 중 미반응된 부분을 제거한 후 상기 제2 금속 실리사이드층을 2차 열처리하는 단계를 더 포함하는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

### 청구항 18.

제17항에 있어서,

상기 1차 열처리 및 2차 열처리는 각각 400 ~ 500℃의 온도 하에서 행해지는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

### 청구항 19.

제13항에 있어서,

상기 제2 금속 실리사이드층을 형성하는 단계는 Ni, Ti, Ta, 또는 이들의 복합 물질로 이루어지는 금속막을 상기 게이트 전극의 상면 및 상기 평탄화된 층간절연막 위에 형성하는 단계와,

상기 금속막을 열처리하는 단계를 포함하는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

### 청구항 20.

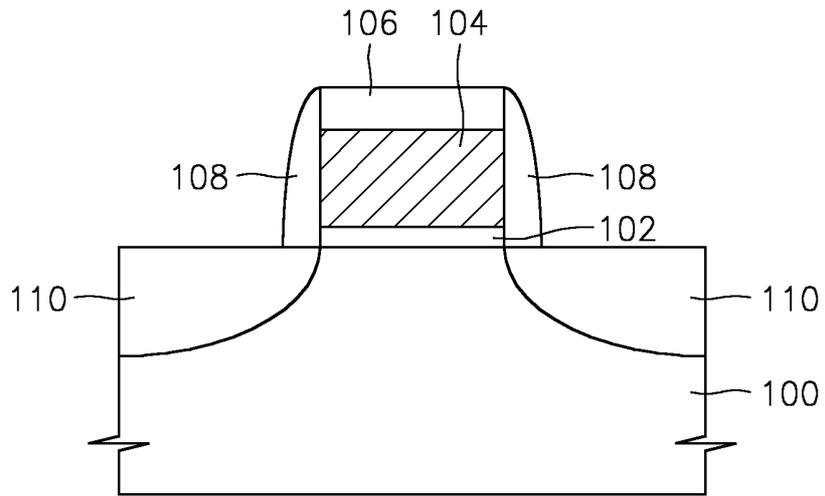
제19항에 있어서,

상기 제1 금속 실리사이드층은 코발트 실리사이드로 이루어지고,

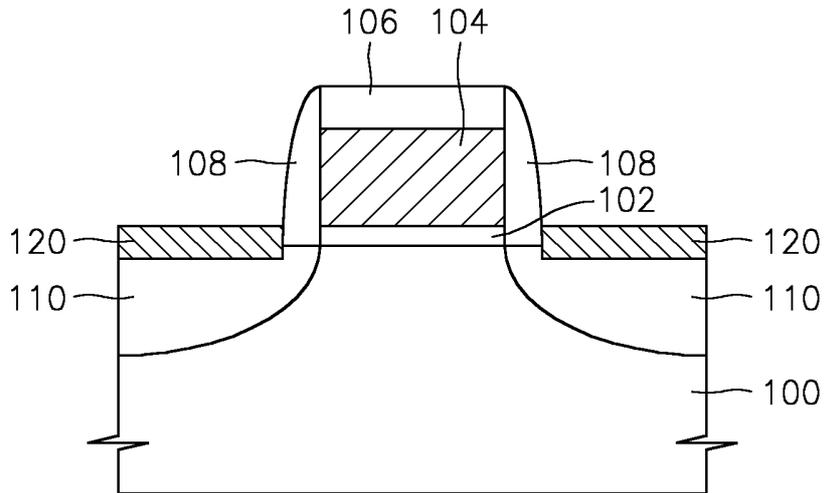
상기 제2 금속 실리사이드층은 니켈 실리사이드로 이루어지는 것을 특징으로 하는 MOS 트랜지스터의 제조 방법.

도면

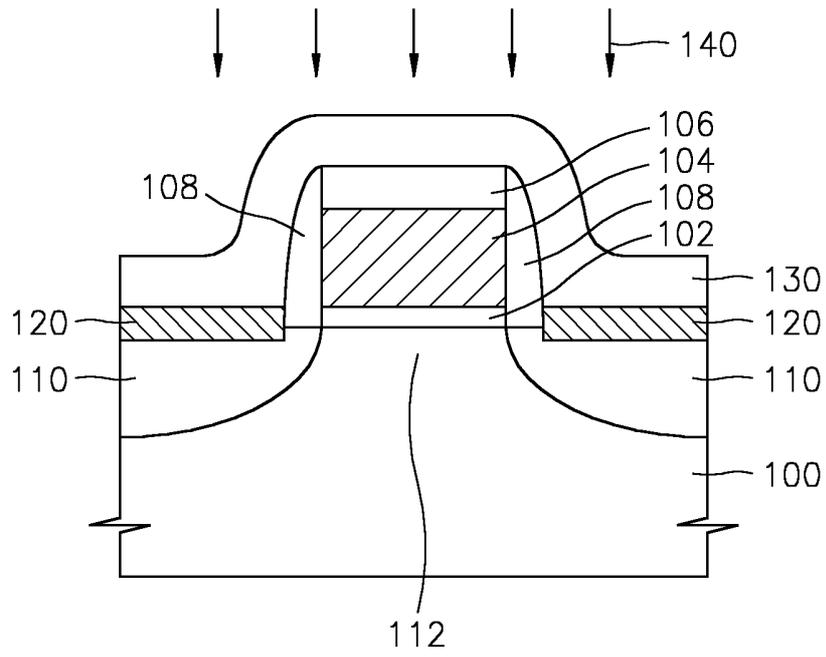
도면1



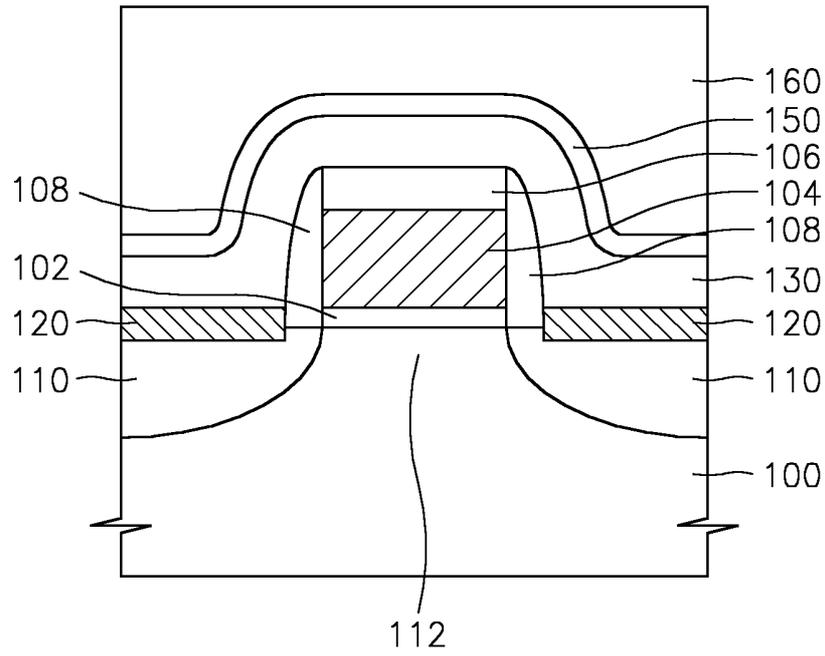
도면2



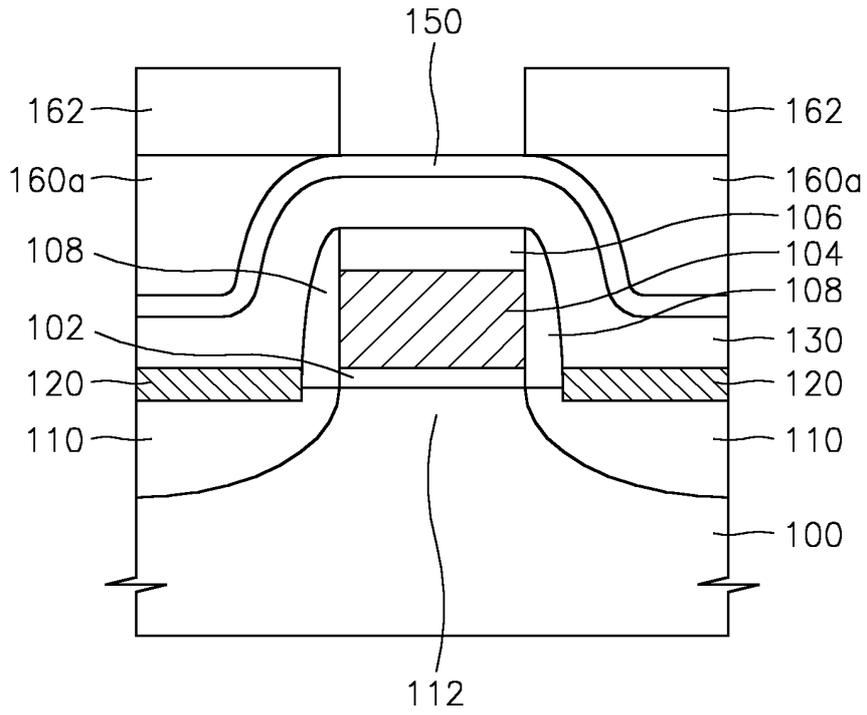
도면3



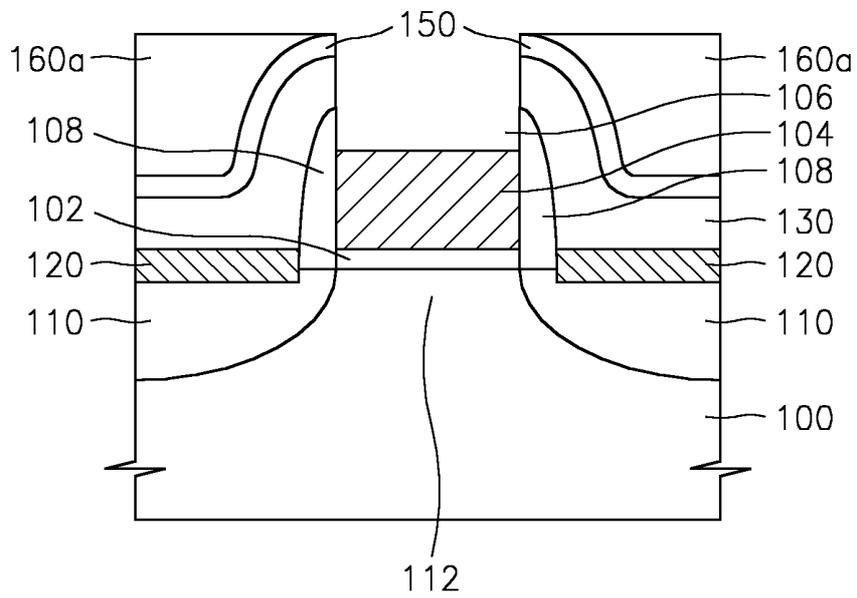
도면4



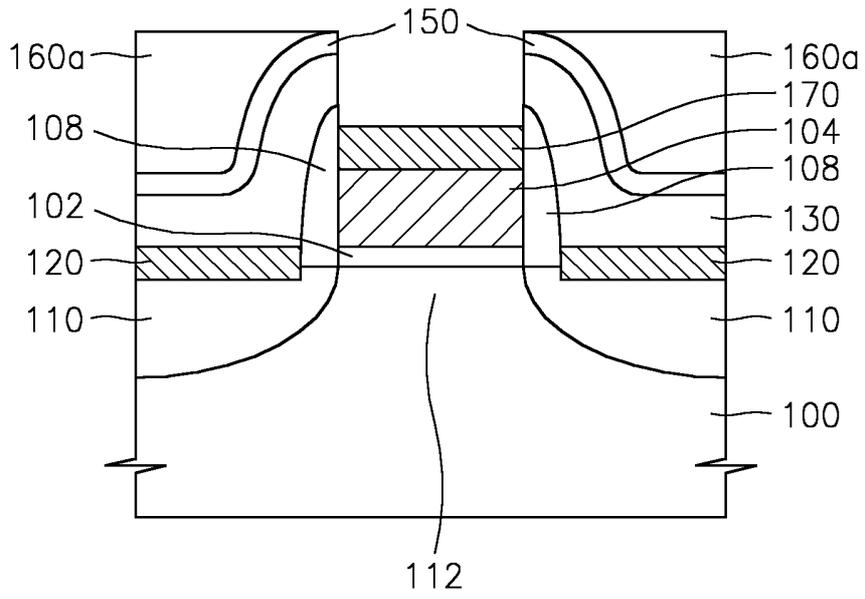
도면5



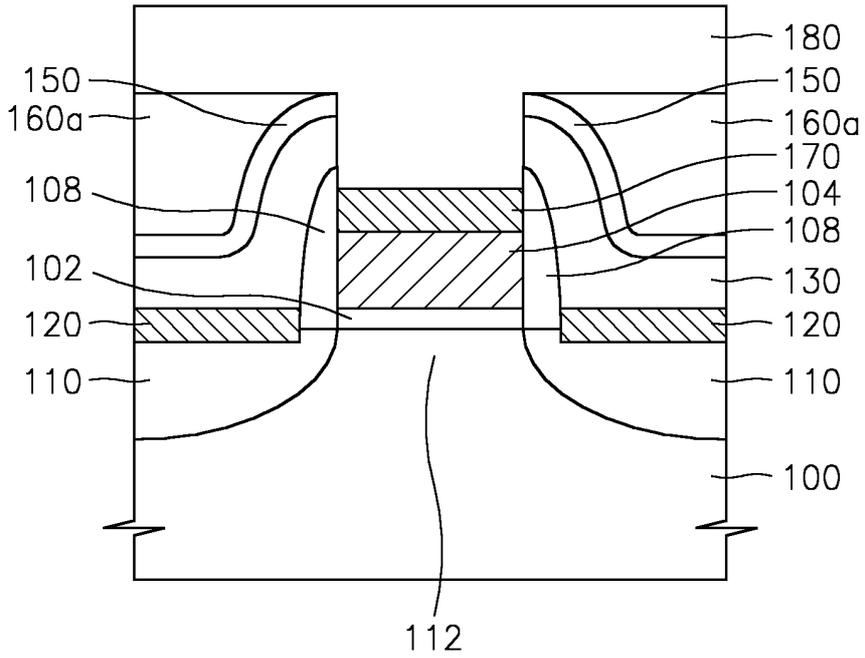
도면6



도면7



도면8



도면9

