



(19) 中華民國智慧財產局

(12) 發明說明書公開本

(11) 公開編號：TW 201007738 A1

(43) 公開日：中華民國 99 (2010) 年 02 月 16 日

(21) 申請案號：098122078

(22) 申請日：中華民國 98 (2009) 年 06 月 30 日

(51) Int. Cl. : **G11C16/08 (2006.01)**

(30) 優先權：2008/06/30 美國 12/165,302

(71) 申請人：桑迪士克股份有限公司 (美國) SANDISK CORPORATION (US)  
美國

(72) 發明人：莫克雷西 尼瑪 MOKHLESI, NIMA (US) ; 史奇格夫 克勞斯 SCHUEGRAF,  
KLAUS (US)

(74) 代理人：黃章典；樓穎智

申請實體審查：有 申請專利範圍項數：14 項 圖式數：20 共 78 頁

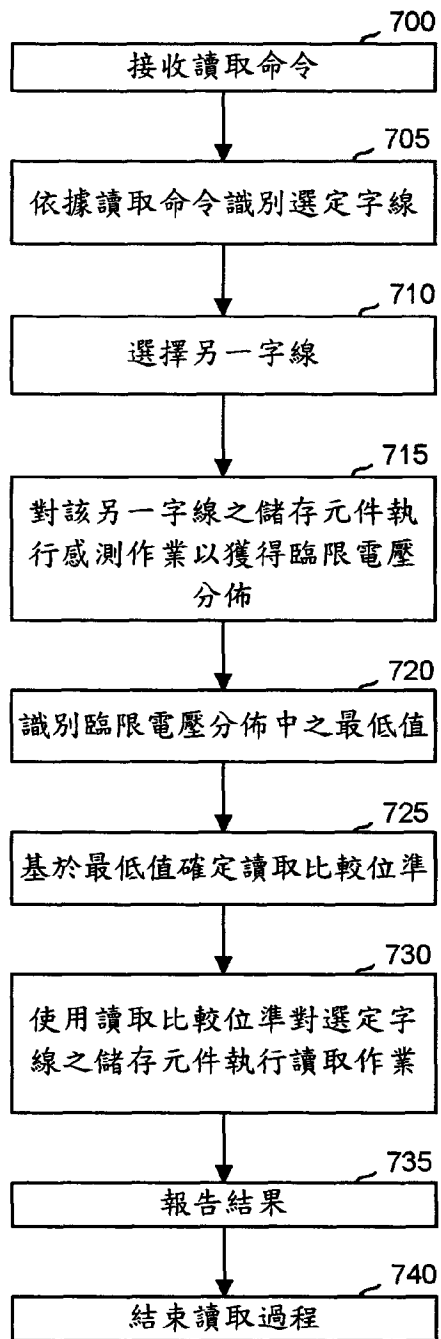
(54) 名稱

於非揮發性記憶體中之讀取干擾減少

READ DISTURB MITIGATION IN NON-VOLATILE MEMORY

(57) 摘要

本發明揭示在非揮發性儲存器中減小讀取干擾。在一個態樣中，當自一主機接收一讀取命令以用於讀取一選定字線時，隨機地挑選一未選擇用於讀取之字線且感測其儲存元件以確定用於讀取該選定字線之最佳化讀取比較位準。或者，可基於在讀取該所挑選字線之儲存元件中獲得的一錯誤校正度量針對整個區塊指示一刷新作業。此在該選定字線被重複地選擇用於讀取從而將其他字線暴露至額外讀取干擾時係尤其有用。在另一態樣中，當儲存多個資料狀態時，自感測(例如，自一臨限電壓分佈)獲得一個讀取比較位準，且自一公式導出其他讀取比較位準。





(19)中華民國智慧財產局

(12)發明說明書公開本

(11)公開編號：TW 201007738 A1

(43)公開日：中華民國 99 (2010) 年 02 月 16 日

(21)申請案號：098122078

(22)申請日：中華民國 98 (2009) 年 06 月 30 日

(51)Int. Cl. : **G11C16/08 (2006.01)**

(30)優先權：2008/06/30 美國 12/165,302

(71)申請人：桑迪士克股份有限公司 (美國) SANDISK CORPORATION (US)  
美國

(72)發明人：莫克雷西 尼瑪 MOKHLESI, NIMA (US) ; 史奇格夫 克勞斯 SCHUEGRAF,  
KLAUS (US)

(74)代理人：黃章典；樓穎智

申請實體審查：有 申請專利範圍項數：14 項 圖式數：20 共 78 頁

(54)名稱

於非揮發性記憶體中之讀取干擾減少

READ DISTURB MITIGATION IN NON-VOLATILE MEMORY

(57)摘要

本發明揭示在非揮發性儲存器中減小讀取干擾。在一個態樣中，當自一主機接收一讀取命令以用於讀取一選定字線時，隨機地挑選一未選擇用於讀取之字線且感測其儲存元件以確定用於讀取該選定字線之最佳化讀取比較位準。或者，可基於在讀取該所挑選字線之儲存元件中獲得的一錯誤校正度量針對整個區塊指示一刷新作業。此在該選定字線被重複地選擇用於讀取從而將其他字線暴露至額外讀取干擾時係尤其有用。在另一態樣中，當儲存多個資料狀態時，自感測(例如，自一臨限電壓分佈)獲得一個讀取比較位準，且自一公式導出其他讀取比較位準。

## 六、發明說明：

### 【發明所屬之技術領域】

本發明涉及非揮發性記憶體。

### 【先前技術】

半導體記憶體已愈來愈普遍地在各種電子裝置中使用。舉例而言，非揮發性半導體記憶體用於蜂巢式電話、數位相機、個人數位助理、行動計算裝置、非行動計算裝置及其他裝置中。電可擦除可程式化唯讀記憶體(EEPROM)及快閃記憶體即在最受歡迎的非揮發性半導體記憶體中。與傳統全功能型EEPROM相比，對於快閃記憶體(其亦係一種EEPROM)，可在一個步驟中擦除整個記憶體陣列之內容或記憶體之一部分之內容。

傳統EEPROM及快閃記憶體兩者皆利用一浮動閘極，該浮動閘極定位於一半導體基板中之一通道區域上面並與該通道區域絕緣。該浮動閘極定位於源極區域與汲極區域之間。一控制閘極提供於該浮動閘極上方並與該浮動閘極絕緣。如此形成之電晶體之臨限電壓( $V_{TH}$ )係由該浮動閘極上所保留之電荷量控制。亦即，在接通電晶體以准許其源極與汲極之間的傳導之前必須施加至控制閘極之最小電壓量係由該浮動閘極上之電荷位準控制。

某些EEPROM及快閃記憶體裝置具有一用於儲存兩個電荷範圍之浮動閘極，且因此可在兩種狀態(例如一已擦除狀態及一經程式化狀態)之間程式化/擦除該記憶體元件。有時將此一快閃記憶體裝置稱為一二進制快閃記憶體裝

置，此乃因每一記憶體元件皆可儲存一個資料位元。

藉由識別多個不同之所允許/有效程式化臨限電壓範圍來實施一多狀態(亦稱為多位準)快閃記憶體裝置。每一不同臨限電壓範圍皆對應於一在記憶體裝置中編碼之資料位元組之預定值。舉例而言，當每一記憶體元件可置於對應於四個不同臨限電壓範圍之四個離散電荷帶中之一者中時，該元件可儲存兩個資料位元。

通常，在一程式化作業期間施加至控制閘極之一程式化電壓  $V_{PGM}$  係作為量值隨時間增加之一連串脈衝而施加。於一個可能之方法中，該等脈衝之量值隨每一連續脈衝增加一預定步長大小(例如，0.2-0.4 V)。可將  $V_{PGM}$  施加至快閃記憶體元件之控制閘極。在該等程式化脈衝之間的週期中，實施驗證作業。亦即，在連續程式化脈衝之間讀取一正被並行程式化之元件群組中之每一元件之程式化位準，以確定其係等於還是大於該元件將被程式化至的一驗證位準。對於多狀態快閃記憶體元件陣列，可針對一元件之每一狀態執行一驗證步驟以確定該元件是否已達到其與資料相關聯之驗證位準。舉例而言，一能夠將資料儲存於四種狀態中之多狀態記憶體元件可需要針對三個比較點執行驗證作業。

此外，當程式化一EEPROM或快閃記憶體裝置(例如一NAND串中之一NAND快閃記憶體裝置)時，通常將  $V_{PGM}$  施加至控制閘極並將位元線接地，從而致使電子自一胞或記憶體元件(例如，儲存元件)之通道被注入至該浮動閘極

中。當電子於浮動閘極中累積時，該浮動閘極變為帶負電荷且該記憶體元件之臨限電壓升高以使得該記憶體元件被視為處於一經程式化狀態中。關於此程式化之更多資訊可在題目為「Source Side Self Boosting Technique For Non-Volatile Memory」之第6,859,397號美國專利中及於2005年7月12日頒佈、題目為「Detecting Over Programmed Memory」之第6,917,542號美國專利中找到；該兩個美國專利皆以全文引用的方式併入本文中。

然而，繼續成問題之一個問題係讀取干擾。讀取干擾係一儲存元件之狀態在讀取另一儲存元件時之無意改變。此外，該問題對於使用一減小之隧道氧化物厚度之更新裝置以及對於已經歷諸多程式化/擦除循環之裝置而變得更糟。

### 【發明內容】

本發明藉由提供一種用於在一非揮發性儲存系統中減小讀取干擾之方法來解決以上及其他問題。

在一個實施例中，一種用於運作非揮發性儲存器之方法包含接收一請求自一組非揮發性儲存元件中之至少一個選定非揮發性儲存元件讀取資料之讀取命令，其中該至少一個選定非揮發性儲存元件與一組字線中之一選定字線相關聯。該方法進一步包含：回應於該讀取命令，在該組字線中選擇另一字線；對與該另一字線相關聯之非揮發性儲存元件執行感測作業；及基於該等感測作業，確定至少一個讀取比較位準。該方法進一步包含使用該至少一個讀取比

較位準讀取該至少一個選定非揮發性儲存元件。

在另一實施例中，一種用於運作非揮發性儲存器之方法包含接收一請求自一組非揮發性儲存元件中之至少一個選定非揮發性儲存元件讀取資料之讀取命令，其中該至少一個選定非揮發性儲存元件與一組字線中之一選定字線相關聯。該方法進一步包含：回應於該讀取命令，在該組字線選擇另一字線；自與該另一字線相關聯之非揮發性儲存元件感測資料，包含執行一錯誤校正過程及基於該錯誤校正過程確定一度量。若該度量低於一臨限值，則該方法進一步包含使用至少一個讀取比較位準讀取該至少一個選定非揮發性儲存元件，基於自與該另一字線相關聯之該等非揮發性儲存元件感測之該資料確定該至少一個讀取比較位準。若該度量高於該臨限值，則該方法進一步包含進一步調查該組非揮發性儲存元件中之該資料之完整性及/或對該組非揮發性儲存元件中之該資料執行一刷新作業。

在另一實施例中，一種用於運作非揮發性儲存器之方法包含接收一請求自一組非揮發性儲存元件中之至少一個選定非揮發性儲存元件讀取資料之讀取命令，其中該組非揮發性儲存元件將資料儲存於多個資料狀態中，且該至少一個選定非揮發性儲存元件與一組字線中之一選定字線相關聯。該方法進一步包含：回應於該讀取命令，在該組字線中選擇另一字線；對與該另一字線相關聯之非揮發性儲存元件執行感測作業以將該多個資料狀態之一第一對資料狀態之毗鄰狀態彼此區分開；及基於該等感測作業，確定一

在該第一對資料狀態之該等毗鄰資料狀態之間的第一讀取比較位準。該方法進一步包含：基於該第一讀取比較位準，確定一在該多個資料狀態之一第二對資料狀態之毗鄰資料狀態之間的第二讀取比較位準，且不執行用於將該第二對資料狀態之該等毗鄰狀態彼此區分開之感測作業；及使用至少該第二讀取比較位準讀取該至少一個選定非揮發性儲存元件。

在另一實施例中，一種用於運作非揮發性儲存器之方法包含接收一請求自一組非揮發性儲存元件讀取資料之讀取命令，其中該組非揮發性儲存元件將資料儲存於多個資料狀態中。該方法進一步包含：回應於該讀取命令，執行感測作業以將該多個資料狀態之一第一對資料狀態之毗鄰狀態彼此區分開；及基於該等感測作業，確定一在該第一對資料狀態之該等毗鄰資料狀態之間的第一讀取比較位準。該方法進一步包含：基於該第一讀取比較位準，確定一在該多個資料狀態之一第二對資料狀態之毗鄰狀態之間的第二讀取比較位準，且不執行用於將該第二對資料狀態之該等毗鄰狀態彼此區分開之感測作業；及使用至少該第二讀取比較位準讀取至少一個選定非揮發性儲存元件。

在另一實施例中，一種非揮發性儲存系統包含一組非揮發性儲存元件，包含至少一個選定非揮發性儲存元件。該系統進一步包含與該組非揮發性儲存元件相關聯之一組字線，包含一選定字線，其中該至少一個選定非揮發性儲存元件與該選定字線相關聯。該系統進一步包含與該組字線

通信之至少一個控制件。該至少一個控制件：(a)接收一請求自與該選定字線相關聯之該至少一個選定非揮發性儲存元件讀取資料之讀取命令，(b)回應於該讀取命令，在該組字線中選擇另一字線；對與該另一字線相關聯之非揮發性儲存元件執行感測作業；基於該等感測作業，確定至少一個讀取位準，及(c)使用該至少一個讀取比較位準讀取該至少一個選定非揮發性儲存元件。

可提供用於執行本文中所提供方法之對應方法、系統及電腦或處理器可讀儲存裝置。

### 【實施方式】

本發明提供一種用於在一非揮發性儲存系統中減小讀取干擾之方法。

一適於實施本發明之記憶體系統之一個實例使用NAND快閃記憶體結構，該NAND快閃記憶體結構包含於兩個選擇閘極之間串聯地配置多個電晶體。該等串聯電晶體及該等選擇閘極稱為一NAND串。圖1係一顯示一個NAND串之俯視圖。圖2係該NAND串之一等效電路。圖1及2中所繪示之NAND串包含串聯且夾在一第一選擇閘極120與一第二選擇閘極122之間的四個電晶體100、102、104及106。選擇閘極120選通至位元線126之NAND串連接。選擇閘極122選通至源極線128之NAND串連接。藉由將適當電壓施加至控制閘極120CG來控制選擇閘極120。藉由將適當電壓施加至控制閘極122CG來控制選擇閘極122。電晶體100、102、104及106中之每一者皆具有一控制閘極及一浮動閘

極。電晶體 100 具有控制閘極 100CG 及浮動閘極 100FG。電晶體 102 包含控制閘極 102CG 及浮動閘極 102FG。電晶體 104 包含控制閘極 104CG 及浮動閘極 104FG。電晶體 106 包括一控制閘極 106CG 及浮動閘極 106FG。控制閘極 100CG 連接至 (或係) 字線 WL3，控制閘極 102CG 連接至字線 WL2，控制閘極 104CG 連接至字線 WL1，且控制閘極 106CG 連接至字線 WL0。於一個實施例中，電晶體 100、102、104 及 106 各自皆為儲存元件，亦稱為記憶體胞。於其他實施例中，儲存元件可包含多個電晶體或可不同於圖 1 及 2 中所繪示之電晶體。選擇閘極 120 連接至選擇線 SGD。選擇閘極 122 連接至選擇線 SGS。

圖 3 係一繪示三個 NAND 串之電路圖。一用於使用一 NAND 結構之快閃記憶體系統之典型架構將包括數個 NAND 串。舉例而言，在具有更多 NAND 串之一記憶體陣列中顯示三個 NAND 串 320、340 及 360。該等 NAND 串中之每一者皆包含兩個選擇閘極及四個儲存元件。雖然出於簡明之目的而圖解說明四個儲存元件，但現代 NAND 串可具有多達例如三十二個或六十四個儲存元件。

舉例而言，NAND 串 320 包含選擇閘極 322 及 327 以及儲存元件 323-326，NAND 串 340 包含選擇閘極 342 及 347 以及儲存元件 343-346，NAND 串 360 包含選擇閘極 362 及 367 以及儲存元件 363-366。每一 NAND 串皆藉由其選擇閘極 (例如，選擇閘極 327、347 或 367) 而連接至源極線。一選擇線 SGS 用於控制源極側選擇閘極。各個 NAND 串 320、340 及

360藉由選擇閘極322、342、362等等中之選擇電晶體而連接至相應位元線321、341及361。此等選擇電晶體由一汲極選擇線SGD控制。於其他實施例中，該等選擇線未必需要在該等NAND串中係共用的；亦即，可為不同NAND串提供不同選擇線。字線WL3連接至儲存元件323、343及363之控制閘極。字線WL2連接至儲存元件324、344及364之控制閘極。字線WL1連接至儲存元件325、345及365之控制閘極。字線WL0連接至儲存元件326、346及366之控制閘極。如可看出，每一位元線及相應NAND串皆包括儲存元件陣列或儲存元件組之行。該等字線(WL3、WL2、WL1及WL0)包括該陣列或組之列。每一字線皆連接該列中每一儲存元件之控制閘極。或者，該等控制閘極可由該等字線自身提供。舉例而言，字線WL2提供用於儲存元件324、344及364之控制閘極。實務上，一字線上可存在數千個儲存元件。

每一儲存元件皆可儲存資料。舉例而言，當儲存一個數位資料位元時，將儲存元件之可能臨限電壓( $V_{TH}$ )之範圍劃分為被指派邏輯資料「1」及「0」之兩個範圍。於一NAND型快閃記憶體之一個實例中，在擦除該儲存元件之後 $V_{TH}$ 為負並被定義為邏輯「1」。  $V_{TH}$ 在一程式化作業之後為正並定義為邏輯「0」。當 $V_{TH}$ 為負且嘗試一讀取時，該儲存元件將接通以指示正儲存邏輯「1」。當 $V_{TH}$ 為正並嘗試一讀取作業時，該儲存元件將不接通，此指示儲存邏輯「0」。一儲存元件亦可儲存多個資訊位準，例如，多

個數位資料位元。於此情形下，將 $V_{TH}$ 值之範圍劃分成資料位準之數目。舉例而言，若儲存四個資訊位準，則將存在被指派給資料值「11」、「10」、「01」及「00」之四個 $V_{TH}$ 範圍。於一NAND型記憶體之一個實例中， $V_{TH}$ 在一擦除作業之後為負並被定義為「11」。正 $V_{TH}$ 值用於「10」、「01」及「00」之狀態。程式化至儲存元件中之資料與該元件之臨限電壓範圍之間的具體關係相依於針對該等儲存元件採用之資料編碼方案。舉例而言，第6,222,762及7,237,074號美國專利闡述用於多狀態快閃儲存元件之各種資料編碼方案，該兩個美國專利以全文引用的方式併入本文中。

第5,386,422號、5,570,315號、5,774,397號、6,046,935號、6,456,528號及6,522,580號美國專利中提供NAND型快閃記憶體及其作業之相關實例，該等美國專利中之每一者皆以引用的方式併入本文中。

當程式化一快閃儲存元件時，將一程式化電壓施加至該儲存元件之控制閘極，並將與該儲存元件相關聯之位元線接地。將來自通道之電子注入至浮動閘極中。當電子於該浮動閘極中累積時，該浮動閘極會變為帶負電荷且該儲存元件之 $V_{TH}$ 升高。為將該程式化電壓施加至正被程式化之儲存元件之控制閘極，將彼程式化電壓施加於適當字線上。如上文所論述，NAND串中之每一者中之一個儲存元件共享同一字線。舉例而言，當程式化圖3之儲存元件324時，亦會將該程式化電壓施加至儲存元件344及364之控制

閘極。

然而，程式化干擾可在程式化其他NAND串期間發生於受抑制NAND串處，且有時發生於經程式化NAND串自身處。當一未選非揮發性儲存元件之臨限電壓因程式化其他非揮發性儲存元件而移位時發生程式化干擾。程式化干擾可發生於先前經程式化儲存元件以及尚未被程式化之已擦除儲存元件上。各種程式化干擾機制皆可限制用於非揮發性儲存裝置(例如NAND快閃記憶體)之可用運作窗口。

舉例而言，若抑制NAND串320(例如，NAND串320係一不含有一當前正被程式化之儲存元件之未選NAND串)且NAND串340正被程式化(例如，NAND串340係一含有一當前正被程式化之儲存元件之選定NAND串)，則於NAND串320處可發生程式化干擾。舉例而言，若一通過電壓 $V_{PASS}$ 係低，則未將受抑制之NAND串之通道良好地升壓，且可無意地程式化未選NAND串之一選定字線。於另一可能情形下，經升壓電壓可因閘極誘發之汲極洩漏(GIDL)或其他洩漏機制而降低，從而導致相同問題。其他效應(諸如一電荷儲存元件之 $V_{TH}$ 之移位，該等移位係由與稍後被程式化之其他相鄰儲存元件之電容性耦合所致)亦可促成程式化干擾。

圖4繪示形成於一基板上之一NAND串之一剖視圖。該視圖被簡化且未按比例。NAND串400包含形成於一基板490上之一源極側選擇閘極406、一汲極側選擇閘極424以及八個儲存元件408、410、412、414、416、418、420及422。

在每一儲存元件以及選擇閘極406及424之任一側上提供若干源極/汲極區域(該等源極/汲極區域之一個實例係源極/汲極區域430)。在一種方法中，基板490採用一三重井技術，其包含位於一n井區域494內之一P井區域492，而n井區域494又位於一p型基板區域496內。NAND串及其非揮發性儲存元件可至少部分地形成於p井區域上。除一具有一 $V_{BL}$ 電位之位元線426以外，還提供一具有一 $V_{SOURCE}$ 電位之源極供應線404。亦可經由一端子402將電壓(例如本體偏壓電壓)施加至p井區域492及/或經由一端子403施加至n井區域494。

在一程式化作業期間，在一與儲存元件414相關聯之選定字線(在此實例中，為WL3)上提供一控制閘極電壓 $V_{PGM}$ 。此外，應記住，可將一儲存元件之控制閘極提供為字線之一部分。舉例而言，WL0、WL1、WL2、WL3、WL4、WL5、WL6及WL7可分別經由儲存元件408、410、412、414、416、418、420及422之控制閘極延伸。於一個可能之升壓方案中，將一通過電壓 $V_{PASS}$ 施加至與NAND串400相關聯之剩餘字線。某些升壓方案將不同通過電壓施加至不同字線。將 $V_{SGS}$ 及 $V_{SGD}$ 分別施加至選擇閘極406及424。

圖5a-c係關於讀取干擾可如何改變一組非揮發性儲存元件之臨限電壓分佈且係關於一用於解決此問題之過程。圖5a繪示一組非揮發性儲存元件在對應驗證及讀取電壓下之一初始臨限電壓分佈。舉例而言，該初始臨限電壓分佈可

恰在已程式化一組儲存元件之後適用。在此實例中，使用八個資料狀態。一般而言，可使用兩個或更多個資料狀態。

在程式化期間使用驗證位準  $V_{V1}$  至  $V_{V7}$  來定義必須將一儲存元件程式化至的最低臨限電壓以使程式化被視為完整的。某些儲存元件使該驗證位準過沖至不同程度，從而針對每一狀態導致一有限臨限分佈。

此外，當資料狀態之數目增加且該等資料狀態更接近在一起時，提供準確讀取比較位準(亦稱為讀取參考電壓)是重要的。在此實例性實施方案中，使用讀取比較位準  $V_{R1}$  至  $V_{R7}$  在一讀取過程中將八個資料狀態區分開。舉例而言，若將  $V_{R1}$  施加至一儲存元件之控制閘極且該儲存元件變為導電，則可斷定  $V_{R1}$  大於該儲存元件之臨限電壓 ( $V_{TH}$ )。類似地，若該儲存元件不導電，則可斷定  $V_{R1}$  小於該儲存元件之臨限電壓 ( $V_{TH}$ )。因此，藉由確定一儲存元件對於該等讀取比較位準中之每一者是否導電，可探知該儲存元件之資料狀態。換言之，一儲存元件之資料狀態係在其下該儲存元件係不導電之最高讀取比較位準與在其下該儲存元件係導電之最低讀取比較位準之間的狀態。此外，該讀取過程可同時探知與一給定字線相關聯之多個儲存元件之資料狀態。

亦應注意，對應讀取比較位準(例如， $V_{R1}$  至  $V_{R7}$ )介於電壓群組之間，通常恰高於先前分佈，例如， $V_{R1}$  介於狀態 0 狀態 1 之間，恰高於狀態 0 之分佈； $V_{R2}$  介於狀態 1 與狀態 2

之間，恰高於狀態1之分佈等等。此允許臨限電壓分佈由於讀取干擾及資料保持損失而加寬。該效應對於更高狀態通常係更大。因此，可期望在較高狀態之狀態之間提供一漸進更大之間距，如圖所繪示。

如所提及，讀取干擾可引起臨限電壓分佈之顯著改變。讀取干擾往往因自儲存元件之一電荷損失而減小正臨限電壓且因該儲存元件之一電荷增益額頭而增加負臨限電壓。在某些裝置中，已擦除狀態及或許少量之額外相鄰狀態具有一負臨限電壓。舉例而言，一16個狀態之裝置可具有帶有一負臨限電壓之狀態0-4及帶有一正臨限電壓之狀態5-15。另一方面，在其他裝置中，所有狀態皆可具有一正臨限電壓。

圖5b繪示經歷讀取干擾之一組非揮發性儲存元件之臨限電壓分佈。所繪示之讀取參考電壓 $V_{R1}$ 至 $V_{R7}$ 與圖5a中相同。此處，每一狀態之臨限電壓分佈更寬且與圖5a中所示之分佈相比較由於讀取干擾而向下移位。此外，讀取干擾對於較高資料狀態可係較高以使得該移位較大。應注意，在某些情形下，毗鄰資料狀態之分佈亦可重疊。因此，可看出，若使用圖5a之相同讀取電壓來讀取圖5b中所表示之資料狀態，則可產生讀取錯誤，此乃因在此實例中該等讀取電壓重疊一較低臨限電壓分佈。

此外，讀取干擾可受各種因子之影響，例如：程式化/擦除循環之數目(當儲存元件被重複地施以應力時，讀取干擾隨著更多循環而變得更大)、寫入資料之時間與讀取

該資料時之間的溫度改變(在較高溫度下發生較多干擾)、一儲存元件在一區塊中之相對位置(對於一區塊中之端字線發生較少干擾，此乃因其僅具有欲影響其之一個毗鄰字線)、記憶體裝置中之電力供應之一位準(該位準可能在寫入資料之時間與讀取該資料時之間變化，且讀取干擾隨著一施加至一儲存元件之更大電壓而變得更大)、程式化電壓位準(較高程式化位準引起較多應力從而導致較多讀取干擾)、擦除電壓位準(較高擦除位準引起較多應力從而導致較多讀取干擾)及施加一程式化、讀取或擦除電壓之持續時間(一較長持續時間引起較多應力從而導致較多讀取干擾)。

圖5c繪示圖5b之臨限電壓分佈之量測及對應讀取電壓之設定。

量測實際臨限分佈之過程涉及在數個單獨讀取或感測作業中讀取記憶體裝置，其中讀取作業之數目基於該分佈量測之所期望解析度。舉例而言，若該記憶體裝置使用八個狀態從而每一儲存元件表示三個位元，且期望每一狀態十個點之一解析度，則針對七十九個電壓臨限位準中之每一者執行讀取作業。在圖5c中，每一圓點表示一讀取點，且實線與圖5b中相同。可提供一柱狀圖，其中每一箱之高度指示其臨限電壓處於由該箱規定之一範圍中之儲存元件之數目。可將最適當讀取位準確定為(例如)毗鄰狀態之間的最小值。當存在一最小值範圍時，兩個資料狀態之間的最適當讀取位準可恰高於該兩個狀態中之較低者之分佈。此

處，讀取位準  $V'_{R1}$  至  $V'_{R7}$  已相對於圖 5b 之  $V_{R1}$  至  $V_{R7}$  位準移位至最佳位準。一般而言，如所提及，期望使讀取位準盡可能地接近先前位準以亦允許最大資料保持移位。讀取位準  $V'_{R1}$  至  $V'_{R7}$  之使用避免原本將在使用圖 5b 之讀取位準之情形下產生之實質性讀取錯誤。

讀取干擾係例如 NAND 快閃記憶體晶片之非揮發性儲存器中之一主要可靠性問題。當一儲存元件在其於一讀取作業期間經受一電壓時被施以應力時，發生讀取干擾。具有較大量值及持續時間之一電壓引起較大應力。施加該電壓之次數亦為一因子，其中額外應用與額外應力相關聯。關於該電壓量值，當正讀取一區塊中之一選定字線時(其中一所施加之控制閘極讀取電壓稱為  $V_R$ )，將同一區塊中之未選字線驅動至一高電壓(稱為一讀取通過電壓或  $V_{READ}$ )以繞過 NAND 串中之未選儲存元件。此外，該讀取通過電壓經設計以超過最高  $V_R$ (例如，當存在八個資料狀態時為  $V_{R7}$ ) 一例如 2 V 之裕量，此導致未選字線上之未選儲存元件之過驅動。此外，用於每一儲存元件四個位元之技術(例如，具有十六個資料狀態)之有效讀取通過電壓可比用於二進制(兩個資料狀態)及每一儲存元件兩個位元(代表資料狀態)之記憶體之讀取通過電壓高得多。因此，隨著未來裝置趨向於提供額外資料狀態，讀取干擾問題將變得更顯著。

關於電壓量值，對於一八個狀態(每一儲存元件三個位元)之裝置，可存在  $(8 \times 4) - 1 = 31$  讀取比較作業。此外，假設

在一所期望壽命發生100,000次讀取作業。對於100,000次讀取作業及零軟性位元(例如，十五個不同讀取位準下之一順序讀取)，一區塊之暴露之持續時間係： $100,000 \times 31 \times$  (暴露至每一 $V_{\text{READ}}$ 之持續時間)。此外，讀取一個字線上之所有儲存元件所需之時間相依於使用一個選通還是兩個選通感測。具有兩個選通感測之總暴露時間將係具有一個選通感測之總暴露時間之幾乎兩倍。因此，可看出，將基於所施加之讀取通過電壓之量值及持續時間將儲存元件暴露至顯著應力。

可使用讀取擦洗在已被頻繁地讀取之區塊上重寫資料。讀取擦洗之一個實施方案基於每一讀取觸發重寫區塊之一小可能性。該小可能性係藉由使用一隨機數目產生器而產生。一隨機數目產生器之使用比維持讀取之實際數目之一計數容易。然而，此方法係資源密集型且並未考量儲存元件之實際狀況。在另一可能方法中，儲存元件儲存係使用一錯誤校正碼(ECC)編碼之資料，且在讀取期間監測一ECC解碼引擎以確定該資料出錯至的程度。舉例而言，可監測該ECC解碼引擎收斂所需之時間或收斂所需之反覆數目。若此等度量超過一臨限值，則指示一重寫。

特定而言，當使用一強ECC(SECC)時，較少存在一分離ECC不依據允許ECC校正資料之條件工作所必需之條件之尖銳分割點。一強ECC可校正多達(例如)5-8%之位元錯誤。此乃因，對於SECC，幾乎不存在一誤校正之可能性。當ECC頁上之失敗位元之數目變得太大時，SECC演

算法將不會收斂。然而，在達到此條件之前，該收斂緩慢下來。達成SECC收斂所花費之時間或所必需之反覆數目可用作一早期警告旗標。當SECC收斂花費太長時間時或當一ECC頁上之失敗位元之數目超過某一預定值時，控制器可起始資料或分佈裕量之調查性讀取，以確定是否必須重寫區塊。

出現之一個問題係有時候使用者對重複地讀取被限制為一特定區塊中之一單個字線之同一資料塊感興趣。由於該區塊中僅未選字線將被暴露至讀取干擾，因此在此等情況下，讀取所關注選定單個字線將不會在一適當時間升起一關於刷新該區塊之剩餘部分上之資料之需要之旗標。此外，應注意，當採用磨損平衡時，重寫一區塊之資料將使該資料移動至某一其他實體區塊。因此，在某些情形下，可重複地讀取一特定字線之一個或多個選定儲存元件，從而將其他字線上之儲存元件暴露至讀取干擾，而該一個或多個選定儲存元件自身避免程式化干擾。可在各種情形下重複地讀取一特定字線之選定儲存元件，例如當共同請求之資料係儲存於一特定字線上時。

因此，當解碼來自特定字線之選定儲存元件之資料時，該ECC解碼引擎可不指示一問題。然而，當隨後讀取另一字線(該字線已經歷較多讀取干擾)之儲存元件時，該ECC解碼引擎可指示一顯著問題(例如緩慢或耗時收斂)或者可甚至不收斂。實質上，校正所發現之一問題可係太遲。因此，消弱監測該ECC解碼引擎之效能之一漸進降級及做出

關於一何時執行一刷新或採取其他補救措施之適當決定之能力。

可基於一組儲存元件(例如，一特定字線之儲存元件)之當前臨限電壓分佈來確定讀取位準，如以上結合圖5c所解釋。此係動態感測點獲取(DSPA)之一形式，且可在一規則基礎上執行，例如，對於一區塊中之每一讀取或每 $n>1$ 次讀取，或者在一例外狀況基礎上，例如當超過一ECC解碼引擎度量時，從而指示收斂之困難。動態感測點獲取可包含使用1個、2個或更多個軟性位元讀取一個或多個頁(亦即，以一比用於一八個狀態之儲存元件之七個讀取位準高之解析度讀取)以確定讀取比較位準必須自一基線位準偏移多少。電荷增益/損失係可由動態感測點獲取解決之機制中之一者。

圖6繪示一組字線中之一選定字線。在此實例中，一組字線600具有八個字線WL0-WL7。一選定字線615係(例如)基於一主機讀取命令經選擇用於讀取之字線。此字線具有儲存所關注資料之儲存元件。剩餘字線包含位於選定字線615之一源極側上之一組未選字線620及位於選定字線615之一汲極側上之一組未選字線610。一所挑選字線605係一在讀取選定字線615之前經隨機地或以其他方式挑選以進行讀取以獲得更新的最佳化之讀取電壓之未選字線。

在一個態樣中，當接收一讀取命令以用於讀取一選定字線時，可對一經隨機地挑選之未選字線執行動態感測點獲取。在一個方法中，可挑選任一未選字線。在另一方法

中，可在一個或多個例外狀況之情形下挑選任一未選字線。舉例而言，可排除一區塊中之第一及最後幾個字線以及毗鄰選定字線之字線，此乃因此等字線可經歷比其他字線多或少之讀取干擾。

舉例而言，假設有被標記 WL0-WL63 之 64 個字線及一選定字線 WW5。假設 WL0 及 WL61 作為端字線而被排除，且 WL4 及 WL6 由於其毗鄰 WL5 而被排除，則適於 DSPA 表徵之預定組字線可係(舉例而言)WL1-WL3 及 WL7-WL60。亦考量一其中主機(或控制器)重複地期望讀取 WL5 之情形。在此情形下，在一個可能方法中，經發出以讀取 WL5 之每一命令將導致另一字線首先被讀取。在此另一字線出於 DSPA 目的而正被讀取時，WL5 由於其暴露至  $V_{\text{READ}}$  而正被暴露至讀取干擾。然後，當隨後讀取 WL5 時，所監測之 WL5 之 ECC 解碼引擎度量將更多地表示區塊。因此，可獲得對該區塊中一讀取干擾問題之一準確早期警告，以使得控制器可在該讀取干擾問題變為大得足以壓垮該 ECC 解碼引擎之前執行一校正性動作，例如刷新該區塊或將其重寫至另一區塊。此方法允許僅在需要時進行讀取擦洗。

圖 7 繪示一用於基於另一字線設定用於讀取一選定字線之讀取比較位準之過程。該過程可包含在步驟 700 處接收一讀取命令。舉例而言，一記憶體裝置之一控制器可自一外部主機控制器接收一讀取命令。對於該控制器而言，亦可能之情形係發出一用於其內部使用之資料之讀取命令而不考慮一主機控制器。步驟 705 包含依據該讀取命令識別

該選定字線。通常，藉由該讀取命令中之一碼字識別該字線。步驟710包含選擇另一字線。舉例而言，此可包含隨機地選擇另一字線。在一個可能方法中，排除某些字線，例如毗鄰該選定字線或係區塊中之端字線之彼等字線。此等字線可具有一較高程度之讀取干擾，尤其係在於汲極側上毗鄰該選定字線之字線上。藉由避免此等字線，選擇一具有一更多地表示整個區塊之程度之讀取干擾之字線。

然而，步驟710中之另一可能方法係選擇一毗鄰字線，例如在汲極側上毗鄰該選定字線之字線。此通常係當程式化自一區塊之源極繼續至汲極側時之一未經程式化或僅部分地經程式化之字線。此涉及在整個區塊中選擇一具有一最壞情形程度之讀取干擾之字線。如果該選定字線係最後一個汲極側字線，則可選擇源極側上之毗鄰字線。

步驟715包含對另一字線之儲存元件執行感測作業以獲得彼等儲存元件之一臨限電壓分佈。舉例而言，此可涉及以處於如由圖5c中之原點所表示之點中之每一者表示之數個不同位準之字線電壓執行連續感測作業。步驟720包含識別臨限電壓分佈中之最低值，且步驟725包含基於該等最低值確定讀取比較位準。舉例而言，參見圖5c中之最佳化讀取比較位準  $V'_{R1} - V'_{R7}$ 。

一旦確定了此等最佳化讀取比較位準，步驟730即包含使用該等最佳化讀取比較位準對選定字線之非揮發性儲存元件執行一讀取作業。步驟735包含報告結果，例如將讀取資料從記憶體裝置中之一緩衝器傳送至主機控制器。讀

取過程在步驟740處結束。

考量一具有被標記WL0-WL63之六十四個字線之實例。若使用者請求讀取一區塊之WL5上之一頁，則WL5係選定WL。在此情形下，首先對自適於DSPA表徵之一預定組字線隨機地或以其他方式挑選之另一字線執行一DSPA作業。可使用一隨機數目產生器挑選該另一WL。另一選擇為，可非隨機地挑選該另一WL，例如藉由選擇一自該選定字線偏移一給定數目之字線之字線，例如，當WL5係選定字線時挑選WL15，當WL35係選定字線時挑選WL45等等，其中偏移係+10個字線。當該選定字線接近汲極側時，可藉由沿相反方向之一偏移(例如，-10個字線)或藉由一其中計數在第一合格源極側字線處繼續之模計算(例如，當WL60係選定字線時挑選WL8)挑選該另一字線。在此情形下，排除端字線WL0及WL63。

在另一實例性方法中，自選定字線至另一字線之偏移對於每一讀取作業改變(例如)+10個字線。因此，當首先讀取WL5時，我們挑選WL15，然後當再次讀取WL5時，挑選WL25等等。在又一實例性方法中，隨機地或非隨機地選擇一子組字線，且隨機地或非隨機地選擇該子組內之一特定字線。舉例而言，在WL5再次作為實例性選定字線之情形下，若干子組字線可界定如下：WL7-15(排除毗鄰字線WL6)、WL16-25、WL26-35、WL36-45、WL46-55、WL56-62及WL1-WL3(排除端字線WL63及WL0以及毗鄰字線WL4)。在一個方法中，當第一次讀取WL5時，挑選

WL7-15作為選定子組且隨機地挑選WL6-15中之一者作為另一WL；當第二次讀取WL5時，隨機地挑選WL16-25作為選定子組且隨機地挑選WL16-25中之一者作為另一WL等等。

可挑選並分析該另一字線以在每次讀取該選定字線時或者不那麼經常地獲得最佳讀取或其他電壓。舉例而言，隨機地或非隨機地做出是否挑選另一字線並獲得新電壓之決定以使得其相對於讀取一選定字線之一次數分別以一平均或固定間隔週期性地發生。或者，可使用不相等增量，例如，在四次讀取一選定字線之後，然後在八次讀取該選定字線之後等等。

可在多次讀取一單個字線而不讀取其他字線時起始是否獲得新電壓之決定。若期望避免追蹤已讀取一特定字線之次數，則可每次讀取任一字線即獲得新電壓。在追蹤已讀取一區塊中之任一字線之次數之情形下，可在任一字線之每 $n > 1$ 次讀取之後做出決定。在不追蹤已讀取一區塊中之任一字線之次數之情形下，可在一隨機基礎上做出決定，例如，使用一隨機數目產生器來確定一特定讀取是否調用挑選另一字線並獲得新電壓。若一讀取作業涉及一整個區塊之全部或一大部分，則所有儲存元件皆將經受類似讀取干擾，因此可不必挑選一字線並獲得新電壓。各種其他方法亦係可能的。控制件可維持適當資料以實施所期望之方案。

圖8繪示一用於基於另一字線及一錯誤校正度量設定用

於讀取一選定字線之讀取比較位準之過程。步驟800、805及810分別對應於圖7之步驟700、705及710。步驟815包含對該另一字線之儲存元件執行包含ECC解碼之感測作業以獲得彼等儲存元件之一臨限電壓分佈。步驟820包含基於該ECC解碼過程確定一度量。舉例而言，該度量可指示用以收斂之時間量及/或反覆數目。在決定步驟825處，若該度量低於一可基於測試及/或理論計算設定之臨限值，則該ECC解碼過程正令人滿意地繼續。在此情形下，該過程繼續至分別對應於圖7之步驟720、725、730、735及740之步驟835、840、845、850及855。在決定步驟825處，若該度量不低於該臨限值，則該ECC解碼過程並不正令人滿意地繼續，且在步驟830處，做出對資料之完整性之一進一步調查，及/或對該資料執行一刷新作業。該進一步調查可包含(例如)對一個或多個額外字線之額外探索性讀取以確定其在解碼方面是否亦具有麻煩。一刷新作業可涉及(例如)將該資料自一第一區塊拷貝至一第二區塊以擦除該第一區塊及將該資料拷貝回至該第一區塊。

當步驟810選擇一具有最壞情形讀取干擾之字線(例如，選定字線之汲極側鄰居)時，錯誤度量較在做出隨機選擇之情形更可能超過步驟825中之臨限值。

圖9繪示一用於藉由依據一第一讀取比較位準確定額外讀取比較位準來設定用於讀取一選定字線之讀取比較位準之過程。如圖5c中所指示，確定跨越所有資料狀態之一臨限電壓分佈作為DSPA之一部分需要一顯著數量之感測作

業且因此係處理密集型。一替代方法涉及確定跨越比所有資料狀態少之資料狀態之一臨限電壓分佈及將結果外推至其他資料狀態。舉例而言，可將所獲得之一臨限電壓分佈限制於足以在兩個毗鄰資料狀態之間進行區分之一電壓範圍，可依據此結果確定一最佳讀取比較位準。隨後，可基於一公式確定用於一個或多個其他資料狀態之最佳讀取比較位準。藉助此公式，可將用於一給定資料狀態之讀取比較位準相對於基線位準之一偏移轉譯為其他資料狀態之偏移，且可依據習知基線位準及相應偏移獲得用於其他資料狀態之最佳讀取比較位準。在一個可能方法中，將該等偏移設定為等於所量測之偏移或等於所量測之偏移之某一分數值。該等基線讀取位準可係當不存在讀取干擾時依據測試及/或理論分析而巳知為最佳之預定位準。

舉例而言，假設存在八個資料狀態及七個讀取位準  $V_{R1}-V_{R7}$ 。亦參見圖 5a-c。執行一足以確定  $V'_{R7}$  之一臨限電壓分佈。一旦確定了  $V'_{R7}$ ，即可確定一偏移  $\Delta_7=V_{R7}-V'_{R7}$ 。然後，可將其他讀取位準之偏移確定為  $\Delta_7$  之一函數，例如， $\Delta_1=f1(\Delta_7)$ 、 $\Delta_2=f2(\Delta_7)$ 、 $\Delta_3=f3(\Delta_7)$ 、 $\Delta_4=f4(\Delta_7)$ 、 $\Delta_5=f5(\Delta_7)$ 、 $\Delta_6=f6(\Delta_7)$ 。對於狀態  $i$ ，一般而言， $\Delta_i=fi(\Delta_7)$  且  $V'_{Ri}=V_{Ri}+\Delta_i$ ，其中  $V_{Ri}$  係基線讀取位準。作為一實例， $\Delta_7$  可係 0.5 V，且該公式可指示偏移對於每一較低讀取位準減小之測試及/或理論分析，依據此我們確定，例如， $\Delta_1=0.4\times\Delta_7=0.20$  V、 $\Delta_2=0.5\times\Delta_7=0.25$  V、 $\Delta_3=0.6\times\Delta_7=0.30$  V、 $\Delta_4=0.7\times\Delta_7=0.35$  V、 $\Delta_5=0.8\times\Delta_7=0.40$  V 及  $\Delta_6=0.9\times\Delta_7=0.45$  V。

在此情形下，我們將用於狀態1-6之最佳讀取比較位準計算為 $V'_{R1}=V_{R1}-0.20\text{ V}$ 、 $V'_{R2}=V_{R2}-0.25\text{ V}$ 、 $V'_{R3}=V_{R3}-0.30\text{ V}$ 、 $V'_{R4}=V_{R4}-0.35\text{ V}$ 、 $V'_{R5}=V_{R5}-0.40\text{ V}$ 及 $V'_{R6}=V_{R6}-0.45\text{ V}$ 。此處，我們假設偏移為負，此係當基線讀取位準為正時之情形。若基線讀取位準為負，則偏移將係正。

因此，我們可讀取一包含兩個最高經程式化狀態(例如，狀態6及7)之電壓範圍以確定一第一讀取比較電壓。一旦確定了該第一讀取比較電壓，我們即確定其他狀態之偏移及對應最佳讀取比較電壓。

應注意，最高狀態可提供一允許我們將結果準確地外推至其他狀態之強信號雜訊比，此乃因讀取干擾隨臨限電壓增加。基於記憶體裝置之特定技術之一裝置位準表徵，一旦我們知道了最高狀態之偏移，我們將能夠確定所有狀態之偏移。亦可能獲得多於一個但少於所有資料狀態之偏移且使用此等結果使至其他資料狀態之外推更準確。此外，次最高狀態亦可產生良好結果。

由於必須以一高程度之準確性來確定最後兩個狀態之分佈之間的最低值，因此應以精細解析度掃描電壓空間。舉例而言，一掃描一400 mV範圍之25 mV之掃描步長大小將導致16次讀取，其係一接近對任一頁(假設16個資料狀態)執行之典型15次讀取(不具有軟性位元)之數目。此確保作為選定字線經歷之 $V_{\text{READ}}$ 暴露在最小程度上等效於區塊之剩餘部分在該選定字線之規則讀取期間經受之 $V_{\text{READ}}$ 暴露。可能會有爭議，未選字線中之大多數將經歷選定字線

至  $V_{\text{READ}}$  之暴露時間之兩倍。鑒於此，可使用於觸發一重寫之準則更嚴格。

參照圖9，步驟900包含接收一用以讀取資料之命令。步驟905包含依據該讀取命令識別一選定字線。接下來，可跟隨兩個路徑中之一者：一個涉及一未選字線且一個涉及該選定字線。在一個路徑中，步驟910包含挑選另一字線。步驟915包含對該另一字線之儲存元件執行感測作業以獲得一足以將一第一對毗鄰資料狀態中之毗鄰資料狀態區分開之臨限電壓分佈。在該第二路徑中，步驟920除了涉及該選定字線以外與步驟915相同。在任一情形下，步驟925包含識別該臨限電壓分佈中之一最低值，且步驟930包含基於該最低值來確定一第一讀取比較位準。舉例而言，此可係圖5c中之  $V'_{R7}$ 。

在步驟935處，基於該第一讀取比較位準及視情況其他因子，我們使用例如以上所論述之一公式確定其他讀取比較位準。該等其他因子可包含(例如)程式化/擦除循環之數目、選定字線在字線組中之位置、一溫度相依性及一電源位準相依性(框940)。舉例而言，測試及/或理論計算可針對一特定記憶體裝置指示此等變數中之任一者影響最佳讀取位準。此外，當存在另一組變數時，可調節在一組變數下係最佳之一最佳讀取比較位準。舉例而言，不同資料狀態之偏移可基於程式化/擦除循環之數目而變化。作為一實例，較高狀態之偏移可比較低狀態之偏移相對更多地增加。可相應地調節使一個狀態與另一狀態之偏移相關之公

式。

類似地，可確定應基於該字線位置針對另一字線調節曾針對一個字線確定的一給定狀態之一最佳讀取位準。可將該等字線分組為經歷一相對類似位準之讀取干擾之若干子組字線，例如，源極側字線、中間字線及汲極側字線。

關於一溫度相依性，一儲存元件之臨限電壓減小  $-2 \text{ mV}/^\circ\text{C}$ 。此外，在較高溫度下發生較多干擾。因此，若當確定最佳讀取比較位準時溫度高於某一基線位準，則應計及此事實以使得當稍後在溫度不同時使用時相應地調節該等最佳讀取比較位準。溫度相依電路可提供溫度之一指示。已知用於提供一溫度相依參考信號之各種技術。在一個可能方法中，使用一帶隙電路。舉例而言，題目為「Voltage Generation Circuitry Having Temperature Compensation」、以引用的方式併入本文中之第6,801,454號美國專利闡述一種基於一溫度係數將讀取電壓輸出至一非揮發性記憶體之電壓產生電路。該電路使用一包含一溫度不相依部分及一隨溫度增加而增加之溫度相依部分之帶隙電流。

關於一電源位準相依性，對於一電源位準而言，可能之情形係甚至隨補償而變化，作為此之一結果，在感測期間所使用之電壓可變化。可使用適當電路來追蹤此等變化以為最佳讀取比較位準提供一適當調節。

步驟945包含使用所確定之讀取比較位準對選定字線之儲存元件執行一讀取作業，步驟950包含報告結果，且該

過程在步驟955處結束。圖10繪示一用於藉由依據一第一讀取比較位準確定額外讀取比較位準來設定用於讀取一選定字線之讀取比較位準之過程之進一步細節。步驟1000包含對(選定字線或另一字線之)儲存元件執行感測作業以獲得一足以將兩個最高毗鄰資料狀態(例如，當存在八個狀態時，為狀態6及7(參見圖5a-c))區分開之臨限電壓分佈。多個資料狀態自一較低範圍擴展至一較高範圍，且毗鄰資料狀態6及7處於該較高範圍中。

步驟1005包含識別該臨限電壓分佈中之一最低值，且步驟1010包含基於該最低值設定一第一讀取比較位準(例如， $V'_{R7}$ )。步驟1015包含基於該第一讀取比較位準與一相關聯基線讀取位準之間的一差(例如 $V'_{R7}-V_{R7}$ )確定一第一移位(例如， $\Delta_7$ )。在步驟1020處，基於該第一移位及視情況其他因子，基於一公式確定其他讀取比較位準。可將每一基線讀取比較位準修改一相關聯臨限電壓移位以在不針對每一新的最佳化比較位準執行額外感測作業之情形下使一比較位準最佳。因此，可確定最佳化比較位準以用於處於一較低狀態範圍中之資料狀態，例如， $V'_{R1}$ 用於狀態0及1， $V'_{R2}$ 用於狀態1及2等等。其他因子可包含(例如)程式化/擦除循環之數目、選定字線在字線組中之位置、一溫度相依性及一電源位準相依性(框1025)。步驟1030包含使用所確定之讀取比較位準對選定字線之儲存元件執行一讀取作業，步驟1035包含報告結果，且該過程在步驟1045處結束。

圖 11 圖解說明一 NAND 儲存元件陣列 1100 (諸如圖 1 及 2 中所顯示之彼等儲存元件陣列) 之一實例。沿每一行，一位元線 1106 耦合至 NAND 串 1150 之汲極選擇閘極之汲極端子 1126。沿 NAND 串之每一列，一源極線 1104 可連接該等 NAND 串之源極選擇閘極之所有源極端子 1128。於第 5,570,315 號、第 5,774,397 號及第 6,046,935 號美國專利中找到一 NAND 架構陣列及其作為一記憶體系統之一部分作業之一實例。

將該儲存元件陣列劃分為大量儲存元件區塊。對於快閃 EEPROM 系統而言係常見情形，區塊即為擦除單元。亦即，每一區塊皆含有最小數目之可一起擦除之儲存元件。每一區塊通常被劃分為若干頁。一頁係一程式化單元。於一個實施例中，個別頁可被劃分為若干段且該等段可含有作為一基本程式化作業一次寫入之最少數目之儲存元件。通常將一個或多個資料頁儲存於一個儲存元件列中。一頁可儲存一個或多個扇段。一扇段包括使用者資料及附加項資料。附加項資料通常包括已依據該扇段之使用者資料計算出之一錯誤校正碼 (ECC)。控制器 (下文所闡述) 之一部分在將資料程式化至該陣列中時計算該 ECC，且亦在自該陣列讀取資料時檢查 ECC。另一選擇為，將 ECC 及 / 或其他附加項資料儲存在與其等所附屬之使用者資料不同之頁或甚至不同之區塊中。

一使用者資料扇段通常係 512 個位元組，對應於磁碟驅動器中一扇段之大小。附加項資料通常係一額外 16-20 個

位元組。大量頁形成一區塊，大約自8個頁多至(例如)32個、64個、128個或更多個頁。於某些實施例中，一NAND串列包括一區塊。

於一個實施例中，藉由在源極及位元線浮動之同時將p井升高至一擦除電壓(例如，14-22 V)持續一充分時間週期並將一選定區塊之字線接地來擦除記憶體儲存元件。由於電容性耦合，未選字線、位元線、選擇線及c-源極亦升高至擦除電壓之一顯著分數值。因此將一強電場施加至選定儲存元件之隧道氧化物層，且當浮動閘極之電子被發射至基板側時，選定儲存元件之資料通常藉由Fowler-Nordheim隧穿機制被擦除。當電子自浮動閘極被傳送至p井區域時，一選定儲存元件之臨限電壓降低。可對整個記憶體陣列、單獨區塊、或另一儲存元件單元執行擦除。

圖12係一使用單個列/行解碼器及讀取/寫入電路之非揮發性記憶體系統之一方塊圖。該圖圖解說明根據本發明之一個實施例之一具有用於並行讀取及程式化一儲存元件頁之讀取/寫入電路之記憶體裝置1296。記憶體裝置1296可包含一個或多個記憶體晶粒1298。記憶體晶粒1298包含一二維儲存元件陣列1100、控制電路1210及讀取/寫入電路1265。於某些實施例中，儲存元件陣列可係三維。記憶體陣列1100可由字線經由一列解碼器1230及由位元線經由一行解碼器1260定址。讀取/寫入電路1265包含多個感測區塊1200且允許並行讀取或程式化一儲存元件頁。通常，一控制器1250與一個或多個記憶體晶粒1298包含於同一記憶

體裝置1296(例如，一可抽換儲存卡)中。命令及資料經由線1220在主機與控制器1250之間以及經由線1218在控制器與一個或多個記憶體晶粒1298之間傳送。

控制電路1210與讀取/寫入電路1265協作以對記憶體陣列1100執行記憶體作業。控制電路1210包含一狀態機1212、一晶片上位址解碼器1214及一功率控制模組1216。狀態機1212提供對記憶體作業之晶片級控制，包含控制預充電。晶片上位址解碼器1214在由主機或一記憶體控制器使用之位址與由解碼器1230及1260使用之硬體位址之間提供一位址介面。功率控制模組1216控制在記憶體作業期間供應至字線及位元線之功率及電壓。

於某些實施方案中，可組合圖12之組件中之某些組件。於各種設計中，可將除儲存元件陣列1100外之該等組件中之一者或多者(單獨或以組合方式)視為一管理電路。舉例而言，一個或多個管理電路可包含以下器件中之任一者或其一組合：控制電路1210、狀態機1212、解碼器1214/1260、功率控制件1216、感測區塊1200、讀取/寫入電路1265、控制器1250等等。

圖13係一使用雙列/行解碼器及讀取/寫入電路之非揮發性記憶體系統之一方塊圖。此處，提供圖12中所顯示之記憶體裝置1296之另一配置。各種周邊電路對記憶體陣列1100之存取係以一對稱方式在該陣列之相對側上實施，以使得每一側上之存取線及電路之密度減半。因此，列解碼器分解成列解碼器1230A及1230B，且行解碼器分解成行

解碼器 1260A 及 1260B。類似地，讀取/寫入電路分解成自陣列 1100 底部連接至位元線之讀取/寫入電路 1265A 及自陣列 1100 頂部連接至位元線之讀取/寫入電路 1265B。以此方式，讀取/寫入模組之密度基本上減半。圖 13 之裝置亦可包含一控制器，如上文針對圖 12 之裝置所闡述。

圖 14 係一繪示一感測區塊之一個實施例之方塊圖。一個別感測區塊 1200 被分割為一核心部分(稱為一感測模組 1280)及一共同部分 1290。於一個實施例中，將存在一用於每一位元線之單獨感測模組 1280，及一用於一組多個感測模組 1280 之共同部分 1290。於一個實例中，一感測區塊將包含一個共同部分 1290 及八個感測模組 1280。一群組中之感測模組中之每一者將經由一資料匯流排 1272 與相關聯共同部分通信。為獲得進一步細節，參考 2006 年 6 月 29 日公開且以全文引用的方式併入本文中之一題目為「Non-Volatile Memory and Method with Shared Processing for an Aggregate of Sense Amplifiers」之第 2006/0140007 號美國專利申請公開案。

感測模組 1280 包括感測電路 1270，該感測電路確定一所連接位元線中之一傳導電流係高於還是低於一預定臨限值。感測模組 1280 亦包含一位元線鎖存器 1282，該位元線鎖存器用於設定該所連接位元線上之一電壓狀況。舉例而言，一鎖存於位元線鎖存器 1282 中之預定狀態將導致該所連接位元線被拉至一指定程式化抑制之狀態(例如，1.5-3 V)。

共同部分 1290 包括一處理器 1292、一組資料鎖存器 1294 及一耦合於該組資料鎖存器 1294 與資料匯流排 1220 之間的 I/O 介面 1296。處理器 1292 執行計算。舉例而言，其功能之一係確定儲存於所感測儲存元件中之資料並將所確定之資料儲存於該組資料鎖存器中。該組資料鎖存器 1294 用於儲存在一讀取作業期間由處理器 1292 確定之資料位元。其亦用於儲存在一程式化作業期間自資料匯流排 1220 匯入之資料位元。所匯入之資料位元表示意欲程式化至記憶體中之寫入資料。I/O 介面 1296 在資料鎖存器 1294 與資料匯流排 1220 之間提供一介面。

在讀取或感測期間，該系統之作業係在狀態機 1212 之控制下，該狀態機控制向經定址儲存元件供應不同控制閘極電壓。在感測模組 1280 步進穿過對應於記憶體所支援之各種記憶體狀態之各種預界定控制閘極電壓時，其可在此等電壓中之一者處跳脫且經由匯流排 1272 將一輸出自感測模組 1280 提供至處理器 1292。此時，處理器 1292 藉由考量感測模組之跳脫事件及關於經由輸入線 1293 自狀態機施加之控制閘極電壓之資訊來確定所得記憶體狀態。然後處理器 1292 計算用於該記憶體狀態之一二進制編碼並將所得資料位元儲存至資料鎖存器 1294 中。在該核心部分之另一實施例中，位元線鎖存器 1282 有兩個用途：既作為一用於鎖存感測模組 1280 之輸出之鎖存器亦作為一如上文所述之位元線鎖存器。

預期某些實施方案將包含多個處理器 1292。於一個實施

例中，每一處理器1292將包含一輸出線(未繪示)以使得該等輸出線中之每一者皆線「或」連接在一起。於某些實施例中，該等輸出線在連接至線「或」線之前被反轉。此組態實現在程式化驗證過程期間快速確定程式化過程何時完成，此乃因接納線「或」之狀態機可確定正被程式化之所有位元何時達到所期望之位準。舉例而言，當每一位元已達到其所期望之位準時，用於彼位元之一邏輯零將被發送至線「或」線(或反轉一資料一)。當所有位元輸出一資料0(或反轉一資料一)時，則該狀態機知曉終止該程式化過程。由於每一處理器皆與八個感測模組通信，因此該狀態機需要讀取線「或」線八次，或者將邏輯添加至處理器1292以累積相關聯位元線之結果以使得該狀態機僅需讀取該線「或」線一次。類似地，藉由正確地挑選邏輯位準，該全局狀態機可偵測第一位元何時改變其狀態且相應地改變演算法。

在程式化或驗證期間，將欲程式化之資料自資料匯流排1220儲存於該組資料鎖存器1294中。在該狀態機控制下之程式化作業包括施加至經定址儲存元件之控制閘極之一連串程式化電壓脈衝。在每一程式化脈衝之後進行回讀(驗證)，以確定是否已將該儲存元件程式化至所期望之記憶體狀態。處理器1292相對於所期望之記憶體狀態來監視回讀記憶體狀態。當二者一致時，處理器1292設定位元線鎖存器1282，以致使該位元線被拉至一指定程式化抑制之狀態。此抑制耦合至該位元線之儲存元件免遭進一步程式

化，即使在程式化脈衝出現在其控制閘極上時，亦係如此。於其他實施例中，該處理器首先載入位元線鎖存器1282且感測電路在驗證過程期間將其設定為一抑制值。

資料鎖存器堆疊1294含有一對應於該感測模組之資料鎖存器堆疊。於一個實施例中，每一感測模組1280有三個資料鎖存器。於某些實施方案中(但並非必需)，將該等資料鎖存器實施為一移位暫存器以使得儲存於其中之並行資料轉換成用於資料匯流排1220之串行資料，反之亦然。於較佳實施例中，可將對應於具有m個儲存元件之讀取/寫入區塊之所有資料鎖存器鏈接在一起以形成一區塊移位暫存器，以使得一區塊之資料可藉由串行傳送來輸入或輸出。特定而言，讀取/寫入模組庫經調適，以使得其資料鎖存器組中之每一者將依序將資料移入或移出資料匯流排，仿佛其等係一用於整個讀取/寫入區塊之移位暫存器之一部分。

可在以下專利中找到關於非揮發性儲存裝置之各種實施例之結構及/或作業之額外資訊：(1) 2007年3月27日頒佈、題目為「Non-Volatile Memory And Method With Reduced Source Line Bias Errors」之第7,196,931號美國專利；(2) 2006年4月4日頒佈、題目為「Non-Volatile Memory And Method with Improved Sensing」之第7,023,736號美國專利；(3) 2006年5月16日頒佈、題目為「Improved Memory Sensing Circuit And Method For Low Voltage Operation」之第7,046,568號美國專利；(4) 2007

年3月27日頒佈、題目為「Compensating for Coupling During Read Operations of Non-Volatile Memory」之第7,196,928號美國專利；及(5) 2008年2月5日頒佈、題目為「Reference Sense Amplifier For Non-Volatile Memory」之第7,327,619號美國專利。所有以上剛剛列出的5個專利文檔皆以全文引用的方式併入本文中。

圖15圖解說明針對一所有位元線記憶體架構或針對一奇數-偶數記憶體架構將一記憶體陣列組織成區塊之一實例。其闡述記憶體陣列1100之實例性結構。作為一個實例，其闡述被分割成1,024個區塊之NAND快閃EEPROM。可同時擦除儲存於每一區塊中之資料。於一個實施例中，區塊係同時擦除之儲存元件之最小單元。在此實例中，每一區塊中存在對應於位元線BL0、BL1、...、BL8511之8,512個行。於一個稱為一所有位元線(ABL)架構(架構1510)之實施例中，在讀取及程式化作業期間可同時選擇一區塊之所有位元線。可同時程式化沿一共同字線且連接至任一位元線之儲存元件。

於所提供之實例中，串聯連接四個儲存元件以形成一NAND串。雖然圖中顯示每一NAND串中包含四個儲存元件，但亦可使用多於或少於四個儲存元件(例如，16個、32個、64個或另一數目)。該NAND串之一個端子經由一汲極選擇閘極(連接至選擇閘極汲極線SGD)連接至一對應位元線，且另一端子經由一源極選擇閘極(連接至選擇閘極源極線SGS)連接至c-源極。

於稱為一奇數-偶數架構(架構1500)之另一實施例中，將位元線劃分為偶數位元線(BLe)及奇數位元線(BLo)。於該奇數/偶數位元線架構中，在一個時間程式化沿一共同字線且連接至奇數位元線之儲存元件，而在另一時間程式化沿一共同字線且連接至偶數位元線之儲存元件。於此實施例中，每一區塊中存在被劃分成偶數行及奇數行之8,512個行。於此實施例中，顯示四個儲存元件串聯連接以形成一NAND串。雖然圖中顯示每一NAND串中包含四個儲存元件，但亦可使用多於或少於四個儲存元件。

在讀取及程式化作業之一個組態期間，同時選擇4,256個儲存元件。選定之儲存元件具有同一字線及同一種類之位元線(例如，偶數或奇數)。因此，可同時讀取或程式化532個資料位元組(其形成一邏輯頁)，且記憶體之一個區塊可儲存至少八個邏輯頁(四個字線，每一者皆具有奇數及偶數邏輯頁)。對於多狀態儲存元件，當每一儲存元件儲存兩個資料位元時，其中將此兩個位元中之每一者皆儲存於一不同頁中，一個區塊儲存十六個邏輯頁。亦可使用其他大小之區塊及頁。

對於ABL架構或者奇數-偶數架構，儲存元件可藉由將p井升高至一擦除電壓(例如，20 V)並將一選定區塊之字線接地來擦除。源極線及位元線係浮動式。可對整個記憶體陣列、單獨區塊或儲存元件之另一單元(其係記憶體裝置之一部分)執行擦除。電子自儲存元件之浮動閘極被傳送至p井區域以使得儲存元件之 $V_{TH}$ 變為負。

在讀取及驗證作業中，選擇閘極(SGD及SGS)連接至一2.5-4.5 V之範圍中之一電壓且未選字線(例如，當WL2係選定字線時之WL0、WL1及WL3)被升高至一讀取通過電壓 $V_{\text{READ}}$ (通常為4.5 V至6 V之範圍中之一電壓)以使電晶體作為通過閘極運作。選定字線WL2連接至一電壓，針對每一讀取及驗證作業規定該電壓之一位準，以便確定有關儲存元件之一 $V_{\text{TH}}$ 是高於還是低於此位準。舉例而言，在一針對一兩位準儲存元件之讀取作業中，可將選定字線WL2接地，以便偵測出 $V_{\text{TH}}$ 是否高於0 V。在一針對一兩位準儲存元件之驗證作業中，將選定字線WL2連接至(例如)0.8 V，以便驗證出 $V_{\text{TH}}$ 是否已達到至少0.8 V。源極及p井處於0 V。將選定位元線(假設其為偶數位元線(BLe))預充電至(例如)0.7 V之一位準。若 $V_{\text{TH}}$ 高於該字線上之讀取或驗證位準，則與所關注儲存元件相關聯之位元線(BLe)之電位位準由於非導電儲存元件而維持高位準。另一方面，若 $V_{\text{TH}}$ 低於該讀取或驗證位準，則有關位元線(BLe)之電位位準由於導電儲存元件使該位元線放電而降至(例如)低於0.5 V之一低位準。藉此，儲存元件之狀態可藉由連接至該位元線之一電壓比較器感測放大器來偵測。

根據此項技術中已知之技術執行上述擦除、讀取及驗證作業。因此，熟習此項技術者可改變所解釋細節中之諸多細節。亦可使用此項技術中已知之其他擦除、讀取及驗證技術。

圖16繪示一實例性組臨限電壓分佈及一遍程式化。針對

一其中每一儲存元件儲存兩個資料位元之情形提供儲存元件陣列之實例性  $V_{TH}$  分佈。針對已擦除之儲存元件提供一第一臨限電壓分佈 E。亦繪示針對經程式化儲存元件之三個臨限電壓分佈 A、B 及 C。在一個實施例中，E 分佈中之臨限電壓為負，而 A、B 及 C 分佈中之臨限電壓為正。

每一不同臨限電壓範圍皆對應於該組資料位元之預定值。程式化至儲存元件中之資料與該儲存元件之臨限電壓位準之間的具體關係相依於針對儲存元件採用之資料編碼方案。舉例而言，2007年6月26日頒佈之第6,222,762號美國專利及第7,237,074號美國專利(此二者皆以全文引用的方式併入本文中)闡述用於多狀態快閃儲存元件之各種資料編碼方案。於一個實施例中，使用一格雷(Gray)碼指派方案將資料值指派給該等臨限電壓範圍，以使得若一浮動閘極之臨限電壓錯誤地移位至其相鄰物理狀態時，則僅一個位元將受影響。一個實例將「11」指派給臨限電壓範圍 E(狀態 E)，將「10」指派給臨限電壓範圍 A(狀態 A)，將「00」指派給臨限電壓範圍 B(狀態 B)，及將「01」指派給臨限電壓範圍 C(狀態 C)。然而，於其他實施例中，不使用格雷碼。雖然顯示四個狀態，但本發明亦可與包含其中包含多於或少於四個狀態之彼等多狀態結構的其他多狀態結構一起使用。

還提供三個讀取參考電壓  $V_{ra}$ 、 $V_{rb}$  及  $V_{rc}$  以用於自儲存元件讀取資料。藉由測試一給定儲存元件之臨限電壓係高於還是低於  $V_{ra}$ 、 $V_{rb}$  及  $V_{rc}$ ，該系統可確定儲存元件所處

於之狀態(例如，程式化狀況)。

此外，提供三個驗證參考電壓  $V_{va}$ 、 $V_{vb}$  及  $V_{vc}$ 。當將儲存元件程式化為狀態 A 時，該系統將測試彼等儲存元件是否具有大於或等於  $V_{va}$  之臨限電壓。當將儲存元件程式化為狀態 B 時，該系統將測試該等儲存元件是否具有大於或等於  $V_{vb}$  之臨限電壓。當將儲存元件程式化為狀態 C 時，該系統將確定儲存元件是否具有大於或等於  $V_{vc}$  之彼等臨限電壓。

在一個稱為全序列程式化之實施例中，可將儲存元件自擦除狀態 E 直接程式化為經程式化狀態 A、B 或 C 中之任一者。舉例而言，欲被程式化之一儲存元件群可首先經擦除以使得該群中之所有儲存元件皆處於已擦除狀態 E 中。然後將使用例如圖 20 中之控制閘極電壓序列所繪示之一連串程式化脈衝將儲存元件直接程式化為狀態 A、B 或 C。在將某些儲存元件自狀態 E 程式化為狀態 A 之同時，將其他儲存元件自狀態 E 程式化為狀態 B 及/或自狀態 E 程式化為狀態 C。當在  $WLn$  上自狀態 E 程式化為狀態 C 時，至  $WLn-1$  下方之毗鄰浮動閘極之寄生耦合之量達到一最小值，此乃因  $WLn$  下方之浮動閘極上之電荷量之改變與在自狀態 E 程式化為狀態 A 或自狀態 E 程式化為狀態 B 時電荷之改變相比係最大的。當自狀態 E 程式化為狀態 B 時，至毗鄰浮動閘極之耦合的量較少。當自狀態 E 程式化為狀態 A 時，耦合之量甚至進一步減少。

圖 17 圖解說明程式化一多狀態儲存元件之一兩遍技術之

一實例，該多狀態儲存元件儲存兩個不同頁(一下部頁及一上部頁)之資料。繪示四個狀態：狀態E(11)、狀態A(10)、狀態B(00)及狀態C(01)。對於狀態E而言，兩個頁皆儲存一「1」。對於狀態A而言，下部頁儲存一「0」，而上部頁儲存一「1」。對於狀態B而言，兩個頁皆儲存「0」。對於狀態C而言，下部頁儲存「1」，而上部頁儲存「0」。應注意，雖然已將具體位元型樣指派給該等狀態中之每一者，但亦可指派不同位元型樣。

於一第一遍程式化中，根據欲被程式化至下部邏輯頁中之位元來設定該儲存元件之臨限電壓位準。若彼位元係一邏輯「1」，則該臨限電壓不發生改變，此乃因其作為較早已被擦除之結果而處於適當狀態中。然而，若欲被程式化之位元係一邏輯「0」，則該儲存元件之臨限位準增加為狀態A，如箭頭1700所示。彼終止該第一遍程式化。

於一第二遍程式化中，根據程式化至上部邏輯頁中之位元來設定該儲存元件之臨限電壓位準。若上部邏輯頁位元欲儲存一邏輯「1」，則不發生程式化，此乃因該儲存元件相依於下部頁位元之程式化而處於狀態E或A(兩者皆攜載具有「1」之一上部頁位元)中之一者中。若該上部頁位元欲變成一邏輯「0」，則移位該臨限電壓。若該第一遍導致該儲存元件保持在已擦除狀態E中，則在該第二階段中程式化該儲存元件，以使得臨限電壓經增加而處於狀態C內，如箭頭1720所繪示。若儲存元件作為第一遍程式化之結果而被程式化至狀態A中，則該儲存元件在該第二遍

中被進一步程式化以使得臨限電壓經增加而處於狀態B內，如箭頭1710所繪示。該第二遍之結果係將該儲存元件程式化至經指定以針對上部頁儲存一邏輯「0」而不改變下部頁之資料之狀態中。於圖16及圖17兩者中，至毗鄰字線上之浮動閘極之耦合之量相依於最終狀態。

於一個實施例中，若寫入足夠資料以填滿一整頁，則可設置一系統來執行全序列寫入。若針對一整頁寫入不足資料，則該程式化過程可程式化下部頁，亦即用所接收之資料程式化下部頁。當接收後續資料時，該系統將然後程式化上部頁。於再一實施例中，該系統可以程式化下部頁之模式起始寫入且若隨後接收足以填滿一整個字線(或其大部分)之儲存元件之資料時則轉換成全序列程式化模式。此一實施例之更多細節揭示於2006年10月10日頒佈、題目為「*Pipelined Programming of Non-Volatile Memories Using Early Data*」之第7,120,051號美國專利中，該專利以全文引用的方式併入本文中。

圖18a-c揭示用於程式化非揮發性記憶體之另一過程，對於任一特定儲存元件，該過程藉由在針對先前頁寫入至毗鄰儲存元件後相對於一特定頁寫入至彼特定儲存元件來降低浮動閘極至浮動閘極耦合之效應。於一個實例性實施方案中，非揮發性儲存元件使用四個資料狀態每儲存元件儲存兩個資料位元。舉例而言，假設狀態E係已擦除狀態，而狀態A、B及C係經程式化狀態。狀態E儲存資料11。狀態A儲存資料01。狀態B儲存資料10。狀態C儲存資

料00。此係非格雷譯碼之一實例，此乃因兩個位元皆在毗鄰狀態A與B之間改變。亦可使用資料至物理資料狀態之其他編碼。每一儲存元件儲存兩個資料頁。出於參考目的，此等資料頁將被稱為上部頁及下部頁；然而亦可賦予該等頁其他標記。參照狀態A，上部頁儲存位元0而下部頁儲存位元1。參照狀態B，上部頁儲存位元1而下部頁儲存位元0。參照狀態C，兩個頁皆儲存位元資料0。

該程式化過程係一兩步式過程。於第一步驟中，程式化下部頁。若該下部頁將保持資料1，則該儲存元件狀態保持處於狀態E。若資料將被程式化為0，則該儲存元件之電壓臨限值升高，以使得將儲存元件程式化為狀態B'。因此，圖18a顯示儲存元件自狀態E至狀態B'之程式化。狀態B'係一臨時狀態B；因此，驗證點繪示為 $V_{vb'}$ ，其低於 $V_{vb}$ 。

於一個實施例中，在將一儲存元件自狀態E程式化為狀態B'之後，該儲存元件在NAND串中之相鄰儲存元件(WLn+1)將然後相對於其下部頁來程式化。舉例而言，回顧圖2，在程式化儲存元件106之下部頁之後，將程式化儲存元件104之下部頁。在程式化儲存元件104之後，若儲存元件104具有一自狀態E升高至狀態B'之臨限電壓，則浮動閘極至浮動閘極耦合效應將使儲存元件106之視在臨限電壓升高。此將具有將狀態B'之臨限電壓分佈加寬至如圖18b之臨限電壓分佈1850所繪示之臨限電壓分佈之效應。該臨限電壓分佈之此視在加寬將在程式化上部頁時得以補

救。

圖 18c 繪示程式化該上部頁之過程。若儲存元件處於已擦除狀態 E 中且上部頁將保持為 1，則該儲存元件將保持處於狀態 E 中。若該儲存元件處於狀態 E 中且其上部頁資料將被程式化為 0，則該儲存元件之臨限電壓將升高以使得該儲存元件處於狀態 A 中。若該儲存元件處於中間臨限電壓分佈 1850 中且上部頁資料將保持為 1，則該儲存元件將被程式化為最終狀態 B。若該儲存元件處於中間臨限電壓分佈 1850 中且上部頁資料將變為資料 0，則該儲存元件之臨限電壓將升高以使得該儲存元件處於狀態 C 中。圖 18a-c 所繪示之過程降低浮動閘極至浮動閘極耦合之效應，此乃因僅相鄰儲存元件之上部頁程式化將對一給定儲存元件之視在臨限電壓有影響。一替代狀態譯碼之一實例係當上部頁資料係 -1 時自分佈 1850 移至狀態 C，且當上部頁資料為 -0 時移至狀態 B。

雖然圖 18a-c 提供關於四個資料狀態及兩個資料頁之一實例，但所教示之概念亦可應用於具有多於或少於四個狀態及多於或少於兩個頁之其他實施方案。

圖 19 係一闡述一用於程式化非揮發性記憶體之方法之一個實施例之流程圖。於一個實施方案中，儲存元件係在程式化之前被擦除（以區塊為單位或以其他單位）。在步驟 1900 中，控制器發出一「資料載入」命令，且控制電路 1210 接收輸入。在步驟 1905 中，將指定頁位址之位址資料自控制器或主機輸入至解碼器 1214。在步驟 1910 中，將針

對已定址頁之一頁程式化資料輸入至一資料緩衝器以供程式化。將彼資料鎖存於適當組鎖存器中。在步驟1915中，該控制器向狀態機1212發出一「程式化」命令。

由該「程式化」命令觸發後，藉由使用圖20之施加至適當選定字線之脈列2000之步進程式化脈衝，將在步驟1910中鎖存之資料程式化至由狀態機1212控制之選定儲存元件中。在步驟1920中，將程式化電壓 $V_{PGM}$ 初始化至起始脈衝(例如，12 V或其他值)並將一由狀態機1212維持之程式計數器(PC)初始化為0。在步驟1925中，如先前所論述，預充電未選定位元線之通道。在步驟1930處，將第一 $V_{PGM}$ 脈衝施加至選定字線以開始程式化與該選定字線相關聯之儲存元件。若將指示應程式化對應儲存元件之邏輯「0」儲存於一特定資料鎖存器中，則將對應定位元線接地。另一方面，若將指示對應儲存元件應保持在其當前資料狀態中之邏輯「1」儲存於該特定鎖存器中，則將對應定位元線連接至1.5-3 V以抑制程式化。

在步驟1935中，驗證選定儲存元件之狀態。若偵測到一選定儲存元件之目標臨限電壓已達到適當位準，則儲存於對應資料鎖存器中之資料改變為一邏輯「1」。若偵測到臨限電壓尚未達到適當位準，則儲存於對應資料鎖存器中之資料不發生改變。以此方式，無需程式化一具有儲存於其對應資料鎖存器中之一邏輯「1」之位元線。當所有資料鎖存器正儲存邏輯「1」時，狀態機(經由上述線「或」類型機制)知曉所有選定儲存元件已被程式化。在步驟

1940中，對於所有資料鎖存器是否正儲存邏輯「1」進行一檢查。若所有資料鎖存器正儲存邏輯「1」，則該程式化過程完成且成功，此乃因所有選定儲存元件已經程式化及驗證。在步驟1945中報告一「通過(PASS)」狀態。於某些實施例中，將該程式化過程視為完成且成功，即使並非將所有選定儲存元件驗證為已被程式化，亦係如此。在此一情形下，因不充分之經程式化儲存元件而可在後續讀取作業期間發生錯誤。然而，此等錯誤可由ECC校正。

若在步驟1940中，確定並非所有資料鎖存器正儲存邏輯「1」，則該程式化過程繼續。於某些實施例中，即使並非所有資料鎖存器正儲存邏輯「1」，該程式化過程亦停止。在步驟1950中，對照一程式限值PCmax來檢查程式計數器PC。一程式限值之一個實例為二十；然而，亦可使用其他數值。若程式計數器PC不小於PCmax，則該程式化過程已失敗且在步驟1955中報告一「失敗(FAIL)」狀態。若該程式計數器PC小於PCmax，則 $V_{PGM}$ 增加步長大小且在步驟1960中遞增程式計數器PC。然後該過程循環回至步驟1930以施加下一 $V_{PGM}$ 脈衝。

圖20繪示一於程式化期間施加至非揮發性儲存元件之控制閘極之實例性脈列。脈列2000包含一連串程式化脈衝2005、2010、2015、2020、2025、2030、2035、2040、2045、2050，...，將該等程式化脈衝施加至一經選擇以用於進行程式化之字線。於一個實施例中，程式化脈衝具有一起始於12 V之電壓 $V_{PGM}$ 且針對每一連續程式化脈衝增加

增量(例如, 0.5 V)直至達到(例如)20-25 V之一最大值為止。在程式化脈衝之間係驗證脈衝, 例如, 三個驗證脈衝。於某些實施例中, 可存在一用於資料正被程式化至的每一狀態(例如, 狀態 A、B及C)之驗證脈衝。於其他實施例中, 可存在更多或更少驗證脈衝。每一組中之驗證脈衝可具有(舉例而言) $V_{va}$ 、 $V_{vb}$ 及 $V_{vc}$ (圖 17)或 $V_{vb}'$ (圖 18a)之幅值。

出於圖解說明及闡述之目的, 上文已呈現對本發明之詳細闡述。本文並不意欲係包羅無遺的或將本發明限制於所揭示之精確形式。鑒於上述教示內容可做出諸多修改及變化。挑選該等所闡述實施例旨在最佳地解釋本發明之原理及其實際應用, 以藉此使其他熟習此項技術者能夠在各種實施例中且以適合於所構想之特定使用之各種修改最佳地利用本發明。本文意欲使本發明之範疇由隨附申請專利範圍來界定。

### 【圖式簡單說明】

圖 1 係一 NAND 串之一俯視圖。

圖 2 係圖 1 之 NAND 串之一等效電路圖。

圖 3 係一 NAND 快閃儲存元件陣列之一方塊圖。

圖 4 繪示形成於一基板上之一 NAND 串之一剖視圖。

圖 5a 繪示一組非揮發性儲存元件在對應驗證及讀取電壓下之一初始臨限電壓分佈。

圖 5b 繪示經歷讀取干擾之一組非揮發性儲存元件之臨限電壓分佈。

圖 5c 繪示圖 5b 之臨限電壓分佈之量測及對應讀取電壓之設定。

圖 6 繪示一組字線中之一選定字線。

圖 7 繪示一用於基於另一字線設定用於讀取一選定字線之讀取比較位準之過程。

圖 8 繪示一用於基於另一字線及一錯誤校正度量設定用於讀取一選定字線之讀取比較位準之過程。

圖 9 繪示一用於藉由依據一第一讀取比較位準確定額外讀取比較位準來設定用於讀取一選定字線之讀取比較位準之過程。

圖 10 繪示一用於藉由依據一第一讀取比較位準確定額外讀取比較位準來設定用於讀取一選定字線之讀取比較位準之過程之進一步細節。

圖 11 係一 NAND 快閃儲存元件陣列之一方塊圖。

圖 12 係一使用單列/行解碼器及讀取/寫入電路之非揮發性記憶體系統之一方塊圖。

圖 13 係一使用雙列/行解碼器及讀取/寫入電路之非揮發性記憶體系統之一方塊圖。

圖 14 係一繪示一感測區塊之一個實施例之方塊圖。

圖 15 圖解說明針對一所有位元線記憶體架構或針對一奇數-偶數記憶體架構將一記憶體陣列組織成區塊之一實例。

圖 16 繪示一實例性組臨限電壓分佈及一遍程式化。

圖 17 繪示一實例性組臨限電壓分佈及兩遍程式化。

圖 18a-c 顯示各種臨限電壓分佈並闡述一用於程式化非揮發性記憶體之過程。

圖 19 係一闡述一用於程式化非揮發性記憶體之過程之一個實施例之流程圖。

圖 20 繪示一於程式化期間施加至非揮發性儲存元件之控制閘極之實例性脈列。

### 【主要元件符號說明】

100	電晶體
100CG	控制閘極
100FG	浮動閘極
102	電晶體
102CG	控制閘極
102FG	浮動閘極
104	電晶體
104CG	控制閘極
104FG	浮動閘極
106	電晶體
106CG	控制閘極
106FG	浮動閘極
120	第一選擇閘極
120CG	控制閘極
122	第二選擇閘極
122CG	控制閘極
126	位元線

128	源極線
320	NAND串
321	位元線
322	選擇閘極
323	儲存元件
324	儲存元件
325	儲存元件
326	儲存元件
327	選擇閘極
340	NAND串
341	位元線
342	選擇閘極
343	儲存元件
344	儲存元件
345	儲存元件
346	儲存元件
347	選擇閘極
360	NAND串
361	位元線
362	選擇閘極
363	儲存元件
364	儲存元件
365	儲存元件
366	儲存元件

367	選擇閘極
400	NAND串
402	端子
403	端子
404	源極供應線
406	源極側選擇閘極
408	儲存元件
410	儲存元件
412	儲存元件
414	儲存元件
416	儲存元件
418	儲存元件
420	儲存元件
422	儲存元件
424	汲極側選擇閘極
426	位元線
430	源極/汲極區域
490	基板
492	P井區域
494	n井區域
496	p型基板區域
605	所挑選字線
610	未選字線
615	選定字線

620	未選字線
1100	記憶體陣列
1104	源極線
1106	位元線
1126	汲極端子
1128	源極端子
1150	NAND串
1200	感測區塊
1210	控制電路
1212	狀態機
1214	晶片上位址解碼器
1216	功率控制模組
1218	線
1220	資料匯流排
1230	解碼器
1230A	列解碼器
1230B	列解碼器
1250	控制器
1260	解碼器
1260A	行解碼器
1260B	行解碼器
1265	讀取/寫入電路
1265A	讀取/寫入電路
1265B	讀取/寫入電路

1270	感測電路
1272	資料匯流排
1280	感測模組
1282	鎖存器
1290	共同部分
1292	處理器
1293	輸入線
1294	鎖存器
1296	I/O介面
1296	記憶體裝置
1298	記憶體晶粒
1500	非揮發性儲存元件
1510	非揮發性儲存元件
2005	脈列
2010	脈列
2015	脈列
2020	脈列
2025	脈列
2030	脈列
2035	脈列
2040	脈列
2045	脈列
2050	脈列
BL0-BL8511	位元線

BLe0-Ble4225	偶數編號之位元線
Blo0-Blo4225	奇數編號之位元線
SGD	選擇閘極汲極線
SGS	選擇閘極源極線
WL0-WL63	字線

# 發明專利說明書

(本說明書格式、順序及粗體字，請勿任意更動，※記號部分請勿填寫)

※申請案號：**98 1220 78**

※申請日：**98. 6. 30**

※IPC 分類：**G11C 16/08 (2006.01)**

一、發明名稱：(中文/英文)

於非揮發性記憶體中之讀取干擾減少

READ DISTURB MITIGATION IN NON-VOLATILE MEMORY

二、中文發明摘要：

本發明揭示在非揮發性儲存器中減小讀取干擾。在一個態樣中，當自一主機接收一讀取命令以用於讀取一選定字線時，隨機地挑選一未選擇用於讀取之字線且感測其儲存元件以確定用於讀取該選定字線之最佳化讀取比較位準。或者，可基於在讀取該所挑選字線之儲存元件中獲得的一錯誤校正度量針對整個區塊指示一刷新作業。此在該選定字線被重複地選擇用於讀取從而將其他字線暴露至額外讀取干擾時係尤其有用。在另一態樣中，當儲存多個資料狀態時，自感測(例如，自一臨限電壓分佈)獲得一個讀取比較位準，且自一公式導出其他讀取比較位準。

### 三、英文發明摘要：

Read disturb is reduced in non-volatile storage. In one aspect, when a read command is received from a host for reading a selected word line, a word line which is not selected for reading is randomly chosen and its storage elements are sensed to determine optimized read compare levels for reading the selected word line. Or, a refresh operation may be indicated for the entire block based on an error correction metric obtained in reading the storage elements of the chosen word line. This is useful especially when the selected word line is repeatedly selected for reading, exposing the other word lines to additional read disturb. In another aspect, when multiple data states are stored, one read compare level is obtained from sensing, e.g., from a threshold voltage distribution, and other read compare levels are derived from a formula.

## 七、申請專利範圍：

1. 一種用於運作非揮發性儲存器之方法，其包括：

接收一請求自一組非揮發性儲存元件(1500、1510)中之至少一個選定非揮發性儲存元件讀取資料之讀取命令(700)，該至少一個選定非揮發性儲存元件與一組字線(600)中之一選定字線(WL3)相關聯；

回應於該讀取命令，在該組字線中選擇(710)另一字線(WL5)；對與該另一字線相關聯之非揮發性儲存元件執行感測作業(715)；及基於該等感測作業，確定至少一個讀取比較位準(725)；及

使用該至少一個讀取比較位準讀取該至少一個選定非揮發性儲存元件(730)。

2. 如請求項1之方法，其中：

該等感測作業提供一橋接至少兩個資料狀態之臨限電壓分佈，且藉由識別該臨限電壓分佈中之一最低值來確定該至少一個讀取比較位準。

3. 如請求項1或2之方法，其進一步包括：

自該組字線中隨機地選擇該另一字線。

4. 如請求項1或2之方法，其進一步包括：

自該組字線中隨機地選擇該另一字線，排除該組字線中至少一個所規定字線(WL4)。

5. 如請求項1至4中任一項之方法，其中：

該另一字線不毗鄰該選定字線。

6. 如請求項1至5中任一項之方法，其進一步包括：

基於該等感測作業，確定用於與該另一字線相關聯之該等非揮發性儲存元件之多個讀取比較位準；及

使用該多個讀取比較位準讀取該至少一個選定非揮發性儲存元件。

7. 如請求項1至6中任一項之方法，其中該至少一個讀取比較位準包括一將一第一對資料狀態之毗鄰狀態彼此區分開之第一讀取比較位準(930)，該方法進一步包括：

基於該第一讀取比較位準，確定一將一第二對資料狀態之毗鄰狀態彼此區分開之第二讀取比較位準(935)，且不執行用於將該第二對資料狀態之該等毗鄰狀態彼此區分開之感測作業。

8. 一種非揮發性儲存系統，其包括：

一組非揮發性儲存元件(1500、1510)，包含至少一個選定非揮發性儲存元件；

一組字線(600)，其與該組非揮發性儲存元件相關聯，包含一選定字線(WL3)，該至少一個選定非揮發性儲存元件與該選定字線相關聯；及

至少一個控制電路(1210、1250)，其與該組字線通信，該至少一個控制電路：(a)接收一請求自與該選定字線相關聯之該至少一個選定非揮發性儲存元件讀取資料之讀取命令(700)，(b)回應於該讀取命令，在該組字線中選擇(710)另一字線(WL5)；對與該另一字線相關聯之非揮發性儲存元件執行感測作業(715)；及基於該等感測作業，確定至少一個讀取比較位準(725)；及(c)使用該至

少一個讀取比較位準讀取該至少一個選定非揮發性儲存元件(730)。

9. 如請求項8之非揮發性儲存系統，其中：

該等感測作業提供一橋接至少兩個資料狀態之臨限電壓分佈，且該至少一個讀取比較位準係藉由識別該臨限電壓分佈中之一最低值來確定。

10. 如請求項8或9之非揮發性儲存系統，其中：

該至少一個控制電路自該組字線中隨機地選擇該另一字線，排除該組字線中至少一個所規定字線(WL4)。

11. 如請求項8或9之非揮發性儲存系統，其中：

該至少一個控制電路自該組字線中隨機地選擇該另一字線。

12. 如請求項8至10中任一項之非揮發性儲存系統，其中：

該另一字線不毗鄰該選定字線。

13. 如請求項8至12中任一項之非揮發性儲存系統，其中：

該至少一個控制電路基於該等感測作業確定用於與該另一字線相關聯之該等非揮發性儲存元件之多個讀取比較位準，且使用該多個讀取比較位準讀取該至少一個選定非揮發性儲存元件。

14. 如請求項8至13中任一項之非揮發性儲存系統，其中：

該至少一個讀取比較位準包括一將一第一對資料狀態之毗鄰狀態彼此區分開之第一讀取比較位準(930)，且該至少一個控制電路基於該第一讀取比較位準確定一將一第二對資料狀態之毗鄰狀態彼此區分開之第二讀取比較

位準(935)，且不執行用於將該第二對資料狀態之該等毗鄰狀態彼此區分開之感測作業。

八、圖式：

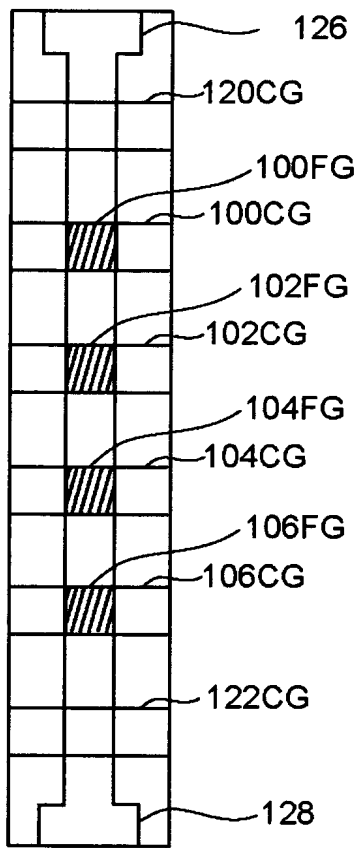


圖 1

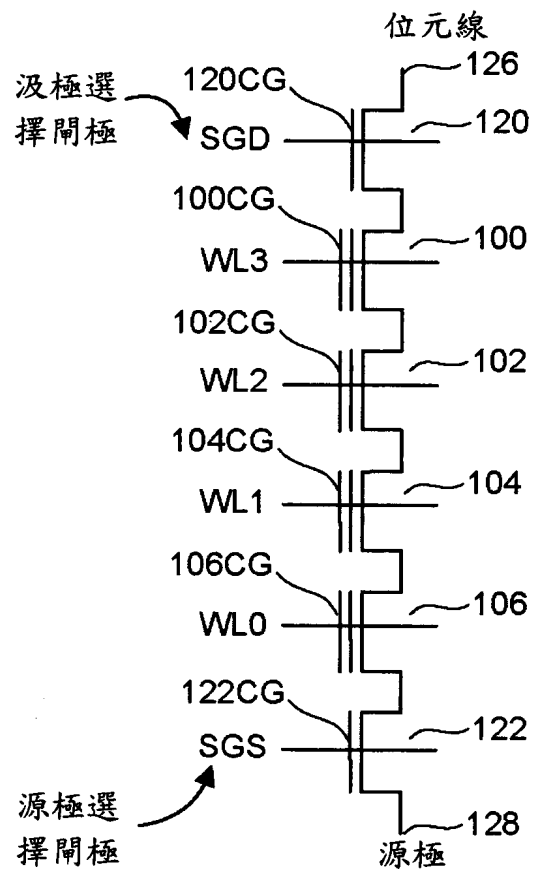


圖 2



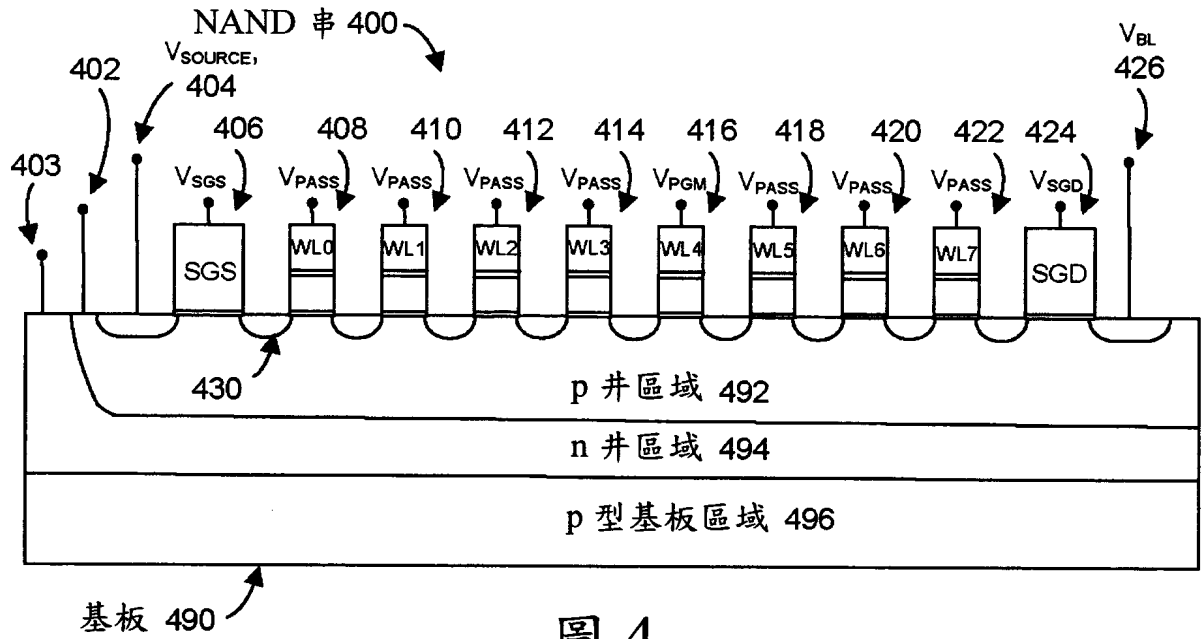


圖 4

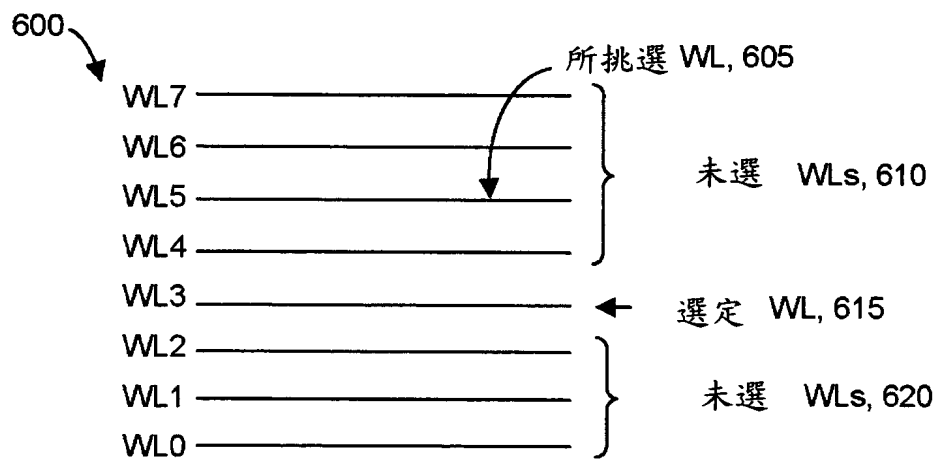


圖 6

儲存元件之  
數目

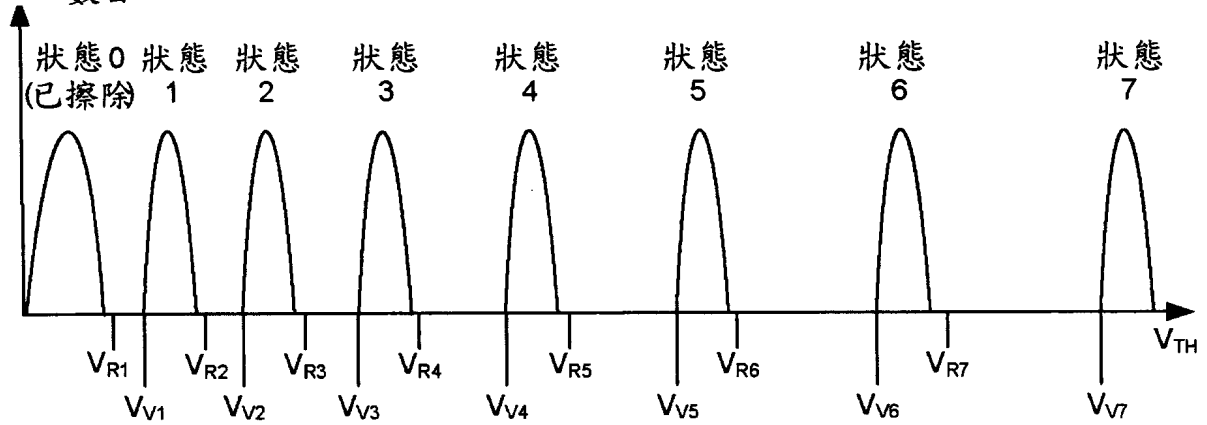


圖 5a

儲存元件之  
數目

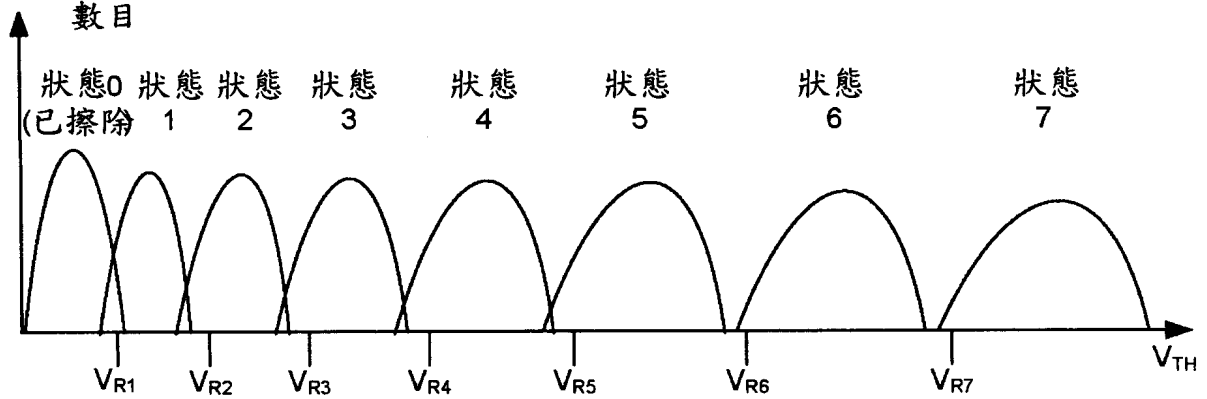


圖 5b

儲存元件之  
數目

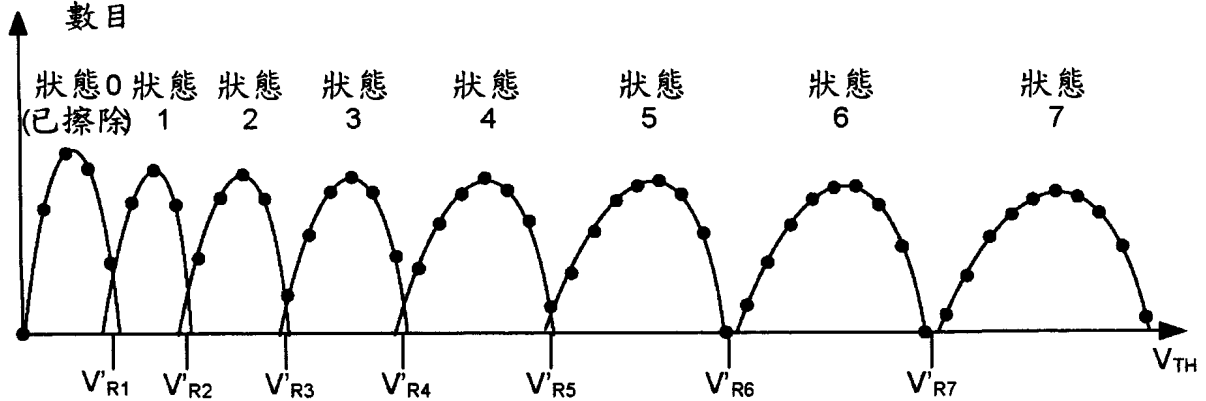


圖 5c

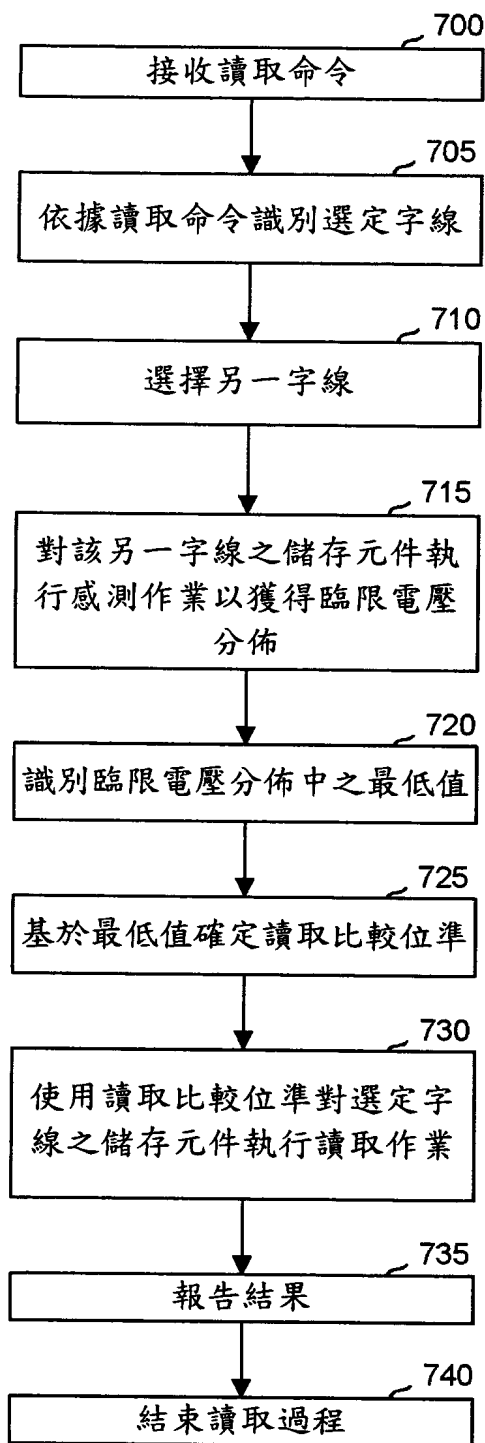


圖 7

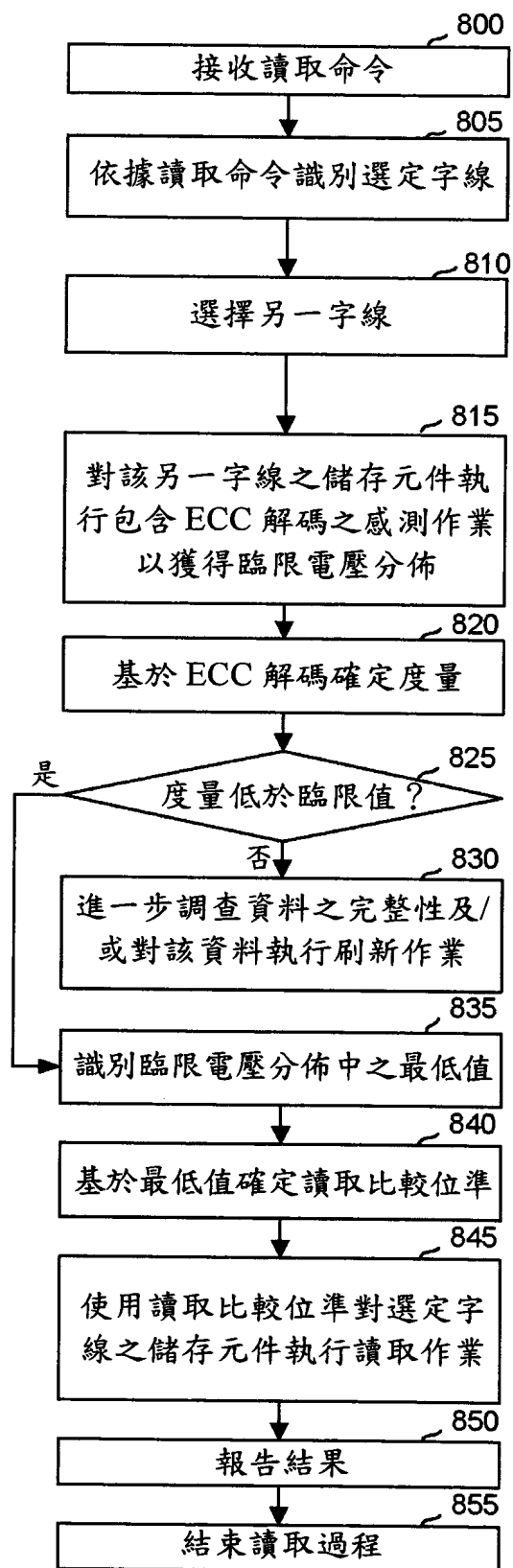


圖 8

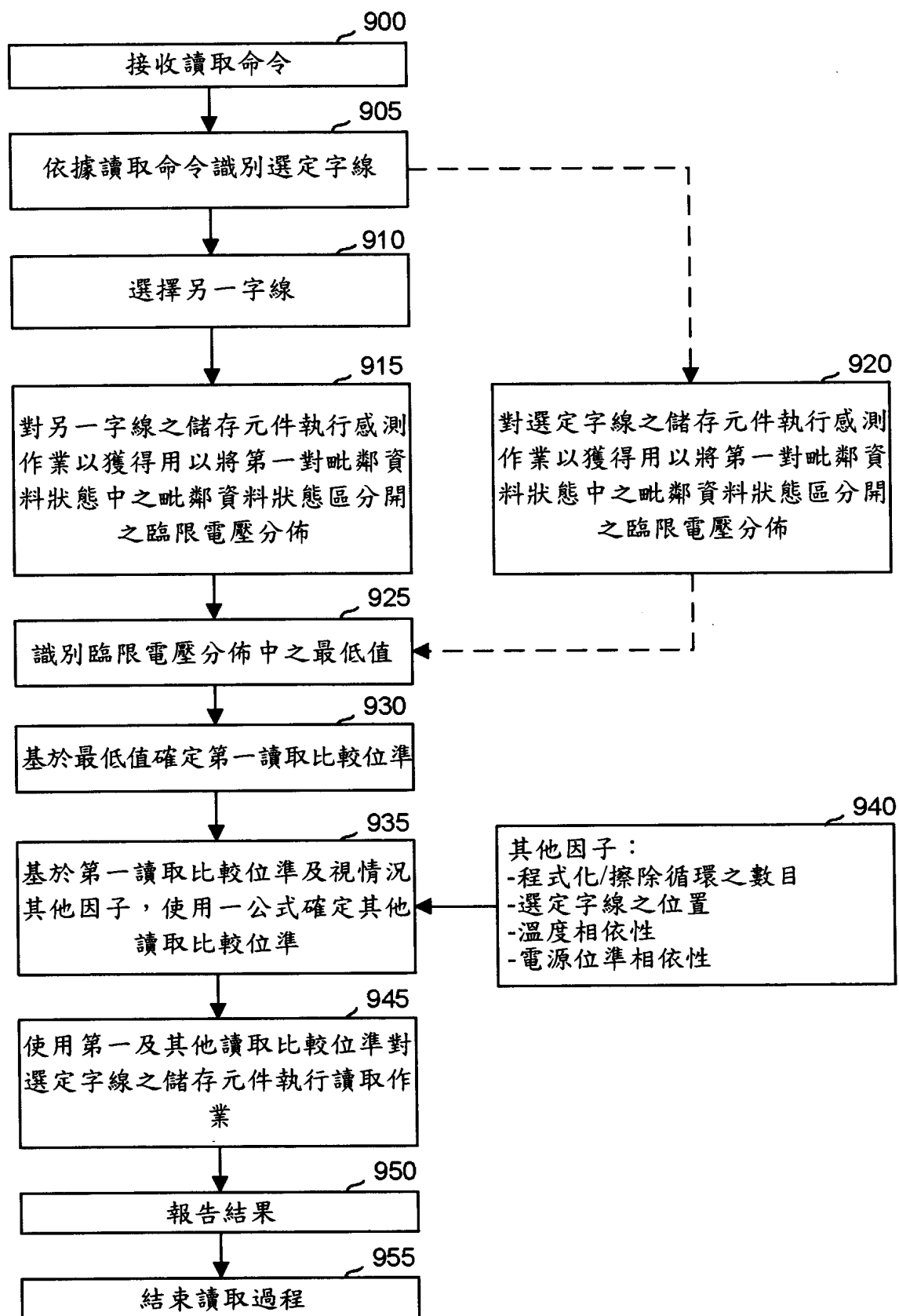


圖 9

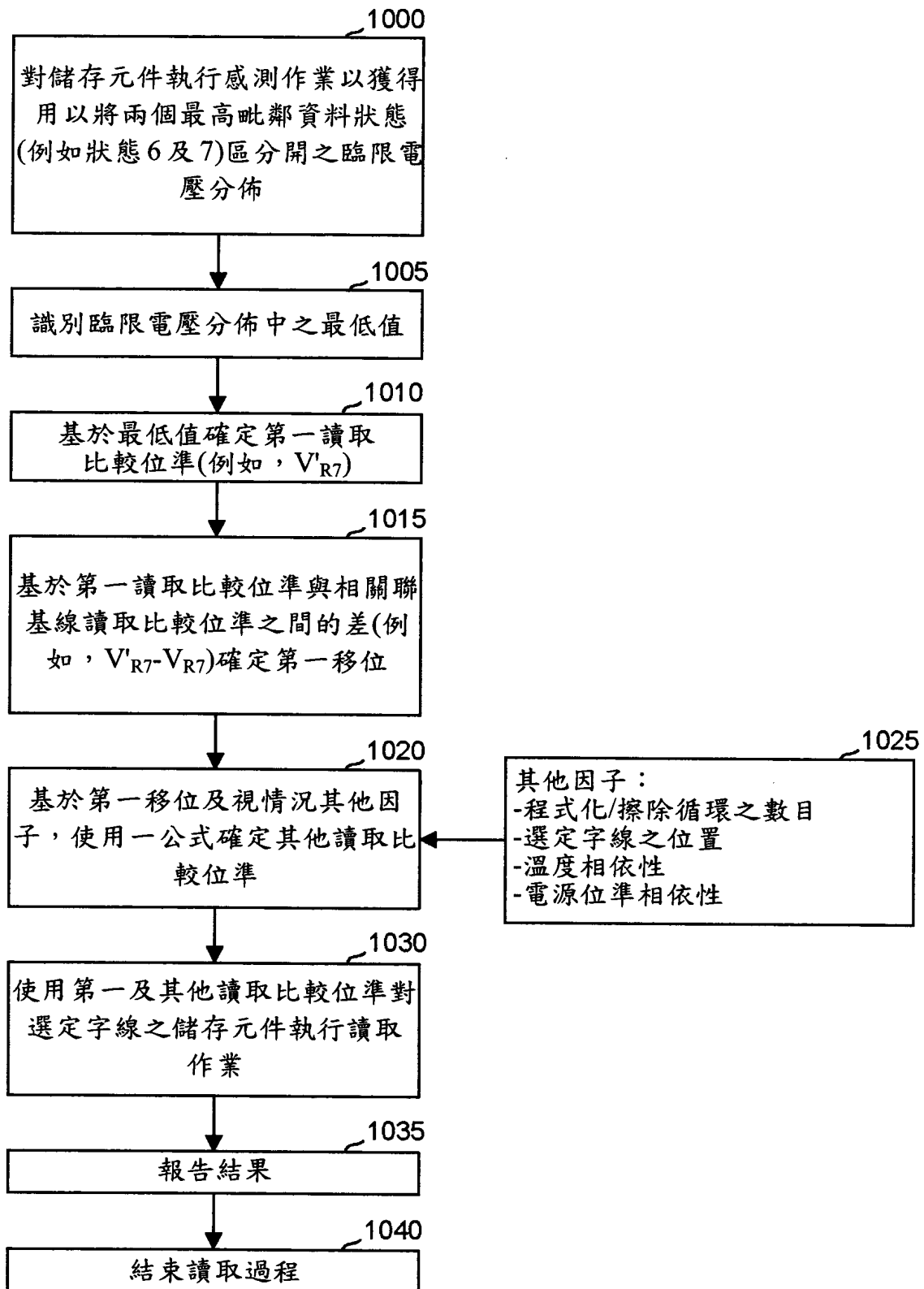


圖 10

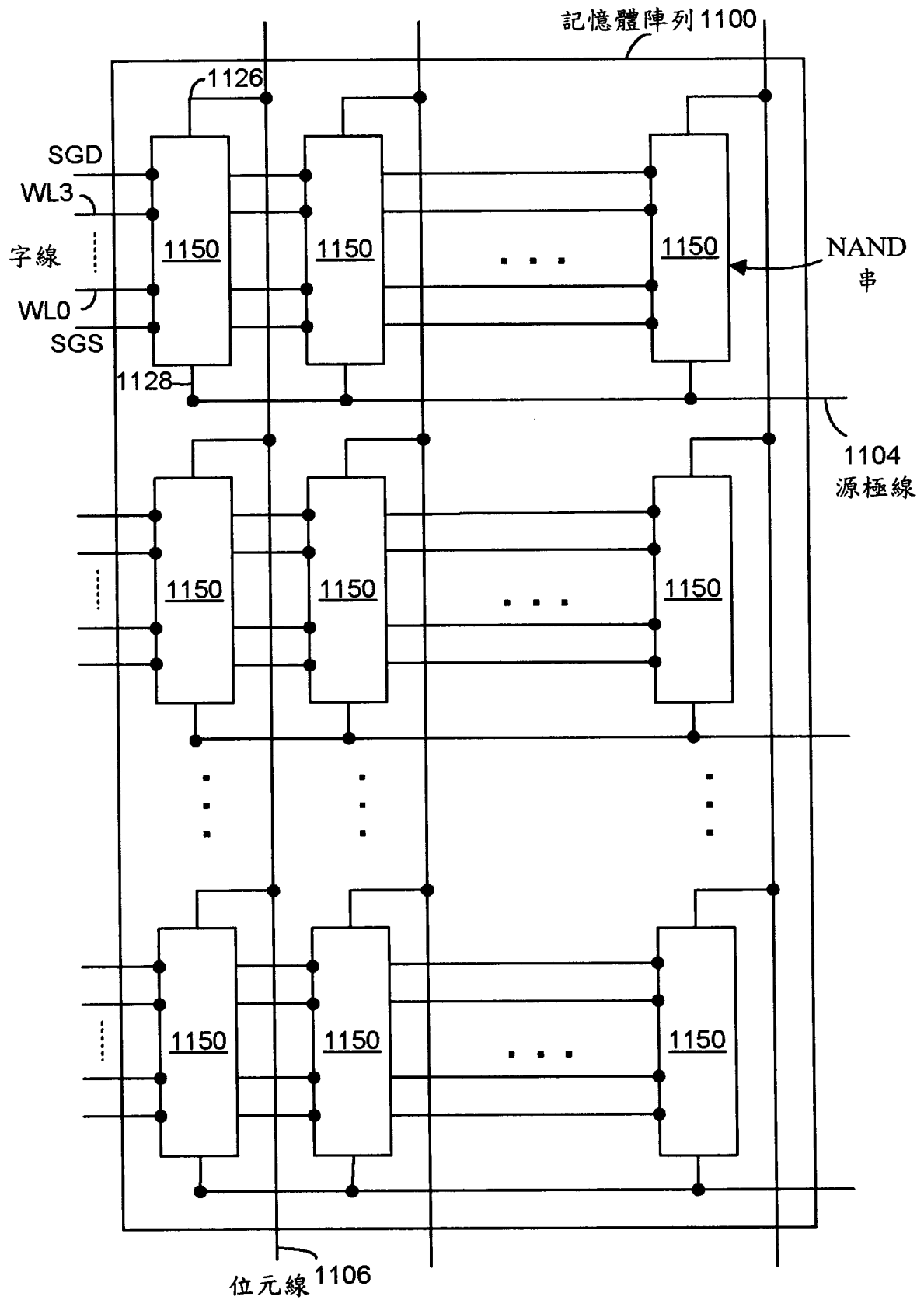


圖 11

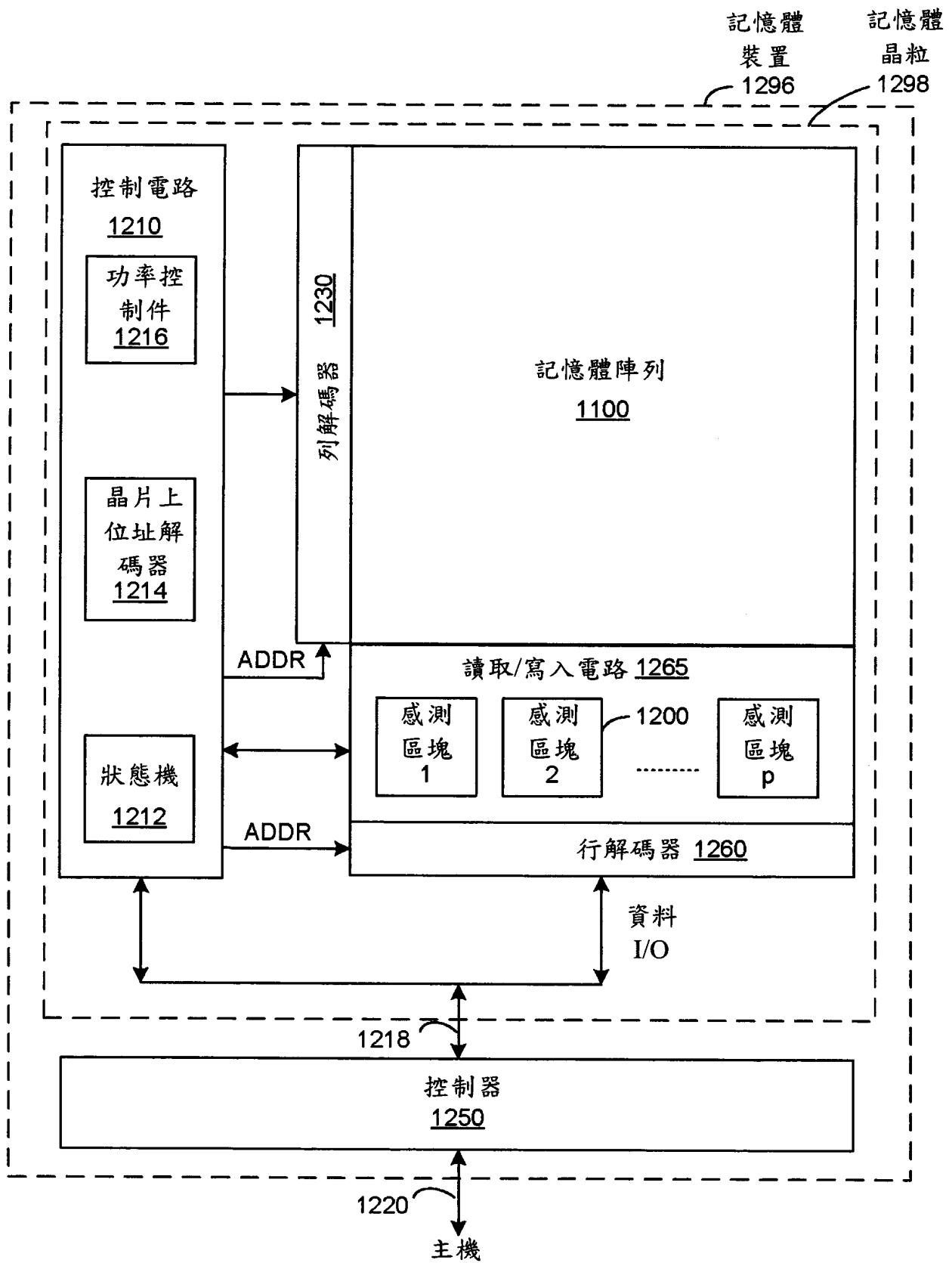


圖 12

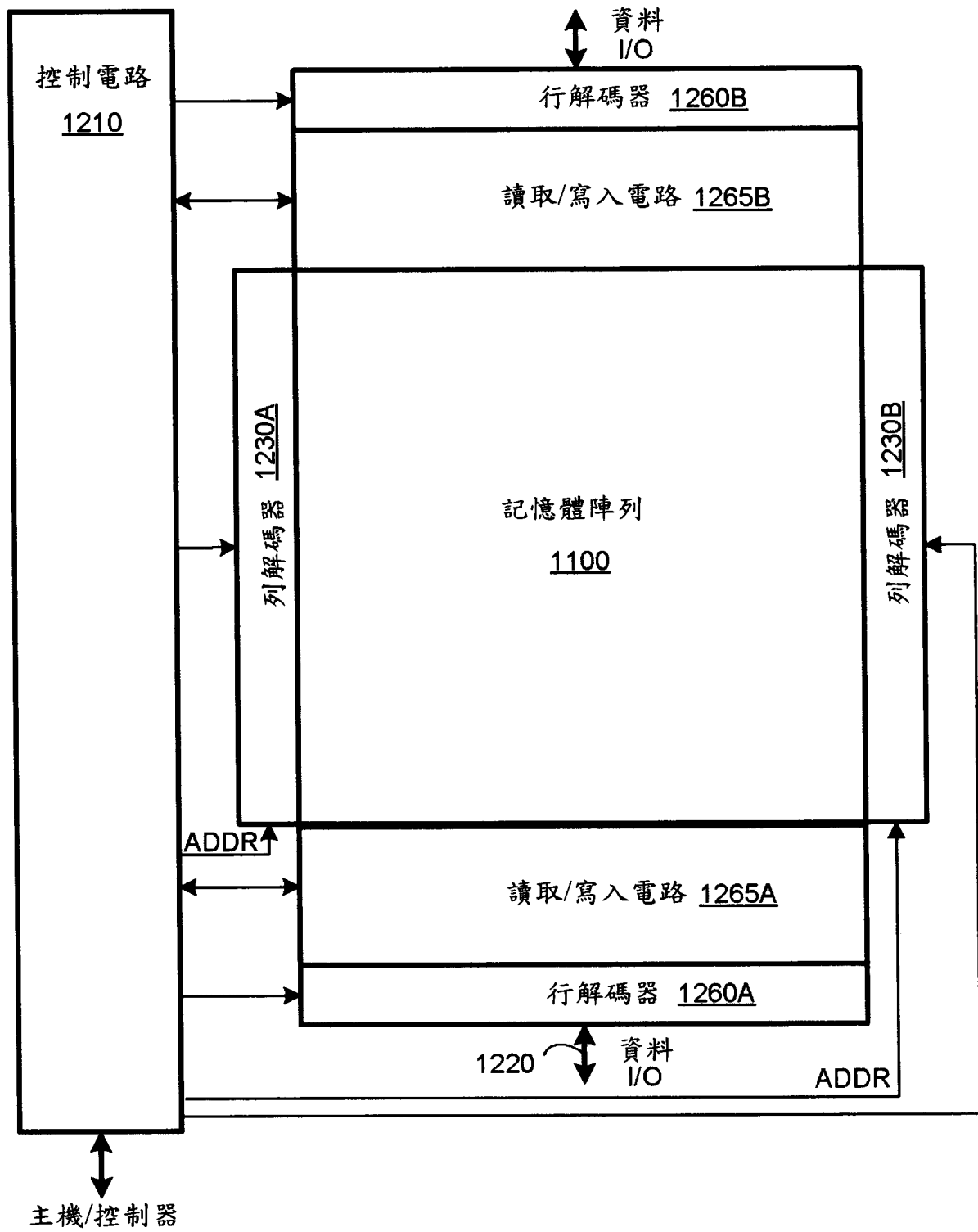


圖 13

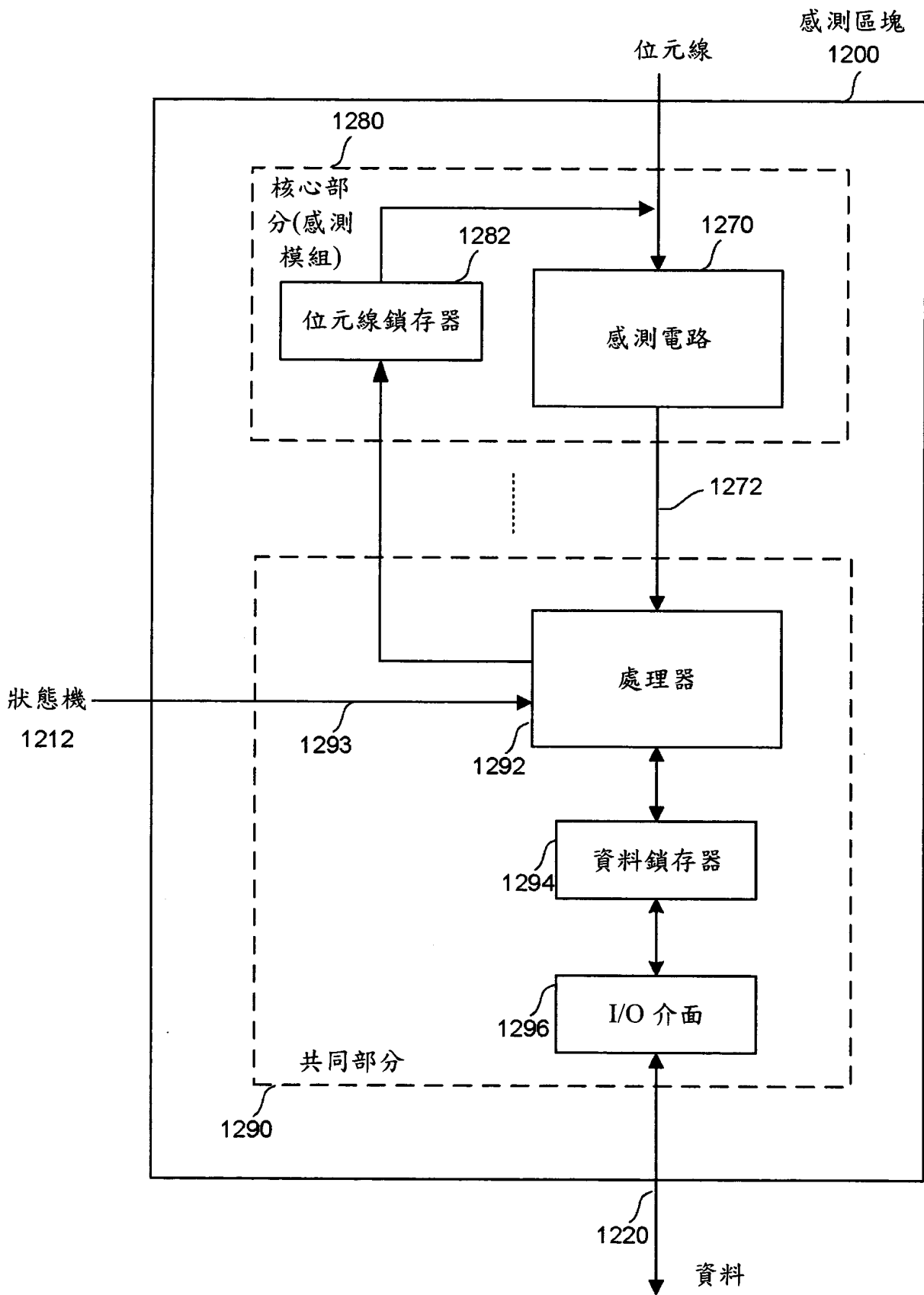


圖 14

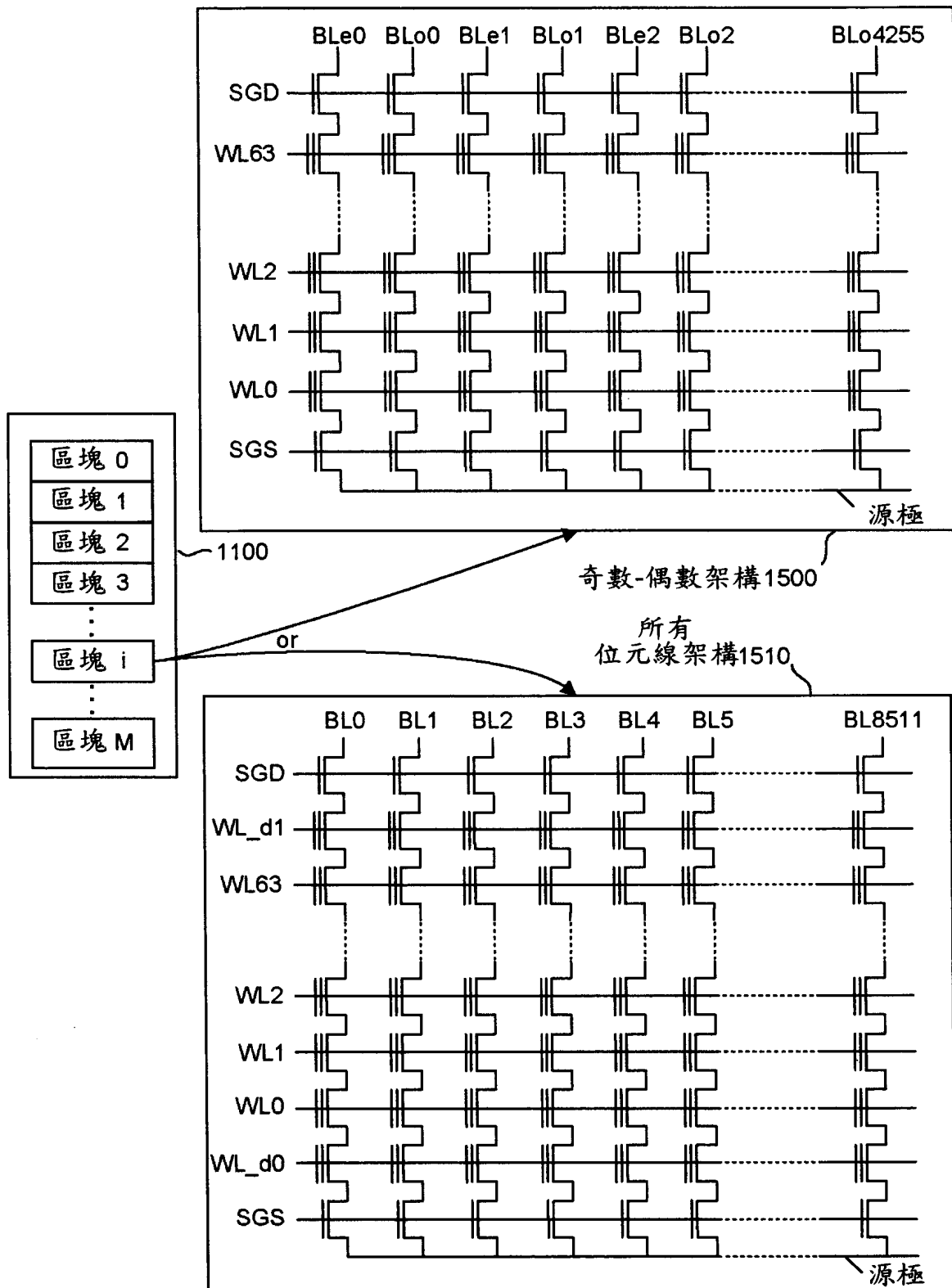


圖 15

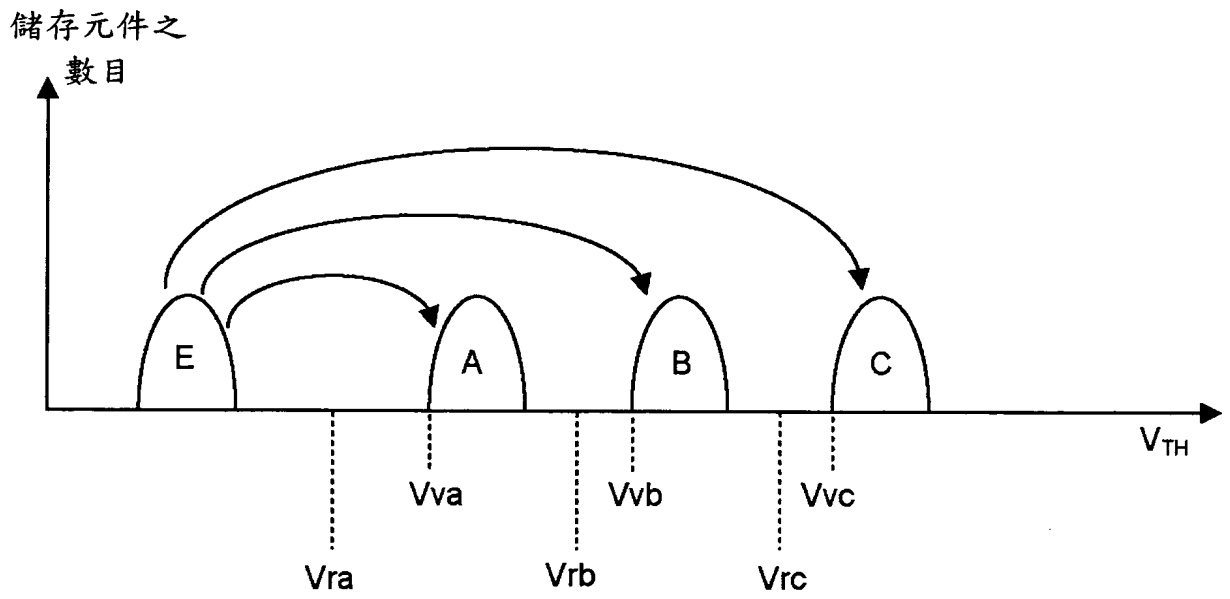


圖 16

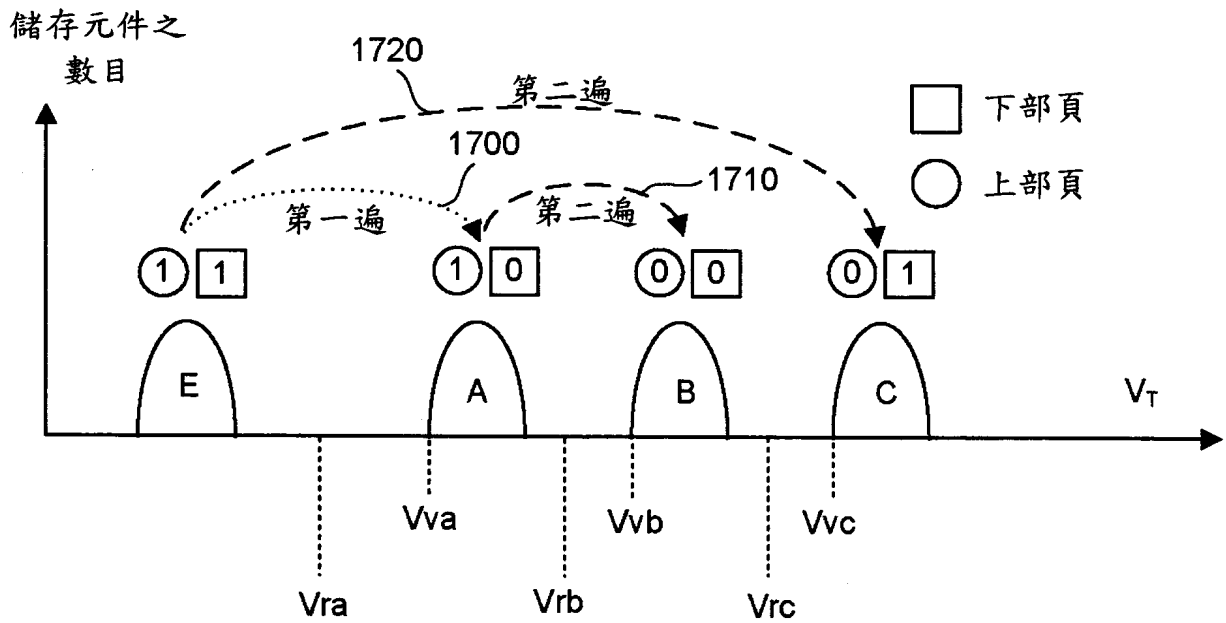


圖 17

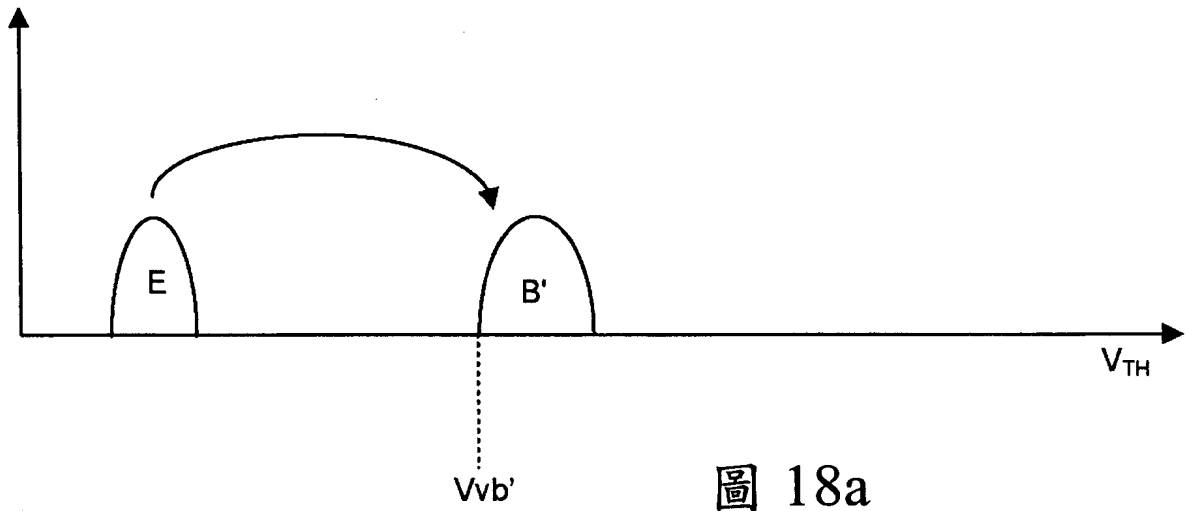


圖 18a

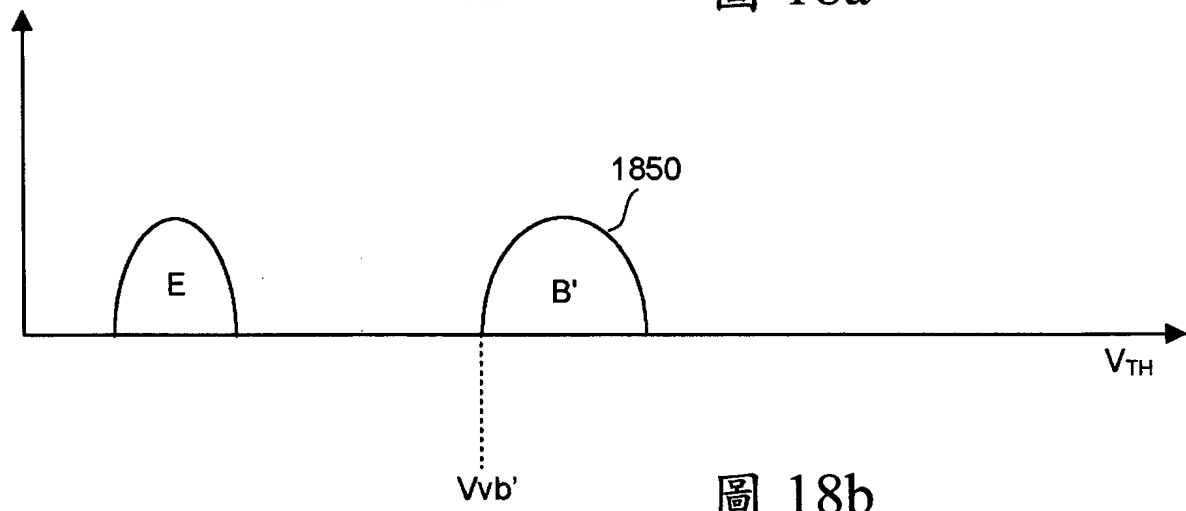


圖 18b

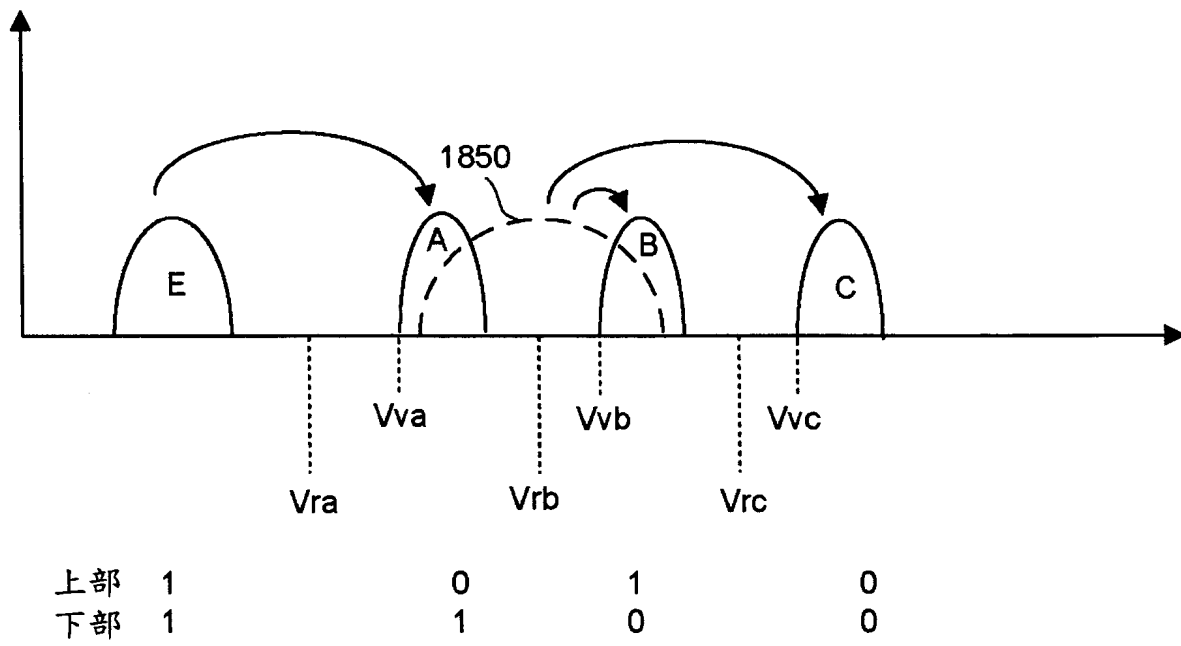


圖 18c

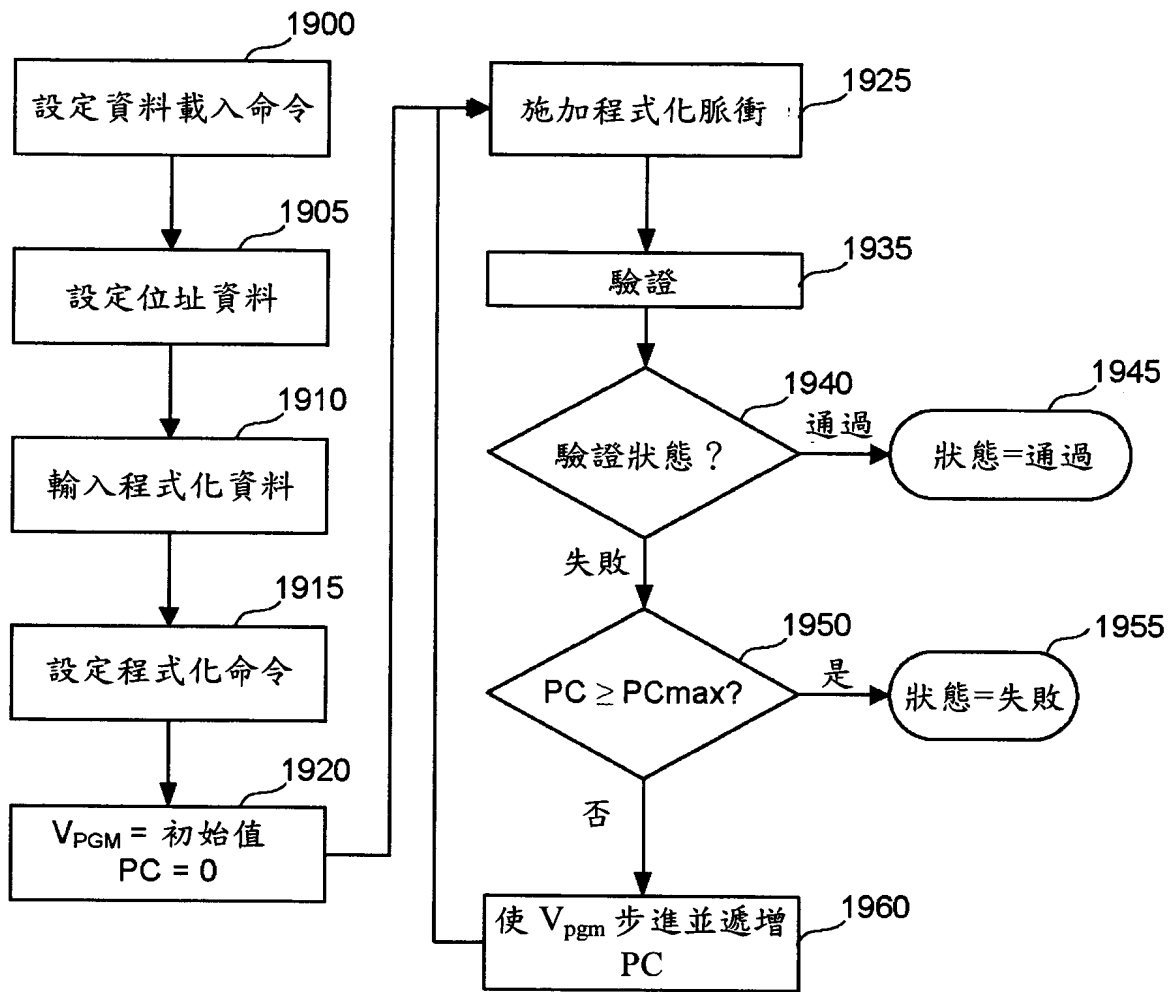


圖 19

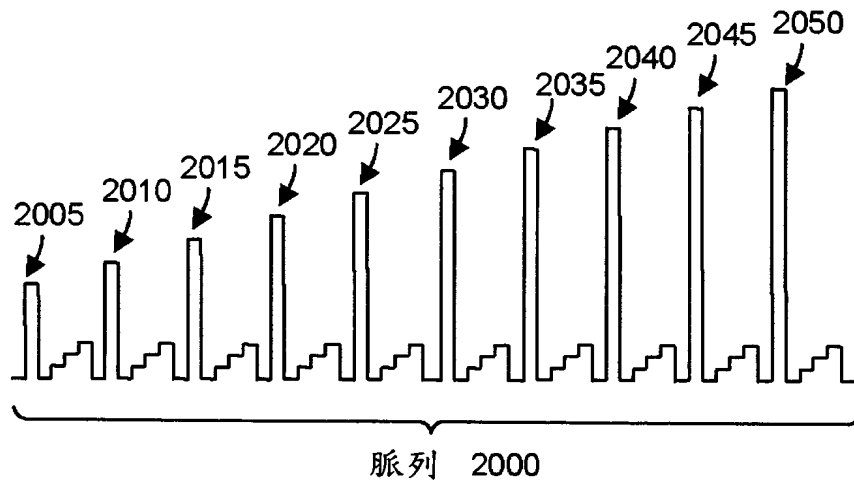


圖 20

**四、指定代表圖：**

(一)本案指定代表圖為：第 ( 7 ) 圖。

(二)本代表圖之元件符號簡單說明：

(無元件符號說明)

**五、本案若有化學式時，請揭示最能顯示發明特徵的化學式：**

(無)