



(19)中華民國智慧財產局

(12)發明說明書公告本

(11)證書號數：TW I626749 B

(45)公告日：中華民國 107 (2018) 年 06 月 11 日

(21)申請案號：106124606

(22)申請日：中華民國 102 (2013) 年 08 月 02 日

(51)Int. Cl. : H01L29/78 (2006.01)

H01L21/28 (2006.01)

(30)優先權：2012/08/10 日本

2012-178634

(71)申請人：半導體能源研究所股份有限公司 (日本) SEMICONDUCTOR ENERGY
LABORATORY CO., LTD. (JP)

日本

(72)發明人：山崎舜平 YAMAZAKI, SHUNPEI (JP)

(74)代理人：林志剛

(56)參考文獻：

TW 201140806A

US 2012/0138922A1

審查人員：謝介銘

申請專利範圍項數：10 項 圖式數：14 共 80 頁

(54)名稱

半導體裝置

SEMICONDUCTOR DEVICE

(57)摘要

本發明的目的是提供一種可靠性高且具有穩定的電特性的半導體裝置。此外，本發明的目的是製造可靠性高的半導體裝置。本發明的一個方式包括：層疊第一氧化物半導體層、第二氧化物半導體層以及第三氧化物半導體層而成的氧化物半導體疊層；與氧化物半導體疊層接觸的源極電極層以及汲極電極層；隔著閘極絕緣層與氧化物半導體層重疊的閘極電極層；夾著氧化物半導體層疊的第一氧化物絕緣層以及第二氧化物絕緣層。其中，第一氧化物半導體層至第三氧化物半導體層含有銦、鎵及鋅，第二氧化物半導體層中的銦含有率比第一氧化物半導體層以及第三氧化物半導體層的銦含有率多。第一氧化物半導體層是非晶，而第二氧化物半導體層以及第三氧化物半導體層都具有晶體結構。

To provide a highly reliable semiconductor device exhibiting stable electrical characteristics. To fabricate a highly reliable semiconductor device. Included are an oxide semiconductor stack in which a first oxide semiconductor layer, a second oxide semiconductor layer, and a third oxide semiconductor layer are stacked, a source and a drain electrode layers contacting the oxide semiconductor stack, a gate electrode layer overlapping with the oxide semiconductor layer with a gate insulating layer provided therebetween, and a first and a second oxide insulating layers between which the oxide semiconductor stack is sandwiched. The first to the third oxide semiconductor layers each contain indium, gallium, and zinc. The proportion of indium in the second oxide semiconductor layer is higher than that in each of the first and the third oxide semiconductor layers. The first oxide semiconductor layer is amorphous. The second and the third oxide semiconductor layers each have a crystalline structure.

指定代表圖：

100 . . . 基板
102 . . . 元件隔離絕緣層
104 . . . 絕緣層
108 . . . 閘極絕緣層
110 . . . 閘極電極層
112 . . . 佈線層
114 . . . 佈線層
115 . . . 佈線層
115a . . . 佈線層
115b . . . 佈線層
115c . . . 佈線層
116 . . . 佈線層
117 . . . 佈線層
120 . . . 絕緣層
135 . . . 絕緣層
140 . . . 絕緣層
142a . . . 源極電極層
142b . . . 汲極電極層
144 . . . 氧化物半導體疊層
144a . . . 氧化物半導體層
144b . . . 氧化物半導體層
144c . . . 氧化物半導體層
147 . . . 閘極絕緣層
147a . . . 閘極絕緣層
147b . . . 閘極絕緣層
148 . . . 閘極電極層
150 . . . 絕緣層
155 . . . 絕緣層

I626749

TW I626749 B

160、162・ ・ ・ 電晶
體

發明專利說明書

(本說明書格式、順序，請勿任意更動)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【技術領域】

本發明係關於半導體裝置及半導體裝置的製造方法。

注意，在本說明書中，半導體裝置指的是能夠藉由利用半導體特性工作的所有裝置，因此，電光裝置、半導體電路以及電子裝置都是半導體裝置。

【先前技術】

藉由利用形成在具有絕緣表面的基板上的半導體薄膜來構成電晶體(也稱為薄膜電晶體)的技術受到關注。該電晶體被廣泛地應用於如積體電路(IC)及影像顯示裝置(顯示裝置)等的電子裝置。作為可以應用於電晶體的半導體薄膜，矽類半導體材料被廣泛地周知。但是，作為其他材料，氧化物半導體受到關注。

例如，專利文獻 1 已公開了使用包含銦(In)、鎵(Ga)及鋅(Zn)的氧化物半導體的電晶體。

另外，與矽半導體等相比，氧化物半導體膜可以藉由濺射法等之薄膜形成技術在較低的溫度下形成，因此可以重疊於其他電晶體上而形成。例如，專利文獻 2 公開了藉

由將以氧化物半導體層作為通道形成區域的電晶體重疊地設置在使用矽的電晶體上，來使其單元面積縮小的半導體裝置。

[專利文獻 1]日本專利申請公開第 2006-165528 號公報

[專利文獻 2]日本專利申請公開第 2012-15500 號公報

在將氧化物半導體層用於通道形成區域的電晶體中，氧從氧化物半導體層脫離所導致的氧缺陷會引起載子的產生。另外，當氫等雜質侵入到氧化物半導體層內時也引起載子的產生。

當氧化物半導體層內產生載子時會導致電晶體的關態電流(off-state current)以及臨界電壓的偏差增大，從而使電晶體的電特性變動，因此造成半導體裝置的可靠性下降。

【發明內容】

鑒於上述問題，本發明的一個方式的目的之一是提供可靠性高且具有穩定的電特性的半導體裝置。此外，本發明的目的之一是製造可靠性高的半導體裝置。

本發明的一個方式的半導體裝置包括：層疊第一氧化物半導體層、第二氧化物半導體層以及第三氧化物半導體層而成的氧化物半導體疊層；夾著氧化物半導體疊層的第一氧化物絕緣層以及第二氧化物絕緣層。其中，第一氧化物半導體層、第二氧化物半導體層以及第三氧化物半導體層至少包含銦，並且第二氧化物半導體層中的銦含有率比

第一氧化物半導體層以及第三氧化物半導體層的銦含有率多，第一氧化物半導體層是非晶，而第二氧化物半導體層以及第三氧化物半導體層具有晶體結構。

由於第二氧化物半導體層中的銦比例比第一氧化物半導體層以及第三氧化物半導體層多，所以載子遷移率高，於是第二氧化物半導體層成為載子路徑。其結果，由於載子在遠離設置在氧化物半導體疊層的下方或上方的氧化物絕緣膜的區域中流過，所以可以降低從氧化物絕緣層混入雜質等的影響。

為了使第二氧化物半導體層的傳導帶(conduction band)下端具有呈現最低能階的阱結構(well structure)的結構，適當地選擇氧化物半導體疊層的材料。明確而言，以如下方式選擇適當的材料，即，使第二氧化物半導體層的傳導帶下端與第一氧化物半導體層的傳導帶下端以及第三氧化物半導體層的傳導帶下端相比處於離真空能階最深的位置。

另外，因為如果氧化物半導體層中含有作為雜質的第 14 族元素之一的矽或碳，就有可能形成施體且 n 型化，所以包含在氧化物半導體層中的矽濃度為 $3 \times 10^{18} \text{ atoms/cm}^3$ 以下，較佳為 $3 \times 10^{17} \text{ atoms/cm}^3$ 以下。此外，碳濃度為 $3 \times 10^{18} \text{ atoms/cm}^3$ 以下，較佳為 $3 \times 10^{17} \text{ atoms/cm}^3$ 以下。特別是，為了使第 14 族元素不混入第二氧化物半導體層太多，較佳為採用以第一氧化物半導體層以及第三氧化物半導體層夾著或包圍用作載子路徑的第二氧化物半導體層的

結構。換言之，第一氧化物半導體層以及第三氧化物半導體層是防止矽等的第 14 族元素混入第二氧化物半導體層中的阻擋層。

此外，如果雜質的氫或水分包含在氧化物半導體疊層中，就有可能形成施體且 n 型化。所以在氧化物半導體疊層的上方或下方設置防止氫或水分從外部混入的保護膜(氮化矽膜等)，這樣有利於實現阱結構。

藉由使氧化物半導體層採用上述疊層結構，可以使形成通道的區域中的利用恆定光電流法(CPM: Constant Photocurrent Method)測定的局部能階的吸收係數為 $3 \times 10^{-3}/\text{cm}$ 以下(換算成態密度為 $3 \times 10^{13}/\text{cm}^3$ 以下)。

因此，本發明的一個方式是一種半導體裝置，包括：形成在半導體基板上的第一氧化物絕緣層；第一氧化物絕緣層上的層疊第一氧化物半導體層、第二氧化物半導體層以及第三氧化物半導體層而成的氧化物半導體疊層；氧化物半導體疊層上的第二氧化物絕緣層；隔著第二氧化物絕緣層與氧化物半導體疊層重疊的第一閘極電極層。其中，第一氧化物半導體層、第二氧化物半導體層以及第三氧化物半導體層至少包含銦，第二氧化物半導體層中的銦含有率比第一氧化物半導體層以及第三氧化物半導體層的銦含有率多，第二氧化物半導體層以及第三氧化物半導體層具有晶體結構，而第一氧化物半導體層是非晶。

另外，除了上述結構以外，還可以在第一氧化物半導體層的下方和第二氧化物絕緣層的上方分別設置有第一氮

化物絕緣層和第二氮化物絕緣層。第一氮化物絕緣層以及第二氮化物絕緣層防止氫或水分等混入氧化物半導體疊層。

第一氧化物絕緣層以及第二氧化物絕緣層較佳為含有超過化學計量組成的氧。藉由含有超過化學計量組成的氧，可以向氧化物半導體疊層供應氧而填補其氧缺陷。

第一氧化物半導體層以及第三氧化物半導體層中的銦濃度較佳為至少 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上。另外，氧化物半導體疊層的局部能階的吸收係數較佳為 $3 \times 10^{-3} / \text{cm}$ 以下。

半導體裝置還可以具有隔著第一氧化物絕緣層與氧化物半導體疊層重疊的第二閘極電極層。

第二氧化物半導體層以及第三氧化物半導體層較佳為具有其 c 軸在大致垂直於表面的方向配向的結晶。

第一氧化物半導體層、第二氧化物半導體層以及第三氧化物半導體層還可以含有銦、鋅及鎵。尤其是，如果第一氧化物半導體層、第二氧化物半導體層以及第三氧化物半導體層由相同的元素形成，就可以降低各個氧化物半導體層之間的介面散射。

另外，較佳為第一氧化物半導體層以及第三氧化物半導體層中含有的矽濃度為 $3 \times 10^{18} \text{ atoms/cm}^3$ 以下，第一氧化物半導體層以及第三氧化物半導體層中含有的碳濃度為 $3 \times 10^{18} \text{ atoms/cm}^3$ 以下。

此外，本發明的另一個方式是一種半導體裝置的製造方法，包括如下步驟：在半導體基板上形成第一氧化物絕

緣層；在第一氧化物絕緣層上形成非晶的第一氧化物半導體層以及具有晶體結構的第二氧化物半導體層；在氧氣及氮氣氛圍中進行第一加熱處理；在第二氧化物半導體層上形成具有晶體結構的第三氧化物半導體層；在第三氧化物半導體層上形成第二氧化物絕緣層；在氧氣及氮氣氛圍中進行第二加熱處理。

此外，本發明的另一個方式是一種半導體裝置的製造方法，包括如下步驟：在半導體基板上形成第一氧化物絕緣層；在第一氧化物絕緣層上層疊地形成非晶的第一氧化物半導體層以及具有晶體結構的第二氧化物半導體層；在第二氧化物半導體層上形成以第二氧化物半導體層具有的結晶為晶種而進行結晶生長的第三氧化物半導體層。

注意，作為半導體基板也可以使用設置有電晶體的半導體基板。

根據本發明的一個方式可以提供可靠性高的使用具有穩定的電特性的氧化物半導體的半導體裝置。可以製造可靠性高的半導體裝置。

【圖式簡單說明】

在圖式中：

圖 1 是本發明的一個方式的半導體裝置的剖面圖；

圖 2A 和圖 2B 是說明本發明的一個方式的半導體裝置的製造方法的圖；

圖 3A 和圖 3B 是說明本發明的一個方式的半導體裝

置的製造方法的圖；

圖 4A 和圖 4B 是本發明的一個方式的半導體裝置的剖面圖；

圖 5A 至圖 5C 是本發明的一個方式的半導體裝置的剖面圖；

圖 6A 和圖 6B 是本發明的一個方式的半導體裝置的電路圖；

圖 7A 至圖 7C 是本發明的一個方式的半導體裝置的電路圖及示意圖；

圖 8 是本發明的一個方式的半導體裝置的塊圖；

圖 9 是本發明的一個方式的半導體裝置的塊圖；

圖 10 是本發明的一個方式的半導體裝置的塊圖；

圖 11A 和圖 11B 示出可以應用本發明的一個方式的半導體裝置的電子裝置；

圖 12A 是根據本發明的一個方式的半導體裝置所包括的氧化物半導體疊層的圖，圖 12B 是該氧化物半導體疊層的能帶圖，圖 12C 是根據本發明的另一個方式的半導體裝置所包括的氧化物半導體疊層的能帶圖；

圖 13 是示出半導體裝置的製造裝置的一例的俯視圖；

圖 14A 示出氧化物半導體疊層的從真空能階到傳導帶下端的能階，圖 14B 是其能帶圖。

【實施方式】

下面，參照圖式對本發明的實施方式進行詳細說明。但是，本發明不限於以下的說明，所屬技術領域的普通技術人員可以很容易地理解一個事實就是其方式和詳細內容可以被變換為各種形式。此外，本發明不應該被解釋為僅限定在以下所示的實施方式所記載的內容中。

在以下所說明的實施方式中，有時在不同圖式之間共同使用相同的參考符號來表示相同的部分。另外，在各實施方式的說明中，為了明確起見，有時誇大表示圖式所示的各構成要素，即，層或區域等的厚度、幅度以及相對位置關係等。

注意，在本說明書等中，“上”不侷限於構成要素的位置關係為“直接在……之上”。例如，“絕緣層上的閘極電極層”包括在絕緣層和閘極電極層之間包含其他構成要素的情況。“下”也是同樣的。

另外，在本說明書等中，“電極層”或“佈線層”不限定這些構成要素的功能。例如，有時將“電極層”用作“佈線層”的一部分，反之亦然。再者，“電極層”或“佈線層”還包括多個“電極層”或“佈線層”形成為一體的情況等。

另外，在使用極性不同的電晶體的情況或電路工作中的電流方向變化的情況等下，“源極”及“汲極”的功能有時互相調換。因此，在本說明書中，“源極”和“汲極”可以互相調換。

另外，在本說明書等中，“電連接”包括仲介“具有

某種電作用的元件”連接的情況。在此，“具有某種電作用的元件”只要可以進行連接目標間的電信號的授受，就對其沒有特別的限制。

例如，“具有某種電作用的元件”包括電極和佈線等。

實施方式 1

在本實施方式中，參照圖式詳細地說明本發明的一個方式的半導體裝置。圖 1 示出本發明的一個方式的半導體裝置。

半導體裝置具有使用第一半導體材料的電晶體 160，以及形成在電晶體 160 上的使用第二半導體材料的電晶體 162。

在此，使用於電晶體 160 和電晶體 162 的半導體材料較佳為具有不同的禁止帶寬度的材料。例如，可以將矽類半導體(單晶矽、多晶矽等)用於第一半導體的材料，並且將氧化物半導體用於第二半導體的材料。使用矽類半導體的電晶體容易進行高速工作。另一方面，使用氧化物半導體的電晶體則具有關態電流小的特徵。

圖 1 所示的電晶體 160 具有基板 100 上的閘極絕緣層 108 以及閘極絕緣層 108 上的閘極電極層 110。另外，在基板 100 中形成有通道形成區域、源極區域及汲極區域。並且，以圍繞電晶體 160 的方式設置有元件隔離絕緣層 102，而元件隔離絕緣層 102 上設置有與電晶體 160 電連

接的佈線層 112。

此外，也可以以與電晶體 160 中的閘極電極層 110 的側壁接觸的方式設置側壁絕緣層。如圖 1 所示，藉由採用不具有側壁絕緣層的結構可以實現高積體化。

在電晶體 160、元件隔離絕緣層 102 以及佈線層 112 上形成有絕緣層 104。在絕緣層 104 中形成有到達佈線層 112 的開口，在該開口形成佈線層 114。佈線層 114 可以利用以下方法來形成：在絕緣層 104 中形成開口後，在該開口形成導電膜，接下來利用化學機械拋光 (Chemical Mechanical Polishing: CMP) 處理等對絕緣層 104 以及導電膜進行平坦化處理。

在絕緣層 104 上形成有佈線層 115。雖然佈線層 115 是由佈線層 115a、佈線層 115b 以及佈線層 115c 來層疊構成的，但並不限於該結構，可以根據所需要的特性來設置佈線層。在佈線層 115 上設置有絕緣層 120。絕緣層 120 的頂面是平坦的，由此可以減少起因於電晶體 160 和佈線層 115 的凹凸。

在絕緣層 120 上形成有絕緣層 135。將具有阻擋作用的膜用作絕緣層 135，由此可以抑制因氫等從電晶體 162 釋放而引起的電晶體 160 的特性的降低，與此同時，還可以防止起因於電晶體 160 的雜質混入到電晶體 162 中。在此，作為混入到電晶體 162 中的雜質，有氫、水分以及氮等。所以，作為絕緣層 135，較佳為採用不使這些雜質透過的膜。

在形成於絕緣層 135 以及絕緣層 120 中的開口形成有佈線層 116，佈線層 116 與佈線層 115 接觸。在絕緣層 135 上形成有與佈線層 116 接觸的佈線層 117。佈線層 117 上形成有絕緣層 140。

絕緣層 140 較佳為含有超過化學計量組成的氧的膜。藉由使絕緣層 140 含有超過化學計量組成的氧，可以對與絕緣層 140 接觸的氧化物半導體疊層 144 供應氧，從而減少氧化物半導體疊層 144 中的氧缺陷。

絕緣層 140 的頂面經過了化學機械拋光等的平坦化處理，因此減少了電晶體 160 以及佈線層 115、佈線層 117 等所引起的凹凸。藉由提高絕緣層 140 頂面的平坦性，可以使氧化物半導體疊層 144 的膜厚度分佈均勻化，而可以提高電晶體 162 的特性。

在絕緣層 140 上形成有電晶體 162。電晶體 162 包括：氧化物半導體疊層 144；與氧化物半導體疊層 144 接觸的源極電極層 142a 以及汲極電極層 142b；氧化物半導體疊層 144、源極電極層 142a 以及汲極電極層 142b 上的閘極絕緣層 147；閘極絕緣層 147 上的閘極電極層 148；閘極電極層 148 上的絕緣層 150；絕緣層 155。

氧化物半導體疊層 144 藉由層疊第一氧化物半導體層 144a、第二氧化物半導體層 144b 以及第三氧化物半導體層 144c 而成。第二氧化物半導體層 144b 採用載子密度大於第一氧化物半導體層 144a 以及第三氧化物半導體層 144c 的氧化物半導體。由此，在載子密度大的第二氧化

物半導體層 144b 中形成通道，這樣可以使通道形成區域遠離氧化物半導體疊層 144 和絕緣層的介面。

另外，第一氧化物半導體層 144a 是非晶，而第二氧化物半導體層 144b 以及第三氧化物半導體層 144c 具有晶體結構。將具有晶體結構的半導體膜應用於第二氧化物半導體層 144b，由此可以減少通道形成區域中的氧缺陷的影響。

第三氧化物半導體層 144c 以第二氧化物半導體層 144b 具有的結晶為晶種而進行結晶生長。因此，即使第三氧化物半導體層 144c 的與第二氧化物半導體層 144b 重疊的區域具有晶體結構，第三氧化物半導體層 144c 的與第二氧化物半導體層 144b 不重疊的區域(絕緣層 140 或與第一氧化物半導體層 144a 的側面接觸的區域)有時也會是非晶結構。所以，在圖式中使第三氧化物半導體層 144c 的與第二氧化物半導體層 144b 重疊的區域和其他區域的陰影為不同。

注意，第二氧化物半導體層 144b 和第三氧化物半導體層 144c 都具有晶體結構，而且有時介面不明確。因此，在圖式中用虛線來表示第二氧化物半導體層 144b 和第三氧化物半導體層 144c 之間的介面。

接下來，對本發明的一個方式的半導體裝置的製造方法進行說明。首先，在基板 100 上形成用作閘極絕緣層 108 的絕緣膜。

作為基板 100，可以使用以矽或碳化矽等為材料的單

晶半導體基板、多晶半導體基板或以矽鍺等為材料的化合物半導體基板等。另外，還可以使用 SOI 基板或在半導體基板上設置有半導體元件的基板等。

此外，還可以使用藉由電漿 CVD 法等的氣相生長法或濺射法等在玻璃基板(如硼矽酸鋇玻璃或硼矽酸鋁玻璃等)、陶瓷基板、石英基板、藍寶石基板等上形成半導體層的基板。作為半導體層可以採用：非晶矽；利用雷射退火法等處理使非晶矽結晶化的多晶矽；對單晶矽晶片注入氫離子等而使其表層部分剝離的單晶矽等。藉由光微影製程將這些半導體層加工為島狀即可。

形成成為用來形成元件隔離絕緣層的遮罩的保護層，將該保護層用作遮罩進行蝕刻，去除不由保護層覆蓋的區域的基板 100 的一部分。由此在基板 100 的上方形形成被分離的多個半導體區域。以覆蓋被分離的半導體區域的方式形成絕緣層後，選擇性地去除與該半導體區域重疊的絕緣層，來形成元件隔離絕緣層 102。

接下來，形成閘極絕緣層 108 與閘極電極層 110 的疊層。閘極絕緣層 108 可以適當地利用濺射法、MBE (Molecular Beam Epitaxy：分子束磊晶)法、CVD(Chemical Vapor Deposition：化學氣相沉積)法、PLD(Pulsed Laser Deposition：脈衝雷射沉積)法、ALD(Atomic Layer Deposition：原子層沉積)法等來製造。注意，採用濺射法形成閘極絕緣層 108，可以減少氫等的雜質元素。

作為閘極絕緣層 108，採用無機絕緣膜即可。例如可

以使用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、氧化鉛膜、氧化鎳膜、氮化矽膜、氮化鋁膜、氮氧化矽膜、氮氧化鋁膜等。而且，可以以單層結構或兩層以上的疊層結構形成這些化合物來使用。

作為閘極電極層 110(以及以與閘極電極層 110 相同的導電膜來形成的佈線層 112 等)，可以藉由電漿 CVD 法或濺射法等使用鉬、鈦、鉭、鎢、鋁、銅、鉻、鈹、鈳等金屬材料或以這些金屬材料為主要成分的合金材料而形成。此外，作為閘極電極層 110，可以使用以摻雜有磷等雜質元素的多晶矽膜為代表的半導體膜、鎳矽化物等矽化物膜。再者，也可以應用導電材料諸如銦錫氧化物、包含氧化鎢的銦氧化物、包含氧化鎢的銦鋅氧化物、包含氧化鈦的銦氧化物、包含氧化鈦的銦錫氧化物、銦鋅氧化物以及添加有氧化矽的銦錫氧化物等。另外，也可以採用上述導電材料和上述金屬材料的疊層結構。

在此，藉由以閘極電極層 110 為遮罩，將對基板 100 賦予 n 型導電性或 p 型導電性的雜質元素引入，來形成源極區域和汲極區域。作為雜質元素的引入方法，可以使用離子植入法、離子摻雜法、電漿浸沒離子植入法等。

作為引入的雜質元素，可以使用磷、硼、氮、砷、銦、鋁或包含上述元素的分子離子等。這些元素的劑量較佳為 $1 \times 10^{13} \text{ ions/cm}^2$ 至 $5 \times 10^{16} \text{ ions/cm}^2$ 。此外，當作為雜質元素引入磷時，加速電壓較佳為 0.5kV 至 80kV。

注意，可以進行多次引入雜質元素的處理。當進行多

次雜質元素引入的處理時，既可以在每次處理中都引入相同的雜質元素，也可以在每次處理中都引入不同的雜質元素。

藉由上述步驟，能夠製造電晶體 160。

接下來，以覆蓋閘極電極層 110、閘極絕緣層 108、元件隔離絕緣層 102 以及佈線層 112 的方式形成絕緣層 104。絕緣層 104 可以利用與閘極絕緣層 108 同樣的方法及材料來形成。

另外，在絕緣層 104 中形成開口，在該開口形成佈線層 114(參見圖 2A)。佈線層 114 可以利用與佈線層 112 同樣的材料及方法來形成。

接著，在絕緣層 104 上形成佈線層 115。佈線層 115 可以利用與佈線層 112 同樣的方法及材料來形成。

在此，爲了降低佈線層 115 的電阻且確保充分的耐熱性，佈線層 115 採用三層結構，選擇電阻率低的鋁膜用作佈線層 115b，在其上側和下側形成高熔點的鈦膜用作佈線層 115a 以及佈線層 115c。

注意，在形成作爲佈線層 115 的導電膜後，在對該導電膜進行蝕刻製程的同時，有時絕緣層 104 也會一起被蝕刻而其膜厚度減少。因此，絕緣層 104 的與佈線層 115 重疊的區域的膜厚度有時比其他區域厚。所以，絕緣層 104 的表面有時具有凹凸。

接下來，在絕緣層 104 以及佈線層 115 上形成絕緣層 120。爲了減少起因於電晶體 160、絕緣層 104 以及佈線

層 115 的凹凸，絕緣層 120 可以採用與閘極絕緣層 108 同樣的無機材料，或聚醯亞胺樹脂、丙烯酸樹脂、苯並環丁烯類樹脂等的有機材料。另外，除了上述有機材料之外，還可以使用低介電常數材料(low-k 材料)等。注意，還可以藉由層疊多個由這些材料形成的絕緣膜來形成絕緣層 120。

接著，在絕緣層 120 上形成絕緣層 135。

爲了防止起因於電晶體 160 的雜質混入到電晶體 162 中，絕緣層 135 較佳爲採用具有阻擋作用的膜。作爲絕緣層 135 例如可以使用含有氮化矽、氧化鋁、氧氮化鋁、氧化鎵、氧氮化鎵、氧化鈮、氧氮化鈮、氧化鉛、氧氮化鉛等的膜。

此外，如果絕緣層 135 中存在有低密度的部分或沒有形成膜的部分(以下將這些部分也總稱爲“空洞”)，有時雜質就會藉由空洞混入。

爲了不在絕緣層 135 中形成空洞，較佳爲預先提高絕緣層 120 的平坦性。比如可以在形成絕緣層 135 前對絕緣層 120 的表面進行化學機械拋光處理、電漿處理等的平坦化處理。

在形成絕緣層 135 後，在絕緣層 135 以及絕緣層 120 中形成到達佈線層 115 的開口，再在該開口形成佈線層 116，然後在絕緣層 135 上形成與佈線層 116 接觸的佈線層 117。佈線層 116 以及佈線層 117 可以採用與閘極電極層 110 同樣的材料和方法來形成。

接下來，在佈線層 117 上形成絕緣層 140(參見圖 2B)。作為絕緣層 140，採用氧化矽膜、氧氮化矽膜、氧化鋁膜、氧氮化鋁膜、氧化鉛膜、氧化鎵膜等的氧化物絕緣層或含有氮的氧化物絕緣層即可。而且，可以以單層結構或兩層以上的疊層結構形成這些化合物來使用。絕緣層 140 較佳為含有超過化學計量組成的氧的膜，以使其可以為後面形成的氧化物半導體疊層 144 提供氧。

另外，為了使後面形成的氧化物半導體疊層 144 的膜厚度分佈均勻而提高其結晶性，也可以預先藉由化學機械拋光處理將絕緣層 140 平坦化。

接著，在絕緣層 140 上形成氧化物半導體疊層 144。

第一氧化物半導體層 144a 至第三氧化物半導體層 144c 至少包含銦(In)，而且利用藉由 AC 濺射法或 DC 濺射法可以成膜的濺射靶來形成。使濺射靶中含有銦會提高其導電性，從而可以容易地利用 AC 濺射法或 DC 濺射法進行成膜。較佳為該濺射靶為至少能夠使成膜後的膜中的銦濃度為 $1 \times 10^{19} \text{ atoms/cm}^3$ 以上。作為構成第一氧化物半導體層 144a 以及第三氧化物半導體層 144c 的材料，採用可以表示為 $\text{InM}_1\text{XZn}_Y\text{O}_Z$ ($X \geq 1$ 、 $Y > 1$ 、 $Z > 0$ 、 $M_1 = \text{Ga}$ 、 Hf 等)的材料。注意，在使構成第一氧化物半導體層 144a 以及第三氧化物半導體層 144c 的材料包含 Ga 時，如果包含的 Ga 的比例大，具體來說，該材料是可以表示為 $\text{InM}_1\text{XZn}_Y\text{O}_Z$ 的材料且超過 $X=10$ ，就有可能在成膜時產生塵屑，而使利用 AC 濺射法或 DC 濺射法的成膜變得困

難，所以是不合適的。

另外，作為構成第二氧化物半導體層 144b 的材料，採用可以表示為 $\text{InM}_2\text{Zn}_Y\text{O}_Z$ ($X \geq 1$ 、 $Y \geq X$ 、 $Z > 0$ 、 $\text{M}_2 = \text{Ga}$ 、 Sn 等)的材料。

尤其是，當第二氧化物半導體層 144b 是 $\text{In-M}_2\text{-Zn}$ 氧化物 (M_2 是 Ga 或 Sn 等)時，在用於形成第二氧化物半導體層 144b 的靶材中，假設金屬元素的原子數比為 $\text{In} : \text{M}_2 : \text{Zn} = x_1 : y_1 : z_1$ 時， x_1/y_1 較佳為 $1/3$ 以上且 6 以下，更佳為 1 以上且 6 以下， z_1/y_1 較佳為 $1/3$ 以上且 6 以下，更佳為 1 以上且 6 以下。注意，藉由使 z_1/y_1 為 1 以上且 6 以下，可以使後面說明的用作第二氧化物半導體層 144b 的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子數比的典型例子，可以舉出 $\text{In} : \text{M}_2 : \text{Zn} = 1 : 1 : 1$ 、 $\text{In} : \text{M}_2 : \text{Zn} = 3 : 1 : 2$ 等。

另外，特別是當第一氧化物半導體層 144a 以及第三氧化物半導體層 144c 為 $\text{In-M}_1\text{-Zn}$ 氧化物 (M_1 是 Ga 或 Hf 等)時，在用於形成第一氧化物半導體層 144a 以及第三氧化物半導體層 144c 的靶材中，假設金屬元素的原子數比為 $\text{In} : \text{M}_1 : \text{Zn} = x_2 : y_2 : z_2$ 時，較佳為 $x_2/y_2 < x_1/y_1$ ，且 z_2/y_2 較佳為 $1/3$ 以上且 6 以下，更佳為 1 以上且 6 以下。注意，藉由使 z_2/y_2 為 1 以上且 6 以下，可以使後面說明的用作第一氧化物半導體層 144a 以及第三氧化物半導體層 144c 的 CAAC-OS 膜容易形成。作為靶材的金屬元素的原子數比的典型例子，可以舉出 $\text{In} : \text{M}_1 : \text{Zn} = 1 : 3 : 2$ 、

In : M1 : Zn=1 : 3 : 4、In : M1 : Zn=1 : 3 : 6、In : M1 : Zn=1 : 3 : 8 等。

作為第一氧化物半導體層 144a 至第三氧化物半導體層 144c，可以採用原子數比為 In : Ga : Zn=1 : 1 : 1(=1/3 : 1/3 : 1/3)、In : Ga : Zn=2 : 2 : 1(=2/5 : 2/5 : 1/5)、In : Ga : Zn=3 : 1 : 2(=1/2 : 1/6 : 1/3)、In : Ga : Zn=1 : 3 : 2(=1/6 : 1/2 : 1/3)、In : Ga : Zn=1 : 4 : 3(=1/8 : 1/2 : 3/8)、In : Ga : Zn=1 : 5 : 4(=1/10 : 1/2 : 2/5)、In : Ga : Zn=1 : 6 : 6(=1/13 : 6/13 : 6/13)的氧化物等。另外，作為第一氧化物半導體層 144a 以及第三氧化物半導體層 144c，也可以使用鋅代替鎵。此外，作為第二氧化物半導體層 144b，也可以使用錫代替鎵。

以如下方式適當選擇第一、第二以及第三氧化物半導體層的材料，即，使第二氧化物半導體層 144b 的傳導帶下端與第一氧化物半導體層 144a 的傳導帶下端以及第三氧化物半導體層 144c 的傳導帶下端相比成為離真空能階最深的位置的阱結構。可以從真空能階與價電子帶上端的能量差(換言之，游離電位)減去傳導帶下端與價電子帶上端的能量差(換言之，帶隙)來求出從真空能階到傳導帶下端的深度(也稱之為電子親和力)。

注意，用於獲得電子親和力的氧化物半導體的游離電位可以利用紫外線光電子能譜(UPS: Ultraviolet Photoelectron Spectroscopy)等來測定。作為典型的 UPS 的測定裝置，使用 PHI 公司製造的 VersaProbe。另外，電子親和力是指從

真空能階(E_{∞})到傳導帶端部(E_c)的能量差。此外，能帶隙(E_g)可以利用全自動光譜橢偏儀 UT-300 來測定。從游離電位值減去能帶隙可以算出傳導帶下端的能量，而製造單層或疊層的帶結構。利用該方法能夠確認到藉由使用本說明書中公開的疊層結構形成有埋入通道。圖 14A 和圖 14B 示出其一個例子。

圖 14A 示出從真空能階到傳導帶下端的能量的資料，為了獲得該資料，以如下方式形成具有疊層結構的樣本：在氧氣 100%的氛圍中利用具有 In : Ga : Zn=1 : 1 : 1[原子數比]的組成的 In-Ga-Zn 氧化物的濺射靶材來形成厚度為 10nm 的膜，然後在氬氣 100%的氛圍中利用具有 In : Ga : Zn=3 : 1 : 2[原子數比]的組成的 In-Ga-Zn 氧化物的濺射靶材來形成厚度為 10nm 的膜，然後在氧氣 100%的氛圍中利用具有 In : Ga : Zn=1 : 1 : 1[原子數比]的組成的 In-Ga-Zn 氧化物的濺射靶材來形成厚度為 10nm 的膜。使用該樣本測出游離電位，並利用全自動光譜橢偏儀 UT-300 測出能帶隙。藉由從游離電位減去能帶隙而獲得從真空能階到傳導帶下端的能量。圖 14B 示出根據該資料製成的帶結構。從圖 14B 可知，與第一氧化物半導體層的傳導帶下端以及第三氧化物半導體層的傳導帶下端相比，第二氧化物半導體層的傳導帶下端具有離真空能階最深的阱結構。

另外，當將 In-Ga-Zn 氧化物用作第一氧化物半導體層 144a 至第三氧化物半導體層 144c 時，由於第一氧化物

半導體層 144a 至第三氧化物半導體層 144c 的構成元素相同，所以第一氧化物半導體層 144a 和第二氧化物半導體層 144b 的介面以及第二氧化物半導體層 144b 和第三氧化物半導體層 144c 的介面的陷阱能階少，由此可以降低電晶體的隨時間的變化或壓力測試所導致的臨界電壓變動量。

由於 Ga 的氧缺陷的形成能量比 In 大而 Ga 不容易產生氧缺陷，所以具有 In 為 Ga 以下的組成的氧化物與具有 In 比 Ga 多的組成的氧化物相比具有穩定的特性。因此，第一氧化物半導體層 144a 以及第三氧化物半導體層 144c 能夠在與矽絕緣層之間形成穩定的介面，而製造可靠性高的半導體裝置。

在氧化物半導體中，主要是重金屬的 s 軌道有助於載子傳導，並且藉由增加 In 的含有率使 s 軌道的重疊增加，由此具有 In 比 Ga 多的組成的氧化物的遷移率比具有 In 為 Ga 以下的組成的氧化物高。因此，藉由在含有大量銦的第二氧化物半導體層 144b 中形成載子，可以實現高遷移率。

以如下方式適當地選擇第二氧化物半導體層 144b 的材料，即，使其傳導帶(conduction band)下端具有阱結構(well structure)。另外，圖 12B 示出阱結構的一個例子。圖 12B 是圖 12A 所示的電晶體的 Y1-Y2 之間的能帶圖。注意，由於圖 12A 所示的電晶體與圖 4A 所示的電晶體 163 採用同樣的結構，所以省略其詳細說明。

在此，因為如果氧化物半導體層中含有作為雜質的第 14 族元素之一的矽或碳，就有可能形成施體而 n 型化，所以使各個氧化物半導體層中包含的矽濃度為 3×10^{18} atoms/cm³ 以下，較佳為 3×10^{17} atoms/cm³ 以下。此外，使碳濃度為 3×10^{18} atoms/cm³ 以下，較佳為 3×10^{17} atoms/cm³ 以下。特別是，為了不使第 14 族元素混入第二氧化物半導體層 144b 太多，較佳為採用以第一氧化物半導體層 144a 以及第三氧化物半導體層 144c 夾著或包圍用作載子路徑的第二氧化物半導體層 144b。換言之，第一氧化物半導體層 144a 以及第三氧化物半導體層 144c 是防止矽等的第 14 族元素混入第二氧化物半導體層 144b 中的阻擋層。

另外，如果在氧化物半導體疊層 144 中包含氫，氫就會與接合於金屬的氧起反應而成水，同時在氧脫離的晶格(或者氧脫離的部分)中產生缺陷。此外，因氫的一部分與氧接合而產生作為載子的電子。因此，在形成氧化物半導體疊層 144 的製程中，藉由極力減少包含氫的雜質，可以降低氧化物半導體疊層 144 的氫濃度。由此，藉由將儘量去除氫而實現高度純化的氧化物半導體疊層 144 用作通道形成區域，可以減少臨界電壓的負向漂移，且可以將電晶體的源極與汲極間的洩漏電流(典型為關態電流等)降低到幾 yA/μm 至幾 zA/μm，從而可以提高電晶體的電特性。

藉由作為電晶體的半導體層的氧化物半導體膜採用上述疊層結構，可以使形成通道的區域中的利用恆定光電流法(CPM: Constant Photocurrent Method)測定的局部能階的

吸收係數為 $3 \times 10^{-3}/\text{cm}$ 以下(換算成態密度為 $3 \times 10^{13}/\text{cm}^3$ 以下)。

此外，雖然在上述疊層結構中示出了利用第一、第二以及第三氧化物半導體層來形成一個阱結構的例子，但對其沒有特別的限制，也可以將第二氧化物半導體層作為多層來構成多個阱結構，圖 12C 示出其中的一個例子。

作為濺射氣體，適當地使用稀有氣體(典型為氬)氛圍、氧氣氛圍、稀有氣體以及氧的混合氣體。另外，當採用稀有氣體和氧的混合氣體時，較佳為增高氧氣體對稀有氣體的比例。

根據所形成的氧化物半導體層的組合來適當選擇形成氧化物半導體層時使用的靶材即可。

以下，作為靶材的一個例子示出 In-Ga-Zn 氧化物靶材。

將 InO_x 粉末、 GaO_y 粉末以及 ZnO_z 粉末以規定的莫耳數比混合，並進行加壓處理，然後在 1000°C 以上且 1500°C 以下的溫度下進行加熱處理，由此得到多晶的 In-Ga-Zn 氧化物靶材。注意， x 、 y 及 z 為任意正數。在此， InO_x 粉末、 GaO_y 粉末以及 ZnO_z 粉末的規定的莫耳數比例如為 2 : 2 : 1、8 : 4 : 3、3 : 1 : 1、1 : 1 : 1、4 : 2 : 3 或 3 : 1 : 2。另外，粉末的種類以及混合粉末時的莫耳數比可以根據所製造的靶材適當地改變。

第二氧化物半導體層 144b 以及第三氧化物半導體層 144c 也可以採用結晶性不同的氧化物半導體。換言之，

也可以採用適當地組合有單晶氧化物半導體膜、多晶氧化物半導體膜、微晶氧化物半導體膜或 CAAC-OS 膜的結構。

在此，說明 CAAC-OS 膜的詳細結構。CAAC-OS 膜是包含多個 c 軸配向的結晶部的氧化物半導體膜之一。另外，在使用透射電子顯微鏡(TEM: Transmission Electron Microscope)觀察時的影像中，無法確認到 CAAC-OS 膜中的晶界(也稱為 grain boundary)。因此，在 CAAC-OS 膜中，不容易產生起因於晶界的電子遷移率的降低。

注意，在本說明書中，“平行”是指兩條直線形成的角度為 -10° 以上且 10° 以下，因此也包括角度為 -5° 以上且 5° 以下的情況。另外，“垂直”是指兩條直線形成的角度為 80° 以上且 100° 以下，因此也包括 85° 以上且 95° 以下的角度的情況。

在本說明書中，六方晶系包括三方晶系和菱方晶系。

根據從大致平行於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像(剖面 TEM 影像)可知，在結晶部中金屬原子排列為層狀。各金屬原子層具有反映形成 CAAC-OS 膜的面(也稱為被形成面)或 CAAC-OS 膜頂面的凹凸的形狀，並以平行於 CAAC-OS 膜的被形成面或頂面的方式排列。

另一方面，根據從大致垂直於樣本面的方向觀察的 CAAC-OS 膜的 TEM 影像(平面 TEM 影像)可知，在結晶部中金屬原子排列為三角形狀或六角形狀。但是，在不同的結晶部之間，金屬原子的排列沒有規律性。

由剖面 TEM 影像以及平面 TEM 影像可知，CAAC-OS 膜的結晶部具有配向性。

注意，CAAC-OS 膜所包含的結晶部幾乎都是可以收容在一個邊長小於 100nm 的立方體內的尺寸。因此，有時包含在 CAAC-OS 膜中的結晶部為能夠收容在一個邊長小於 10nm、小於 5nm 或小於 3nm 的立方體內的尺寸。但是，有時包含在 CAAC-OS 膜中的多個結晶部聯結，從而形成一個大結晶區。例如，在平面 TEM 影像中有時會觀察到 2500nm^2 以上、 $5\mu\text{m}^2$ 以上或 $1000\mu\text{m}^2$ 以上的結晶區。

使用 X 射線繞射 (XRD: X-Ray Diffraction) 裝置對 CAAC-OS 膜進行結構分析。例如，在利用 out-of-plane 法來分析具有 InGaZnO_4 的結晶的 CAAC-OS 膜時，在繞射角度 (2θ) 為 31° 附近時常出現峰值。由於該峰值源自 InGaZnO_4 結晶的 (009) 面，由此可知 CAAC-OS 膜的結晶具有 c 軸配向性，並且 c 軸朝向大致垂直於 CAAC-OS 膜的被形成面或頂面的方向。

另一方面，當利用從大致垂直於 c 軸的方向使 X 線入射到樣本的 in-plane 法分析 CAAC-OS 膜時，在 2θ 為 56° 附近時常出現峰值。該峰值來源於 InGaZnO_4 結晶的 (110) 面。在此，在將 2θ 固定為 56° 附近並在以樣本面的法線向量為軸 (ϕ 軸) 旋轉樣本的條件下進行分析 (ϕ 掃描)。在該樣本是 InGaZnO_4 的單晶氧化物半導體膜時，出現六個峰值。該六個峰值來源於相等於 (110) 面的結晶面。另一方

面，當該樣本是 CAAC-OS 膜時，即使在將 2θ 固定為 56° 附近的狀態下進行 ϕ 掃描也不能觀察到明確的峰值。

由上述結果可知，在具有 c 軸配向的 CAAC-OS 膜中，雖然 a 軸及 b 軸的方向在結晶部之間不同，但是 c 軸都朝向平行於被形成面或頂面的法線向量的方向。因此，在上述剖面 TEM 影像中觀察到的排列為層狀的各金屬原子層相當於與結晶的 ab 面平行的面。

注意，結晶部在形成 CAAC-OS 膜或進行加熱處理等晶化處理時形成。如上所述，結晶的 c 軸朝向平行於 CAAC-OS 膜的被形成面或頂面的法線向量的方向。由此，例如，當 CAAC-OS 膜的形狀因蝕刻等而發生改變時，結晶的 c 軸不一定平行於 CAAC-OS 膜的被形成面或頂面的法線向量。

此外，CAAC-OS 膜中的 c 軸配向的結晶部的分佈也可以不均勻。例如，在 CAAC-OS 膜的結晶部藉由從 CAAC-OS 膜的頂面近旁產生的結晶生長而形成的情況下，有時頂面附近的 c 軸配向的結晶部的比例會高於被形成面附近。另外，在對 CAAC-OS 膜添加雜質時，有時被添加雜質的區域變質，而部分性地形成 c 軸配向的結晶部的比例不同的區域。

注意，在藉由 out-of-plane 法分析包含 InGaZnO_4 結晶的 CAAC-OS 膜的情況下，除了 2θ 為 31° 附近的峰值之外，有時還觀察到 2θ 為 36° 附近的峰值。 2θ 為 36° 附近的峰值示出不具有 c 軸配向性的結晶包含在 CAAC-OS 膜的

一部分中。較佳的是，在 CAAC-OS 膜中出現 2θ 為 31° 附近的峰值而不出現 2θ 為 36° 附近的峰值。

CAAC-OS 膜是雜質濃度低的氧化物半導體膜。雜質是指氫、碳、矽以及過渡金屬元素等氧化物半導體膜的主要成分以外的元素。尤其是，與氧的接合力比構成氧化物半導體膜的金屬元素強的矽等元素會奪取氧化物半導體膜中的氧，從而打亂氧化物半導體膜的原子排列，導致結晶性下降。另外，由於鐵或鎳等的重金屬、氫、二氧化碳等的原子半徑(或分子半徑)大，所以如果包含在氧化物半導體膜內，也會打亂氧化物半導體膜的原子排列，導致結晶性下降。此外，包含在氧化物半導體膜中的雜質有時會成為載子陷阱或載子發生源。

另外，CAAC-OS 膜是缺陷能階密度低的氧化物半導體膜。例如，氧化物半導體膜中的氧缺陷有時會成為載子陷阱，或因俘獲氫而成為載子發生源。

將雜質濃度低且缺陷能階密度低(氧缺陷的個數少)的狀態稱為“高純度本質”或“實際上高純度本質”。在高純度本質或實際上高純度本質的氧化物半導體膜中載子發生源少，所以可以降低載子密度。因此，採用該氧化物半導體膜的電晶體很少具有負臨界電壓的電特性(也稱為常導通特性)。此外，在高純度本質或實際上高純度本質的氧化物半導體膜中載子陷阱少。因此，採用該氧化物半導體膜的電晶體的電特性變動小，於是成為可靠性高的電晶體。注意，被氧化物半導體膜的載子陷阱俘獲的電荷直到

被釋放需要的時間長，有時會像固定電荷那樣動作。所以，採用雜質濃度高且缺陷能階密度高的氧化物半導體膜的電晶體有時電特性不穩定。

此外，在採用 CAAC-OS 膜的電晶體中，由可見光或紫外光的照射導致的電特性變動小。

另外，像 CAAC-OS 膜那樣具有結晶部的氧化物半導體可以進一步降低塊體內缺陷，藉由提高表面的平坦性，可以得到處於非晶狀態的氧化物半導體的遷移率以上的遷移率。爲了提高表面的平坦性，較佳爲在平坦的表面上形成氧化物半導體。

此外，在形成 CAAC-OS 膜時，例如使用多晶的氧化物半導體靶材並利用濺射法形成。當離子碰撞到該靶材時，有時包含在靶材中的結晶區域會沿著 a-b 面劈開，成爲具有平行於 a-b 面的面的平板狀或顆粒狀的濺射粒子而剝離。此時，該平板狀的濺射粒子保持結晶狀態到達基板，於是可以形成 CAAC-OS 膜。

另外，爲了形成 CAAC-OS 膜，較佳爲應用如下條件。

藉由減少成膜時的雜質的混入，可以抑制雜質所導致的結晶狀態的破損。例如，可以降低存在於成膜室內的雜質(氫、水、二氧化碳及氮等)的濃度。另外，可以降低成膜氣體中的雜質濃度。明確而言，使用露點爲 -80℃ 以下，較佳爲 -100℃ 以下的成膜氣體。

此外，藉由增高成膜時的基板加熱溫度使濺射粒子在

到達基板之後發生濺射粒子的遷移。明確而言，在將基板加熱溫度設定為 100°C 以上且 740°C 以下，較佳為 200°C 以上且 500°C 以下的狀態下進行成膜。當平板狀的濺射粒子到達基板時，藉由增高成膜時的基板加熱溫度使平板狀的濺射粒子在基板上發生遷移，於是濺射粒子的平坦的面附著到基板。

另外，較佳的是，藉由增高成膜氣體中的氧比例並對電力進行最優化，來減輕成膜時的電漿損傷。將成膜氣體中的氧比例設定為 30vol.% 以上，較佳為 100vol.%。

接下來，說明微晶氧化物半導體膜。

在使用 TEM 觀察微晶氧化物半導體膜時的影像中，有時無法明確地確認到結晶部。微晶氧化物半導體膜中含有的結晶部的尺寸大多為 1nm 以上且 100nm 以下，或 1nm 以上且 10nm 以下。尤其是，將具有尺寸為 1nm 以上且 10nm 以下或 1nm 以上且 3nm 以下的微晶的奈米晶(nc: nanocrystal)的氧化物半導體膜稱為 nc-OS(nanocrystalline Oxide Semiconductor)膜。另外，例如在使用 TEM 觀察 nc-OS 膜時，有時無法明確地確認到晶粒介面。

nc-OS 膜在微小區域(例如 1nm 以上且 10nm 以下的區域，特別是 1nm 以上且 3nm 以下的區域)中其原子排列具有週期性。另外，nc-OS 膜在不同的結晶部之間觀察不到晶體配向的規律性。因此，在膜整體中觀察不到配向性。所以，有時 nc-OS 膜在某些分析方法中與非晶氧化物半導體膜沒有差別。例如，在藉由其中利用使用光束徑比結晶

部大的 X 射線的 XRD 裝置的 out-of-plane 法對 nc-OS 膜進行結構分析時，檢測不出表示結晶面的峰值。此外，在藉由使用其探針的直徑大於結晶部的電子束(例如，50nm 以上)來獲得的 nc-OS 膜的選區電子繞射中，觀察到類似光暈圖案。另一方面，在藉由使用其探針的直徑近於或小於結晶部的電子束(例如，1nm 以上且 30nm 以下)來獲得的 nc-OS 膜的奈米束電子繞射圖案中，觀察到斑點。另外，在 nc-OS 膜的奈米束電子繞射圖案中，有時觀察到如圓圈那樣的(環狀的)亮度高的區域。而且，在 nc-OS 膜的奈米束電子繞射圖案中，有時還觀察到環狀的區域內的多個斑點。

nc-OS 膜是比非晶氧化物半導體膜規律性高的氧化物半導體膜。因此，nc-OS 膜的缺陷能階密度比非晶氧化物半導體膜低。但是，nc-OS 膜在不同的結晶部之間觀察不到晶面配向的規律性。所以，nc-OS 膜的缺陷能階密度比 CAAC-OS 膜高。

注意，氧化物半導體膜例如也可以是包括非晶氧化物半導體膜、微晶氧化物半導體膜和 CAAC-OS 膜中的兩種以上的疊層膜。

在此，首先藉由上述方法層疊地形成第一氧化物半導體層 144a 和第二氧化物半導體層 144b，然後進行加熱處理，再使用遮罩選擇性地進行蝕刻。

在本實施方式中，將基板溫度設定為室溫，採用原子數比為 In : Ga : Zn=1 : 3 : 2 的靶材來形成具有非晶結構

的第一氧化物半導體層 144a。將具有非晶結構的第一氧化物半導體層 144a 的膜厚度設定為 10nm 以上且 40nm 以下，較佳為 20nm 以上且 30nm 以下。藉由將具有非晶結構的第一氧化物半導體層 144a 的膜厚度增大，可以防止矽從基底膜(含有矽的絕緣膜)擴散。另外，將基板溫度設定為 400℃，採用原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 1 : 1$ 的靶材來形成具有晶體結構的第二氧化物半導體層 144b。作為第二氧化物半導體層 144b，採用具有 c 軸配向為大致垂直於表面的結晶的膜，較佳為 CAAC-OS 膜。將第二氧化物半導體層 144b 的膜厚度設定為 5nm 以上且 10nm 以下。

由於在具有非晶結構的第一氧化物半導體層 144a 上層疊具有晶體結構的第二氧化物半導體層 144b，所以可以稱該疊層為異質結構。

將第二氧化物半導體層 144b 的成膜溫度設定為 400℃ 以上且 550℃ 以下，較佳為 450℃ 以上且 500℃ 以下。但是，要在已形成有的佈線層能夠承受的溫度範圍內進行成膜。

在減壓下且氮、氧或氮和氧的氛圍中，以 150℃ 以上且小於基板的應變點，較佳為以 300℃ 以上且 500℃ 以下，更佳為以 350℃ 以上且 450℃ 以下來進行成膜後的加熱處理。藉由進行加熱處理，來去除氧化物半導體層中過剩的氫(包括水和羥基)(脫水化或脫氫化)。然後，在保持或緩冷其加熱處理後的加熱溫度的同時，對相同的爐中引

入高純度的氧氣體或超乾燥氣體(使用 CRDS(cavity ring-down laser spectroscopy: 光腔衰蕩光譜法)方式的露點儀進行測定時的水分量為 20ppm(露點換算為 -55°C)以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣)。藉由利用氧氣體供給在由於脫水化或脫氫化處理中的雜質排出製程中同時被減少的構成氧化物半導體的主要成分材料的氧。

在形成第二氧化物半導體層 144b 之後，藉由加熱處理，可以使第二氧化物半導體層 144b 中的氫濃度低於 $5 \times 10^{18} \text{ atoms/cm}^3$ ，較佳為 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下，更佳為 $5 \times 10^{17} \text{ atoms/cm}^3$ 以下，進一步較佳為 $1 \times 10^{16} \text{ atoms/cm}^3$ 以下。

在氮、氖、氬、氙、氡等稀有氣體或包含氮的惰性氣體氛圍中進行加熱處理。或者，也可以在惰性氣體氛圍中進行加熱之後再次在氧氣氛圍中進行加熱。注意，上述惰性氣體氛圍及氧氣氛圍較佳為不包含氫、水等。處理時間為 3 分鐘至 24 小時。可以對氧化物半導體膜進行多次加熱處理，並對其時機沒有限制。

另外，可以藉由在對氧化物半導體疊層 144 的上方和/或下方設置有氧化物絕緣層的狀態下進行加熱，從而由氧化物絕緣層向氧化物半導體疊層 144 供應氧，以此來減少氧化物半導體疊層 144 中的氧缺陷。藉由減少氧化物半導體疊層 144 中的氧缺陷，可以使半導體的特性變得良好。

接下來，以覆蓋第二氧化物半導體層 144b 的上面和

側面以及第一氧化物半導體層 144a 的側面的方式來形成第三氧化物半導體層 144c(參見圖 3A)。還可以在形成第三氧化物半導體層 144c 後，也進行氧化物半導體的脫氫化或脫水化的加熱處理。

將基板溫度設定為 400°C ，採用原子數比為 $\text{In} : \text{Ga} : \text{Zn} = 1 : 3 : 2$ 的靶材來形成第三氧化物半導體層 144c。藉由將第三氧化物半導體層 144c 形成於具有晶體結構的第二氧化物半導體層 144b 之上，與第二氧化物半導體層 144b 重疊的第三氧化物半導體層 144c 就可以以第二氧化物半導體層 144b 具有的結晶為晶種而進行結晶生長，從而容易成為具有晶體結構的膜。在此情況下，有時利用剖面 TEM 影像很難辨別第二氧化物半導體層 144b 與第三氧化物半導體層 144c 的介面。在圖式中，用虛線來表示第二氧化物半導體層 144b 和第三氧化物半導體層 144c 之間的介面。

此外，第三氧化物半導體層 144c 的一部分，即與絕緣層 140 接觸且不與第二氧化物半導體層 144b 重疊的區域容易成為非晶結構。另外，第三氧化物半導體層 144c 的膜厚度為 10nm 以上且 40nm 以下，較佳為 20nm 以上且 30nm 以下。而且，為了表示第三氧化物半導體層 144c 在與第二氧化物半導體層 144b 重疊的區域具有晶體結構，而在其他區域具有非晶結構，在圖式中使第三氧化物半導體層 144c 的不與第二氧化物半導體層 144b 重疊的區域的陰影和其他區域不同。

但是，由於第三氧化物半導體層 144c 的結晶性比第二氧化物半導體層 144b 低，也可以說，以結晶性的程度可以辨別其界線。此外，作為組合不同的第三氧化物半導體層 144c，在第二氧化物半導體層 144b 上使用具有晶體結構的氧化物半導體層時，可以稱其為組合不同的異質結構。

由於第三氧化物半導體層 144c 受第二氧化物半導體層 144b 的結晶性的影響而以與第二氧化物半導體層 144b 同樣的晶體結構進行結晶生長，由此可以降低第二氧化物半導體層 144b 與第三氧化物半導體層 144c 之間的介面缺陷以及介面態，從而可以提高半導體裝置的可靠性。

另外，第二氧化物半導體層 144b 與第三氧化物半導體層 144c 的介面也可以混合(也稱為 Alloying、合金化)。藉由使介面混合，可以減少第二氧化物半導體層 144b 與第三氧化物半導體層 144c 的應力差距所導致的損傷，由此降低介面散射。

同樣地，第一氧化物半導體層 144a 與第二氧化物半導體層 144b 的介面也可以合金化。

接下來，在氧化物半導體疊層 144 上形成用作源極電極層 142a 以及汲極電極層 142b 的導電膜。可以利用與閘極電極層 110 同樣的材料和方法來形成導電膜。

注意，有時在形成源極電極層 142a 以及汲極電極層 142b 的過程中，在蝕刻時夾在源極電極層 142a 以及汲極電極層 142b 之間的氧化物半導體疊層 144 也同時被蝕

刻，而其膜厚度減少。因此，有時氧化物半導體疊層 144 的不與源極電極層 142a 以及汲極電極層 142b 重疊的區域比與源極電極層 142a 以及汲極電極層 142b 重疊區域的膜厚度薄。

在氧化物半導體疊層 144 中，作為通道形成區域的第二氧化物半導體層 144b 夾在第一氧化物半導體層 144a 以及第三氧化物半導體層 144c 之間。所以，即使在蝕刻源極電極層 142a 以及汲極電極層 142b 的同時氧化物半導體疊層 144 也被蝕刻，作為通道形成區域的第二氧化物半導體層 144b 也不容易受到影響，由此可以降低通道形成區域被蝕刻而減少其膜厚度的可能性，而實現穩定的特性。

接下來，在源極電極層 142a 以及汲極電極層 142b 上形成用作閘極絕緣層 147 的氧化物絕緣層。在此，閘極絕緣層 147 採用雙層結構，即包括氧化物絕緣層的閘極絕緣層 147a 和包括氮化物絕緣層的閘極絕緣層 147b 的疊層結構。

作為用作閘極絕緣層 147a 的氧化物絕緣層，可以採用與絕緣層 140 同樣的材料及方法。尤其是，為了降低對氧化物半導體疊層 144 的電漿損傷，閘極絕緣層 147a 較佳為在電漿損傷小的成膜條件下形成。另外，由於閘極絕緣層 147a 與氧化物半導體疊層 144 接觸，所以為了可以向氧化物半導體疊層 144 提供氧，較佳為採用含有超過化學計量組成的氧，並且藉由加熱處理容易使氧脫離的膜。

作為用作閘極絕緣層 147b 的絕緣膜，例如可以使用

氮氧化矽膜、氧氮化矽膜等含有氧和氮的矽膜。

接下來，在閘極絕緣層 147 上形成閘極電極層 148。作為閘極電極層 148，可以採用與閘極電極層 110 同樣的材料及方法來形成。

在閘極電極層 148 上形成絕緣層 150。絕緣層 150 可以採用與絕緣層 140 同樣的材料及方法來形成。絕緣層 150 較佳為含有超過化學計量組成的氧，以可以向氧化物半導體疊層 144 提供氧。

此外，還可以利用離子植入法、離子摻雜法、電漿浸沒離子佈植技術等來對絕緣層 150 添加氧。藉由添加氧可以使絕緣層 150 包含過剩的氧，從而可以由絕緣層 150 向氧化物半導體疊層 144 提供氧。注意，在圖式中的絕緣層 150 中，用虛線來明確表示絕緣層 150 中添加了氧，而且絕緣層 150 具有氧濃度的峰值。

在形成絕緣層 150 後進行加熱處理。氧化物半導體疊層 144 在形成後暴露於蝕刻及電漿中而受損，因此氧化物半導體疊層 144 中含有因受損而形成的氧缺陷。所以，為了恢復氧化物半導體疊層 144 在形成後所受到的損傷而進行加熱處理，由此提供氧來減少氧缺陷。作為該加熱處理的溫度，典型為 200℃ 以上且 450℃ 以下。藉由該加熱處理，可以將具有氮的氧化物絕緣膜所含有的氮釋放。另外，藉由該加熱處理，可以使水、氫等從具有氮的氧化物絕緣層脫離。

例如，在氮及氧混合的氛圍中進行 350℃、1 小時的

加熱處理。藉由加熱處理，氧化物半導體疊層 144 中的氫原子以及氧原子從氧化物半導體疊層 144、氧化物半導體疊層 144 與絕緣層(絕緣層 140 以及閘極絕緣層 147)的介面脫離。在氧化物半導體疊層 144 中，雖然氧原子脫離的部分會成為氧缺陷，但氧化物絕緣層所含有的超過化學計量組成的氧移動到氧缺陷的位置，從而填補其氧缺陷。

這樣，藉由形成絕緣層 150 後的加熱處理使氮、氫或水從氧化物半導體膜脫離，從而可以將膜中的氮、氫或水的含有率降低到大約十分之一。

在絕緣層 150 上形成絕緣層 155。絕緣層 155 可以採用與絕緣層 135 同樣的材料及方法來形成。絕緣層 155 可以防止雜質從半導體裝置上方混入到氧化物半導體疊層 144 內，或可以防止包含在氧化物半導體疊層 144 以及絕緣層 150 中的氧脫離到半導體裝置上方。

藉由上述步驟，可以製造半導體裝置(參見圖 3B)。

在本實施方式所示的半導體裝置中，作為通道形成區域的第二氧化物半導體層 144b 夾在第一氧化物半導體層 144a 與第三氧化物半導體層 144c 之間，因此可以使通道形成區域遠離氧化物半導體疊層 144 的表面，從而可以降低表面散射的影響。

而且，隔著氧化物半導體疊層 144 形成有含有超過化學計量組成的氧的絕緣層，由此向氧化物半導體疊層 144 提供氧而填補氧化物半導體疊層 144 的氧缺陷，從而可以提高半導體裝置的可靠性。

此外，隔著含有過剩的氧的絕緣層，形成有具有對氫、氧等的阻擋作用的氮化絕緣膜，由此可以防止氫、水分等雜質混入氧化物半導體疊層 144，或防止氧從氧化物半導體層以及含有過剩的氧的絕緣層中脫離。

注意，本實施方式中所示的半導體裝置所具有的第二電晶體不侷限於上述結構。例如，圖 4A 和圖 4B 以及圖 5A 至圖 5C 示出本發明的一個方式的半導體裝置的另一個方式。此外，在圖 4A 和圖 4B 以及圖 5A 至圖 5C 中，僅示出第二電晶體，省略第一電晶體以及佈線層等。

圖 4A 所示的電晶體 163 與圖 1 所示的電晶體 162 的不同之處在於：第三氧化物半導體層 144c 沒有覆蓋第二氧化物半導體層 144b 的側面以及第一氧化物半導體層 144a 的側面。電晶體 163 可以藉由下述步驟形成：在不接觸於大氣的情況下連續形成第一氧化物半導體層 144a、第二氧化物半導體層 144b 及第三氧化物半導體層 144c 之後，利用遮罩進行蝕刻，從而將氧化物半導體疊層 144 加工為島狀。藉由採用該結構，可以防止第二氧化物半導體層 144b 的表面暴露於大氣以及蝕刻處理，使其特性穩定。

另外，由於第三氧化物半導體層 144c 被蝕刻，所以閘極絕緣層 147(閘極絕緣層 147a)與絕緣層 140 接觸，從而可以以氧化物絕緣層包圍氧化物半導體疊層 144。而且，藉由使氧化物絕緣層彼此接觸，可以提高緊密性。

注意，在不接觸於大氣的情況下連續將三層的氧化物

半導體層依次層疊時，可以使用由圖 13 示出其俯視圖的製造裝置。

圖 13 所示的製造裝置是板料送進方式多室設備 (single wafer multi-chamber equipment)，包括三個濺射裝置 10a、濺射裝置 10b、濺射裝置 10c、具有三個收納被處理基板的盒式介面 (cassette port) 14 的基板供應室 11、裝載鎖定室 12a、裝載鎖定室 12b、傳送室 13 以及基板加熱室 15、基板加熱室 16 等。另外，基板供應室 11 以及傳送室 13 分別配置有用來傳送被處理基板的自動傳送裝置。較佳為將濺射裝置 10a、濺射裝置 10b、濺射裝置 10c、傳送室 13 以及基板加熱室 15、基板加熱室 16 調整為幾乎不包含氫及水分的氛圍 (惰性氛圍、減壓氛圍以及乾燥空氣氛圍等)，例如，使水分的露點為 -40°C 以下，較佳為 -50°C 以下的乾燥氮氣氛圍。接下來對使用圖 13 的製造裝置的製造步驟的一個例子進行說明。首先，將被處理基板從基板供應室 11 經過裝載鎖定室 12a 和傳送室 13 轉送到基板加熱室 15，在基板加熱室 15 中藉由真空烘烤等去除附著在被處理基板上的水分，然後將被處理基板經過傳送室 13 轉送到濺射裝置 10c，在濺射裝置 10c 內形成第一氧化物半導體層 144a。並且，在不暴露於大氣的狀態下，將被處理基板經過傳送室 13 轉送到濺射裝置 10a，在濺射裝置 10a 內形成第二氧化物半導體層 144b。並且，在不暴露於大氣的狀態下，將被處理基板經過傳送室 13 轉送到濺射裝置 10b，在濺射裝置 10b 內形成第三氧化

物半導體層 144c。如有需要，在不暴露於大氣的狀態下，將被處理基板經過傳送室 13 轉送到基板加熱室 16，進行加熱處理。如上所述，藉由使用圖 13 所示的製造裝置，可以在不暴露於大氣的狀態下進行製程。另外，在圖 13 所示的製造裝置中，藉由改變濺射裝置的濺射靶材可以實現不暴露於大氣的製程。此外，作為圖 13 所示的製造裝置中的濺射裝置，採用平行平板型濺射裝置、離子束濺射裝置或對向靶材式濺射裝置等即可。由於對向靶材式濺射裝置的被形成膜的面遠離電漿，成膜時受損小，所以可以形成晶化度高的 CAAC-OS 膜。

在濺射裝置 10a、濺射裝置 10b、濺射裝置 10c 中進行氧化物半導體層的成膜時，可以使用氫、水、羥基或氫化物等雜質濃度低的高純度氣體來作為成膜氣體。

另外，基板加熱室 16 中，在減壓、氮、氧、超乾燥空氣(使用 CRDS(cavity ring-down laser spectroscopy：光腔衰蕩光譜法)方式的露點儀來測定時的水分量為 20ppm(露點換算為 -55°C)以下，較佳為 1ppm 以下，更佳為 10ppb 以下的空氣)或者稀有氣體(氬、氦等)的氛圍中進行加熱處理即可。但是，上述氮、氧、超乾燥空氣或稀有氣體等的氛圍較佳為不包含水、氫等。另外，較佳為將引入到加熱處理裝置中的氮、氧或稀有氣體的純度設定為 6N(99.9999%)以上，較佳為設定為 7N(99.99999%)以上(即，將雜質濃度設定為 1ppm 以下，較佳為設定為 0.1 ppm 以下)。

圖 4B 所示的電晶體 164 與電晶體 162 的相同之處在於：第三氧化物半導體層 144c 覆蓋著第二氧化物半導體層 144b 的頂面和側面以及第一氧化物半導體層 144a 的側面。而圖 4B 所示的電晶體 164 與電晶體 162 的不同之處在於：第三氧化物半導體層 144c 被蝕刻，而其端部重疊於源極電極層 142a 以及汲極電極層 142b。這樣可以形成第二氧化物半導體層 144b 的側面被第三氧化物半導體層 144c 覆蓋，而且絕緣層 140 與閘極絕緣層 147 接觸的結構。

此外，第二電晶體也可以是具有兩個閘極電極層的結構。圖 5A 至圖 5C 示出了具有兩個閘極電極層的電晶體。

圖 5A 所示的電晶體 172 具有對圖 1 所示的電晶體 162 添加形成閘極電極層 149 的結構。閘極電極層 149 可以利用與佈線層 117 相同的導電膜形成。藉由對閘極電極層 148 和閘極電極層 149 施加不同的電位，可以控制電晶體 172 的臨界電壓，較佳為可以抑制臨界電壓向負向漂移。另外，藉由對閘極電極層 148 和閘極電極層 149 施加相同電位，可以增加電晶體 172 的通態電流。

同樣地，圖 5B 所示的電晶體 173 具有對電晶體 163 添加形成有閘極電極層 149 的結構，圖 5C 所示的電晶體 174 具有對電晶體 164 添加形成有閘極電極層 149 的結構。

如上所述，本實施方式的半導體裝置可以與其他實施

方式中的半導體裝置適當地組合而使用。

實施方式 2

作為實施方式 1 所示的半導體裝置的一個例子，圖 6A 示出為邏輯電路的 NOR 型電路的一個例子。圖 6B 是 NAND 型電路的電路圖。

在圖 6A 所示的 NOR 型電路中，為 p 通道型電晶體的電晶體 801、802 是具有與圖 1 所示的電晶體 160 同樣的結構的將單晶矽基板用於通道形成區域的電晶體。為 n 通道型電晶體的電晶體 803、804 是具有與圖 1 所示的電晶體 162、圖 4A 和圖 4B 所示的電晶體 163 以及電晶體 164、圖 5A 至圖 5C 所示的電晶體 172、電晶體 173 以及電晶體 174 同樣的結構的將氧化物半導體膜用於通道形成區域的電晶體。

注意，在圖 6A 所示的 NOR 型電路中，電晶體 803、804 在隔著氧化物半導體膜重疊於閘極電極層的位置可以設置控制電晶體的電特性的導電層。藉由控制該導電層的電位，例如將該導電層的電位設定為 GND，可以使電晶體 803、804 的臨界電壓進一步向正方向漂移，還可以實現常閉型電晶體。

在圖 6B 所示的 NAND 型電路中，為 p 通道型電晶體的電晶體 811、814 具有與圖 1 所示的電晶體 160 同樣的結構。為 n 通道型電晶體的電晶體 812、813 是具有與圖 1 所示的電晶體 162、圖 4A 和圖 4B 所示的電晶體 163 以

及電晶體 164、圖 5A 至圖 5C 所示的電晶體 172、電晶體 173 以及電晶體 174 同樣的結構的將氧化物半導體膜用於通道形成區域的電晶體。

注意，在圖 6B 所示的 NAND 型電路中，電晶體 812、813 在隔著氧化物半導體膜重疊於閘極電極層的位置可以設置控制電晶體的電特性的導電層。藉由控制該導電層的電位，例如將該導電層的電位設定為 GND，可以使電晶體 812、813 的臨界電壓進一步向正方向漂移，還可以實現常閉型電晶體。

在本實施方式所示的半導體裝置中，藉由應用將氧化物半導體用於其通道形成區域的關態電流極小的電晶體，可以充分降低耗電量。

另外，藉由層疊使用不同半導體材料的半導體元件，可以提供實現了微型化及高積體化且具有穩定性高的電特性的半導體裝置及該半導體裝置的製造方法。

此外，藉由使用實施方式 1 所示的半導體裝置可以抑制雜質混入到氧化物半導體層中，而且藉由使用氧化物半導體層的氧缺陷減少了的半導體裝置，可以提供可靠性高且特性穩定的 NOR 型電路和 NAND 型電路。

在本實施方式中雖然示出使用實施方式 1 所示的電晶體的 NOR 型電路和 NAND 型電路的例子，但是不侷限於此，也可以使用實施方式 1 所示的電晶體來形成 AND 電路或 OR 電路等。

本實施方式所示的半導體裝置可以與其他實施方式所

示的半導體裝置適當地組合而使用。

實施方式 3

在本實施方式中，參照圖式說明如下半導體裝置(記憶體裝置)的一個例子，該半導體裝置(記憶體裝置)使用實施方式 1 所示的半導體裝置，即使在沒有電力供應的情況下也能夠保持儲存資料，並且對寫入次數也沒有限制。

圖 7A 是示出本實施方式的半導體裝置的電路圖。

可以對圖 7A 所示的電晶體 260 應用與圖 1 所示的電晶體 160 相同的結構，該電晶體 260 容易進行高速工作。此外，可以對電晶體 262 應用與圖 1 所示的電晶體 162、圖 4A 和圖 4B 所示的電晶體 163、電晶體 164、圖 5A 至圖 5C 所示的電晶體 172、電晶體 173 及電晶體 174 相同的結構，該電晶體 262 利用其特性而能夠長時間地保持電荷。

此外，假設上述電晶體都是 n 通道型電晶體而進行說明，但是作為用於本實施方式所示的半導體裝置的電晶體，也可以使用 p 通道型電晶體。

在圖 7A 中，第一佈線(1st Line)與電晶體 260 的源極電極層電連接，第二佈線(2nd Line)與電晶體 260 的汲極電極層電連接。另外，第三佈線(3rd Line)與電晶體 262 的源極電極層和汲極電極層中的一方電連接，第四佈線(4th Line)與電晶體 262 的閘極電極層電連接。並且，電晶體 260 的閘極電極層以及電晶體 262 的源極電極層和汲

極電極層中的另一方與電容元件 264 的一方的電極電連接，第五佈線(5th Line)與電容元件 264 的另一方的電極電連接。

在圖 7A 所示的半導體裝置中，藉由有效地利用可以保持電晶體 260 的閘極電極層的電位的特徵，如下所示那樣，可以進行資訊的寫入、保持以及讀出。

對資訊的寫入及保持進行說明。首先，將第四佈線的電位設定為使電晶體 262 成為導通狀態的電位，使電晶體 262 成為導通狀態。由此，對電晶體 260 的閘極電極層和電容元件 264 提供第三佈線的電位。也就是說，對電晶體 260 的閘極電極層提供規定的電荷(寫入)。這裏，提供賦予兩種不同電位位準的電荷(以下，稱為 Low 位準電荷、High 位準電荷)中的任一種。然後，藉由將第四佈線的電位設定為使電晶體 262 成為關閉狀態的電位，來使電晶體 262 成為關閉狀態，而保持提供到電晶體 260 的閘極電極層的電荷(保持)。

因為電晶體 262 的關態電流極小，所以電晶體 260 的閘極電極層的電荷被長時間地保持。

接著，對資訊的讀出進行說明。當在對第一佈線提供規定的電位(恆電位)的狀態下，對第五佈線提供適當的電位(讀出電位)時，根據保持在電晶體 260 中的閘極電極層的電荷量第二佈線具有不同的電位。一般而言，這是因為如下緣故：在電晶體 260 為 n 通道型的情況下，對電晶體 260 的閘極電極層提供 High 位準電荷時的外觀上的臨界

值 V_{th_H} 低於對電晶體 260 的閘極電極提供 Low 位準電荷時的外觀上的臨界值 V_{th_L} 。在此，外觀上的臨界電壓是指爲了使電晶體 260 成爲“導通狀態”所需要的第五佈線的電位。因此，藉由將第五佈線的電位設定爲 V_{th_H} 和 V_{th_L} 之間的電位 V_0 ，可以辨別提供到電晶體 260 的閘極電極層的電荷。例如，在寫入中，當被供應 High 位準電荷時，如果第五佈線的電位爲 $V_0(>V_{th_H})$ ，電晶體 260 則成爲“導通狀態”。當被供應 Low 位準電荷時，即使第五佈線的電位爲 $V_0(<V_{th_L})$ ，電晶體 260 也維持“關閉狀態”。因此，根據第二佈線的電位可以讀出所保持的資訊。

注意，當將記憶單元配置爲陣列狀時，需要唯讀出所希望的記憶單元的資訊。像這樣，當不讀出資訊時，對第五佈線提供無論閘極電極層的狀態如何都使電晶體 260 成爲“關閉狀態”的電位，也就是小於 V_{th_H} 的電位，即可。或者，無論閘極電極層的狀態如何都使電晶體 260 成爲“導通狀態”的電位，也就是對第五佈線提供大於 V_{th_L} 的電位，即可。

圖 7B 示出與上述不同的記憶體裝置的結構的一個方式的例子。圖 7B 示出半導體裝置的電路結構的一個例子，而圖 7C 是示出半導體裝置的一個例子的示意圖。以下首先說明圖 7B 所示的半導體裝置，接著說明圖 7C 所示的半導體裝置。

在圖 7B 所示的半導體裝置中，位元線 BL 與電晶體

262 的源極電極和汲極電極中的一方電連接，字線 WL 與電晶體 262 的閘極電極層電連接，並且電晶體 262 的源極電極和汲極電極中的另一方與電容元件 254 的第一端子電連接。

使用氧化物半導體的電晶體 262 具有關態電流極小的特徵。因此，藉由使電晶體 262 成為關閉狀態，可以長時間地儲存電容元件 254 的第一端子的電位(或累積在電容元件 254 中的電荷)。

接著，說明對圖 7B 所示的半導體裝置(記憶單元 250)進行資訊的寫入及保持的情況。

首先，藉由將字線 WL 的電位設定為使電晶體 262 成為導通狀態的電位，以使電晶體 262 成為導通狀態。由此，將位元線 BL 的電位施加到電容元件 254 的第一端子(寫入)。然後，藉由將字線 WL 的電位設定為使電晶體 262 成為關閉狀態的電位，來使電晶體 262 成為關閉狀態，由此儲存電容元件 254 的第一端子的電位(保持)。

因為電晶體 262 的關態電流極小，所以可以長時間地儲存電容元件 254 的第一端子的電位(或累積在電容元件中的電荷)。

接著，對資訊的讀出進行說明。當電晶體 262 成為導通狀態時，處於浮動狀態的位元線 BL 與電容元件 254 導通，於是，在位元線 BL 與電容元件 254 之間電荷被再次分配。其結果，位元線 BL 的電位變化。位元線 BL 的電位的變化量根據電容元件 254 的第一端子的電位(或累積

在電容元件 254 中的電荷)而取不同的值。

例如，在以 V 為電容元件 254 的第一端子的電位，以 C 為電容元件 254 的電容，以 CB 為位元線 BL 所具有的電容成分(以下也稱為位元線電容)，並且以 $VB0$ 為再次分配電荷之前的位元線 BL 的電位的條件下，再次分配電荷之後的位元線 BL 的電位為 $(CB*VB0+C*V)/(CB+C)$ 。因此，作為記憶單元 250 的狀態，當電容元件 254 的第一端子的電位為 $V1$ 和 $V0(V1>V0)$ 的兩個狀態時，保持電位 $V1$ 時的位元線 BL 的電位 $(=(CB*VB0+C*V1)/(CB+C))$ 高於保持電位 $V0$ 時的位元線 BL 的電位 $(=(CB*VB0+C*V0)/(CB+C))$ 。

並且，藉由比較位元線 BL 的電位與規定的電位，可以讀出資訊。

如上所述，圖 7B 所示的半導體裝置可以利用電晶體 262 的關態電流極小的特徵在長期間保持累積在電容元件 254 中的電荷。就是說，因為不需要進行更新工作，或者，可以將更新工作的頻率降低到極低，所以可以充分降低耗電量。另外，即使沒有電力供給，也可以在長期間保持儲存資料。

接著，對圖 7C 所示的半導體裝置進行說明。

圖 7C 所示的半導體裝置在其上部作為記憶體電路包括記憶單元陣列 251a 及記憶單元陣列 251b，該記憶單元陣列 251a 及記憶單元陣列 251b 包括多個圖 7B 所示的記憶單元 250，並且在其下部包括用來使記憶單元陣列 251(記憶單元陣列 251a 及記憶單元陣列 251b)工作的週邊

電路 253。另外，週邊電路 253 與記憶單元陣列 251 電連接。

藉由採用圖 7C 所示的結構，可以直接在記憶單元陣列 251(記憶單元陣列 251a 及記憶單元陣列 251b)下設置週邊電路 253，從而可以實現半導體裝置的小型化。

作為設置在週邊電路 253 中的電晶體，較佳為使用與電晶體 262 不同的半導體材料。例如，可以使用矽、鍺、矽鍺、碳化矽或砷化鎵等，較佳為使用單晶半導體。另外，還可以使用有機半導體材料等。使用這種半導體材料的電晶體能夠進行充分的高速工作。從而，藉由利用上述電晶體，能夠順利實現被要求高速工作的各種電路(邏輯電路、驅動電路等)。

另外，圖 7C 所示的半導體裝置示出層疊有兩個記憶單元陣列 251(記憶單元陣列 251a、記憶單元陣列 251b)的結構，但是所層疊的記憶單元的個數不侷限於此。也可以採用層疊有三個以上的記憶單元的結構。

藉由作為電晶體 262 適用在通道形成區域中使用氧化物半導體的電晶體，可以在長期間內保持儲存資料。就是說，可以實現不需要進行更新工作的半導體記憶體裝置，或者，更新工作的頻率極少的半導體記憶體裝置，因此可以充分降低耗電量。

此外，藉由作為本實施方式所示的半導體裝置適用實施方式 1 所示的層疊有氧化物半導體層且使用作通道形成區域的第二氧化物半導體層遠離氧化物半導體層的表面

的半導體裝置，可以實現具有高可靠性並顯示穩定的電特性的半導體裝置。

實施方式 4

在本實施方式中，參照圖 8 至圖 11B 對將上述實施方式所示的半導體裝置應用於行動電話、智慧手機、電子書閱讀器等移動設備的例子進行說明。

圖 8 示出電子裝置的方塊圖。圖 8 所示的電子裝置具有 RF 電路 901、類比基帶電路 902、數位基帶電路 903、電池 904、電源電路 905、應用處理器 906、快閃記憶體 910、顯示器控制器 911、記憶體電路 912、顯示器 913、觸控感應器 919、聲頻電路 917 以及鍵盤 918 等。顯示器 913 具有顯示部 914、源極驅動器 915 以及閘極驅動器 916。應用處理器 906 具有 CPU907、DSP908 以及介面 (IF)909。記憶體電路 912 一般由 SRAM 或 DRAM 構成，藉由將上述實施方式所說明的半導體裝置用於該部分，能夠提供一種電子裝置，該電子裝置能夠以高速進行資訊的寫入和讀出，能夠在長期間保持儲存資料，能夠充分降低耗電量並具有高可靠性。

圖 9 示出將上述實施方式所說明的半導體裝置用於顯示器的記憶體電路 950 的例子。圖 9 所示的記憶體電路 950 具有記憶體 952、記憶體 953、開關 954、開關 955 以及記憶體控制器 951。另外，記憶體電路連接於：讀出並控制從信號線輸入的影像資料(輸入影像資料)和儲存在記

憶體 952 及記憶體 953 中的資料(儲存影像資料)的顯示器控制器 956；以及根據來自顯示器控制器 956 的信號進行顯示的顯示器 957。

首先，藉由應用處理器(未圖示)形成某影像資料(輸入影像資料 A)。該輸入影像資料 A 藉由開關 954 被儲存在記憶體 952 中。然後，將儲存在記憶體 952 中的影像資料(儲存影像資料 A)藉由開關 955 及顯示器控制器 956 發送到顯示器 957 而進行顯示。

在輸入影像資料 A 沒有變化時，儲存影像資料 A 一般以 30 至 60Hz 左右的週期從記憶體 952 藉由開關 955 由顯示器控制器 956 讀出。

接著，例如在使用者進行了改寫畫面的操作時(即在輸入影像資料 A 有變化時)，應用處理器形成新的影像資料(輸入影像資料 B)。該輸入影像資料 B 藉由開關 954 被儲存在記憶體 953 中。在該期間儲存影像資料 A 也繼續定期性地藉由開關 955 從記憶體 952 被讀出。當在記憶體 953 中儲存完新的影像資料(儲存影像資料 B)時，從顯示器 957 的下一個圖框開始讀出儲存影像資料 B，並且將該儲存影像資料 B 藉由開關 955 及顯示器控制器 956 發送到顯示器 957 而進行顯示。該讀出一直持續到下一個新的影像資料儲存到記憶體 952 中。

如上所述，藉由由記憶體 952 及記憶體 953 交替進行影像資料的寫入和影像資料的讀出，來進行顯示器 957 的顯示。另外，記憶體 952、記憶體 953 不侷限於兩個不同的

記憶體，也可以將一個記憶體分割而使用。藉由將上述實施方式所說明的半導體裝置用於記憶體 952 及記憶體 953，能夠以高速進行資訊的寫入和讀出，能夠在長期間保持儲存資料，還能夠充分降低耗電量。此外，可以實現不容易受到來自外部的水、水分等的混入的影響的可靠性高的半導體裝置。

圖 10 是電子書閱讀器的方塊圖。圖 10 所示的電子書閱讀器具有電池 1001、電源電路 1002、微處理器 1003、快閃記憶體 1004、聲頻電路 1005、鍵盤 1006、記憶體電路 1007、觸摸屏 1008、顯示器 1009、顯示器控制器 1010。

在此，可以將上述實施方式所說明的半導體裝置用於圖 10 的記憶體電路 1007。記憶體電路 1007 具有暫時保持書籍內容的功能。例如，當使用者使用高亮功能時，記憶體電路 1007 將使用者所指定的部分的資訊儲存而保持。另外，高亮功能是指如下功能：在使用者看電子書閱讀器時，藉由對某個部分做標記，例如藉由改變顯示顏色；劃下劃線；將文字改為粗體字；改變文字的字體等，來使該部分與周圍不一樣而突出表示。將記憶體電路 1007 用於短期的資訊儲存，並且當進行長期的資訊儲存時，也可以將記憶體電路 1007 所保持的資料拷貝到快閃記憶體 1004 中。即使在此情況下也可以藉由採用上述實施方式所說明的半導體裝置，而能夠進行高速的資訊寫入和讀出，能夠在長期間保持儲存資料，還能夠充分地降低

耗電量。此外，可以實現不容易受到來自外部的水、水分等的混入的影響的可靠性高的半導體裝置。

圖 11A 和圖 11B 示出電子裝置的具體例子。圖 11A 和圖 11B 是能夠進行折疊的平板終端。圖 11A 示出打開的狀態。平板終端包括外殼 9630、顯示部 9631a、顯示部 9631b、顯示模式切換開關 9034、電源開關 9035、省電模式切換開關 9036、卡子 9033 以及操作開關 9038。

實施方式 1 所示的半導體裝置可以應用於顯示部 9631a 及顯示部 9631b，由此可以實現可靠性高的平板終端。此外，也可以將上述實施方式所示的記憶體裝置應用於本實施方式的半導體裝置。

在顯示部 9631a 中，可以將其一部分用作觸摸屏的區域 9632a，並且可以藉由接觸所顯示的操作鍵 9638 來輸入資料。此外，作為一個例子，使顯示部 9631a 的一半區域只具有顯示的功能，並且使另一半區域具有觸摸屏的功能，但是顯示部 9631a 不侷限於該結構。可以在顯示部 9631a 的整個面顯示鍵盤按鈕來將其用作觸摸屏，並且將顯示部 9631b 用作顯示幕。

此外，顯示部 9631b 與顯示部 9631a 同樣，也可以將其一部分用作觸摸屏的區域 9632b。此外，藉由使用指頭或觸控筆等接觸觸摸屏上的鍵盤顯示切換按鈕 9639 的位置，可以在顯示部 9631b 上顯示鍵盤按鈕。

此外，也可以對觸摸屏的區域 9632a 和觸摸屏的區域 9632b 同時進行觸摸輸入。

另外，顯示模式切換開關 9034 能夠切換豎屏顯示和橫屏顯示等顯示的方向並選擇黑白顯示和彩色顯示的切換等。根據利用平板終端所內置的光感測器來檢測的使用時的外光的光量，省電模式切換開關 9036 可以將顯示的亮度設定為最適合的亮度。平板終端除了光感測器以外還可以內置陀螺儀和加速度感測器等檢測傾斜度的感測器等的其他檢測裝置。

此外，圖 11A 示出顯示部 9631b 的顯示面積與顯示部 9631a 的顯示面積相同的例子，但是不侷限於此，可以使一方的尺寸和另一方的尺寸不同，也可以使它們的顯示品質不同。例如顯示部 9631a 和顯示部 9631b 中的一方的顯示面板也可以進行比另一方的顯示面板高精細的顯示。

圖 11B 示出合上的狀態，並且平板終端包括外殼 9630、太陽能電池 9633、充放電控制電路 9634、電池 9635 以及 DCDC 轉換器 9636。此外，在圖 11B 中，作為充放電控制電路 9634 的一個例子示出具有電池 9635 和 DCDC 轉換器 9636 的結構。

此外，平板終端能夠進行折疊，因此不使用時可以合上外殼 9630。因此，可以保護顯示部 9631a 和顯示部 9631b，而可以提供一種具有良好的耐久性且從長期使用的觀點來看具有良好的可靠性的平板終端。

此外，圖 11A 和圖 11B 所示的平板終端還可以具有如下功能：顯示各種各樣的資訊(靜態影像、動態影像、文字影像等)；將日曆、日期或時刻等顯示在顯示部上；

對顯示在顯示部上的資訊進行操作或編輯的觸摸輸入；以及藉由各種各樣的軟體(程式)控制處理等。

本實施方式所示的結構、方法等可以與其他的實施方式所示的結構或方法等適當地組合而使用。

【符號說明】

100：基板

102：元件隔離絕緣層

104：絕緣層

108：閘極絕緣層

110：閘極電極層

112：佈線層

114：佈線層

115：佈線層

115a：佈線層

115b：佈線層

115c：佈線層

116：佈線層

117：佈線層

120：絕緣層

135：絕緣層

140：絕緣層

142a：源極電極層

142b：汲極電極層

144：氧化物半導體疊層

144a：氧化物半導體層

144b：氧化物半導體層

144c：氧化物半導體層

147：閘極絕緣層

147a：閘極絕緣層

147b：閘極絕緣層

148：閘極電極層

149：閘極電極層

150：絕緣層

155：絕緣層

160：電晶體

162：電晶體

163：電晶體

164：電晶體

172：電晶體

173：電晶體

174：電晶體

250：記憶單元

251：記憶單元陣列

251a：記憶單元陣列

251b：記憶單元陣列

253：週邊電路

254：電容元件

- 260 : 電 晶 體
- 262 : 電 晶 體
- 264 : 電 容 元 件
- 801 : 電 晶 體
- 802 : 電 晶 體
- 803 : 電 晶 體
- 804 : 電 晶 體
- 811 : 電 晶 體
- 812 : 電 晶 體
- 813 : 電 晶 體
- 814 : 電 晶 體
- 901 : RF 電 路
- 902 : 類 比 基 帶 電 路
- 903 : 數 位 基 帶 電 路
- 904 : 電 池
- 905 : 電 源 電 路
- 906 : 應 用 處 理 器
- 907 : CPU
- 908 : DSP
- 909 : 介 面
- 910 : 快 閃 記 憶 體
- 911 : 顯 示 器 控 制 器
- 912 : 記 憶 體 電 路
- 913 : 顯 示 器

- 914：顯示部
- 915：源極驅動器
- 916：閘極驅動器
- 917：音頻電路
- 918：鍵盤
- 919：觸摸感測器
- 950：記憶體電路
- 951：記憶體控制器
- 952：記憶體
- 953：記憶體
- 954：開關
- 955：開關
- 956：顯示器控制器
- 957：顯示器
- 1001：電池
- 1002：電源電路
- 1003：微處理器
- 1004：快閃記憶體
- 1005：音頻電路
- 1006：鍵盤
- 1007：記憶體電路
- 1008：觸控面板
- 1009：顯示器
- 1010：顯示器控制器

9033 : 夾子
9034 : 開關
9035 : 電源開關
9036 : 開關
9038 : 操作開關
9630 : 外殼
9631a : 顯示部
9631b : 顯示部
9632a : 區域
9632b : 區域
9633 : 太陽能電池
9634 : 充放電控制電路
9635 : 電池
9636 : DCDC 轉換器
9638 : 操作鍵
9639 : 按鈕

發明摘要

※申請案號：106124606（由102127770分割）

※申請日：102 年 08 月 02 日

※IPC 分類：**H01L 29/78** (2006.01)

H01L 21/28 (2006.01)

【發明名稱】(中文/英文)

半導體裝置

Semiconductor device

【中文】

本發明的目的是提供一種可靠性高且具有穩定的電特性的半導體裝置。此外，本發明的目的是製造可靠性高的半導體裝置。本發明的一個方式包括：層疊第一氧化物半導體層、第二氧化物半導體層以及第三氧化物半導體層而成的氧化物半導體疊層；與氧化物半導體疊層接觸的源極電極層以及汲極電極層；隔著閘極絕緣層與氧化物半導體層重疊的閘極電極層；夾著氧化物半導體層疊的第一氧化物絕緣層以及第二氧化物絕緣層。其中，第一氧化物半導體層至第三氧化物半導體層含有銦、鎵及鋅，第二氧化物半導體層中的銦含有率比第一氧化物半導體層以及第三氧化物半導體層的銦含有率多。第一氧化物半導體層是非晶，而第二氧化物半導體層以及第三氧化物半導體層都具有晶體結構。

【 英文 】

To provide a highly reliable semiconductor device exhibiting stable electrical characteristics. To fabricate a highly reliable semiconductor device. Included are an oxide semiconductor stack in which a first oxide semiconductor layer, a second oxide semiconductor layer, and a third oxide semiconductor layer are stacked, a source and a drain electrode layers contacting the oxide semiconductor stack, a gate electrode layer overlapping with the oxide semiconductor layer with a gate insulating layer provided therebetween, and a first and a second oxide insulating layers between which the oxide semiconductor stack is sandwiched. The first to the third oxide semiconductor layers each contain indium, gallium, and zinc. The proportion of indium in the second oxide semiconductor layer is higher than that in each of the first and the third oxide semiconductor layers. The first oxide semiconductor layer is amorphous. The second and the third oxide semiconductor layers each have a crystalline structure.

申請專利範圍

1. 一種半導體裝置，包括：

包含通道形成區的電晶體，該通道形成區包括矽；

在該電晶體上的第一絕緣層；

在該第一絕緣層上的第一閘極電極；

在該第一閘極電極上的第二絕緣層；

在該第二絕緣層上的第一氧化物半導體層，該第一氧化物半導體層與該第一閘極電極重疊；

在該第一氧化物半導體層上的第二氧化物半導體層，該第二氧化物半導體層與該第一閘極電極重疊；

在該第二氧化物半導體層上的第三氧化物半導體層，該第三氧化物半導體層與該第一閘極電極重疊；

在該第一氧化物半導體層與該第二氧化物半導體層上的源極電極和汲極電極，該源極電極和該汲極電極電連接至該第一氧化物半導體層、該第二氧化物半導體層及該第三氧化物半導體層；

在該第三氧化物半導體層、該源極電極及該汲極電極上的第三絕緣層；以及

在該第三絕緣層上的第二閘極電極，該第二閘極電極與該第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層重疊，

其中，每一該第一氧化物半導體層、該第二氧化物半導體層及該第三氧化物半導體層包括銦、鋅及鎵之中的至少一種，

其中，該第三氧化物半導體層與該第二氧化物半導體層的側面彼此接觸，且

其中，該第三氧化物半導體層與該第一氧化物半導體層的側面彼此接觸。

2. 一種半導體裝置，包括：

包含通道形成區的電晶體，該通道形成區包括矽；

在該電晶體上的第一絕緣層；

在該第一絕緣層上的第一閘極電極；

在該第一閘極電極上的第二絕緣層；

在該第二絕緣層上的第一氧化物半導體層，該第一氧化物半導體層與該第一閘極電極重疊；

在該第一氧化物半導體層上的第二氧化物半導體層，該第二氧化物半導體層與該第一閘極電極重疊；

在該第二氧化物半導體層上的第三氧化物半導體層，該第三氧化物半導體層與該第一閘極電極重疊；

在該第一氧化物半導體層與該第二氧化物半導體層上的源極電極和汲極電極，該源極電極和該汲極電極電連接至該第一氧化物半導體層、該第二氧化物半導體層及該第三氧化物半導體層；

在該第三氧化物半導體層、該源極電極及該汲極電極上的第三絕緣層；以及

在該第三絕緣層上的第二閘極電極，該第二閘極電極與該第一氧化物半導體層、第二氧化物半導體層及第三氧化物半導體層重疊，

其中，每一該第一氧化物半導體層、該第二氧化物半導體層及該第三氧化物半導體層包括銦、鋅及鎵之中的至少一種，

其中，該第三氧化物半導體層與該第二氧化物半導體層的側面彼此接觸，

其中，該第三氧化物半導體層與該第一氧化物半導體層的側面彼此接觸，且

其中，該源極電極及該汲極電極之一電連接至該電晶體。

3.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該第一絕緣層包括鋁和氧。

4.根據申請專利範圍第 1 或 2 項之半導體裝置，其中每一該第二氧化物半導體層和第三氧化物半導體層具有晶體結構。

5.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該第一氧化物半導體層具有非晶結構。

6.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該第二氧化物半導體層之組成與該第三氧化物半導體層之組成彼此不同。

7.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該第二絕緣層含有超過化學計量組成的氧。

8.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該第一氧化物半導體層及該第三氧化物半導體層中的矽或碳的濃度為 $3 \times 10^{18} \text{ atoms/cm}^3$ 以下。

9.根據申請專利範圍第 1 或 2 項之半導體裝置，其中每一該源極電極及該汲極電極與該第二絕緣層接觸。

10.根據申請專利範圍第 1 或 2 項之半導體裝置，其中該源極電極及該汲極電極設置於該第三氧化物半導體層上。

圖式

圖 1

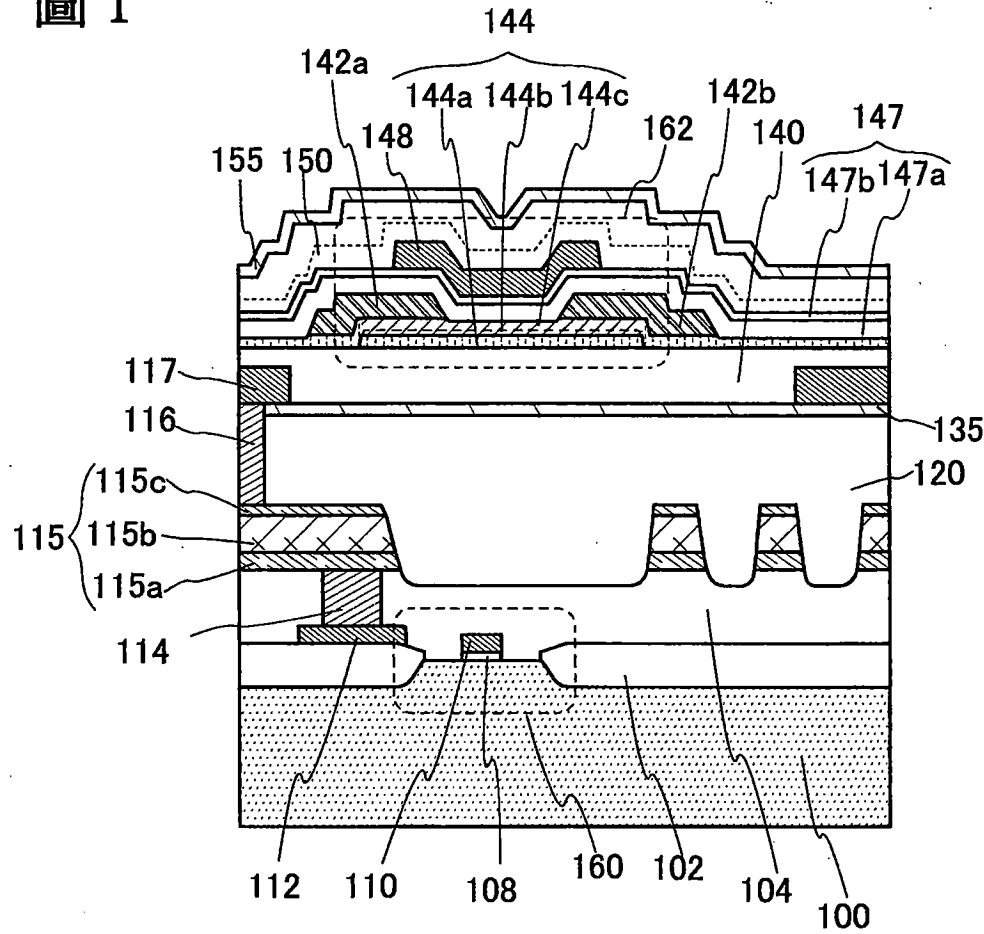


圖 2A

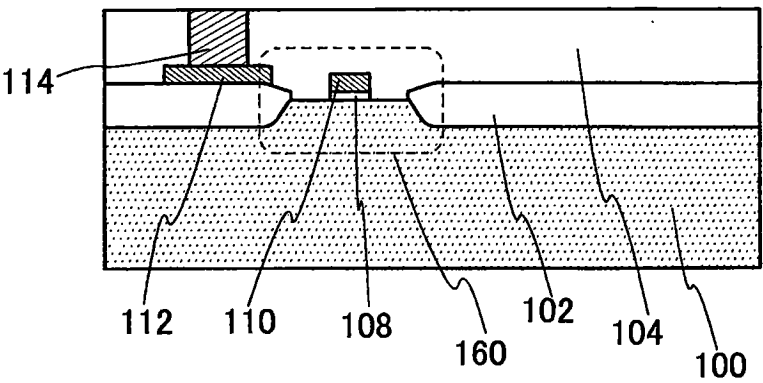


圖 2B

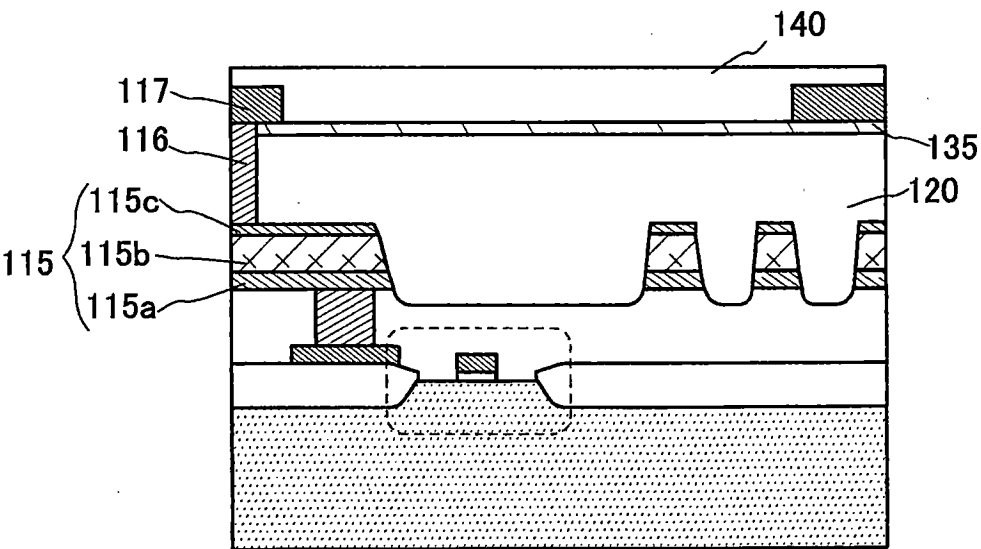


圖 3A

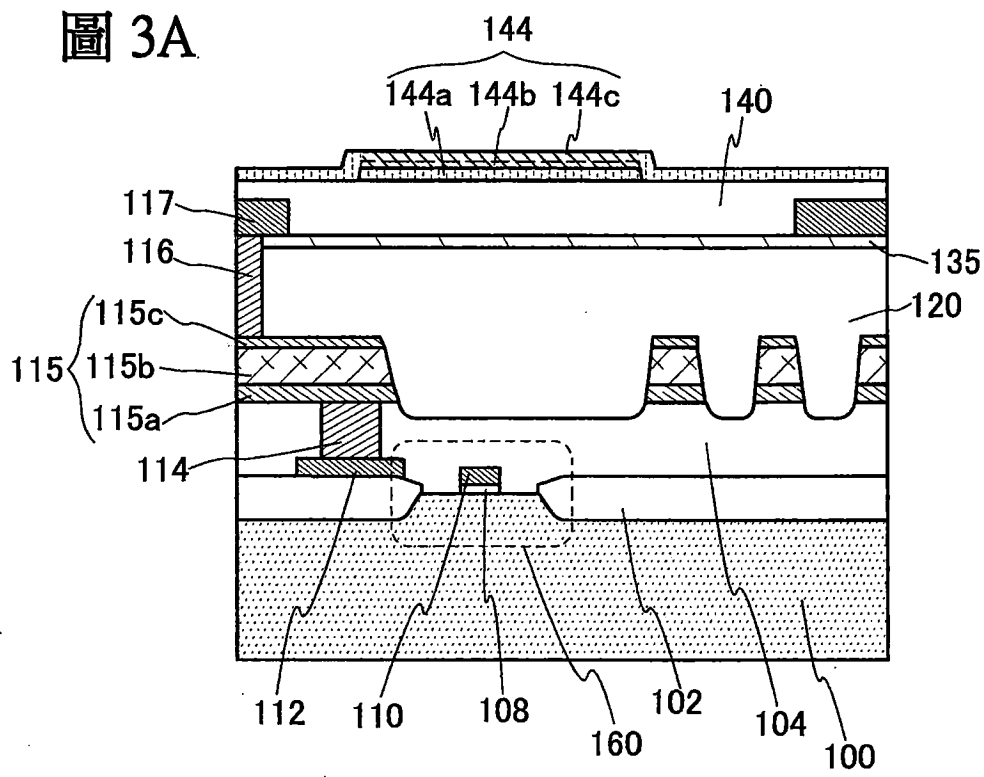


圖 3B

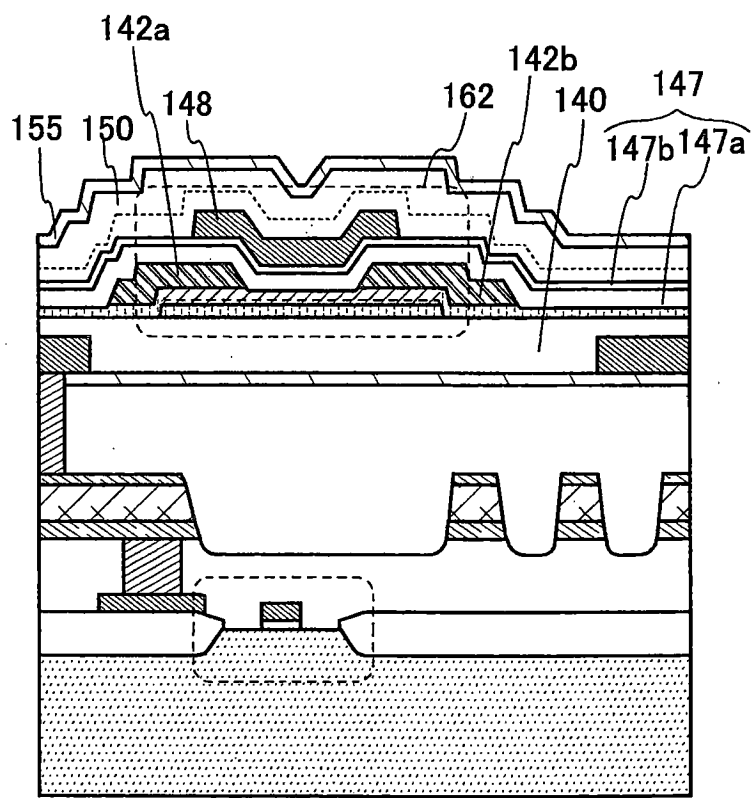


圖 4A

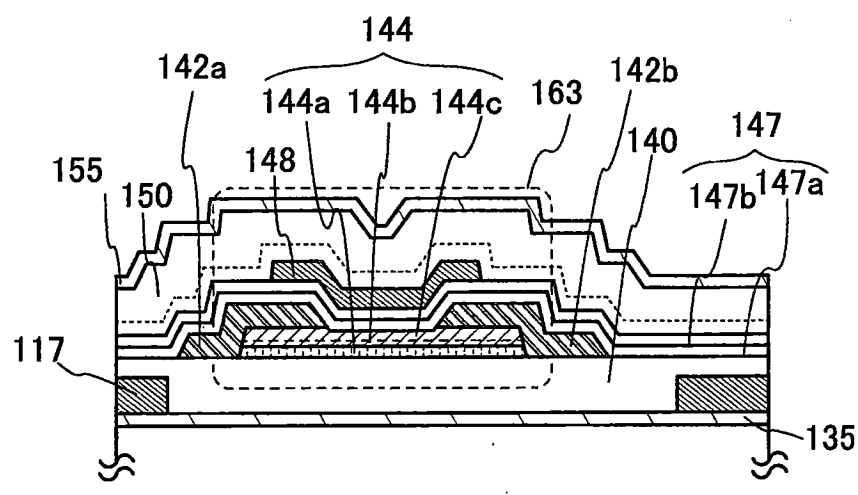


圖 4B

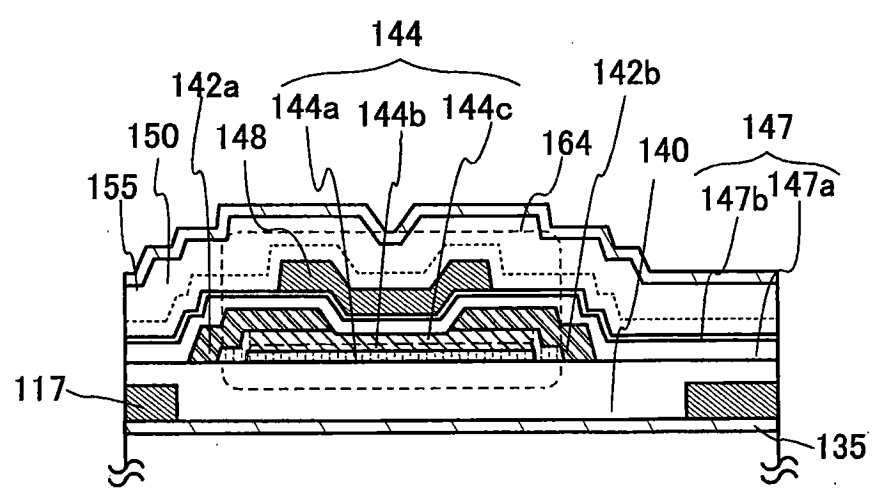


圖 5A

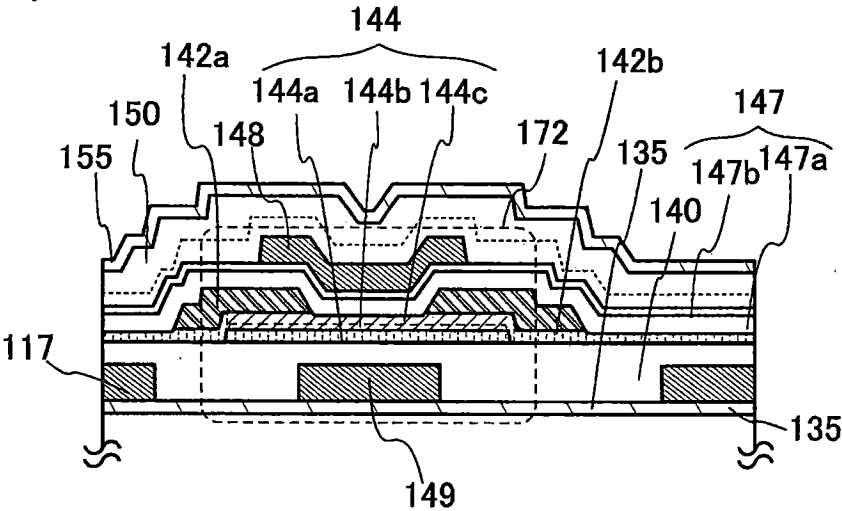


圖 5B

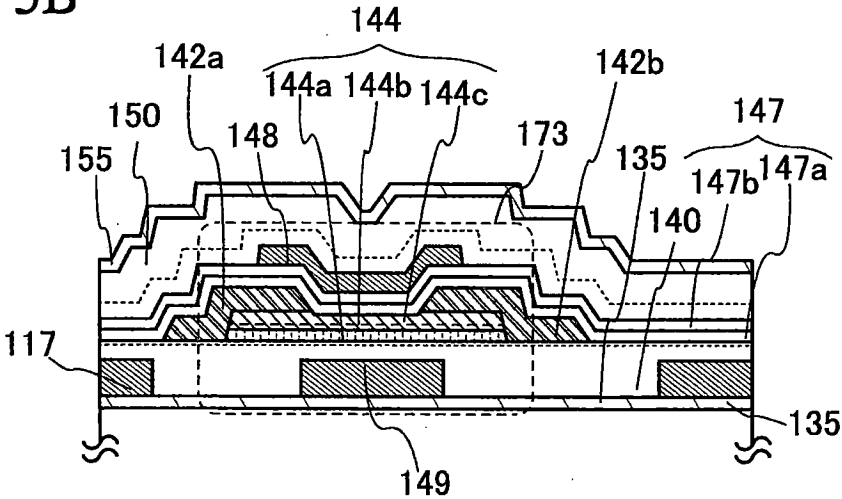


圖 5C

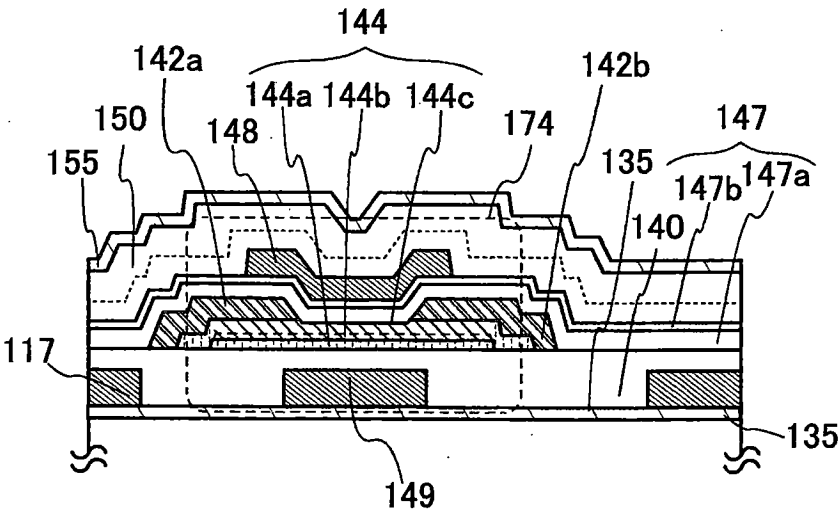


圖 6A

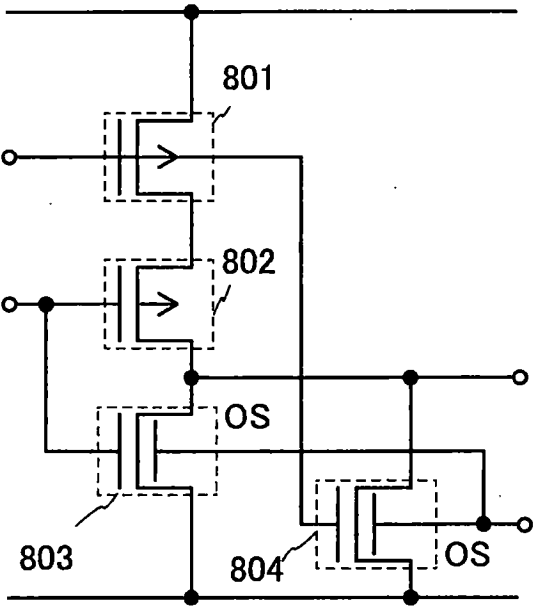


圖 6B

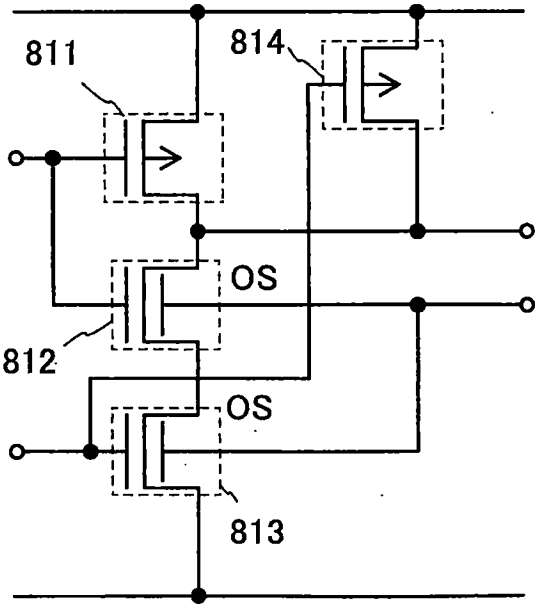


圖 7A

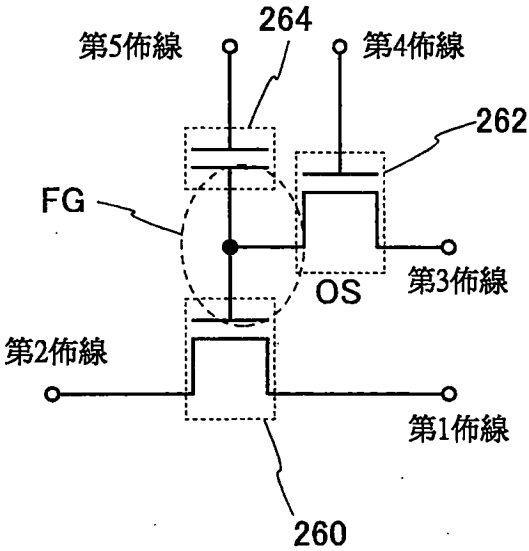


圖 7B

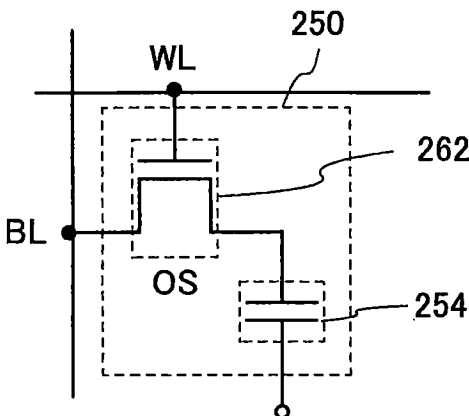


圖 7C

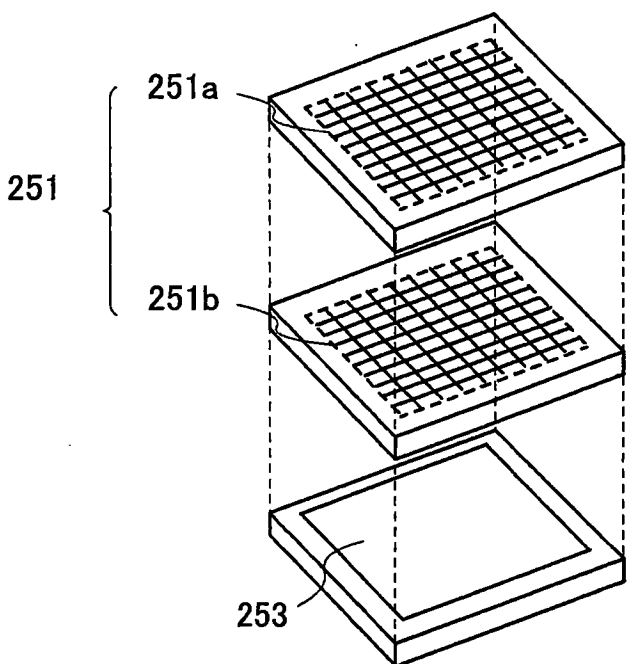


圖 8

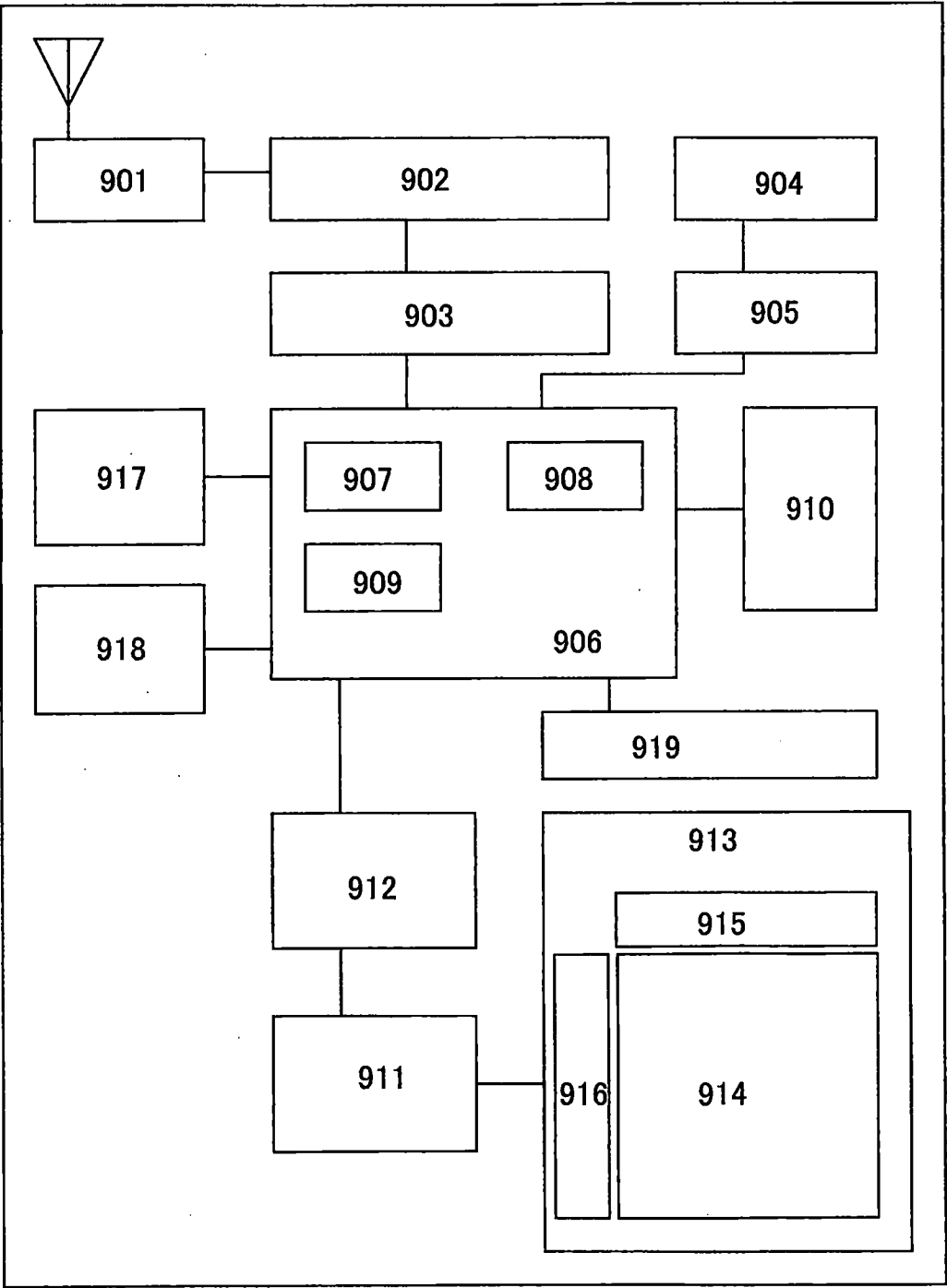


圖 9

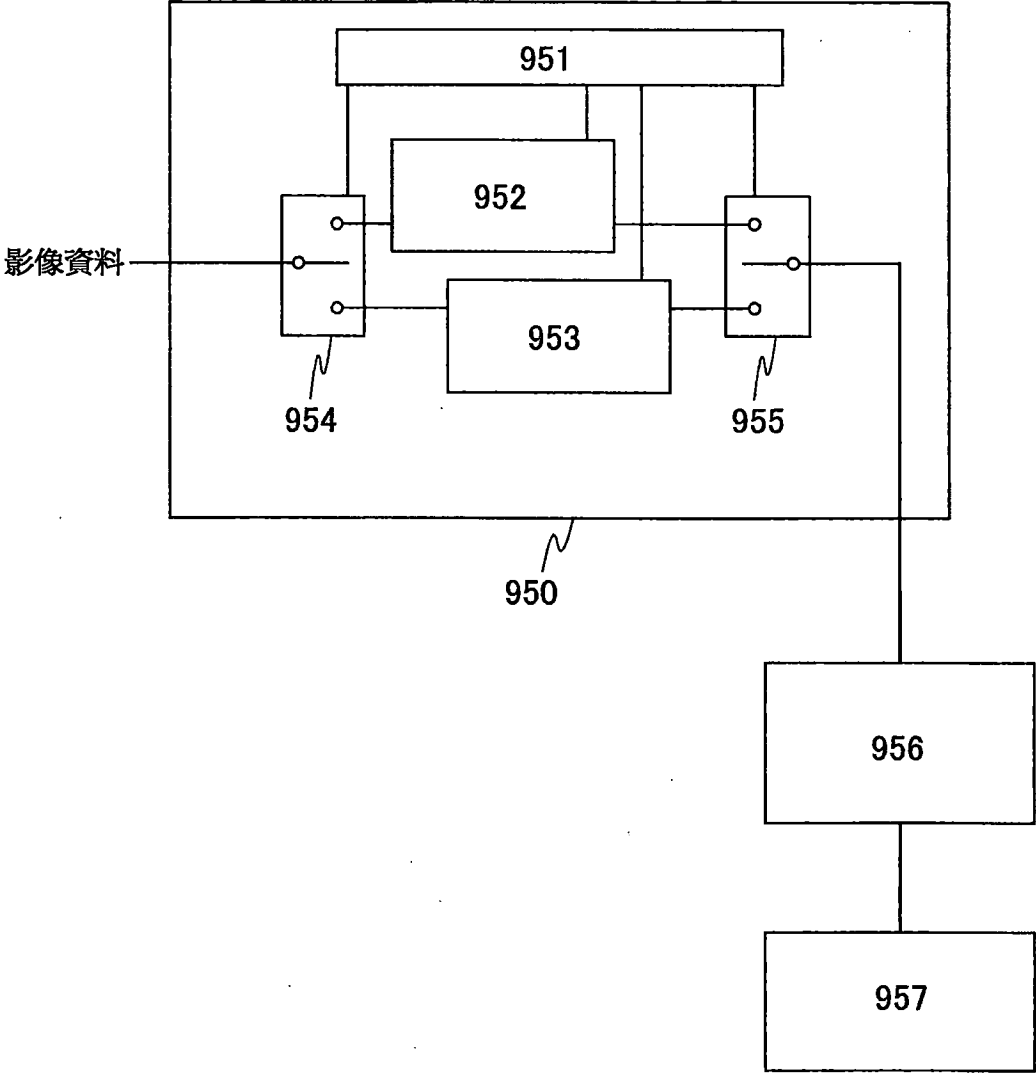


圖 10

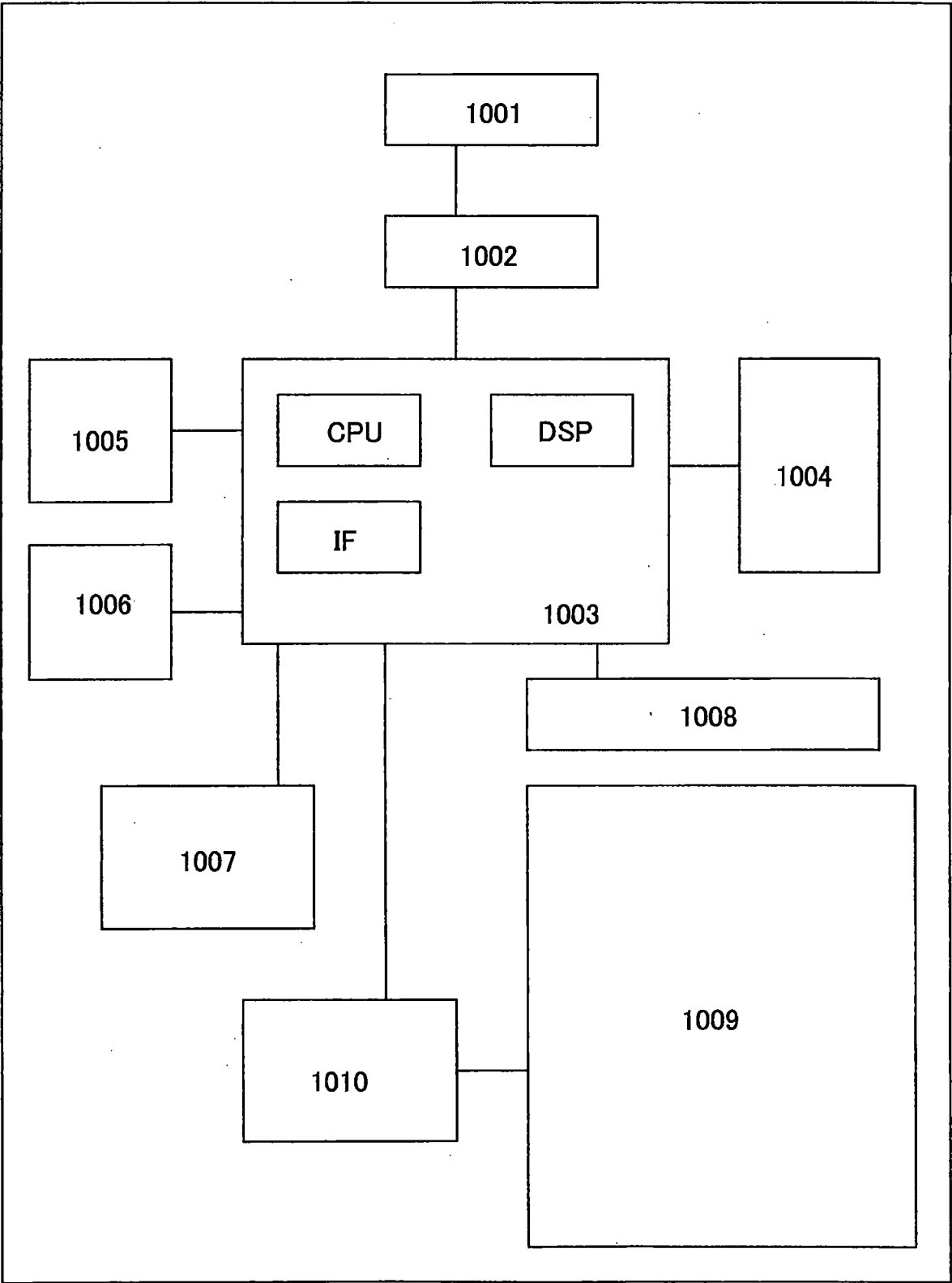


圖 11A

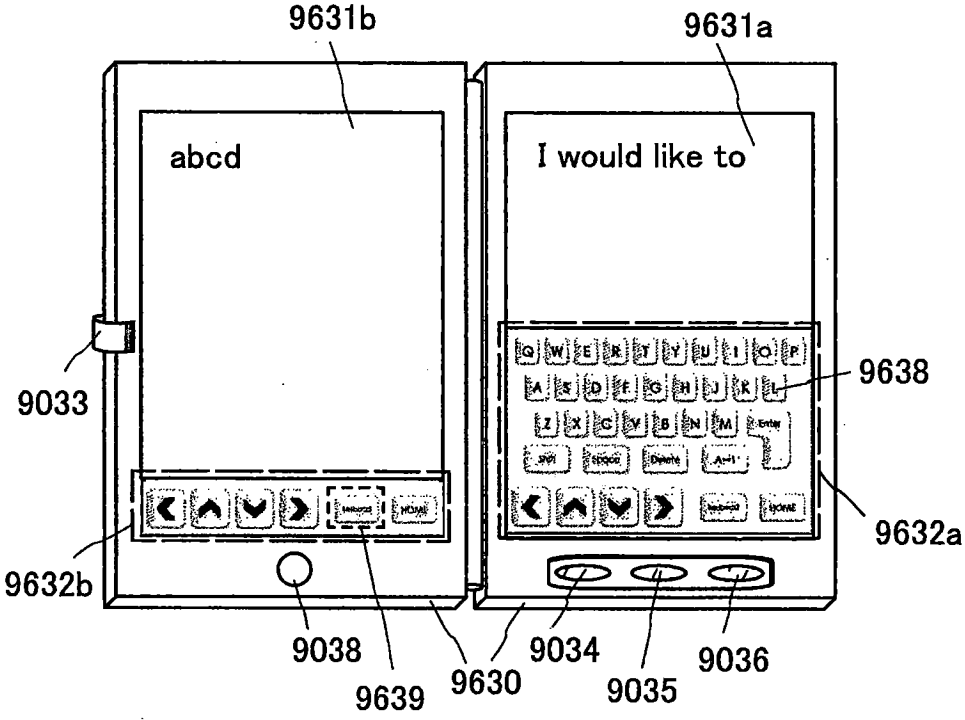
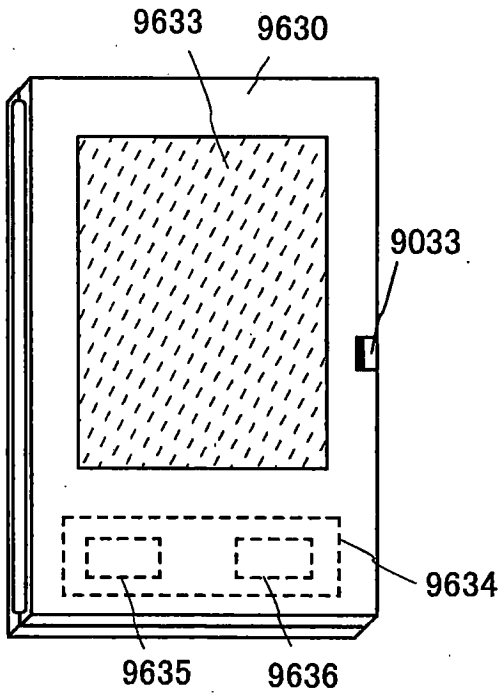


圖 11B



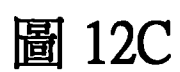


圖 13

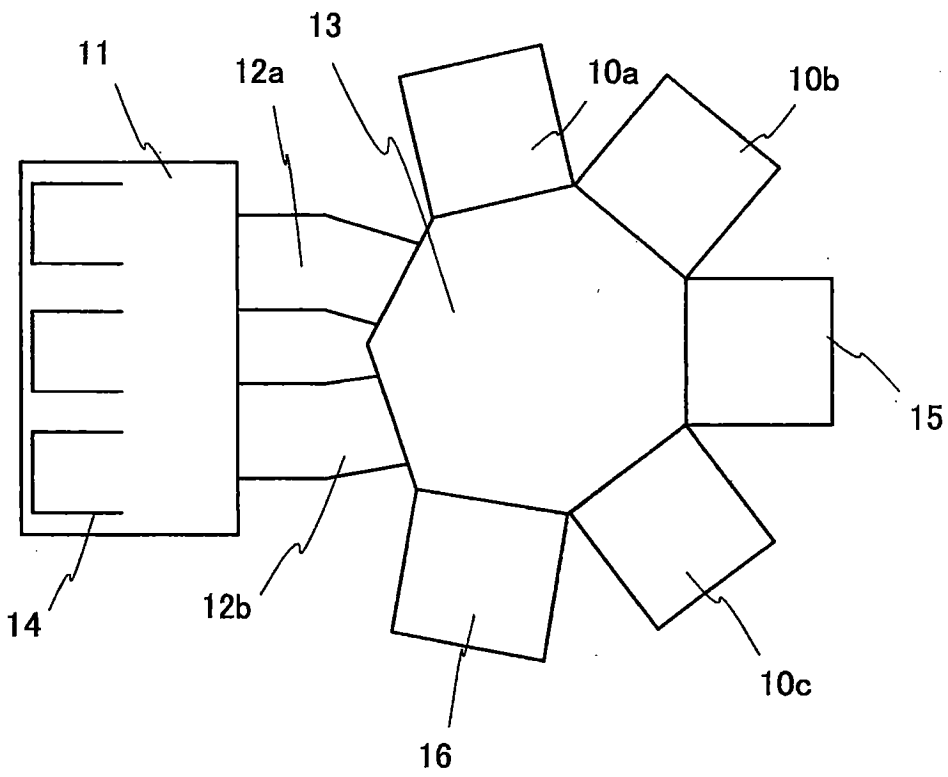


圖 14A

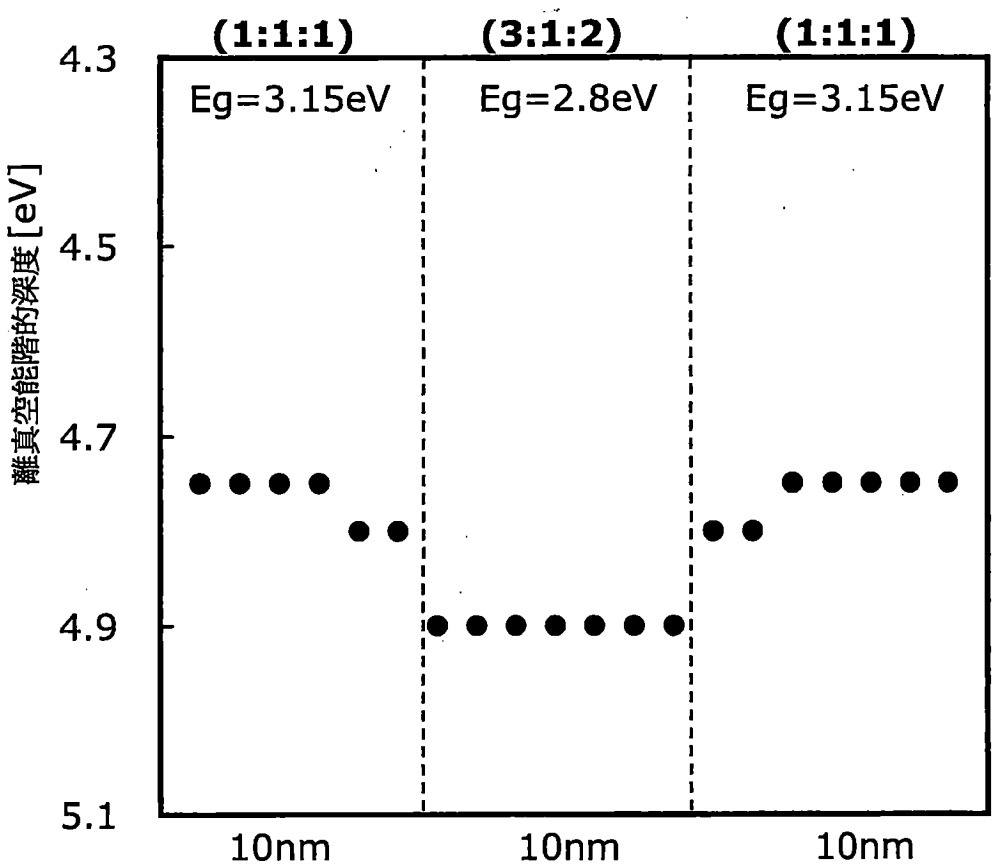
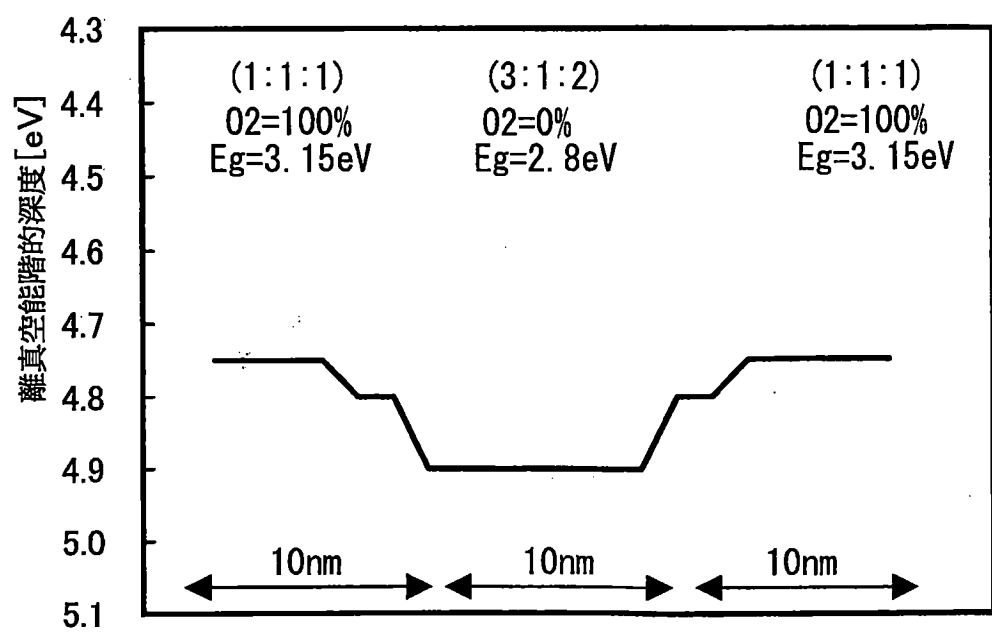


圖 14B



【代表圖】

【本案指定代表圖】：第(1)圖。

【本代表圖之符號簡單說明】：

100：基板，102：元件隔離絕緣層，104：絕緣層，
108：閘極絕緣層，110：閘極電極層，112：佈線層，
114：佈線層，115：佈線層，115a：佈線層，
115b：佈線層，115c：佈線層，116：佈線層，
117：佈線層，120：絕緣層，135：絕緣層，
140：絕緣層，142a：源極電極層，142b：汲極電極層，
144：氧化物半導體疊層，144a：氧化物半導體層，
144b：氧化物半導體層，144c：氧化物半導體層，
147：閘極絕緣層，147a：閘極絕緣層，
147b：閘極絕緣層，148：閘極電極層，150：絕緣層，
155：絕緣層，160、162：電晶體

【本案若有化學式時，請揭示最能顯示發明特徵的化學式】：無