

(12) 特許協力条約に基づいて公開された国際出願

(19) 世界知的所有権機関
国際事務局

(43) 国際公開日
2017年7月27日(27.07.2017)



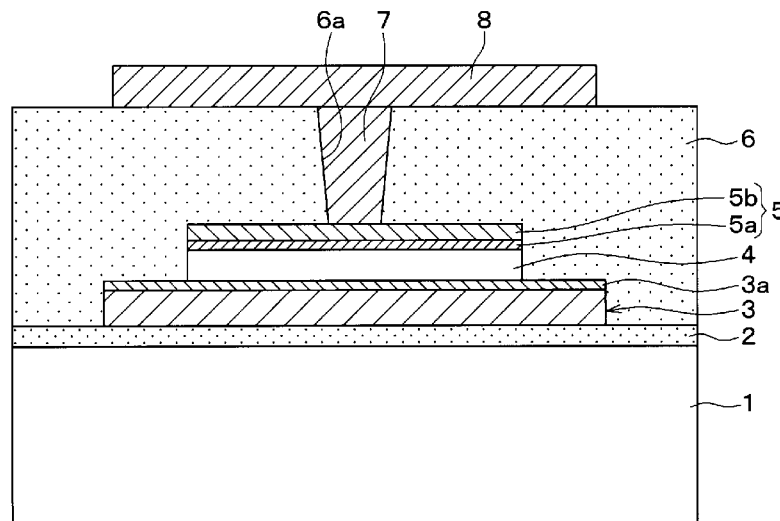
(10) 国際公開番号

WO 2017/126207 A1

- (51) 国際特許分類:
H01L 21/822 (2006.01) C23C 16/06 (2006.01)
C23C 14/06 (2006.01) H01L 27/04 (2006.01)
- (21) 国際出願番号: PCT/JP2016/084092
- (22) 国際出願日: 2016年11月17日(17.11.2016)
- (25) 国際出願の言語: 日本語
- (26) 国際公開の言語: 日本語
- (30) 優先権データ:
特願 2016-010821 2016年1月22日(22.01.2016) JP
- (71) 出願人: 株式会社デンソー(DENSO CORPORATION) [JP/JP]; 〒4488661 愛知県刈谷市昭和町1丁目1番地 Aichi (JP).
- (72) 発明者: 小田 洋平(ODA Youhei); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP). 藤原 剛(FUJIWARA Tsuyoshi); 〒4488661 愛知県刈谷市昭和町1丁目1番地 株式会社デンソー内 Aichi (JP).
- (74) 代理人: 特許業務法人ゆうあい特許事務所(YOUI PATENT FIRM); 〒4600003 愛知県名古屋市中区錦一丁目6番5号 名古屋錦シティビル4階 Aichi (JP).
- (81) 指定国 (表示のない限り、全ての種類の国内保護が可能): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, KE, KG, KN, KP, KR, KW, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW.
- (84) 指定国 (表示のない限り、全ての種類の広域保護が可能): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), ユーラシア (AM, AZ, BY, KG, KZ, RU, TJ, TM), ヨーロッパ (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG).
- 添付公開書類:
— 国際調査報告 (条約第21条(3))

(54) Title: METHOD FOR MANUFACTURING SEMICONDUCTOR DEVICE

(54) 発明の名称: 半導体装置の製造方法



(57) Abstract: In the present invention, roughness is eliminated and planarization is achieved by forming a metal oxide film (3a) on the surface of a lower electrode (3). Consequently, damages to a capacitor film (4) due to the roughness of the lower electrode (3) can be reduced. Furthermore, physical damages to the capacitor film (4) can be reduced by forming a first layer (5a) of an upper electrode (5) by means of a CVD method or the like. Consequently, the damages to the capacitor film (4) are suppressed, and reliability of the capacitor film (4) can be improved. Furthermore, not by forming the whole upper electrode (5) by means of the CVD method or the like, but by forming a second layer (5b) by means of a PVD method or the like on the first layer (5a), a resistance increase of the upper electrode (5) can be suppressed as well.

(57) 要約:

[続葉有]

WO 2017/126207 A1



下部電極（３）の表面に金属酸化膜（３ a）を形成することで、ラフネスを解消して平坦化する。これにより、容量膜（４）への下部電極（３）のラフネスに起因するダメージを軽減できる。また、上部電極（５）の第１層（５ a）をＣＶＤ法などによって形成することで容量膜（４）への物理的ダメージを軽減する。これにより、容量膜（４）へのダメージを抑制して容量膜（４）の信頼性を高めることができる。また、上部電極（５）をすべてＣＶＤ法などによって形成するのではなく、第１層（５ a）の上にＰＶＤ法などによって第２層（５ b）を形成することで、上部電極（５）の高抵抗化を抑制することも可能となる。

明 細 書

発明の名称：半導体装置の製造方法

関連出願への相互参照

[0001] 本出願は、2016年1月22日に出願された日本特許出願番号2016-10821号に基づくもので、ここにその記載内容が参照により組み入れられる。

技術分野

[0002] 本開示は、メタルインシュレータメタル構造のキャパシタ（以下、MIMキャパシタという）を有する半導体装置の製造方法に関するものである。

背景技術

[0003] 従来より、下部電極と上部電極との間に容量膜が挟まれることによって構成されるMIMキャパシタが知られている。例えば、特許文献1では、下部電極上に容量膜を成膜したのち、上部電極を化学気相成長（以下、CVD（chemical vapor depositionの略）という）法によって成膜することでMIMキャパシタを製造している。

先行技術文献

特許文献

[0004] 特許文献1：特開2015-61947号公報

発明の概要

[0005] 上記したようにCVD法によって上部電極を成膜する場合、上部電極が高抵抗になってしまう。

[0006] 上部電極をCVD法によって成膜する場合、下地となる容量膜へのダメージを低減でき、容量膜の信頼性を高めることが可能になるという効果が得られる。このような効果は下地となる容量膜へのダメージの低減によって得られている。したがって、CVD法を用いなくても、容量膜へのダメージを低減できれば上部電極の高抵抗化を抑制しつつ容量膜の信頼性を高めることが可能になる。また、CVD法を用いることで容量膜へのダメージを低減する

場合でも、高抵抗化を抑制できる構成とすれば良いし、さらに容量膜へのダメージを抑制できれば、より容量膜の信頼性を向上させることが可能になる。

[0007] 本開示は、容量膜へのダメージを抑制することで容量膜の信頼性を高めることができる半導体装置の製造方法を提供することを第1の目的とする。さらに、電極の高抵抗化を抑制することができる半導体装置の製造方法を提供することを第2の目的とする。

[0008] 本開示の1つの観点における半導体装置の製造方法では、第1電極の形成を行うことと、第1電極の上に、該第1電極に接する容量膜を形成することと、容量膜の上に、該容量膜に接する第2電極を形成することと、を含み、第2電極を形成することは、容量膜の表面に化学気相成長、原子層堆積もしくは有機金属気相成長によって第1層を形成することと、第1層の上に物理気相成長によって第2層を形成することを含んでいる。

[0009] このように、容量膜の表面に化学気相成長、原子層堆積もしくは有機金属気相成長による第1層を形成しているため、容量膜へのダメージを抑制することができる。また、第2電極をすべて化学気相成長、原子層堆積もしくは有機金属気相成長によって形成するのではなく、第1層の上に物理気相成長法によって第2層を形成することで、第2電極の高抵抗化を抑制することも可能となる。したがって、容量膜へのダメージを抑制することができ、容量膜の信頼性を高めることができる半導体装置の製造方法とすることが可能となる。

[0010] また、本開示のもう1つの観点における半導体装置の製造方法では、第1電極の形成を行うことと、第1電極の上に、該第1電極に接する容量膜を形成することと、容量膜の上に、該容量膜に接する第2電極を形成することと、を含み、第1電極を形成することは、該第1電極のうち容量膜側の一面に金属酸化膜を形成することを含んでいる。

[0011] このように、第1電極のうちの容量膜側の一面に金属酸化膜を形成することで、第1電極のラフネスを解消してより平坦化することが可能となり、容

量膜への第1電極のラフネスに起因するダメージを軽減できる。したがって、容量膜へのダメージを抑制することができ、容量膜の信頼性を高めることができる半導体装置の製造方法とすることが可能となる。

図面の簡単な説明

[0012] [図1]第1実施形態にかかる半導体装置の断面図である。

[図2]図1に示す半導体装置の製造工程を示した断面図である。

[図3]MIMキャパシタの電特を示した図である。

[図4]PVD法によって上部電極を形成した場合の容量膜へのダメージを示した断面図である。

[図5]MIMキャパシタの耐圧とワイブル分布との関係を示した図である。

[図6]スパッタリングによって上部電極を形成した場合におけるMIMキャパシタの電特を示した図である。

[図7A]理想状態でのMIMキャパシタ中の電荷の様子を示した図である。

[図7B]理想状態でのMIMキャパシタの電特を示した図である。

[図8]容量膜中にダメージが発生しているときの容量膜および上部電極の界面での原子状態を示した図である。

[図9A]容量膜中にダメージが発生しているときのMIMキャパシタ中の電荷の様子を示した図である。

[図9B]容量膜中にダメージが発生しているときのMIMキャパシタ中の電荷の様子を示した図である。

[図9C]容量膜中にダメージが発生しているときのMIMキャパシタの電特を示した図である。

[図10A]容量膜中にダメージが発生しているときのMIMキャパシタ中の電荷の様子を示した図である。

[図10B]容量膜中にダメージが発生しているときのMIMキャパシタの電特を示した図である。

[図11]第1実施形態の構造のMIMキャパシタの電特を示した図である。

[図12]第1実施形態の構造のMIMキャパシタにおける容量膜および上部電

極の界面での原子状態を示した図である。

[図13]第2実施形態にかかる半導体装置の断面図である。

[図14]第3実施形態にかかるMIMキャパシタの接続構造を示した回路図である。

[図15]図14に示す接続構造を有するMIMキャパシタの電特を示した模式図である。

発明を実施するための形態

[0013] 以下、本開示の実施形態について図に基づいて説明する。なお、以下の各実施形態相互において、互いに同一もしくは均等である部分には、同一符号を付して説明を行う。

[0014] (第1実施形態)

第1実施形態について説明する。本実施形態では、MIMキャパシタとして、平板構造のものを例に挙げて説明する。なお、ここで説明するMIMキャパシタを有する半導体装置は、例えばアナログデジタルコンバータ（以下、A/Dコンバータという）などに適用される。

[0015] 図1に示すように、MIMキャパシタは、例えば、シリコン基板などの半導体基板1の上に絶縁膜2を介して形成される。具体的には、絶縁膜2の上に、下部電極3と容量膜4および上部電極5をその順番に積層することによってMIMキャパシタが構成される。

[0016] 下部電極3は、第1電極に相当するものであり、一般的な電極材料を用いて構成されており、容量膜4と接する側の一面に金属酸化膜3aが形成された構造とされている。例えば、下部電極3は、アルミニウム（Al）、窒化チタン（TiN）、チタン（Ti）、銅（Cu）、不純物がドーピングされたポリシリコン、金属シリサイドなどの単層膜、もしくは、アルミニウムと銅などの複数の電極材料の積層膜によって形成されている。そして、下部電極3の表面が酸化されることなどによって金属酸化膜3aが構成されている。

[0017] 容量膜4は、絶縁膜によって構成されており、本実施形態では下部電極3の上に平面状に形成されている。例えば、容量膜4は、シリコン酸化膜（S

i O)、シリコン窒化膜(S i N)等の絶縁膜により構成され、必要とされる容量に応じた膜厚とされている。

[0018] 上部電極5は、第2電極に相当するものであり、一般的な電極材料で構成されている。すなわち、上部電極5は、下部電極3と同様に、アルミニウム、窒化チタン、チタン、銅などの単層膜、もしくは、アルミニウムと銅などの複数の電極材料の積層膜によって形成されている。上部電極5は、下部電極3と同じ材料で構成されていても異なる材料で構成されていても良い。上部電極5のうち容量膜4と接する側の一面はCVD法もしくは原子層堆積(以下、ALD(Atomic layer depositionの略)という)法によって形成された第1層5aによって構成されている。また、上部電極5のうち第1層5aに対して容量膜4と反対側は、スパッタリング等の物理気相成長(以下、PVD(Physical Vapor Depositionの略))法によって形成された第2層5bによって構成されている。第2層5bについては、さらにタングステン(W)や応力が低い金属材料、もしくはポリシリコンなどによって形成することもできる。

[0019] さらに、MIMキャパシタを覆うように、つまり下部電極3と容量膜4および上部電極5の積層構造を覆うように、テトラエトキシシラン(以下、TEOS(Tetra Ethyl OrthoSilicateの略)という)膜などで構成された層間絶縁膜6が形成されている。そして、層間絶縁膜6のコンタクトホール6a内にタングステンプラグなどの接合金属材料が埋め込まれたビア7が形成され、層間絶縁膜6の上に形成されたアルミニウムなどで構成される配線8と上部電極5とが電氣的に接続されている。

[0020] このような構造によって、本実施形態にかかるMIMキャパシタを備えた半導体装置が構成されている。このように構成される半導体装置に備えられたMIMキャパシタは、下部電極3に繋がる図示しない配線や上部電極5に接続される配線8がそれぞれ半導体基板1に形成される集積回路の所望位置に接続されたり、パッド部を通じて外部に接続されることで使用される。

[0021] 続いて、図1に示すMIMキャパシタを有する半導体装置の製造方法につ

いて、図 2 を参照して説明する。

[0022] 〔図 2 (a) に示す工程〕

まず、半導体基板 1 を用意する。半導体基板 1 としては、必要に応じて集積回路などを構成する半導体素子などが形成されたものを用いることができる。そして、半導体基板 1 の上に絶縁膜 2 を形成したのち、絶縁膜 2 の表面に下部電極 3 を形成する。例えば、スパッタリング等の PVD 法によって下部電極 3 を形成している。なお、ここでは基板として半導体基板 1 を用いる場合を例に挙げているが、半導体基板ではない基板を用いても良く、絶縁基板を用いれば絶縁膜 2 を形成しなくても良い。

[0023] 〔図 2 (b) に示す工程〕

下部電極 3 の表層部を酸化することで金属酸化膜 3 a を形成する。例えば、 O_2 ラジカルを主体とする CVD である O_2 プラズマ酸化または熱酸化などを実施することによって、金属酸化膜 3 a を形成することができる。なお、 O_2 プラズマ酸化としては、ここまでのプロセス中に含まれる O_2 ガス雰囲気によるものも含まれる。例えば、ここまでのプロセス中にドライエッチングが含まれている場合、ドライエッチングガス中に含まれる O_2 ガス雰囲気による O_2 プラズマ酸化によって金属酸化膜 3 a を形成することもできる。一例を挙げると、半導体素子の形成中に実施されるドライエッチングや、絶縁膜 2 に対する図示しないコンタクトホール形成もしくは下部電極 3 をパターニングする際のドライエッチングなどが該当する。

[0024] 下部電極 3 については、上記した材料を用いて形成できるが、下部電極 3 を窒化チタンによって構成する場合には、金属酸化膜 3 a として酸化チタン (TiO) 膜が形成される。

[0025] 〔図 2 (c) に示す工程〕

下部電極 3 の上に容量膜 4 を成膜する。例えば CVD 法などでシリコン酸化膜を形成することによって容量膜 4 を形成している。このとき、図 2 (b) の工程において、金属酸化膜 3 a を形成し、かつ、下部電極 3 自身の酸化によって金属酸化膜 3 a を形成していることから、その上に形成される容量

膜４のダメージを抑制することが可能となる。すなわち、単に下部電極３を成膜しただけだと下部電極３の表面のラフネス、つまり凹凸によって、下部電極３を下地として形成される容量膜４が不均一な膜厚になるなど、容量膜４にダメージが付与されて膜質を低下させることになる。また、下部電極３の上に、下部電極３とは別の金属による金属酸化膜を形成するような場合も、ラフネスを改善することができない。これに対して、下部電極３の一面側を下部電極３自身の酸化による金属酸化膜３aとしておくことで、容量膜４の膜厚の不均一や膜質の低下を抑制できる。また、容量膜４にリークポイントとなるピンホールが形成されることを抑制することも可能となり、初期故障なども抑制できる。そして、下部電極３の一面側に積極的に金属酸化膜３aを形成することで、表面の凹凸が低減できて電界集中する部分を無くすることも可能となる。

[0026] 〔図２（d）に示す工程〕

容量膜４の上に上部電極５を成膜する。このとき、まず最初にＣＶＤ法もしくはＡＬＤ法によって第１層５aを形成し、その後、ＰＶＤ法によって第２層５bを形成することで上部電極５を成膜している。

[0027] 容量膜４の上に直接ＰＶＤ法によって上部電極５を形成すると、容量膜４にダメージが生じる。このため、まずは容量膜４へのダメージが発生し難いＣＶＤ法もしくはＡＬＤ法によって第１層５aを形成する。ただし、ＣＶＤ法もしくはＡＬＤ法によって形成される第１層５aは不純物が入り易く、低抵抗化を図ることが難しいため、上部電極５のすべてをＣＶＤ法もしくはＡＬＤ法によって形成するのではなく、第１層５aの上にＰＶＤ法による第２層５bを形成する。ＰＶＤ法によって形成される第２層５bは、ＣＶＤ法やＡＬＤ法によって形成される第１層５aと比較して不純物が入り込み難く抵抗値が低い。このため、第１層５aと第２層５bとの積層膜とすることで、容量膜４へのダメージを抑制しつつ、上部電極５の低抵抗化を図ることが可能となる。

[0028] この後、例えば所定のマスクを用いて上部電極５および容量膜４をパター

ニングする。この後の工程については図示しないが、上部電極 5 等の上に層間絶縁膜 6 を形成する工程を行う。そして、所定のマスクを用いて層間絶縁膜 6 に対してコンタクトホール 6 a を形成したのち、コンタクトホール 6 a 内にタングステンプラグなどの接合金属材料の埋め込み工程を行うことでビア 7 を形成する。さらに、層間絶縁膜 6 の上にアルミニウムなどの金属層を成膜したのち、所定のマスクによってパターニングすることで配線 8 を形成する。これにより、図 1 に示した MIM キャパシタを有する半導体装置を製造することができる。

[0029] ここで、MIM キャパシタにおける容量－電圧特性（以下、電特という）の変化メカニズムについて説明する。

[0030] MIM キャパシタを A/D コンバータに適用した場合、アナログ入力に対してデジタル出力を行うにあたり、MIM キャパシタの電特の影響が A/D 変換の変換誤差として表れる。例えば MIM キャパシタの電特は図 3 のように放物線状の関係となるが、MIM キャパシタに印加される電圧の変化に対して容量変化が小さいほど電特が良好であり、A/D 変換の変換誤差も小さくすることができる。このため、A/D コンバータに MIM キャパシタを適用する場合には、MIM キャパシタの電特を良好にすることが重要であり、それによって A/D コンバータの変換精度を高精度にすることが可能になる。

[0031] この MIM キャパシタの電特について調べたところ、容量膜 4 の膜質が影響していることが確認された。すなわち、容量膜 4 にダメージが入っていて、容量膜 4 の膜質が良好でないと、そのダメージが影響して MIM キャパシタの電特が悪化することが確認された。そして、その原因について調べたところ、1 つは容量膜 4 の上に形成する上部電極 5 を PVD 法によって形成していることが原因であることが判り、もう一つは容量膜 4 を形成する際の下地となる下部電極 3 の表面のラフネスが原因であることが判った。

[0032] 下部電極 3 の表面のラフネスについては、下部電極 3 を形成すると必然的にできるものであり、単純に PVD 法などによって下部電極 3 を形成しただ

けでは下部電極3の表面の平坦性を担保できない。これが原因となって、容量膜4に欠陥などのダメージが発生することになる。

[0033] また、容量膜4の上にPVD法、例えばスパッタリングによって上部電極5を形成した場合、図4に示すようにスパッタリングによる物理的ダメージが発生する。特に、容量膜4中に欠陥などに起因して強度的に弱い部分が存在すると、スパッタリングによる物理的ダメージの進行を助長させる。スパッタリングを行った後のMIMキャパシタの試料について、耐圧とワイブル分布を確認したところ、図5中破線に示す結果となった。この図に示されるように、良品であれば30[V]以上の耐圧が得られるのに対して、30[V]未満の耐圧しか得られない試料も複数存在していた。この結果からも、スパッタリングによるダメージに起因して容量膜4の信頼性が低下し、所望の耐圧が得られていないことが分かる。

[0034] また、容量膜4の上にPVD法、例えばスパッタリングによって上部電極5を形成した場合において、MIMキャパシタの電特を調べたところ、図6の結果となった。この図に示すように、MIMキャパシタに印加する電圧(V)に対するMIMキャパシタの容量変化 C/C_0 で示される電特が放物線状の関係となる。この電特における破線で囲んだ部分を二次関数近似したときに、近似二次関数における一次係数は放物線の頂点に対する接線の傾きと対応し、二次係数は放物線の開き具合と対応している。図6に示される電特においては、一次係数が38.5 ppm/V、二次係数が-6.9 ppm/V²となった。

[0035] MIMキャパシタでは、容量膜4に欠陥が無い理想状態であれば、図7Aに示すように下部電極3と上部電極5との電荷がバランスする。このため、図7Bに示すようにMIMキャパシタに印加する電圧(V)に対する容量変化 C/C_0 がどの電圧においても一定となり、容量変化 C/C_0 が電圧(V)に依存しないという電特になる。

[0036] しかしながら、PVD法によって容量膜4を形成したことや下地となる下部電極3のラフネスに基づく容量膜4へのダメージが発生すると、図8に示

すように、容量膜4中の結晶構造が壊れ、ダングリングボンド、つまり未接合手が発生する。このダングリングボンドに電荷がトラップされ、MIMキャパシタの電特の変化が大きくなる。このため、図9Aおよび図9Bに示すように、上部電極5に対してマイナス電位をバイアスしたときも、プラス電位をバイアスしたときにも、バイアスの正負に依存して電荷が増減する。この影響で、図9Cに示すように、MIMキャパシタに印加する電圧(V)に対する容量変化 C/C_0 、つまり電特が一定とならずに傾きが生じる。この電特の傾きは一次係数を主体とした線形的な変化となり、トラップされる電荷量などによって図中矢印で示したように変わる。

[0037] また、容量膜4中に欠陥が存在すると、図10Aに示すように、その欠陥による配向分極による電界打消しが生じる。これにより、図10Bに示すように、二次係数を主体として電特が図中矢印で示したように曲線化する。

[0038] このように、容量膜4の欠陥の存在により、一次係数および二次係数が変化し、MIMキャパシタの電特が一定にならない。

[0039] したがって、上記したように、下部電極3に金属酸化膜3aを形成したり、上部電極5を形成する際に最初にCVD法もしくはALD法によって第1層5aを形成することで、容量膜4へのダメージを抑制でき、MIMキャパシタの電特を一定に近づけることができる。

[0040] そして、第1層5aを形成することで容量膜4へのダメージの発生を抑制した場合、図5中実線で示すように、ダメージが発生している場合と比較して、容量膜4の耐圧信頼性を確保できるという結果が得られた。また、第1層5aを形成する場合においてMIMキャパシタの電特を調べたところ、図11に示すように、電特がほぼ直線状になった。この電特を二次関数近似すると、近似二次関数における一次係数が 21.5 ppm/V 、二次係数が -1.2 ppm/V^2 となった。この結果からも、近似二次関数がほぼ直線状になっていることが判る。

[0041] このように、容量膜4へのダメージがMIMキャパシタの電特に影響を与えており、容量膜4へのダメージは、主に、下部電極3のラフネスによるも

のと上部電極 5 の形成時の物理的ダメージによるものである。

[0042] したがって、上記したように、下部電極 3 のラフネスを解消してより平坦化することで、容量膜 4 への下部電極 3 のラフネスに起因するダメージを軽減でき、上部電極 5 の第 1 層 5 a を CVD 法などによって形成することで容量膜 4 への物理的ダメージを軽減できる。例えば、図 12 に示すように、容量膜 4 中の結晶構造が整った状態となり、ダングリングボンドが減少する。これにより、容量膜 4 へのダメージを抑制して容量膜 4 の信頼性を高めることができるキャパシタを有する半導体装置を製造方法とすることが可能となる。また、上部電極 5 をすべて CVD 法などによって形成するのではなく、第 1 層 5 a の上に PVD 法などによって第 2 層 5 b を形成することで、上部電極 5 の高抵抗化を抑制することも可能となる。

[0043] このようにして、容量膜 4 へのダメージを抑制することができ、容量膜 4 の信頼性を高めることができる半導体装置の製造方法とすることが可能となる。

[0044] (第 2 実施形態)

第 2 実施形態について説明する。本実施形態は、第 1 実施形態に対して容量膜 4 や上部電極 5 の構造を変更したものであり、その他については第 1 実施形態と同様であるため、第 1 実施形態と異なる部分についてのみ説明する。

[0045] 図 13 に示すように、本実施形態では、下部電極 3 の上に層間絶縁膜 10 が形成されており、この層間絶縁膜 10 を貫通するように形成されたトレンチ 10 a 内に入り込むように容量膜 4 および上部電極 5 が形成されている。トレンチ 10 a からは下部電極 3 が露出させられており、下部電極 3 のうち露出させられている部分に接するように容量膜 4 および上部電極 5 が順に積層されている。そして、さらに上部電極 5 の上に層間絶縁膜 6 と配線 8 が順に形成されており、層間絶縁膜 6 のコンタクトホール 6 a 内に形成されたビア 7 を通じて配線 8 が上部電極 5 と電氣的に接続されている。

[0046] このように、本実施形態では、トレンチ 10 a 内に容量膜 4 および上部電

極5が入り込むように形成されたトレンチ構造のMIMキャパシタとしてい
る。このような構造のMIMキャパシタにおいても、下部電極3の一面側に
金属酸化膜3aを形成したり、上部電極5に第1層5aを形成することで、
第1実施形態と同様の効果を得ることができる。

[0047] なお、このような構造のMIMキャパシタを有する半導体装置の製造方法
は、基本的には第1実施形態と同様であるが、容量膜4や上部電極5などの
製造工程については第1実施形態の製造方法から変更することになる。具
体的には、図2(c)に示す工程の前に、TEOS膜などによって層間絶縁膜
10を成膜したのち、図示しないマスクを用いて層間絶縁膜10に対してト
レンチ10aを形成する。その後、図2(c)に示す工程以降の工程を順に
行う。このような製造方法により、本実施形態のMIMキャパシタを有する
半導体装置を製造することができる。

[0048] (第3実施形態)

第3実施形態について説明する。本実施形態は、第1、第2実施形態で説
明したMIMキャパシタを用いて逆接キャパシタを構成するものであり、M
IMキャパシタの構成自体は第1、第2実施形態と同様であるため、第1、
第2実施形態と異なる部分についてのみ説明する。

[0049] 図14に示すように、本実施形態では、第1、第2実施形態で示したMIM
キャパシタを2つ備えている。そして、一方のMIMキャパシタC1の上
部電極5と他方のMIMキャパシタC2の下部電極3とを電氣的に接続する
とともに、一方のMIMキャパシタC1の下部電極3と他方のMIMキャパ
シタC2の上部電極5とを電氣的に接続している。

[0050] このように、2つのMIMキャパシタC1、C2を互いに逆接続すること
で、それぞれの電特を足し合わせることができる。すなわち、図15に示す
ように、一方のMIMキャパシタC1の電特が電圧(V)の増加に基づいて
容量変化 C/C_0 が増加する特性となり、他方のMIMキャパシタC1の電
特が電圧(V)の増加に基づいて容量変化 C/C_0 が減少する特性となる。
このため、これら2つのMIMキャパシタC1、C2の電特を足し合わせる

と、互いの電特の傾斜が打ち消しあい、平坦に近い電特になる。このように、電特の直線成分、つまり一次係数を相殺することが可能となり、一定に近い電特を得ることが可能となる。

[0051] (他の実施形態)

本開示は、上記した実施形態に準拠して記述されたが、当該実施形態に限定されるものではなく、様々な変形例や均等範囲内の変形をも包含する。加えて、様々な組み合わせや形態、さらには、それらに一要素のみ、それ以上、あるいはそれ以下、を含む他の組み合わせや形態をも、本開示の範疇や思想範囲に入るものである。

[0052] 例えば、上記各実施形態では、下部電極 3 の一面側に金属酸化膜 3 a を形成することと、上部電極 5 に第 1 層 5 a を形成することの両方を行うようにしているが、少なくとも一方を行うことで、容量膜 4 の膜質の改善をできる。ただし、両方共に行うことで、より容量膜 4 の膜質の改善効果を向上させられ、より容量膜 4 の信頼性を高めることが可能となる。

[0053] また、上部電極 5 を第 1 層 5 a の上に第 2 層 5 b を形成する構造としたが、第 2 層 5 b については必ずしも必要ではない。つまり、第 1 層 5 a に対して直接ビア 7 が接続される構造であっても良い。

[0054] また、容量膜 4 の構成材料として、シリコン酸化膜、シリコン窒化膜などの絶縁膜を例に挙げたが、酸化アルミニウム (Al_2O_3) などの他の絶縁膜であっても良いし、複数種類の絶縁膜の積層構造であっても良い。

[0055] また、上部電極 5 における第 1 層 5 a の成膜方法として、CVD 法や ALD 法を例に挙げたが、有機金属気相成長 (MOCVD (metal organic chemical vapor deposition の略)) 法によって第 1 層 5 a を形成しても良い。

[0056] なお、上記実施形態では、第 1 電極を下部電極、第 2 電極を上部電極とする構造について説明したが、これは一例であり、本開示は、メタルインシュレータメタル構造のキャパシタを構成する第 1 電極と第 2 電極とを備えた構造に対して適用可能である。

請求の範囲

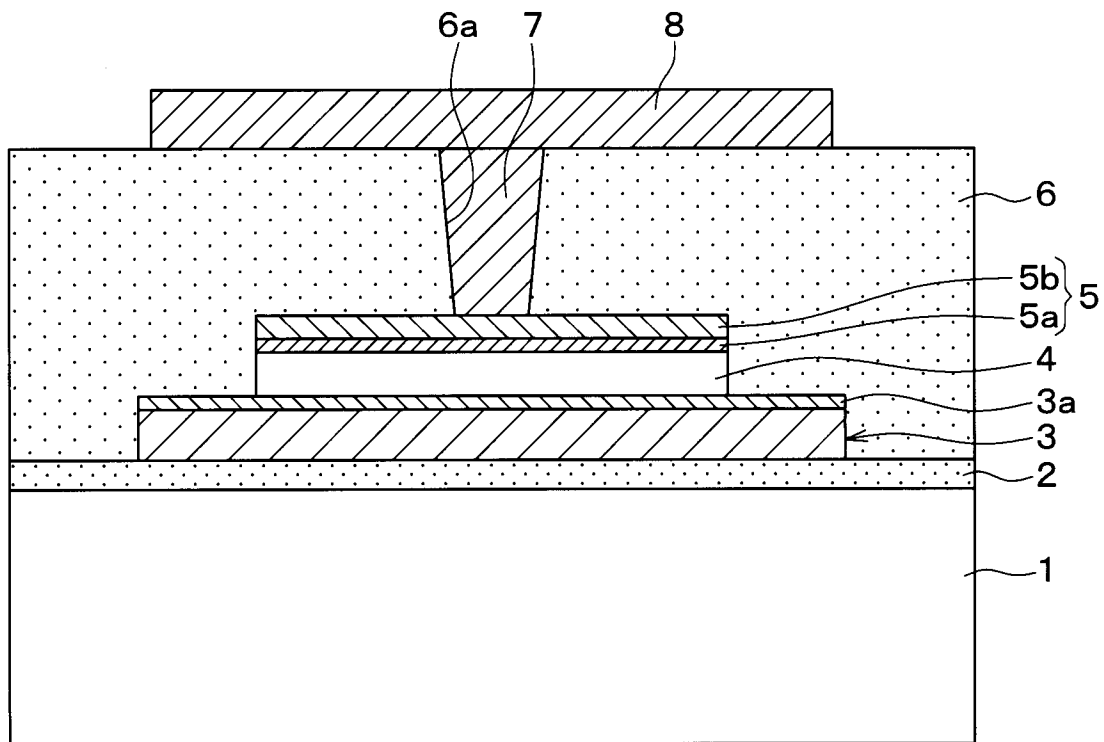
- [請求項1] メタルインシュレータメタル構造のキャパシタを有する半導体装置の製造方法であって、
- 第1電極（3）の形成を行うことと、
- 前記第1電極の上に、該第1電極に接する容量膜（4）を形成することと、
- 前記容量膜の上に、該容量膜に接する第2電極（5）を形成することと、を含み、
- 前記第2電極を形成することは、前記容量膜の表面に化学気相成長、原子層堆積もしくは有機金属気相成長によって第1層（5a）を形成することと、前記第1層の上に物理気相成長によって第2層（5b）を形成することを含んでいる半導体装置の製造方法。
- [請求項2] 前記第1層を形成することは、該第1層として、アルミニウム、窒化チタン、チタン、銅のいずれか1つで構成される単層膜もしくは複数で構成される積層膜を形成することである請求項1に記載の半導体装置の製造方法。
- [請求項3] 前記第2層を形成することは、該第2層として、アルミニウム、窒化チタン、チタン、銅、タングステンのいずれかによって構成される膜を形成することである請求項1または2に記載の半導体装置の製造方法。
- [請求項4] 前記第1電極を形成することは、該第1電極のうち前記容量膜側の一面に金属酸化膜（3a）を形成することを含んでいる請求項1ないし3のいずれか1つに記載の半導体装置の製造方法。
- [請求項5] メタルインシュレータメタル構造のキャパシタを有する半導体装置の製造方法であって、
- 第1電極（3）の形成を行うことと、
- 前記第1電極の上に、該第1電極に接する容量膜（4）を形成することと、

前記容量膜の上に、該容量膜に接する第2電極（5）を形成することと、を含み、

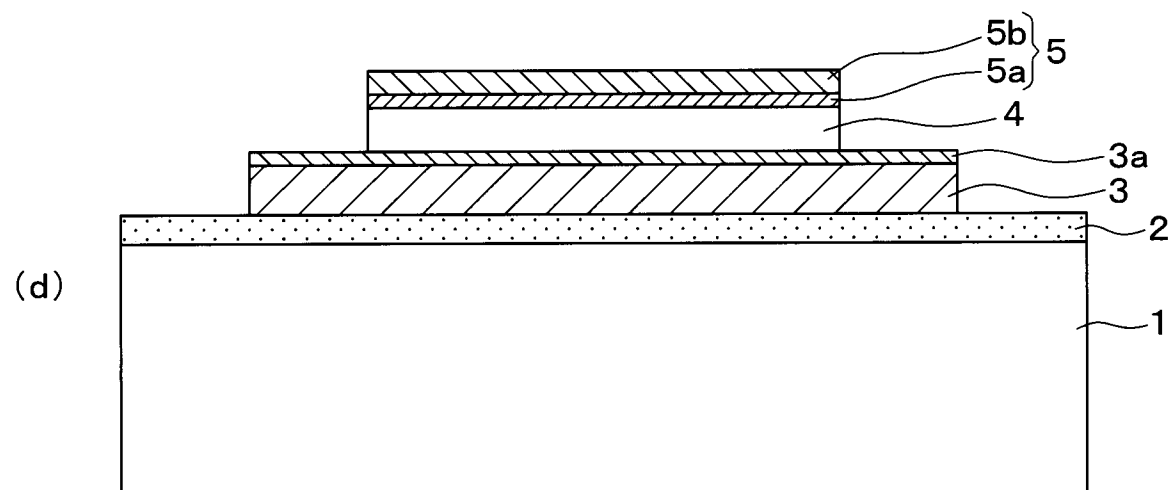
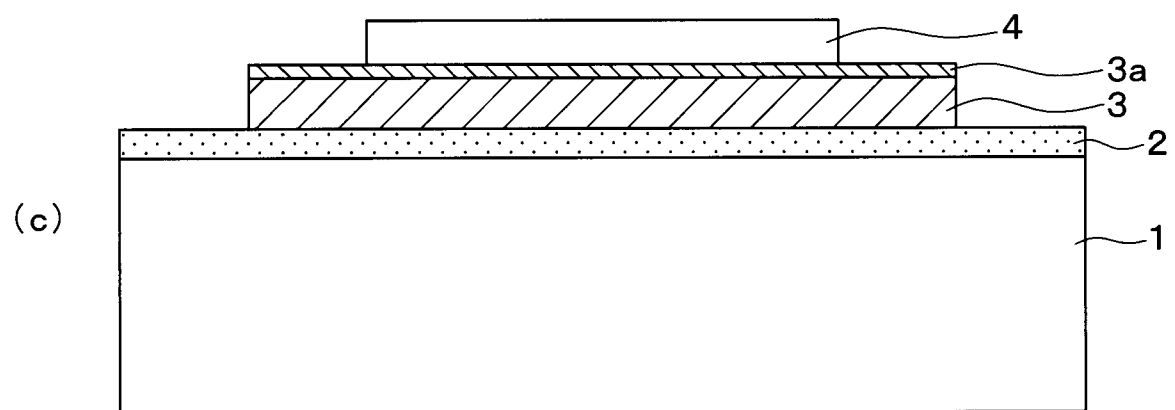
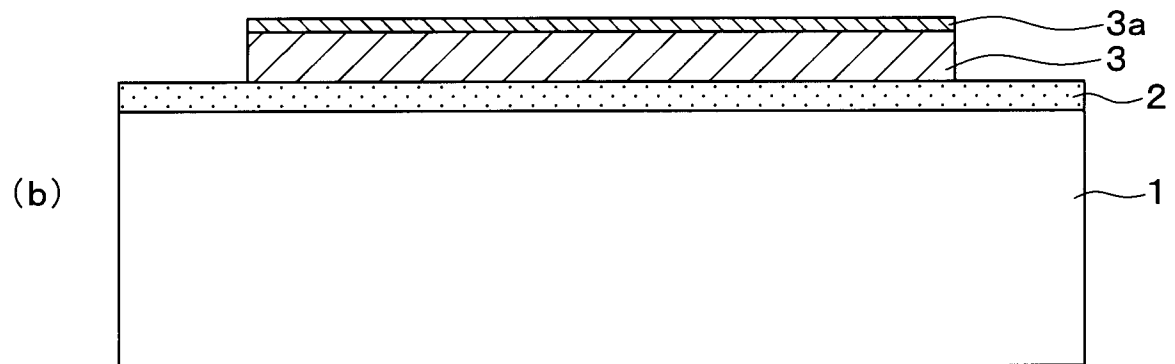
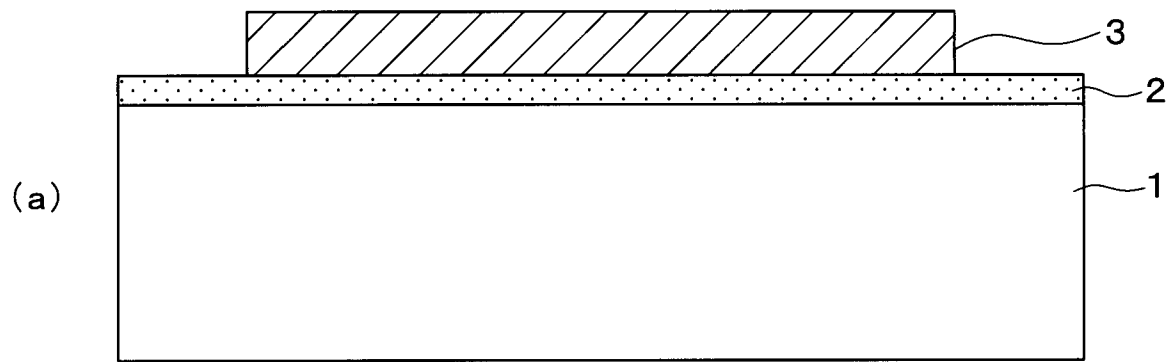
前記第1電極を形成することは、該第1電極のうち前記容量膜側の一面に金属酸化膜（3a）を形成することを含んでいる半導体装置の製造方法。

[請求項6] 前記金属酸化膜を形成することは、前記第1電極の一面に対して O_2 ラジカルを主体とするCVDである O_2 プラズマ酸化を行うこと、または熱酸化を行うことで前記金属酸化膜を形成することを含んでいる請求項4または5に記載の半導体装置の製造方法。

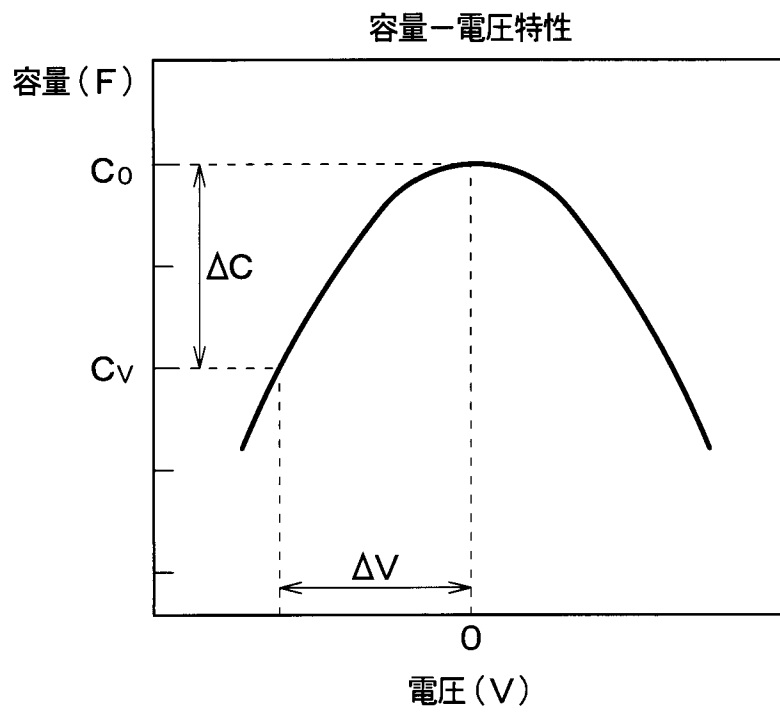
[図1]



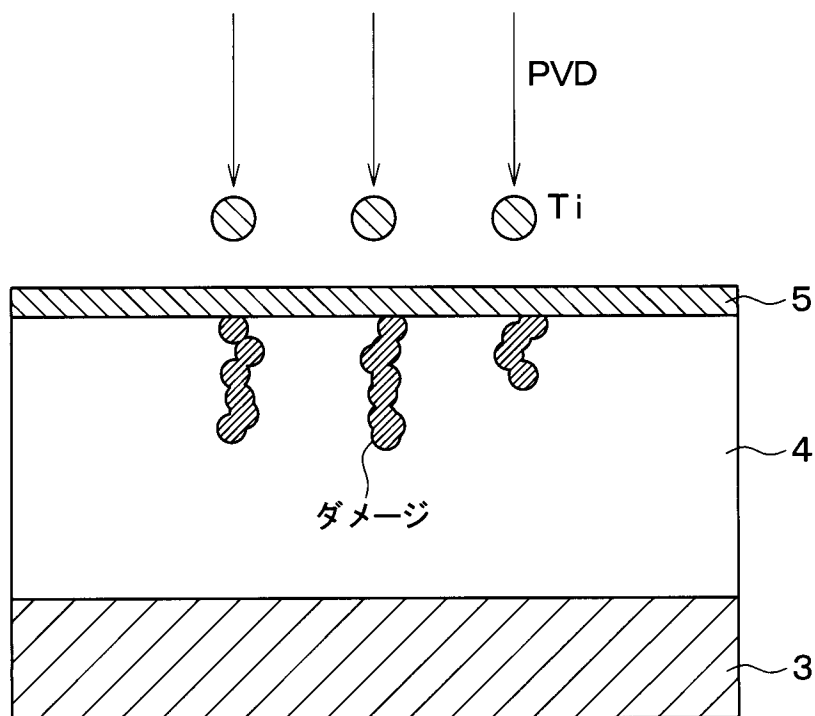
[図2]



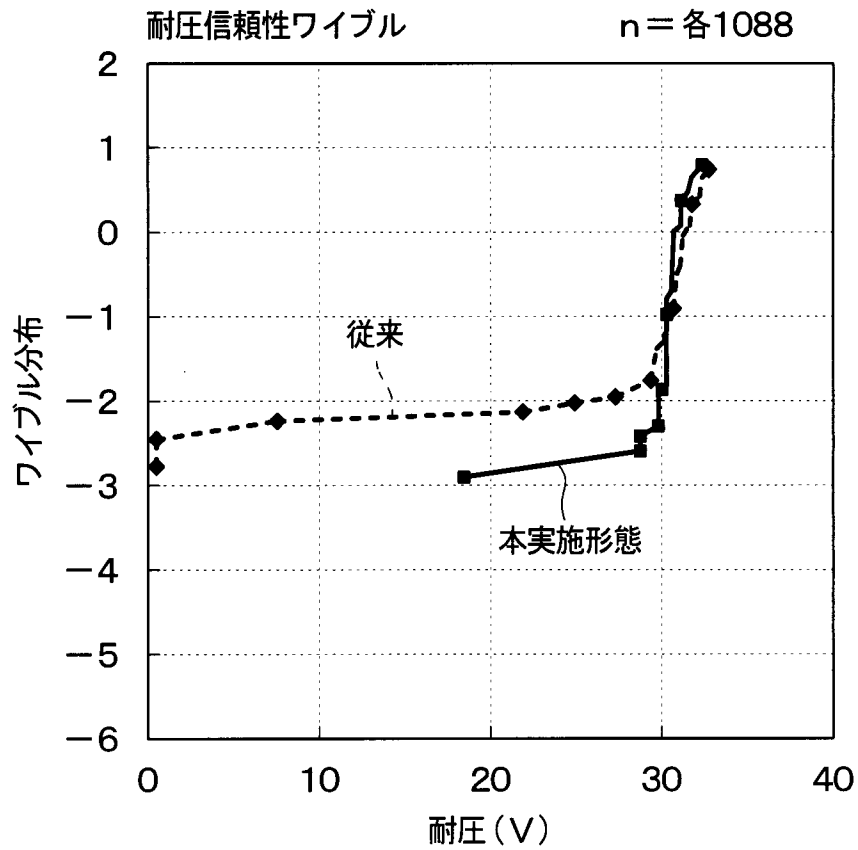
[図3]



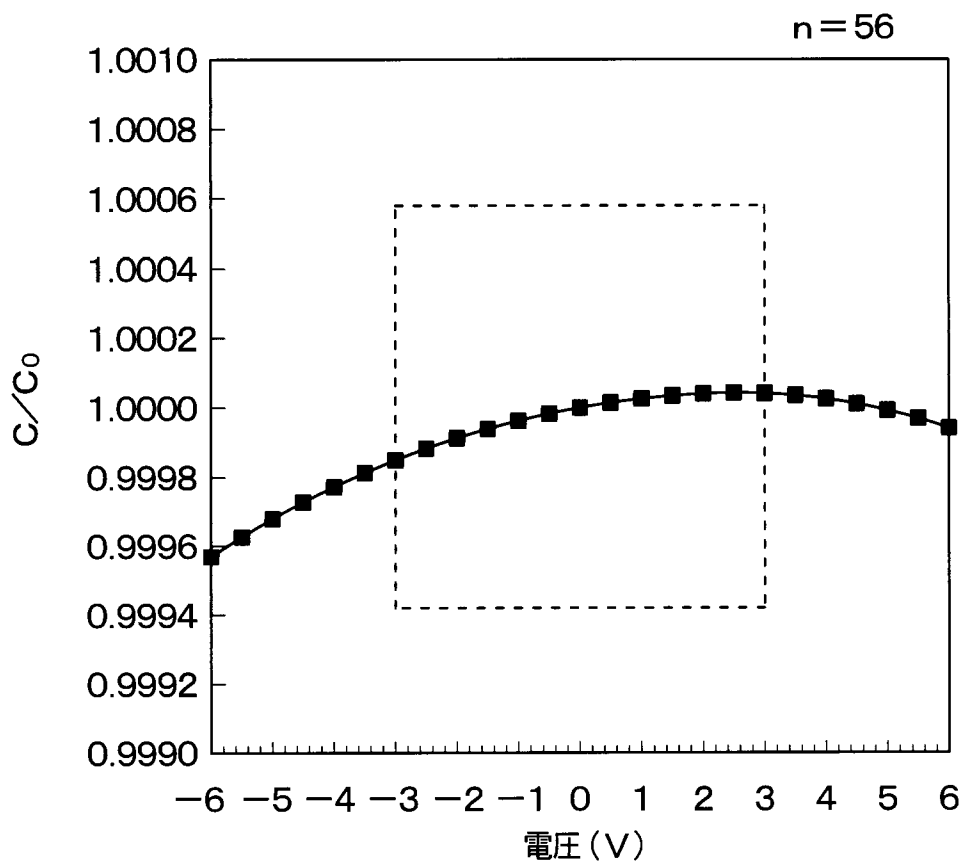
[図4]



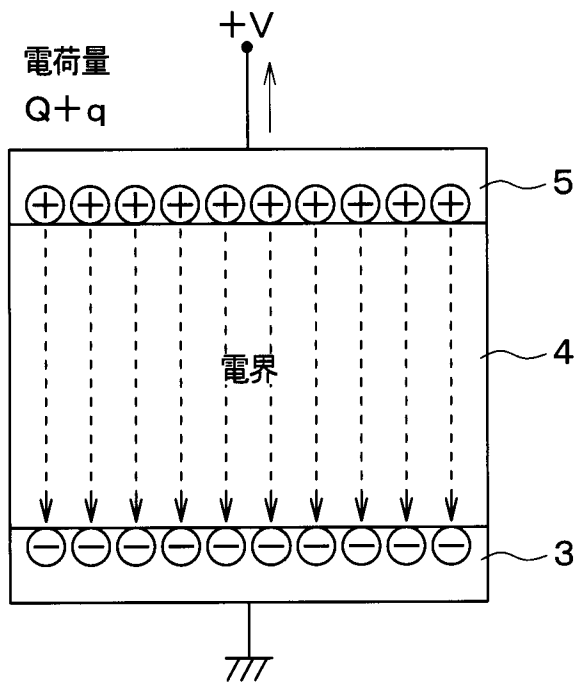
[図5]



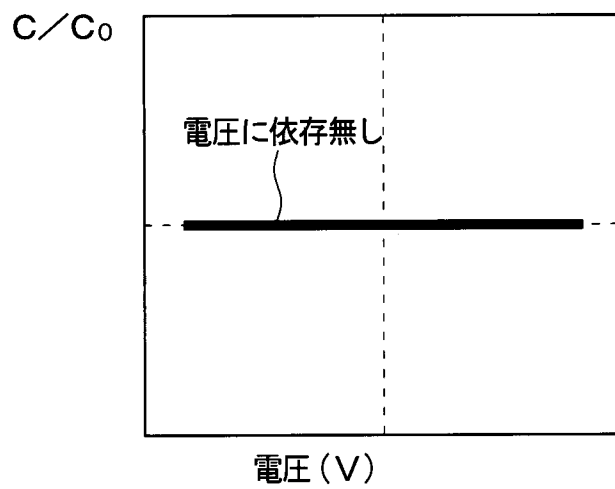
[図6]



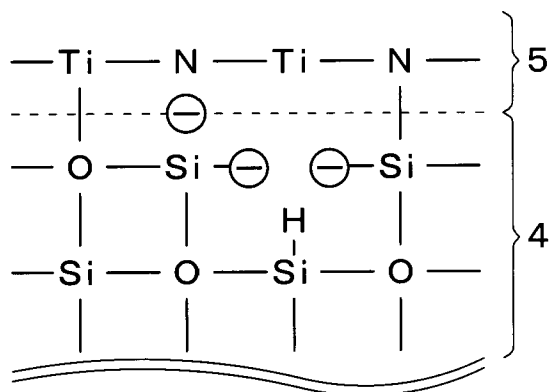
[図7A]



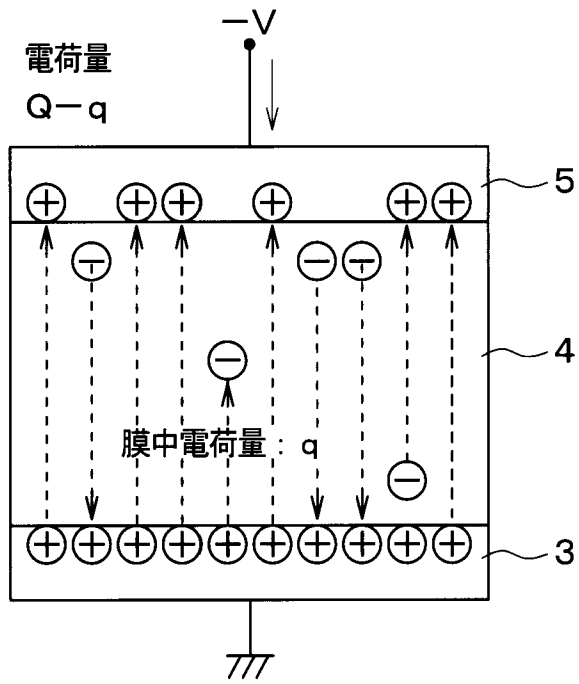
[図7B]



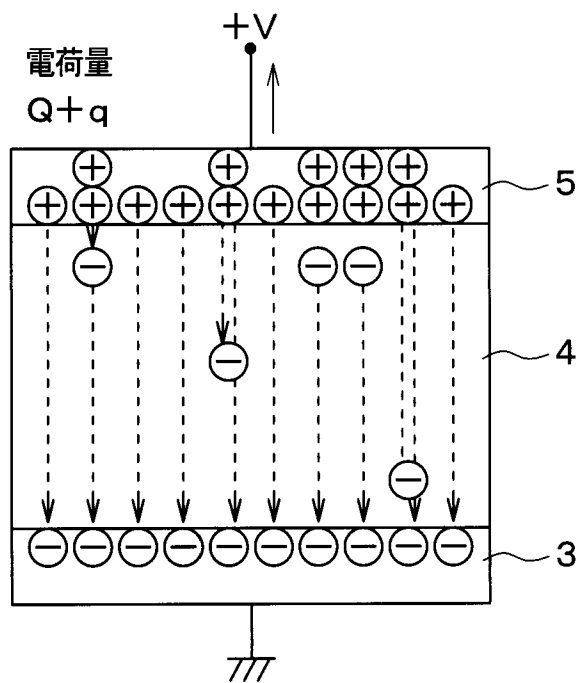
[図8]



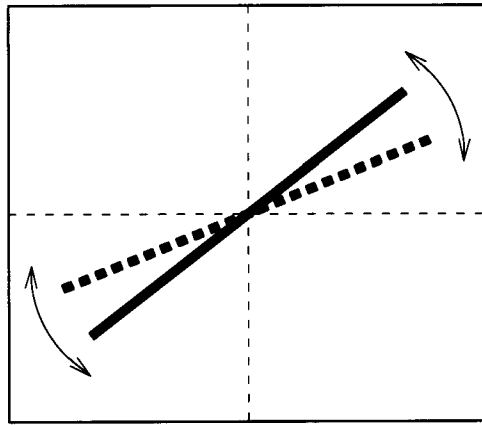
[図9A]



[図9B]

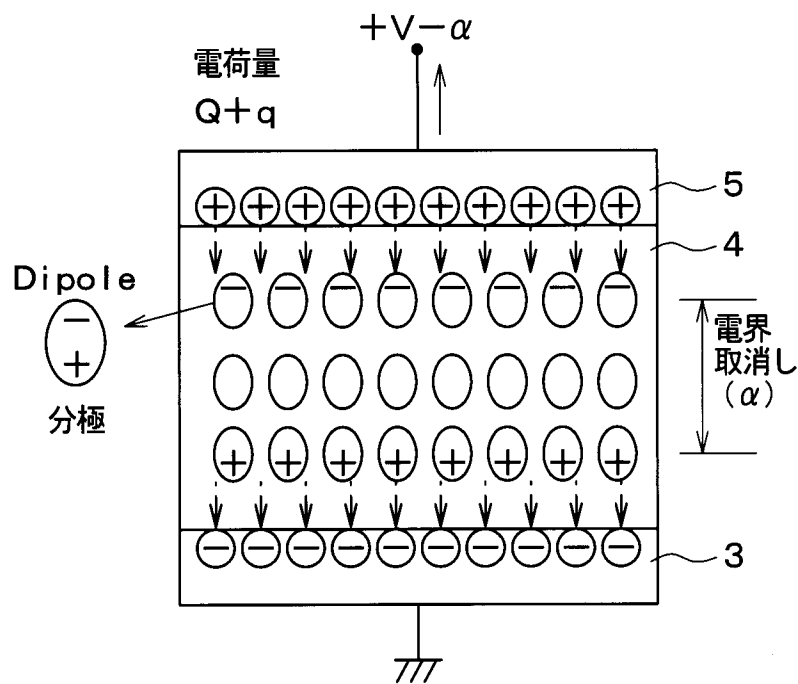


[図9C]

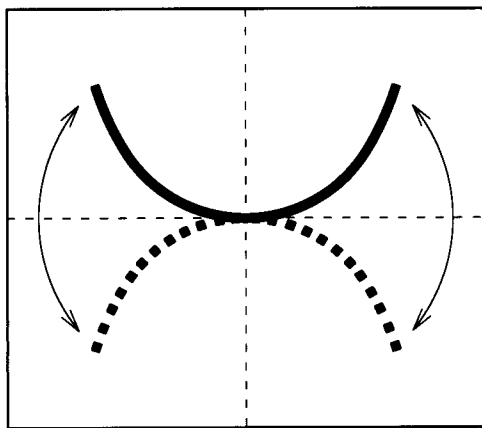
 C/C_0 

電圧 (V)

[図10A]



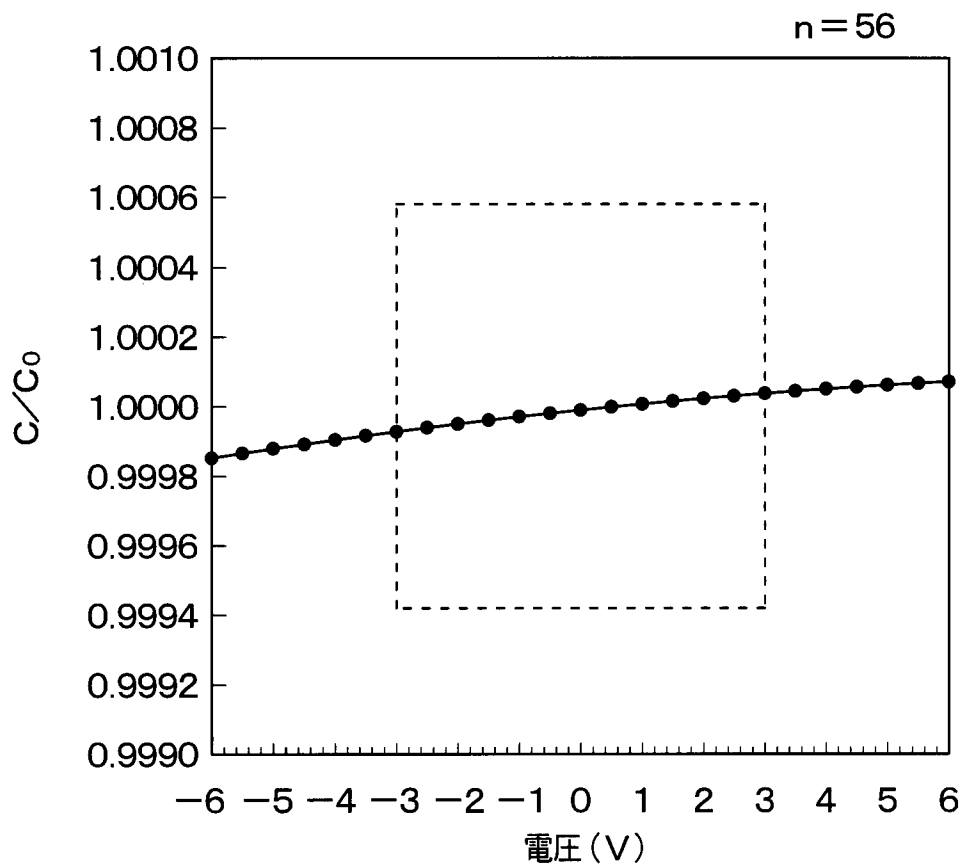
[図10B]

 C/C_0 

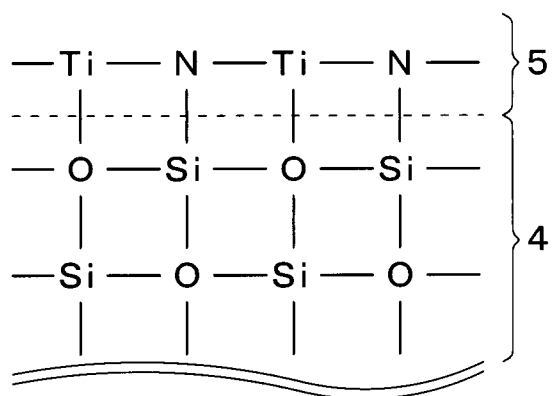
電圧 (V)

曲線の変化

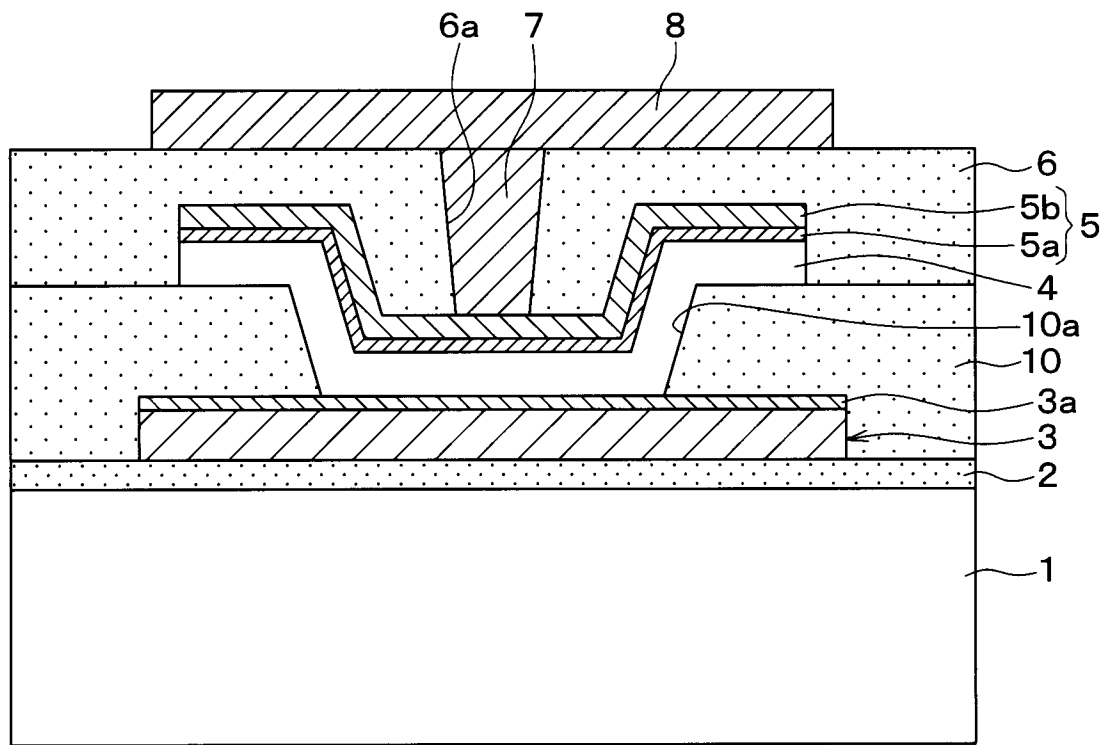
[図11]



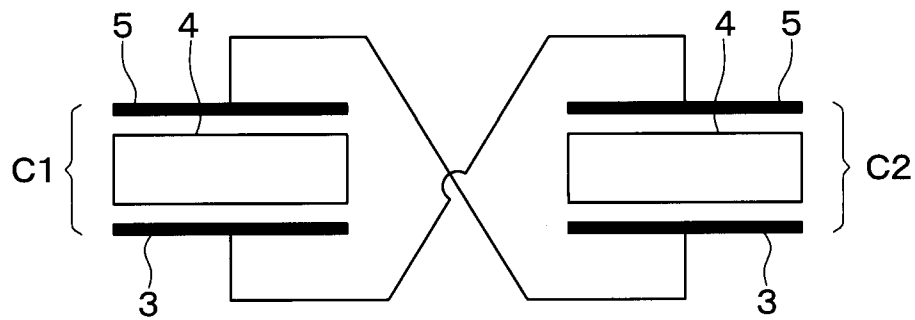
[図12]



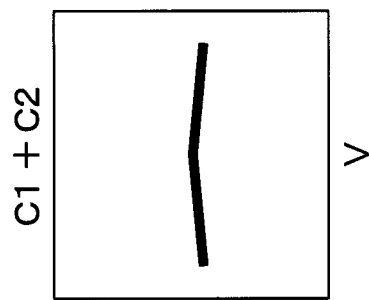
[図13]



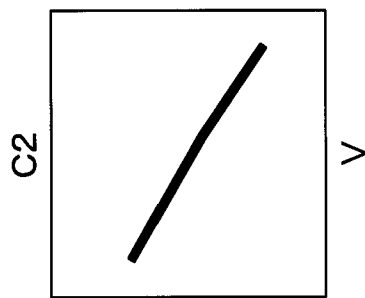
[図14]



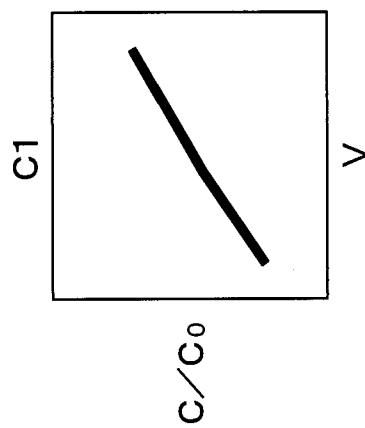
[図15]



=



+



INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/084092

A. CLASSIFICATION OF SUBJECT MATTER

H01L21/822(2006.01)i, C23C14/06(2006.01)i, C23C16/06(2006.01)i, H01L27/04(2006.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

H01L21/822, C23C14/06, C23C16/06, H01L27/04

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Jitsuyo Shinan Koho	1922-1996	Jitsuyo Shinan Toroku Koho	1996-2017
Kokai Jitsuyo Shinan Koho	1971-2017	Toroku Jitsuyo Shinan Koho	1994-2017

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X Y	JP 2004-64091 A (Samsung Electronics Co., Ltd.), 26 February 2004 (26.02.2004), paragraphs [0001], [0023], [0027] to [0035]; fig. 2 to 9 & US 2004/0084709 A1 paragraphs [0001], [0032], [0036] to [0045]; fig. 2 to 9 & US 2007/0004133 A1 & KR 10-2004-0011837 A	1-6 2-4, 6

☒ Further documents are listed in the continuation of Box C.

☐ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search
30 January 2017 (30.01.17)

Date of mailing of the international search report
07 February 2017 (07.02.17)

Name and mailing address of the ISA/
Japan Patent Office
3-4-3, Kasumigaseki, Chiyoda-ku,
Tokyo 100-8915, Japan

Authorized officer

Telephone No.

INTERNATIONAL SEARCH REPORT

International application No.

PCT/JP2016/084092

C (Continuation). DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	JP 2011-258832 A (Renesas Electronics Corp.), 22 December 2011 (22.12.2011), paragraphs [0017], [0018], [0024], [0028] to [0038]; fig. 1 to 8 & US 2011/0304017 A1 paragraphs [0030], [0031], [0037], [0041] to [0051]; fig. 1 to 8 & US 2013/0089964 A1 & CN 102280473 A	5, 6
Y	JP 2014-154585 A (Mitsubishi Electric Corp.), 25 August 2014 (25.08.2014), paragraphs [0023], [0018] & US 2014/0217548 A1 paragraphs [0027], [0032] & CN 103972210 A & KR 10-2014-0100423 A	2-4, 6
A	JP 2001-200363 A (ASM Microchemistry OY), 24 July 2001 (24.07.2001), entire text; all drawings & US 6780704 B1 & US 2001/0024387 A1 & US 2004/0175586 A1 & TW 486771 B & KR 10-2001-0070264 A	1-6
A	JP 2007-134726 A (Samsung Electronics Co., Ltd.), 31 May 2007 (31.05.2007), entire text; all drawings & US 2007/0111506 A1 & KR 10-0678640 B1 & CN 1992261 A & TW 00I332700 B	1-6
A	JP 2012-104551 A (Elpida Memory, Inc.), 31 May 2012 (31.05.2012), entire text; all drawings & US 2012/0115300 A1	1-6

A. 発明の属する分野の分類（国際特許分類（IPC））

Int.Cl. H01L21/822(2006.01)i, C23C14/06(2006.01)i, C23C16/06(2006.01)i, H01L27/04(2006.01)i

B. 調査を行った分野

調査を行った最小限資料（国際特許分類（IPC））

Int.Cl. H01L21/822, C23C14/06, C23C16/06, H01L27/04

最小限資料以外の資料で調査を行った分野に含まれるもの

日本国実用新案公報	1922-1996年
日本国公開実用新案公報	1971-2017年
日本国実用新案登録公報	1996-2017年
日本国登録実用新案公報	1994-2017年

国際調査で使用した電子データベース（データベースの名称、調査に使用した用語）

C. 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
X Y	JP 2004-64091 A（三星電子株式会社）2004.02.26, 段落 [0001], [0023], [0027]-[0035], 図 2-9 & US 2004/0084709 A1, 段落[0001], [0032], [0036]-[0045], 図 2-9 & US 2007/0004133 A1 & KR 10-2004-0011837 A	1-6 2-4, 6
X	JP 2011-258832 A（ルネサスエレクトロニクス株式会社） 2011.12.22, 段落[0017], [0018], [0024], [0028]-[0038], 図 1-8 & US 2011/0304017 A1, 段落[0030], [0031], [0037], [0041]-[0051], 図 1-8 & US 2013/0089964 A1 & CN 102280473 A	5, 6

C欄の続きにも文献が列挙されている。

パテントファミリーに関する別紙を参照。

* 引用文献のカテゴリー

「A」特に関連のある文献ではなく、一般的技術水準を示すもの
「E」国際出願日前の出願または特許であるが、国際出願日以後に公表されたもの
「L」優先権主張に疑義を提起する文献又は他の文献の発行日若しくは他の特別な理由を確立するために引用する文献（理由を付す）
「O」口頭による開示、使用、展示等に言及する文献
「P」国際出願日前で、かつ優先権の主張の基礎となる出願

の日の後に公表された文献

「T」国際出願日又は優先日後に公表された文献であって出願と矛盾するものではなく、発明の原理又は理論の理解のために引用するもの
「X」特に関連のある文献であって、当該文献のみで発明の新規性又は進歩性がないと考えられるもの
「Y」特に関連のある文献であって、当該文献と他の1以上の文献との、当業者にとって自明である組合せによって進歩性がないと考えられるもの
「&」同一パテントファミリー文献

国際調査を完了した日

30.01.2017

国際調査報告の発送日

07.02.2017

国際調査機関の名称及びあて先

日本国特許庁（ISA/J P）

郵便番号100-8915

東京都千代田区霞が関三丁目4番3号

特許庁審査官（権限のある職員）

市川 武宜

5 F

4056

電話番号 03-3581-1101 内線 3516

C (続き) . 関連すると認められる文献

引用文献の カテゴリー*	引用文献名 及び一部の箇所が関連するときは、その関連する箇所の表示	関連する 請求項の番号
Y	JP 2014-154585 A (三菱電機株式会社) 2014. 08. 25, 段落 [0023], [0018] & US 2014/0217548 A1, 段落[0027], [0032] & CN 103972210 A & KR 10-2014-0100423 A	2-4, 6
A	JP 2001-200363 A (エイエスエム マイクロケミストリ オーワイ) 2001. 07. 24, 全文, 全図 & US 6780704 B1 & US 2001/0024387 A1 & US 2004/0175586 A1 & TW 486771 B & KR 10-2001-0070264 A	1-6
A	JP 2007-134726 A (三星電子株式会社) 2007. 05. 31, 全文, 全図 & US 2007/0111506 A1 & KR 10-0678640 B1 & CN 1992261 A & TW 00I332700 B	1-6
A	JP 2012-104551 A (エルピーダメモリ株式会社) 2012. 05. 31, 全文, 全図 & US 2012/0115300 A1	1-6