

12

DEMANDE DE BREVET D'INVENTION

A1

22 Date de dépôt : 28.06.96.

30 Priorité : 28.06.95 KR 9517840.

43 Date de la mise à disposition du public de la
demande : 03.01.97 Bulletin 97/01.

56 Liste des documents cités dans le rapport de
recherche préliminaire : *Ce dernier n'a pas été
établi à la date de publication de la demande.*

60 Références à d'autres documents nationaux
apparentés :

71 Demandeur(s) : SAMSUNG ELECTRONICS CO LTD
— KR.

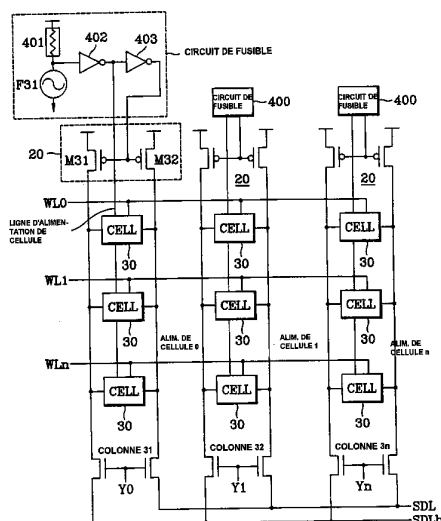
72 Inventeur(s) : NAM HYO YUN et SUH YOUNG HO.

73 Titulaire(s) :

74 Mandataire : CABINET HERRBURGER.

54 CIRCUIT DE REPARATION DE CELLULES DE MEMOIRE EN PANNE DANS UNE MEMOIRE A SEMI-CONDUCTEURS.

57 Circuit de réparation de cellules de mémoire, caractérisé en ce qu'il comprend un dispositif de coupure de courant (400) pour convertir une alimentation de cellule fournie aux cellules de mémoire par l'intermédiaire des bornes de résistance de charge, en un potentiel de masse, et pour couper une alimentation de courant des transistors de pré-charge lorsque les cellules de mémoire disposées dans la direction des unités de colonnes sont déterminées comme étant des cellules de mémoire de courant de réserve en panne.



Arrière plan de l'invention

1. Domaine de l'invention

La présente invention concerne un circuit de réparation de cellules de mémoire destiné à être utilisé dans une
5 mémoire à semi-conducteurs comportant un certain nombre de cellules de mémoire, chacune des cellules de mémoire comprenant des bornes de résistance de charge branchées par l'intermédiaire de moyens de limitation de courant, une paire de transistors d'accès dont les bornes de drain sont branchées aux
10 bornes de résistance de charge, dont les bornes de grille sont branchées à une ligne de mots et dont les bornes de source sont branchées à une paire de lignes de bits, ainsi qu'une paire de transistors de commande dont les bornes de grille sont à couplage croisé avec les bornes de drain des transistors d'accès,
15 et un certain nombre de paires de transistors de précharge pour précharger la paire de lignes de bits dans la direction des unités de colonnes.

Ainsi, l'invention concerne un circuit de réparation d'une puce de courant de réserve en panne et, plus particulièrement, un circuit de réparation de cellules de mémoire
20 qui est capable de remplacer, par des cellules de mémoire à redondance, des cellules de mémoire dans lesquelles une panne de courant de réserve peut se produire, ou une seule et/ou plusieurs colonnes ayant les cellules de mémoire. La présente demande est basée sur la demande Coréenne No. 17840/1995 qui est
25 incorporée ici à titre de référence.

2. Description de la technique concernée

En général, dans les mémoires vives statiques (SRAMs) faisant beaucoup de courant de réserve, l'une des principales causes de la réduction du rendement de production est
30 une panne du courant de réserve. En particulier, lorsque la capacité de mémoire augmente et lorsque le nombre de cellules de mémoire augmente, une valeur caractéristique de courant de réserve est égale ou inférieure à une valeur conventionnelle. Par
35 suite, dès qu'une puce est déterminée comme étant une puce de courant de réserve en panne dans un état de plaquette, la puce est considérée comme une puce en panne apparaissant dans l'état

opérationnel, et les cellules en panne à l'intérieur de la pièce sont remplacées par des cellules de redondance.

Dans les dispositifs de mémoire à semi-conducteurs tels que par exemple les SRAMs faisant beaucoup de courant de réserve, les causes de panne de courant de réserve peuvent généralement se trouver dans un réseau de cellules de mémoire et dans les circuits périphériques. En premier lieu, dans les circuits périphériques, la panne de courant de réserve se produit dans le cas d'un courant de trop grande fuite de dispositifs actifs comportant des transistors à l'intérieur des circuits périphériques, ou dans le cas d'un défaut de connexion des dispositifs de connexion internes dans les circuits périphériques. Par suite, même si l'état de panne de courant de réserve est généré dans un processus momentanément anormal, ou sous l'action d'un facteur extérieur dû à une particule, le circuit en panne à l'intérieur du circuit périphérique doit être remplacé par un circuit normal. Cependant, si l'on ne prévoit pas de circuits périphériques redondants ou de dispositifs de connexion internes redondants, il est impossible que le circuit de courant de réserve en panne soit remplacé par le circuit normal.

En second lieu, on décrira en se référant à la figure 1 le cas où l'on génère une panne de courant de réserve dans le réseau de cellules de mémoire. La figure 1 est un schéma de circuit illustrant une structure de cellule de mémoire dans une mémoire vive statique typique. Dans une cellule de mémoire 30, les noeuds connectés aux sources de courant qui peuvent générer la panne de courant de réserve, sont les noeuds 32 et 33 des paires de lignes de bits BL et BLb, ainsi qu'un noeud 31 d'alimentation de cellule. Comme le noeud 31 recevant l'alimentation de cellule est connecté à une résistance de charge élevée ou à un moyen de limitation de courant, un courant de maintien de données extrêmement limité est appliqué aux noeuds de cellule CD et CDb 34 et 35 apparaissant aux bornes de drain des transistors d'accès 36 et 37. De plus, les sources de courant (comprenant des sources alimentées par un circuit de précharge 20) connectées aux noeuds 32 et 33 des paires de lignes de bits BL et BLb, sont appliquées aux lignes de bits par le

circuit de précharge 20 maintenant les lignes de bits à une tension donnée dans un état de réserve. Dans le cas où la source de courant alimentant les lignes de bits génère la panne de courant de réserve, un schéma de circuit destiné à la réparation de la panne de courant de réserve, est représenté à la figure 2 et décrit dans le brevet U.S. No. 4 587 639.

La figure 2 est un schéma de circuit illustrant un circuit de réparation de cellules de mémoire de courant de réserve en panne, qui s'applique en particulier au cas où les sources de courant connectées aux lignes de bits (c'est à dire le circuit de précharge de lignes de bits 20) génèrent la panne de courant de réserve. Un circuit de réparation 50, qui comprend des fusibles F11 branchés chacun entre une borne d'une charge à haute résistance et le potentiel de masse, est connecté au circuit de précharge 20 dans des unités de colonnes. Le circuit de réparation 50 retire sélectivement les sources de courant fournissant du courant aux cellules de mémoire 30 ou à la colonne comportant les cellules de mémoire 30, lorsqu'une panne de courant de réserve se produit, ce qui évite ainsi l'écoulement d'un courant de réserve anormal à travers la colonne en panne. Bien évidemment, la colonne en panne peut être remplacée par une colonne redondante. Le circuit de la figure 2 est différent du circuit de réparation de cellules en panne typique, en ce que le circuit de précharge de lignes de bits 20 positionné dans la colonne en panne, est coupé.

Si l'on détermine que la colonne 11 a la panne de courant de réserve, le fusible F11 connecté aux grilles des transistors M11 en M12 à l'intérieur du circuit de précharge 20 de la colonne 11, est grillé. Ainsi, lorsqu'un niveau logique "haut" est appliqué aux grilles du circuit de précharge de lignes de bits 20 correspondant à la colonne en panne, les transistors M11 et M12 sont coupés. Par suite, l'alimentation de courant des lignes de bits de la colonne en panne est stoppée.

Cependant, comme le circuit de la figure 2 empêche le fonctionnement du circuit de précharge de lignes de bits 20, il se pose le problème que la panne de courant de réserve apparaissant au noeud 31 d'alimentation de cellules de la figure 1, ne peut être réparée. Par suite, pour résoudre ce problème, un

autre circuit de réparation de cellules de courant de réserve en panne 60, selon l'art antérieur, est représenté à la figure 3 et décrit dans le brevet U.S. No. 4 639 895. En se référant à la figure 3, le circuit de réparation de cellules de courant de réserve en panne 60 comprend des transistors d'émission qui émettent une tension d'alimentation en réponse à l'application d'un signal Pb d'état logique "bas", et des fusibles F21 connectés chacun aux transistors d'émission. Le circuit 60 de réparation de cellules de courant de réserve en panne sépare les lignes d'alimentation de cellules à l'intérieur du réseau de cellules de mémoire, par une rangée unique ou par un nombre spécifique de rangées dans la direction des rangées, et connecte les lignes d'alimentation de cellules. Ainsi, l'alimentation de cellule fournie à une cellule de mémoire de courant de réserve en panne ou à la rangée comportant cette cellule, est stoppée, ce qui évite que la panne de courant de réserve soit générée sur la cellule de mémoire en panne ou dans la direction de la rangée. Par exemple, lorsqu'on détermine que la rangée 21 a le courant de réserve en panne, l'alimentation de cellule connectée à la cellule de mémoire correspondant à cette rangée, est stoppée du fait que le fusible F21 saute.

Dans les figures 2 et 3 cependant, les circuits ont certaines difficultés à réparer la panne de courant de réserve. L'opération de réparation de la figure 2 est effectuée dans des unités de colonnes et l'opération de réparation de la figure 3 est effectuée dans des unités de rangées. Par suite, si l'opération de réparation est effectuée simultanément dans les directions des rangées et des colonnes, une opération de réparation double est nécessaire et l'on utilise des fusibles doubles et des circuits de réparation doubles dans le dispositif de mémoire. Dans ce cas, le dispositif de mémoire peut avoir une structure compliquée et son rendement de production peut être réduit en conséquence.

Résumé de l'invention

La présente invention a donc pour but de créer un circuit de réparation de cellules de mémoire en panne qui soit capable de s'affranchir des problèmes ci-dessus.

Un autre but de la présente invention est de créer un circuit de réparation de cellules de mémoire qui soit capable de réparer une cellule de mémoire en panne dans une unité de colonne unique ou dans un nombre spécifique d'unités de colonnes, dans le cas où une cause de cellule de mémoire en panne est liée à une alimentation de cellule branchée à un noeud d'alimentation de cellule d'une cellule de mémoire à l'intérieur d'un réseau de cellules de mémoire.

Pour atteindre ces buts ainsi que d'autres, un circuit de réparation de cellules de mémoire en panne dans une mémoire à semi-conducteurs comportant un certain nombre de cellules de mémoire, chacune de ces cellules de mémoire comprenant des bornes de résistance de charge branchées par l'intermédiaire d'une résistance ou de moyens de limitation de courant, une paire de transistors d'accès dont les bornes de drain sont branchées aux bornes de résistance de charge, dont les bornes de grille sont branchées à une ligne de mots, et dont les bornes de source sont branchées à une paire de lignes de bits, ainsi qu'une paire de transistors de commande dont les bornes de grille sont à couplage croisé avec les bornes de drain des transistors d'accès, et un certain nombre de paires de transistors de précharge pour précharger la paire de lignes de bits dans la direction des unités de colonnes,

comprend un dispositif de coupure de courant pour convertir une alimentation de cellule fournie aux cellules de mémoire par l'intermédiaire des bornes de résistance de charge, en un potentiel de masse, et pour couper une alimentation de courant des transistors de précharge lorsque les cellules de mémoire disposées dans la direction des unités de colonnes sont déterminées comme étant des cellules de mémoire de courant de réserve en panne.

Dans une réalisation préférentielle de la présente invention, le dispositif de coupure de courant comprend une résistance et un dispositif de fusible branchés séquentiellement entre l'alimentation de cellule et la masse, un premier inverseur comportant une borne d'entrée branchée à un point de connexion entre la résistance et le dispositif de fusible pour fournir le potentiel de masse aux bornes de résistance de

charge en faisant sauter le dispositif de fusible dans le cas où les cellules de mémoire sont les cellules de courant de réserve en panne, et un second inverseur branché à une borne de sortie du premier inverseur pour fournir l'alimentation de cellule aux bornes de grille de la paire de transistors de précharge dans le cas où le premier inverseur fournit en sortie le potentiel de masse.

Dans une autre réalisation préférentielle de la présente invention, le dispositif de coupure de courant comprend une résistance et un dispositif de fusible branchés séquentiellement entre l'alimentation de cellule et un noeud ; un premier dispositif comportant une borne de sortie branchée au noeud, une borne d'entrée branchée à un signal de sélection externe, et l'autre borne branchée à un premier signal de sélection interne, pour déterminer une cellule de mémoire de courant de réserve en panne en réponse au premier signal interne et/ou au signal de sélection externe ; un second dispositif comportant une borne d'entrée branchée à un noeud de connexion entre la résistance et le dispositif de fusible pour fournir le potentiel de masse aux bornes de résistance de charge en faisant sauter le dispositif de fusible dans le cas où les cellules de mémoire sont déterminées comme étant les cellules de mémoire de courant de réserve en panne ; et un troisième dispositif comportant une borne d'entrée branchée à une borne de sortie du second dispositif, et l'autre borne d'entrée branchée à un second signal de sélection interne, pour fournir l'alimentation de cellule aux bornes de grille de la paire de transistors de précharge, dans le cas où le second dispositif fournit en sortie un potentiel de masse, et pour fournir une tension donnée aux bornes de grille de la paire de transistors de précharge en réponse au second signal de sélection interne, dans le cas où le second dispositif fournit en sortie l'alimentation de cellule.

Le premier dispositif est une porte NON-OU, le second dispositif est un inverseur et le troisième dispositif est une porte NON-ET.

Selon une autre caractéristique de l'invention, la première entrée de la porte NON-OU est un signal de décodage d'adresse de colonne.

Brève description des dessins

- 5 La présente invention sera décrite ci-après de manière plus détaillée à l'aide de modes de réalisation représentés sur les dessins annexés dans lesquels les mêmes composants sont désignés par les mêmes références et dans lesquels :
- la figure 1 est un schéma de circuit illustrant une structure
10 de cellule de mémoire dans une mémoire vive statique typique ;
 - la figure 2 est un schéma de circuit illustrant un circuit de réparation de cellules de courant de réserve en panne dans un dispositif de mémoire conventionnel ;
 - 15 - la figure 3 est un schéma de circuit illustrant un circuit de réparation de cellules de courant de réserve en panne dans un autre dispositif de mémoire conventionnel ;
 - la figure 4 est un schéma de circuit illustrant un circuit de réparation de cellules de courant de réserve en panne selon
20 une forme de réalisation de la présente invention ; et
 - la figure 5 est un schéma de circuit illustrant un circuit de réparation de cellules de courant de réserve en panne selon une autre forme de réalisation de la présente invention.

Description détaillée des modes de réalisation préférentiels

- 25 On remarquera que les mêmes références sont utilisées pour désigner les mêmes éléments ou pièces même s'ils peuvent être représentés dans des dessins différents. De plus, dans la description qui suit, de nombreux détails spécifiques tels que des composants et algorithmes particuliers pour les
30 circuits spécifiques, sont indiqués pour permettre une meilleure compréhension de la présente invention.

Il apparaîtra cependant à un spécialiste de la question que la présente invention peut être mise en oeuvre sans ces détails spécifiques. En outre, dans la description qui
35 suit, on évitera de décrire de façon détaillée des fonctions et détails de construction connus compliquant inutilement l'objet de la présente invention.

Bien que la présente invention soit plus particulièrement représentée et décrite dans la description détaillée qui suit, les spécialistes de la question comprendront que de nombreuses modifications de forme et de détails peuvent lui être apportées sans sortir de l'esprit et du cadre de la présente invention. En particulier, bien que la présente invention est illustrée en se référant à une mémoire vive statique SRAM à haute densité, il est possible d'adapter la présente invention à d'autres mémoires. Ainsi, on comprendra que la présente invention n'est pas limitée aux formes de réalisation spécifiques décrites dans la présente description détaillée.

La figure 4 est un schéma de circuit illustrant un circuit de réparation de cellules de courant de réserve en panne selon une forme de réalisation de la présente invention, et la figure 5 est un schéma de circuit illustrant un circuit de réparation de cellules de courant de réserve en panne selon une autre forme de réalisation de la présente invention.

En se référant à la figure 4, l'alimentation de cellule fournie à chaque cellule de mémoire 30 dans une unité de colonne, est connectée au circuit de fusible 400 par l'intermédiaire d'une ligne d'alimentation de cellule. Le circuit de fusible 400 représente un dispositif de coupure de courant dans la présente invention. Le circuit de fusible 400 comprend une résistance 401 et un fusible F31 branchés séquentiellement entre l'alimentation de cellule et le potentiel de masse, un premier inverseur 402 comportant une borne d'entrée branchée au point de connexion entre la résistance 401 et le fusible F31 pour fournir le potentiel de masse aux bornes de résistance de charge en faisant sauter le fusible F31, dans le cas où les cellules de mémoire sont les cellules de courant de réserve en panne, et un second inverseur 403 branché à la borne de sortie du premier inverseur 402 pour fournir un niveau de tension voisin de celui de l'alimentation de cellule, aux bornes de grille de la paire de transistors de précharge M31 et M32, dans le cas où le premier inverseur 402 fournit en sortie le potentiel de masse.

A la figure 4, lorsqu'on détermine que la panne de courant de réserve se produit dans la colonne 31, on fait sau-

ter le fusible sectionnable F31 au moyen d'un faisceau laser ou d'un signal électrique. Le premier inverseur 402 fournit en sortie un signal de niveau logique "bas". Ensuite, le signal de niveau logique "bas" est appliqué à l'entrée du noeud 31 de la figure 1. Par suite, l'alimentation de cellule se trouvant à un niveau logique "haut" est changée pour passer au niveau du potentiel de la masse, en ne servant donc plus de source de courant. Le niveau logique "bas" est changé en le niveau logique "haut" par le second inverseur 403. Le signal logique "haut" est appliqué aux bornes de grille de la paire de transistors de précharge M31 et M32 à l'intérieur du circuit de précharge de lignes de bits 20. Le circuit de précharge de lignes de bits 20 constitué par les transistors PMOS M31 et M32, est coupé et ne fournit plus de courant à la paire de lignes de bits.

Par suite, la colonne 31 dans laquelle la panne de courant de réserve se produit est coupée électriquement de la source de courant et ne génère plus aucune panne de courant de réserve. La colonne coupée électriquement est remplacée par une colonne de redondance. Les procédés de réparation de la colonne de courant de réserve en panne sont bien connus des spécialistes de la question, de sorte que leur explication n'est pas reprise dans la présente description détaillée, dans un souci de brièveté.

De plus, le circuit de fusible 400 se trouve à l'intérieur d'une forme de réalisation spécifique selon la présente invention qui peut être construite avec diverses constructions de circuit différentes de la présente invention. Cela est évident pour les spécialistes de la question.

En se référant à la figure 5, le circuit de fusible 500 comprend une résistance 502 et un fusible F41 branchés séquentiellement l'un à l'autre ; une porte NON-OU 501 comportant une borne de sortie branchée au fusible F41, ainsi qu'une borne d'entrée branchée à un signal de sélection externe ; son autre borne étant branchée à un premier signal de sélection interne pour déterminer une cellule de courant de réserve en panne, en réponse aux signaux de sélection internes et/ou externes ; un inverseur 503 comportant une borne d'entrée branchée au noeud de connexion entre la résistance 502 et le fusible F41, pour

fournir le potentiel de masse aux bornes de résistance de charge en faisant sauter le fusible F41, dans le cas où les cellules de mémoire sont déterminées comme étant les cellules de courant de réserve en panne ; et une porte NON-ET 504 dont
5 une borne d'entrée est branchée à la borne de sortie de l'inverseur 503 et dont l'autre borne d'entrée est branchée à un signal de sélection interne, pour fournir l'alimentation de cellule aux bornes de grille de la paire de transistors de précharge M41 et M42, dans le cas où l'inverseur 503 fournit en
10 sortie le potentiel de masse, et pour fournir une tension donnée aux bornes de grille de la paire de transistors de précharge M41 et M42, en réponse au second signal de sélection interne, dans le cas où l'inverseur 503 fournit en sortie l'alimentation de cellule.

15 A la figure 5, la colonne est coupée électriquement de la source de courant par le signal de sélection externe OPTION, de même que le dispositif de fusible. De plus, une colonne arbitraire est branchée électriquement à la source de courant par le signal de sélection interne COL indépendamment
20 de l'état du signal de sélection externe OPTION. Le signal de sélection externe OPTION est un signal de sélection de mode pour mettre en oeuvre un test spécifique. Le signal de sélection interne COL peut utiliser un signal de décodage d'adresse de colonne. En d'autres termes, le signal de sélection externe
25 OPTION et le signal de sélection interne COL viennent au niveau du potentiel de masse et toutes les colonnes sont alors coupées électriquement de la source de courant. Ainsi, l'alimentation de cellule est appliquée au signal COL de la colonne arbitraire, et seule une unité de colonne arbitraire est bran-
30 chée à la source de courant, ce qui effectue une détermination de la panne de courant de réserve de la colonne arbitraire.

Comme décrit ci-dessus, la présente invention présente l'avantage qu'on évite une panne de courant de réserve due à une alimentation de cellule, et que les cellules de mé-
35 moire en panne sont remplacées par des cellules redondantes, car le fonctionnement de la cellule en panne de même que le fonctionnement de la source de courant de réserve en panne, sont complètement coupés.

Bien que la présente invention ait été décrite ci-dessus en se référant au mode de réalisation préférentiel, les spécialistes de la question remarqueront que diverses substitutions et modifications peuvent être effectuées sans sortir de
5 l'esprit et du cadre de l'invention telle qu'elle est indiquée dans les revendications qui suivent.

R E V E N D I C A T I O N S

1°) Circuit de réparation de cellules de mémoire destiné à être utilisé dans une mémoire à semi-conducteurs comportant un certain nombre de cellules de mémoire (30), chacune des cellules
5 de mémoire comprenant des bornes de résistance de charge branchées par l'intermédiaire de moyens de limitation de courant, une paire de transistors d'accès (36, 37) dont les bornes de drain sont branchées aux bornes de résistance de charge, dont les bornes de grille sont branchées à une ligne de mots et dont
10 les bornes de source sont branchées à une paire de lignes de bits (32, 33), ainsi qu'une paire de transistors de commande (38, 39) dont les bornes de grille sont à couplage croisé avec les bornes de drain des transistors d'accès, et un certain nombre de paires de transistors de précharge (21, 22) pour pré-
15 charger la paire de lignes de bits dans la direction des unités de colonnes,

caractérisé en ce qu'il comprend :

un dispositif de coupure de courant (400) pour convertir une alimentation de cellule fournie aux cellules de mémoire par
20 l'intermédiaire des bornes de résistance de charge, en un potentiel de masse, et pour couper une alimentation de courant des transistors de précharge (21, 22) lorsque les cellules de mémoire disposées dans la direction des unités de colonnes sont déterminées comme étant des cellules de mémoire de courant de
25 réserve en panne.

2°) Circuit de réparation de cellules en panne selon la revendication 1,

caractérisé en ce que

30 le dispositif de coupure de courant (400) comprend une résistance (401) et un fusible (F31) branchés séquentiellement entre l'alimentation de cellule et la masse ; un premier moyen de coupure pour couper l'alimentation de cellule alimentant les cellules de mémoire ; et un second moyen de coupure branché au
35 premier moyen de coupure pour couper l'alimentation de courant des transistors de précharge, ce qui permet ainsi de couper simultanément l'alimentation de puissance de la cellule de mé-

moire et l'alimentation de courant des transistors de précharge.

3°) Circuit de réparation de cellules en panne selon la revendication 2,

caractérisé en ce que

le premier moyen de coupure comprend un premier inverseur (402) comportant une borne d'entrée branchée au point de connexion entre la résistance (401) et le fusible (F31), pour fournir le potentiel de masse aux bornes de résistance de charge en faisant sauter le fusible, dans le cas où les cellules de mémoire sont les cellules de courant de réserve en panne, et le second moyen de coupure comprend un second inverseur (403) branché à la borne de sortie du premier inverseur (402), pour fournir un niveau de tension voisin de celui de l'alimentation de cellule, aux bornes de grille de la paire de transistors de précharge (M31, M32), dans le cas où le premier inverseur fournit en sortie le potentiel de masse.

4°) Circuit de réparation de cellules en panne selon la revendication 1,

caractérisé en ce que

le dispositif de coupure de courant effectue une opération de coupure en réponse à un signal externe.

25

5°) Circuit de réparation de cellules en panne selon la revendication 1,

caractérisé en ce que

le dispositif de coupure de courant (500) comprend :

une résistance (502) et un fusible (F41) branchés séquentiellement l'un à l'autre ;

un premier dispositif (501) dont la borne de sortie est branchée au fusible, dont une borne d'entrée est branchée à un signal de sélection externe, et dont l'autre borne est branchée à un premier signal de sélection interne, pour déterminer une cellule de courant de réserve en panne en réponse au premier signal de sélection interne et/ou au signal de sélection externe ;

- un second dispositif (503) comportant une borne d'entrée branchée au noeud de connexion entre la résistance et le fusible, pour fournir le potentiel de masse aux bornes de résistance de charge en faisant sauter le fusible, dans le cas où les cellules de mémoire sont déterminées comme étant les cellules de mémoire de courant de réserve en panne ; et
- un troisième dispositif (504) dont une borne d'entrée est branchée à une borne de sortie du second dispositif et dont l'autre borne d'entrée est branchée à un second signal de sélection interne, pour fournir une tension donnée aux bornes de grille de la paire de transistors de précharge, en réponse à un signal de sortie du second dispositif et au second signal de sélection interne.
- 6°) Circuit de réparation de cellules en panne selon la revendication 5, caractérisé en ce que le premier dispositif est une porte NON-OU (501), le second dispositif est un inverseur (503) et le troisième dispositif est une porte NON-ET (504).
- 7°) Circuit de réparation de cellules en panne selon la revendication 6, caractérisé en ce que la première entrée de la porte NON-OU est un signal de décodage d'adresse de colonne.

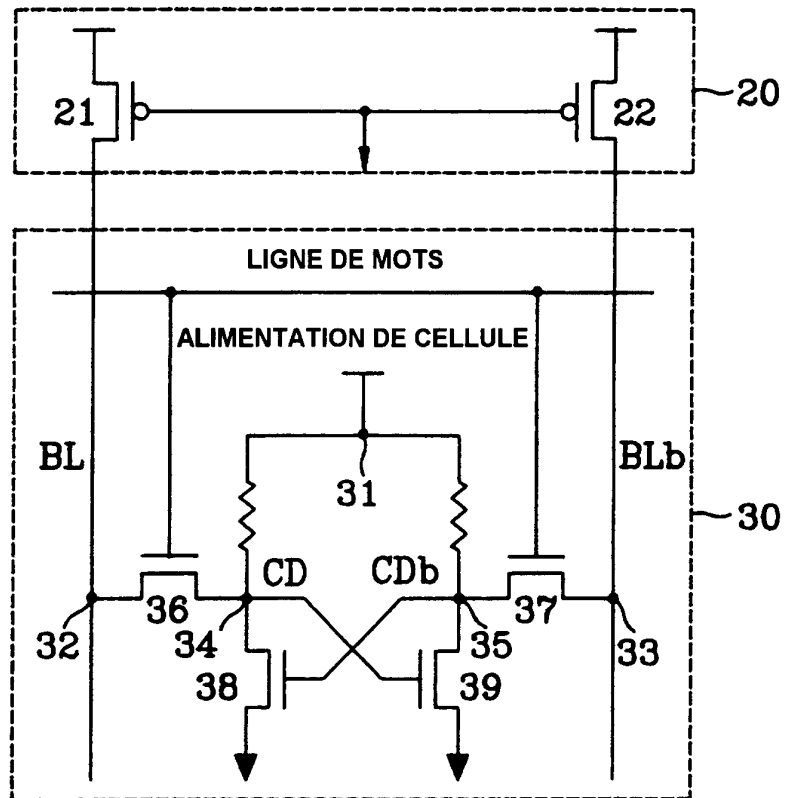


Fig. 1

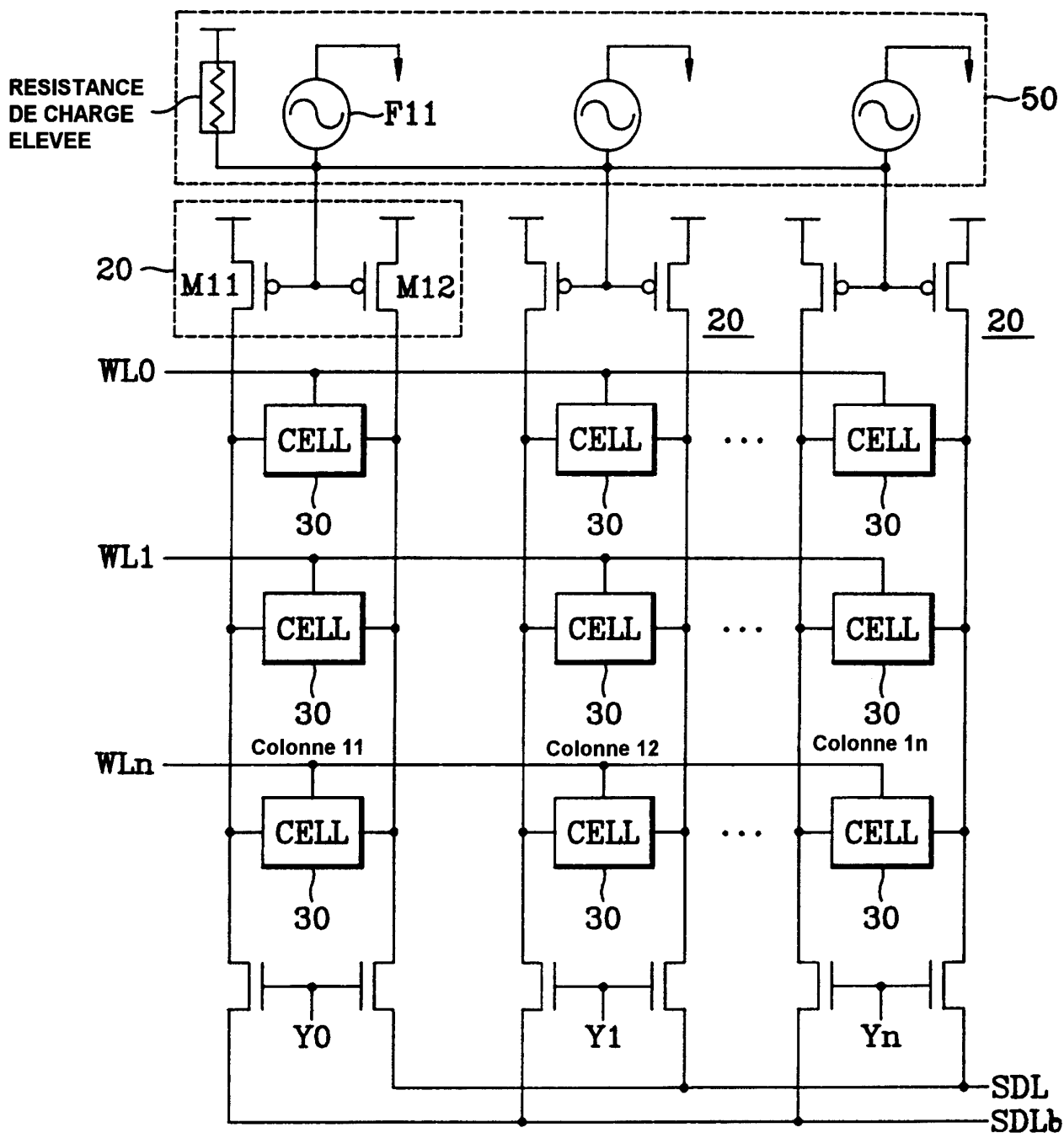
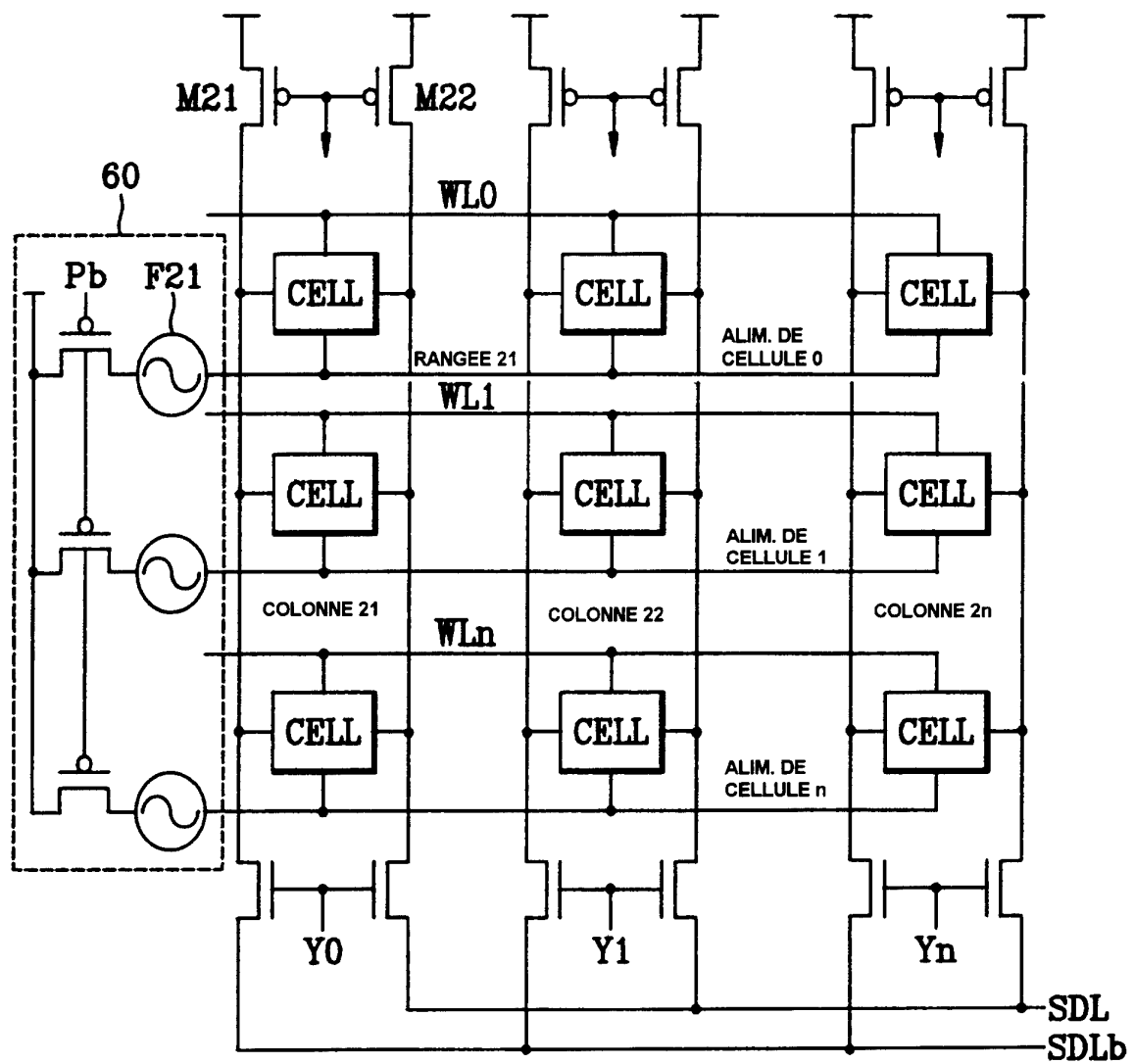


Fig. 2

3/5

*Fig. 3*

4/5

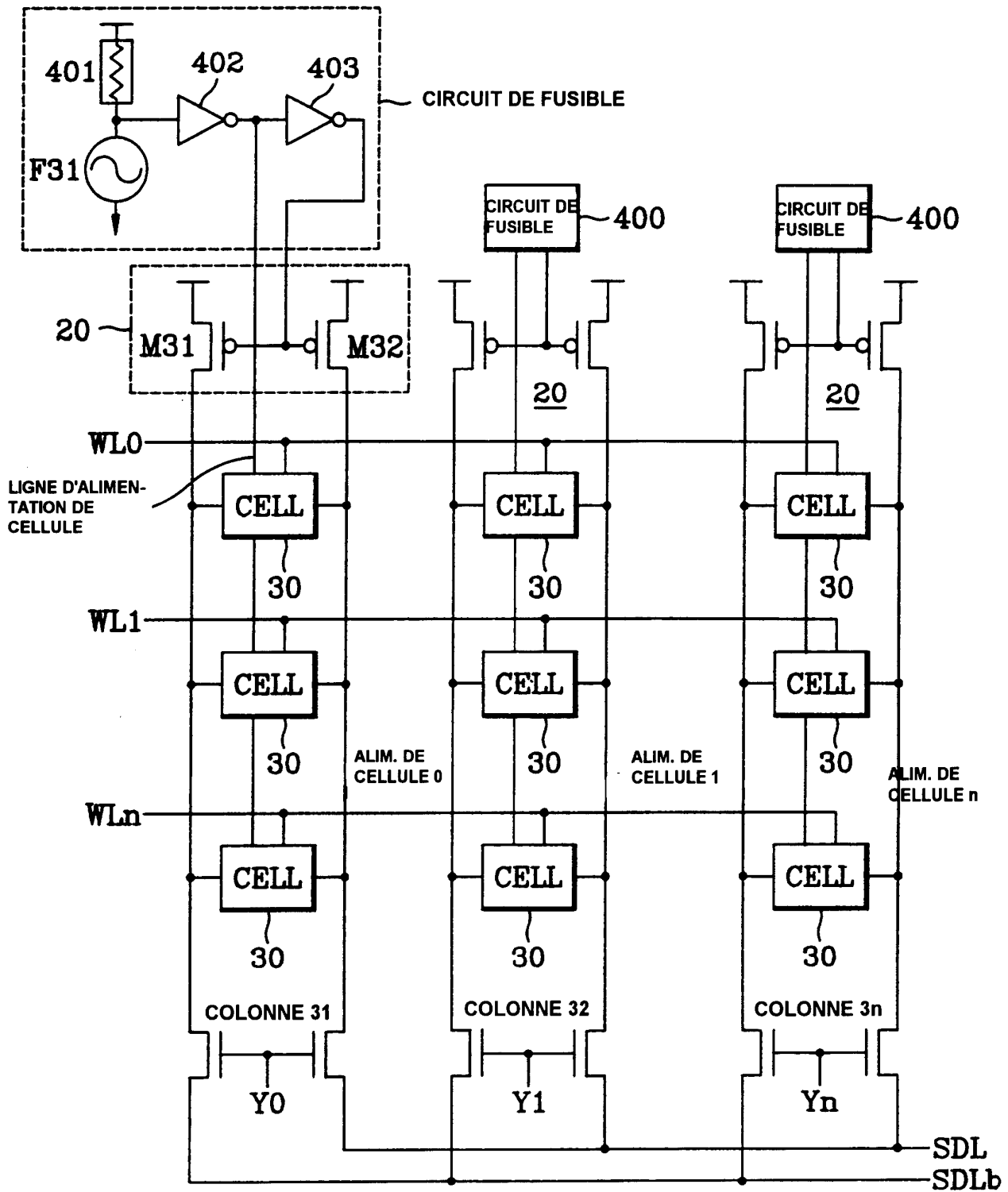


Fig. 4

5/5

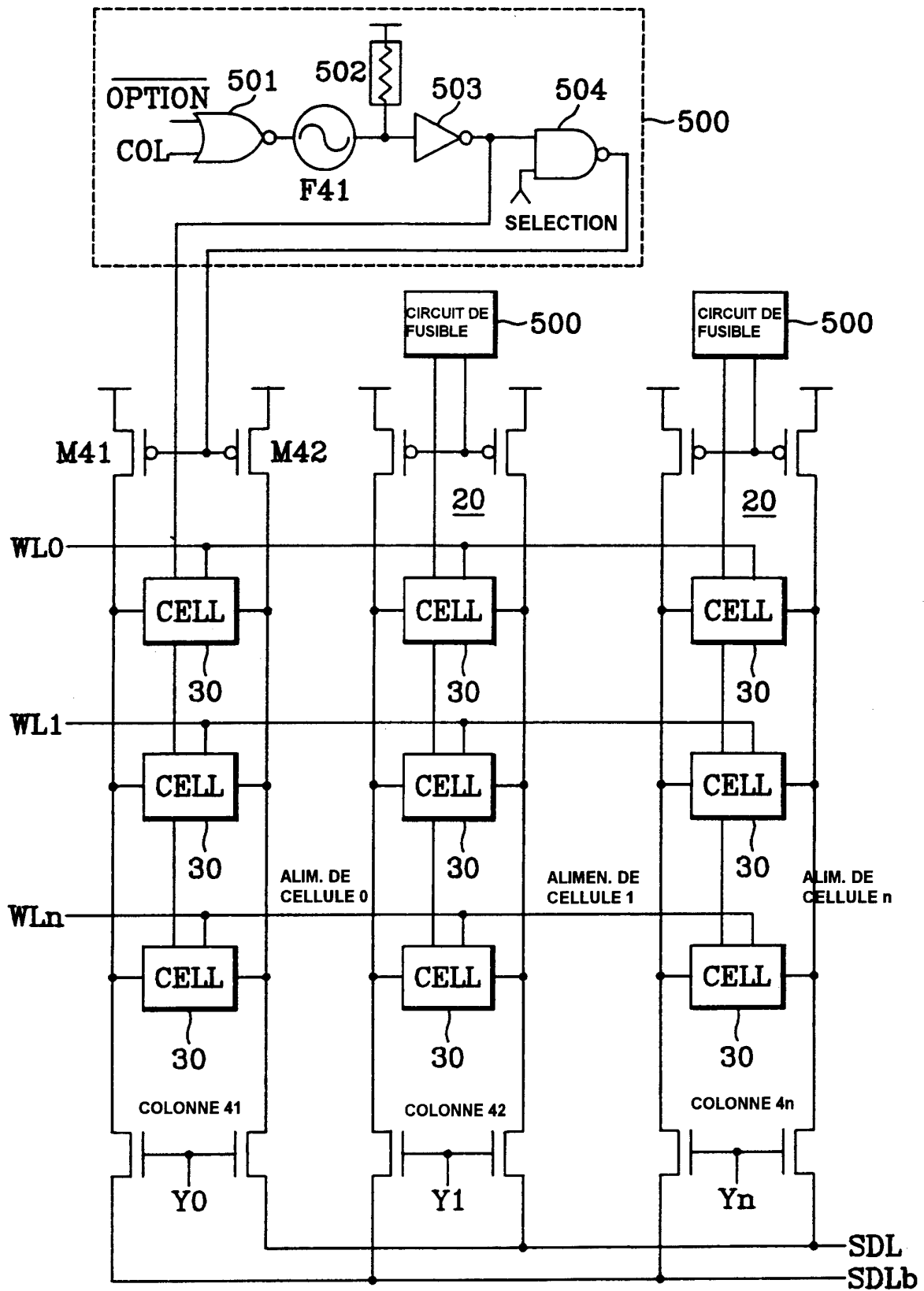


Fig. 5