(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国 际 局

(43) 国际公布日
2017 年 8 月 3 日 (03.08.2017)

WIPO | PCT

(10) 国际公布号
WO 2017/128470 A1

(51) 国际专利分类号:
G09G 3/36 (2006.01)

(21) 国际申请号: PCT/CN2016/074558

(22) 国际申请日: 2016 年 2 月 25 日 (25.02.2016)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201610058675.0 2016 年 1 月 28 日 (28.01.2016) CN

(71) 申请人: **武汉华星光电技术有限公司 (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD)** [CN/CN]; 中国湖北省武汉市东湖开发区高新大道 666 号生物城 C5 栋, Hubei 430070 (CN)。

(72) 发明人: **赵莽 (ZHAO, Mang)**; 中国广东省深圳市光明新区塘明大道 9-2 号, Guangdong 518132 (CN)。

(74) 代理人: **深圳市威世博知识产权代理事务所（普通合伙） (CHINA WISPRO INTELLECTUAL PROPERTY LLP.)**; 中国广东省深圳市南山区高新区粤兴三道 8 号中国地质大学产学研基地中地大楼 A806, Guangdong 518057 (CN)。

(81) 指定国 (除另有指明，要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS, JP, KE, KG, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明，要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI, CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:
— 包括国际检索报告(条约第 21 条(3))。

(54) Title: GATE DRIVE CIRCUIT AND LIQUID CRYSTAL DISPLAY THEREOF

(54) 发明名称 : 一种基于栅极驱动电路及其液晶显示器

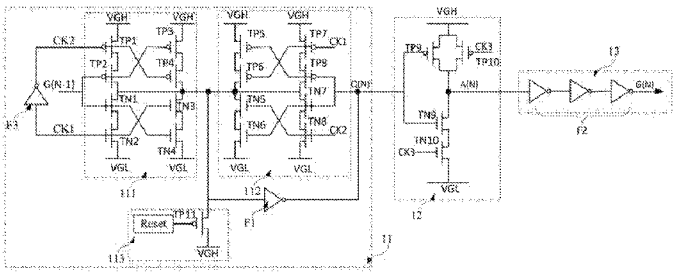


图 1

(57) Abstract: A gate drive circuit and a liquid crystal display. The gate drive circuit comprises: an input and latch circuit (11), a signal processing circuit (12) electrically connected to the input and latch circuit (11), and an output buffer circuit (13) electrically connected to the signal processing circuit (12), wherein the input and latch circuit (11) or the signal processing circuit (12) comprises two switch assemblies arranged in parallel, each switch assembly respectively comprises two switch tubes connected in series, and control ends of the two switch tubes of one switch assembly of the two switch assemblies are connected to control ends of the two switch tubes of the other switch assembly in a crossed manner. By means of providing two switch assemblies and connecting the control ends of switch tubes inside the assemblies in a crossed manner, the degrees of pressure applied to the two switch tubes are the same, and the operation stability of a circuit is greatly improved.

(57) 摘要:

[见续页]

WO 2017/128470 A1

一种栅极驱动电路及液晶显示器，该栅极驱动电路包括：输入与锁存电路(11)、电性连接所述输入与锁存电路(11)的信号处理电路(12)以及电性连接所述信号处理电路(12)的输出缓冲电路(13)。其中，输入与锁存电路(11)或信号处理电路(12)包括并联设置的两个开关组件。每一开关组件分别包括串联设置的两个开关管，该两个开关组件的一开关组件的两个开关管的控制端与另一开关组件的两个开关管的控制端交叉连接。通过设置两个开关组件并将其内部的开关管的控制端进行交叉连接，使得两个开关管所受的压力程度相同，极大的提高了电路工作的稳定性。

说明书

发明名称：一种基于栅极驱动电路及其液晶显示器

[1] 【技术领域】

[2] 本发明涉及显示技术领域，特别是涉及一种栅极驱动电路及其液晶显示器。

[3] 【背景技术】

[4] Gate Driver On Array，简称GOA，也就是利用现有薄膜晶体管液晶显示器Array制程将Gate行扫描驱动信号电路制作在Array基板上，实现对Gate逐行扫描的驱动方式的一项技术。

[5] 随着低温多晶硅（LTPS）半导体薄膜晶体管的发展，而且由于LTPS半导体本身超高载流子迁移率的特性，相应的面板周边集成电路也成为大家关注的焦点，并且很多人投入到System on Panel（SOP）的相关技术研究，并逐步成为现实。

[6] 一般LTPS工艺中普遍采用的CMOS GOA功能的模块设计，其中包括了：Latch锁存器单元，用于级传信号的锁存，是GOA电路设计的核心部分，主要由两个时钟控制反相器和两个反相器组成；与非门信号处理单元，通过CK控制信号线与锁存的数据进行与非处理，用于产生本级的控制端驱动信号；CMOS电路的输出Buffer，用于增加控制端驱动信号的驱动能力，减小传输信号的RC Loading。

[7] 对于时钟控制反相器和与非门，我们定义靠近VGH和VGL的晶体管为第一晶体管，靠近输出端的晶体管为第二晶体管。

[8] 上述两个模块的电路连接方式较为单一，其中第一和第二晶体管在长时间工作的过程中需要承受的Stress程度不一样，因此第一和第二晶体管的变异程度也不一样。这种晶体管的不均匀性可能会导致信号锁存的变异以及与非门逻辑的错误，严重时会影响电路的正常工作，造成整个电路的失效。

[9] 【发明内容】

[10] 本发明主要解决的技术问题是提供一种栅极驱动电路及其液晶显示器，能够有效提高电路设计的均匀性以及电路工作的稳定性。

[11] 为解决上述技术问题，本发明采用的一个技术方案是：提供一种栅极驱动电路，包括：输入与锁存电路、电性连接所述输入与锁存电路的信号处理电路以及电性连接信号处理电路的输出缓冲电路；

[12] 输入与锁存电路根据上级扫描驱动信号、第一时钟信号以及与第一时钟信号反相的第二时钟信号输出第一控制信号，信号处理电路根据第一控制信号以及第三时钟信号输出第二控制信号，输出缓冲电路根据第二控制信号输出本级扫描驱动信号；

[13] 其中，输入与锁存电路或信号处理电路包括并联设置的两个开关组件，其中每一开关组件分别包括串联设置的两个开关管，两个开关组件的一开关组件的两个开关管的控制端与两个开关组件的另一开关组件的两个开关管的控制端交叉连接。

[14] 其中，输入与锁存电路包括：第一时钟控制反相器、第二时钟控制反相器以及第一反相器，第一时钟控制反相器的正相控制端接入第一时钟信号，第一时钟控制反相器的反相控制端接入第二时钟信号，第一时钟控制反相器的输入端接入上级扫描驱动信号，第一时钟控制反相器的输出端连接第二时钟控制反相器的输出端，第二时钟控制反相器的正相控制端接入第二时钟信号，第二时钟控制反相器的反相控制端接入第一时钟信号，第一反相器的输入端连接第一时钟控制反相器的输出端和第二时钟控制反相器的输出端，第一反相器的输出端连接第二时钟控制反相器的输入端，并输出第一控制信号，其中第一时钟控制反相器和第二时钟控制反相器的至少一个内设置有连接于第一时钟控制反相器和第二时钟控制反相器的至少一个的输出端与参考电位之间的两个开关组件。

[15] 其中，输出缓冲电路包括依次串联的奇数个第二反相器，接近信号处理电路的第二反向器的输入端接入第二控制信号，远离信号处理电路的第二反相器输出端输出本级扫描驱动信号。

[16] 为解决上述技术问题，本发明还采用的一个技术方案是：提供一种栅极驱动电路，包括：输入与锁存电路、电性连接输入与锁存电路的信号处理电路以及电性连接信号处理电路的输出缓冲电路；

[17] 输入与锁存电路根据上级扫描驱动信号、第一时钟信号以及与第一时钟信号反

相的第二时钟信号输出第一控制信号，信号处理电路根据第一控制信号以及第三时钟信号输出第二控制信号，输出缓冲电路根据第二控制信号输出本级扫描驱动信号；

[18] 其中，输入与锁存电路或信号处理电路包括并联设置的两个开关组件，其中每一开关组件分别包括串联设置的两个开关管，两个开关组件的一开关组件的两个开关管的控制端与两个开关组件的另一开关组件的两个开关管的控制端交叉连接。

[19] 其中，输入与锁存电路包括：第一时钟控制反相器、第二时钟控制反相器以及第一反相器，第一时钟控制反相器的正相控制端接入第一时钟信号，第一时钟控制反相器的反相控制端接入第二时钟信号，第一时钟控制反相器的输入端接入上级扫描驱动信号，第一时钟控制反相器的输出端连接第二时钟控制反相器的输出端，第二时钟控制反相器的正相控制端接入第二时钟信号，第二时钟控制反相器的反相控制端接入第一时钟信号，第一反相器的输入端连接第一时钟控制反相器的输出端和第二时钟控制反相器的输出端，第一反相器的输出端连接第二时钟控制反相器的输入端，并输出第一控制信号，其中第一时钟控制反相器和第二时钟控制反相器的至少一个内设置有连接于第一时钟控制反相器和第二时钟控制反相器的至少一个的输出端与参考电位之间的两个开关组件。

[20] 其中，第一时钟控制反相器包括第一P型开关管、第二P型开关管、第三P型开关管、第四P型开关管、第一N型开关管、第二N型开关管、第三N型开关管以及第四N型开关管；

[21] 第一P型开关管控制端与第四P型开关管的控制端相连接，并接入第二时钟信号，第二P型开关管的控制端和第四P型开关管的控制端相连接，并接入上级扫描驱动信号，第一P型开关管的第一传输端和第三P型开关管的第一传输端接入高参考电位，第二P型开关管的第一传输端与第一P型开关管的第二传输端相连接，第四P型开关管的第一传输端和第三P型开关管的第二传输端相连接，第二P型开关管的第二传输端和第四P型开关管的第二传输端连接第一时钟控制反相器的输出端；

[22] 第一N型开关管的控制端与第四N型开关管的控制端相连接，并接入上级扫描

驱动信号，第二N型开关管和第三N型开关管的控制端相连接，并接入第一时钟信号，第二N型开关管的第一传输端和第四N型开关管的第一传输端接入低参考电位，第一N型开关管的第一传输端与第二N型开关管的第二传输端相连接，第三N型开关管的第一传输端与第四N型开关管的第二传输端相连接，第一N型开关管的第二传输端和第四N型开关管的第二传输端连接第一时钟控制反相器的输出端。

[23] 其中，第二时钟控制反相器包括第五P型开关管、第六P型开关管、七P型开关管、第八P型开关管、第五N型开关管、第六N型开关管，第七N型开关管、第八N型开关管；

[24] 第五P型开关管的控制端与和第八P型开关管的控制端相连接，并接入第一控制信号，第六P型开关管的控制端与第七P型开关管的控制端相连接，并接入第一时钟信号，其中第五P型开关管的第一传输端和第七P型开关管的第一传输端接入高参考点位，第五P型开关管的第二传输端与第六P型开关管的第一传输端相连接，第八P型开关管的第一传输端与第七P型开关管的第二传输端相连接，第八P型开关管的第二传输端和第六P型开关管的第二传输端连接第二时钟控制反相器的输出端；

[25] 第五N型开关管的控制端与第八N型开关管的控制端相连接，并接入第二时钟信号，第六N型开关管的控制端与第七N型开关管的控制端相连接，并接入第一控制信号，第六N型开关管的第一传输端和第八N型开关管的第一传输端接入低参考电位，第五N型开关管的第一传输端与第六N型开关管的第二传输端相连接，第八N型开关管第二传输端与第七N型开关管的第一传输端相连接，第五N型开关管第二传输端和第七N型开关管的第二传输端连接第二时钟控制反相器的输出端。

[26] 信号处理电路为一与非门，与非门电路的第一输入端接入第一控制信号，与非门电路的第二输入端接入第三时钟信号，与非门电路的输出端输出第二控制信号，与非门电路包括设置于与非门电路的输出端与参考电位之间的两个开关组件。

[27] 信号处理电路包括第九P型开关管、第十P型开关管、第九N型开关管、第十N

型开关管、第十一N型开关管、第十二N型开关管；

[28] 第九P型开关管的控制端接入第一控制信号，第十P型开关管的控制端接入第三时钟信号，第九P型开关管的第一传输端和第十P型开关管的第一传输端端接入高参考电位，第九P型开关管的第二传输和第十P型开关管的第二传输端与与非门的输出端相连接；

[29] 第九N型开关管的控制端和第十二N型开关管的控制端相连接，并接入第一控制信号，第十N型开关管的控制端和第十一N型开关管的控制端相连接，并接入第三时钟信号，第十N型开关管的第一输入端和第十二N型开关管的第一输入端接入低参考电位，第九N型开关管的第一传输端与第十N型开关管的第二传输端相连接，第十一N型开关管的第一传输端连接于第十二N型开关管的第二传输端，第九N型开关管的第二输出端与第十一N型开关管的第二输出端连接与非门的输出端。

[30] 其中，信号处理电路为一与非门，与非门电路的第一输入端接入第一控制信号，与非门电路的第二输入端接入第三时钟信号，与非门电路的输出端输出第二控制信号，与非门电路包括设置于与非门电路的输出端与参考电位之间的两个开关组件。

[31] 其中，信号处理电路包括第一P型开关管、第二P型开关管、第一N型开关管、第二N型开关管、第三N型开关管、第四N型开关管；

[32] 第一P型开关管的控制端接入第一控制信号，第二P型开关管的控制端接入第三时钟信号，第一P型开关管的第一传输端和第二P型开关管的第一传输端端接入高参考电位，第一P型开关管的第二传输和第二P型开关管的第二传输端与与非门的输出端相连接；

[33] 第一N型开关管的控制端和第四N型开关管的控制端相连接，并接入第一控制信号，第二N型开关管的控制端和第三N型开关管的控制端相连接，并接入第三时钟信号，第二N型开关管的第一输入端和第四N型开关管的第一输入端接入低参考电位，第一N型开关管的第一传输端与第二N型开关管的第二传输端相连接，第三N型开关管的第一传输端连接于第四N型开关管的第二传输端，第一N型开关管的第二输出端与第三N型开关管的第二输出端连接与非门的输出端。

[34] 其中，输出缓冲电路包括依次串联的奇数个第二反相器，接近信号处理电路的第二反向器的输入端接入第二控制信号，远离信号处理电路的第二反相器输出端输出本级扫描驱动信号。

[35] 为了解决上述问题，本发明还提供了一种液晶显示器，包括多个级联设置的的栅极驱动电路，栅极驱动电路包括：输入与锁存电路、电性连接输入与锁存电路的信号处理电路以及电性连接信号处理电路的输出缓冲电路；

[36] 输入与锁存电路根据上级扫描驱动信号、第一时钟信号以及与第一时钟信号反相的第二时钟信号输出第一控制信号，信号处理电路根据第一控制信号以及第三时钟信号输出第二控制信号，输出缓冲电路根据第二控制信号输出本级扫描驱动信号；

[37] 其中，输入与锁存电路或信号处理电路包括并联设置的两个开关组件，其中每一开关组件分别包括串联设置的两个开关管，两个开关组件的一开关组件的两个开关管的控制端与两个开关组件的另一开关组件的两个开关管的控制端交叉连接。

[38] 其中，输入与锁存电路包括：第一时钟控制反相器、第二时钟控制反相器以及第一反相器，第一时钟控制反相器的正相控制端接入第一时钟信号，第一时钟控制反相器的反相控制端接入第二时钟信号，第一时钟控制反相器的输入端接入上级扫描驱动信号，第一时钟控制反相器的输出端连接第二时钟控制反相器的输出端，第二时钟控制反相器的正相控制端接入第二时钟信号，第二时钟控制反相器的反相控制端接入第一时钟信号，第一反相器的输入端连接第一时钟控制反相器的输出端和第二时钟控制反相器的输出端，第一反相器的输出端连接第二时钟控制反相器的输入端，并输出第一控制信号，其中第一时钟控制反相器和第二时钟控制反相器的至少一个内设置有连接于第一时钟控制反相器和第二时钟控制反相器的至少一个的输出端与参考电位之间的两个开关组件。

[39] 其中，第一时钟控制反相器包括第一P型开关管、第二P型开关管、第三P型开关管、第四P型开关管、第一N型开关管、第二N型开关管、第三N型开关管以及第四N型开关管；

[40] 第一P型开关管控制端与第四P型开关管的控制端相连接，并接入第二时钟信号

，第二P型开关管的控制端和第四P型开关管的控制端相连接，并接入上级扫描驱动信号，第一P型开关管的第一传输端和第三P型开关管的第一传输端接入高参考电位，第二P型开关管的第一传输端与第一P型开关管的第二传输端相连接，第四P型开关管的第一传输端和第三P型开关管的第二传输端相连接，第二P型开关管的第二传输端和第四P型开关管的第二传输端连接第一时钟控制反相器的输出端；

[41] 第一N型开关管的控制端与第四N型开关管的控制端相连接，并接入上级扫描驱动信号，第二N型开关管和第三N型开关管的控制端相连接，并接入第一时钟信号，第二N型开关管的第一传输端和第四N型开关管的第一传输端接入低参考电位，第一N型开关管的第一传输端与第二N型开关管的第二传输端相连接，第三N型开关管的第一传输端与第四N型开关管的第二传输端相连接，第一N型开关管的第二传输端和第四N型开关管的第二传输端连接第一时钟控制反相器的输出端。

[42] 其中，第二时钟控制反相器包括第五P型开关管、第六P型开关管、七P型开关管、第八P型开关管、第五N型开关管、第六N型开关管，第七N型开关管、第八N型开关管；

[43] 第五P型开关管的控制端与和第八P型开关管的控制端相连接，并接入第一控制信号，第六P型开关管的控制端与第七P型开关管的控制端相连接，并接入第一时钟信号，其中第五P型开关管的第一传输端和第七P型开关管的第一传输端接入高参考点位，第五P型开关管的第二传输端与第六P型开关管的第一传输端相连接，第八P型开关管的第一传输端与第七P型开关管的第二传输端相连接，第八P型开关管的第二传输端和第六P型开关管的第二传输端连接第二时钟控制反相器的输出端；

[44] 第五N型开关管的控制端与第八N型开关管的控制端相连接，并接入第二时钟信号，第六N型开关管的控制端与第七N型开关管的控制端相连接，并接入第一控制信号，第六N型开关管的第一传输端和第八N型开关管的第一传输端接入低参考电位，第五N型开关管的第一传输端与第六N型开关管的第二传输端相连接，第八N型开关管第二传输端与第七N型开关管的第一传输端相连接，第五N型

开关管第二传输端和第七N型开关管的第二传输端连接第二时钟控制反相器的输出端。

[45] 其中，信号处理电路为一与非门，与非门电路的第一输入端接入第一控制信号，与非门电路的第二输入端接入第三时钟信号，与非门电路的输出端输出第二控制信号，与非门电路包括设置于与非门电路的输出端与参考电位之间的两个开关组件。

[46] 其中，信号处理电路包括第九P型开关管、第十P型开关管、第九N型开关管、第十N型开关管、第十一N型开关管、第十二N型开关管；

[47] 第九P型开关管的控制端接入第一控制信号，第十P型开关管的控制端接入第三时钟信号，第九P型开关管的第一传输端和第十P型开关管的第一传输端端接入高参考电位，第九P型开关管的第二传输和第十P型开关管的第二传输端与与非门的输出端相连接；

[48] 第九N型开关管的控制端和第十二N型开关管的控制端相连接，并接入第一控制信号，第十N型开关管的控制端和第十一N型开关管的控制端相连接，并接入第三时钟信号，第十N型开关管的第一输入端和第十二N型开关管的第一输入端接入低参考电位，第九N型开关管的第一传输端与第十N型开关管的第二传输端相连接，第十一N型开关管的第一传输端连接于第十二N型开关管的第二传输端，第九N型开关管的第二输出端与第十一N型开关管的第二输出端连接与非门的输出端。

[49] 其中，信号处理电路为一与非门，与非门电路的第一输入端接入第一控制信号，与非门电路的第二输入端接入第三时钟信号，与非门电路的输出端输出第二控制信号，与非门电路包括设置于与非门电路的输出端与参考电位之间的两个开关组件。

[50] 其中，信号处理电路包括第一P型开关管、第二P型开关管、第一N型开关管、第二N型开关管、第三N型开关管、第四N型开关管；

[51] 第一P型开关管的控制端接入第一控制信号，第二P型开关管的控制端接入第三时钟信号，第一P型开关管的第一传输端和第二P型开关管的第一传输端端接入高参考电位，第一P型开关管的第二传输和第二P型开关管的第二传输端与与非

门的输出端相连接；

[52] 第一N型开关管的控制端和第四N型开关管的控制端相连接，并接入第一控制信号，第二N型开关管的控制端和第三N型开关管的控制端相连接，并接入第三时钟信号，第二N型开关管的第一输入端和第四N型开关管的第一输入端接入低参考电位，第一N型开关管的第一传输端与第二N型开关管的第二传输端相连接，第三N型开关管的第一传输端连接于第四N型开关管的第二传输端，第一N型开关管的第二输出端与第三N型开关管的第二输出端连接与非门的输出端。

[53] 其中，输出缓冲电路包括依次串联的奇数个第二反相器，接近信号处理电路的第二反向器的输入端接入第二控制信号，远离信号处理电路的第二反相器输出端输出本级扫描驱动信号。

[54] 本发明的有益效果是：区别于现有技术的情况，本发明通过设置两个开关组件并将其内部的开关管的控制端进行交叉连接，使得两个开关管所受的压力程度相同，极大的提高了电路工作的稳定性。

[55] 【附图说明】

[56] 图1是本发明栅极驱动电路第一实施例的电路结构示意图；

[57] 图2是本发明栅极驱动电路的工作时序图；

[58] 图3是本发明栅极驱动电路第二实施例的电路结构示意图；

[59] 图4是本发明栅极驱动电路第三实施例的电路结构示意图；

[60] 图5是本发明液晶显示器一实施例的结构示意图。

[61] 【具体实施方式】

[62] 在说明书及权利要求书当中使用了某些词汇来指称特定的组件，所属领域中的技术人员应该可以理解，制造商可能会用不同的名词来称呼同样的组件。本说明书及权利要求书并不以名称的差异来作为区分组件的方式，而是以组件在功能上的差异来作为区分的基准。下面结合附图和实施例对本发明进行详细说明。

[63] 参阅图1，为本发明栅极驱动电路第一实施例的电路结构示意图，该栅极驱动电路包括：输入与锁存电路11、电性连接输入与锁存电路11的信号处理电路12、电性连接信号处理电路12的输出缓冲电路13；

[64] 输入与锁存电路11根据上级扫描驱动信号G(N-1)、第一时钟信号CK1以及与第一时钟信号CK1反相的第二时钟信号CK2输出第一控制信号Q(N)，信号处理电路12根据第一控制信号Q(N)以及第三时钟信号CK3输出第二控制信号A(N)，输出缓冲电路13根据第二控制信号A(N)输出本级扫描驱动信号G(N)；

[65] 其中，输入与锁存电路11或信号处理电路12包括并联设置的两个开关组件，其中每一开关组件分别包括串联设置的两个开关管，两个开关组件的一开关组件的两个开关管的控制端与两个开关组件的另一开关组件的两个开关管的控制端交叉连接。

[66] 其中，输入与锁存电路11包括：第一时钟控制反相器111、第二时钟控制反相器112以及第一反相器F1，第一时钟控制反相器111的正相控制端接入第一时钟信号CK1，第一时钟控制反相器111的反相控制端接入第二时钟信号CK2，第一时钟控制反相器111的输入端接入上级扫描驱动信号G(N-1)，第一时钟控制反相器111的输出端连接第二时钟控制反相器112的输出端，第二时钟控制反相器112的正相控制端接入第二时钟信号CK2，第二时钟控制反相器112的反相控制端接入第一时钟信号CK1，第一反相器F1的输入端连接第一时钟控制反相器111的输出端和第二时钟控制反相器112的输出端，第一反相器F1的输出端连接第二时钟控制反相器112的输入端，并输出第一控制信号Q(N)，其中第一时钟控制反相器111和第二时钟控制反相器112的至少一个内设置有连接于第一时钟控制反相器111和第二时钟控制反相器112的至少一个的输出端与参考电位之间的两个开关组件。

[67] 其中，第一时钟控制反相器111包括第一P型开关管TP1、第二P型开关管TP2、第三P型开关管TP3、第四P型开关管TP4、第一N型开关管TN1、第二N型开关管TN2、第三N型开关管TN3以及第四N型开关管TN4；

[68] 第一P型开关管TP1控制端与第四P型开关管TP4的控制端相连接，并接入第二时钟信号CK2，第二P型开关管TP2的控制端和第四P型开关管TP4的控制端相连接，并接入上级扫描驱动信号G(N-1)，第一P型开关管TP1的第一传输端和第三P型开关管TP3的第一传输端接入高参考电位VGH，第二P型开关管TP2的第一传输端与第一P型开关管TP1的第二传输端相连接，第四P型开关管TP4的第一传输

端和第三P型开关管TP3的第二传输端相连接，第二P型开关管TP2的第二传输端和第四P型开关管TP4的第二传输端连接第一时钟控制反相器111的输出端；

[69] 第一N型开关管TN1的控制端与第四N型开关管TN4的控制端相连接，并接入上级扫描驱动信号G(N-1)，第二N型开关管TN2和第三N型开关管TN3的控制端相连接，并接入第一时钟信号CK1，第二N型开关管TN2的第一传输端和第四N型开关管TN4的第一传输端接入低参考电位VGL，第一N型开关管TN1的第一传输端与第二N型开关管TN2的第二传输端相连接，第三N型开关管TN3的第一传输端与第四N型开关管TN4的第二传输端相连接，第一N型开关管TN1的第二传输端和第四N型开关管TN4的第二传输端连接第一时钟控制反相器CK1的输出端。

[70] 其中，第二时钟控制反相器112包括第五P型开关管TP5、第六P型开关管TP6、七P型开关管TP7、第八P型开关管TP8、第五N型开关管TN5、第六N型开关管TN6，第七N型开关管TN7、第八N型开关管TN8；

[71] 第五P型开关管TP5的控制端与和第八P型开关管TP8的控制端相连接，并接入第一控制信号Q(N)，第六P型开关管TP6的控制端与第七P型开关管TP7的控制端相连接，并接入第一时钟信号CK1，其中第五P型开关管TP5的第一传输端和第七P型开关管TP7的第一传输端接入高参考点位VGH，第五P型开关管TP5的第二传输端与第六P型开关管TP6的第一传输端相连接，第八P型开关管TP8的第一传输端与第七P型开关管TP7的第二传输端相连接，第八P型开关管TP8的第二传输端和第六P型开关管TP6的第二传输端连接第二时钟控制反相器112的输出端；

[72] 第五N型开关管TN5的控制端与第八N型开关管TN8的控制端相连接，并接入第二时钟信号CK2，第六N型开关管TN6的控制端与第七N型开关管TN7的控制端相连接，并接入第一控制信号Q(N)，第六N型开关管TN6的第一传输端和第八N型开关管TN8的第一传输端接入低参考电位，第五N型开关管TN5的第一传输端与第六N型开关管TN6的第二传输端相连接，第八N型开关管TN8第二传输端与第七N型开关管TN7的第一传输端相连接，第五N型开关管TN5第二传输端和第七N型开关管TN7的第二传输端连接第二时钟控制反相器112的输出端。

[73] 其中，信号处理电路12为一与非门，与非门电路的第一输入端接入第一控制信号Q(N)，与非门电路的第二输入端接入第三时钟信号CK3，与非门电路的输出

端输出第二控制信号A(N)，与非门电路包括设置于与非门电路的输出端与参考电位之间的两个开关组件。

[74] 信号处理电路12包括第九P型开关管TP9、第十P型开关管TP10、第九N型开关管TN9、第十N型开关管TN10、第十一N型开关管TN11、第十二N型开关管TN12；

[75] 第九P型开关管TP9的控制端接入第一控制信号Q(N)，第十P型开关管TP10的控制端接入第三时钟信号CK3，第九P型开关管TP9的第一传输端和第十P型开关管TP10的第一传输端端接入高参考电位VGH，第九P型开关管TP9的第二传输和第十P型开关TP10管的第二传输端与与非门的输出端相连接；

[76] 第九N型开关管TN9的控制端和第十二N型开关管TN12的控制端相连接，并接入第一控制信号Q(N)，第十N型开关管TN10的控制端和第十一N型开关管TN11的控制端相连接，并接入第三时钟信号CK3，第十N型开关管TN10的第一输入端和第十二N型开关管TN12的第一输入端接入低参考电位VGL，第九N型开关管TN9的第一传输端与第十N型开关管TN10的第二传输端相连接，第十一N型开关管TN11的第一传输端连接于第十二N型开关管TN12的第二传输端，第九N型开关管TN9的第二输出端与第十一N型开关管TN11的第二输出端连接与非门的输出端。

[77] 其中，输出缓冲电路13包括依次串联的奇数个第二反相器F2，接近信号处理电路12的第二反向器F2的输入端接入第二控制信号A(N)，远离信号处理电路12的第二反相器F2输出端输出本级扫描驱动信号G(N)。

[78] 其中，开关管可以是薄膜晶体管TFT，其控制端为薄膜晶体管的栅极，第一传输端和第二传输端分别为源极和漏极。

[79] 图2为本发明栅极驱动电路的工作时序图，结合图1以及图2，当产生高电位的上级扫描驱动信号G(N-1)时，第一时钟信号(CK1)也为高电位信号，第二时钟信号CK2为低电位信号，第一P型开关管TP1和第四P型开关管TP4打开,第一N型开关管TN1和第四N型开关管TN4打开，第二N型开关管TN2和第三N型开关管TN3打开，则第四P型开关管TP4和第三N型开关管TN3的第二传输端的连接节点的电压等于恒压低电位信号VGL的电压值，经过第一反相器F1反相后得到第一控制

信号Q(N)，此时第一控制信号Q(N)为高电平信号；当第一时钟信号CK1变为低电平信号时，上级扫描驱动信号G(N-1)也变为低电平信号，此时第一时钟控制反相器111不工作，第二时钟控制反相器112中第六N型开关管TN6和第七N型开关管TN7打开，第六P型开关管TP6和第七P型开关管TP7打开，第五N型开关管TN5和第八N型开关管TN8打开，则第四P型开关管TP4和第三N型开关管TN3的第二传输端的连接节点的电压被锁存在低参考电位VGL的电压值；当产生高电位的第三时钟信号CK3时，信号处理电路12中的第九N型开关管TN9和第十N型开关管TN10打开，则此时第二控制信号A(N)为低电平信号，经过输出缓冲电路13内依次串联的奇数个(图3中只画出了3个)第二反相器F2的反相作用，输出高电位的本级正相扫描驱动信号G(N)。

[80] 在本发明实施例中，由于在输入与锁存电路11中将原先的一个时钟控制反相器拆分成两个，并将这两个时钟控制反相器交叉连接，使得接近VGH和VGL的晶体管与靠近输出端的晶体管(等效)所受的压力程度相同，有效提高电路设计的均匀性以及电路工作的稳定性。

[81] 在本发明一个优选的实施例中，输入与锁存电路11还包括一第三反相器(F3)，第二时钟信号(CK2)由第一时钟信号(CK1)经该第三反相器(F3)反相得到。

[82] 在本发明一个优选的实施例中，输入与锁存电路11还包括一复位电路113，复位电路113具有一第十一P型开关管TP11，第十一P型开关管TP11的控制端接入复位信号Reset，第一传输端接入高参考点位VGH，第二传输端连接于第一时钟控制反相器111和第二时钟控制反相器112的输出端。

[83] 参阅图3，为本发明栅极驱动电路第二实施例的电路结构示意图，该栅极驱动电路包括：输入与锁存电路31、电性连接输入与锁存电路31的信号处理电路32、电性连接信号处理电路32的输出缓冲电路33。

[84] 输入与锁存电路31根据上级扫描驱动信号G(N-1)、第一时钟信号CK1以及与第一时钟信号CK1反相的第二时钟信号CK2输出第一控制信号Q(N)，信号处理电路32根据第一控制信号Q(N)以及第三时钟信号CK3输出第二控制信号A(N)，输出缓冲电路33根据第二控制信号A(N)输出本级扫描驱动信号G(N)；

[85] 其中，信号处理电路32为一与非门，与非门电路的第一输入端接入第一控制信

号Q(N)，与非门电路的第二输入端接入第三时钟信号CK3，与非门电路的输出端输出第二控制信号A(N)，与非门电路包括设置于与非门电路的输出端与参考电位之间的两个开关组件。

[86] 其中，信号处理电路32包括第一P型开关管TP1、第二P型开关管TP2、第一N型开关管TN1、第二N型开关管TN2、第三N型开关管TN3、第四N型开关管TN4；

[87] 第一P型开关管TP1的控制端接入第一控制信号Q(N)，第二P型开关管TP2的控制端接入第三时钟信号CK3，第一P型开关管TP1的第一传输端和第二P型开关管TP2的第一传输端端接入高参考电位VGH，第一P型开关管TP1的第二传输和第二P型开关管TP2的第二传输端与与非门的输出端相连接；

[88] 第一N型开关管TN1的控制端和第四N型开关管TN4的控制端相连接，并接入第一控制信号Q(N)，第二N型开关管TN2的控制端和第三N型开关管TN3的控制端相连接，并接入第三时钟信号CK3，第二N型开关管TN2的第一输入端和第四N型开关管TN4的第一输入端接入低参考电位VGL，第一N型开关管TN1的第一传输端与第二N型开关管TN2的第二传输端相连接，第三N型开关管TN3的第一传输端连接于第四N型开关管TN4的第二传输端，第一N型开关管TN1的第二输出端与第三N型开关管TN3的第二输出端连接与非门的输出端。

[89] 输入与锁存电路31包括：第一时钟控制反相器311、第二时钟控制反相器312以及第一反相器F1，第一时钟控制反相器311的正相控制端接入第一时钟信号CK1，第一时钟控制反相器311的反相控制端接入第二时钟信号CK2，第一时钟控制反相器311的输入端接入上级扫描驱动信号G(N-1)，第一时钟控制反相器311的输出端连接第二时钟控制反相器312的输出端，第二时钟控制反相器312的正相控制端接入第二时钟信号CK2，第二时钟控制反相器312的反相控制端接入第一时钟信号CK1，第一反相器F1的输入端连接第一时钟控制反相器311的输出端和第二时钟控制反相器312的输出端，第一反相器F1的输出端连接第二时钟控制反相器312的输入端，并输出第一控制信号CK1；

[90] 其中，第一时钟控制反相器311包括第三P型开关管TP3、第四P型开关管TP4、第五N型开关管TN5、第六N型开关管TN6；

[91] 第三P型开关管TP3控制端接入第二时钟信号CK2，第一传输端接入高参考电位

VGH，第二传输端与第二P型开关管TP2的第一传输端相连接；第四P型开关管TP4的控制端接入上级扫描驱动信号G(N-1)，第四P型开关管的第二传输端和第五N型开关管TN5的第二传输端与第一时钟控制反相器311的输出端相连接；第五N型开关管TN5的控制端接入上级第扫描驱动信号G(N-1)，第一传输端与第六N型开关管TN6的第二传输端相连接；第六N型开关管TN6的控制端接入第一时钟信号CK1，第六N型开关管TN6的第一传输端接入低参考电位VGL；

[92] 第二时钟控制反相器312包括第五P型开关管TP5、第六P型开关管TP6、第七N型开关管TN7，第八N型开关管TN8；

[93] 第五P型开关管TP5的控制端接入第一时钟信号CK1，第一传输端接入高参考点位VGH，第二传输端与第六P型开关管TP6的第一传输端相连接；第六P型开关管TP6的控制端接入第一控制信号Q(N)，第六P型开关管TP6的第二传输端和第七N型开关管TN7的第二传输端与第二时钟控制反相器312输出端相连接；第七N型开关管TN7的控制端接入第一控制信号Q(N)，第一传输端与第八N型开关管TN8的第二传输端相连接；第八N型开关管TN8的控制端接入第二时钟信号CK2，第一传输端接入低参考电位VGL。

[94] 其中，输出缓冲电路33包括依次串联的奇数个第二反相器F2，接近信号处理电路的第二反向器F2的输入端接入第二控制信号A(N)，远离信号处理电路32的第二反相器F2输出端输出本级扫描驱动信号G(N)。

[95] 结合图2和图3，当产生高电位的第三时钟控制信号CK3时，第一控制信号Q(N)也处在高电位，信号处理电路32中第一N型开关管TN1、第四N型开关管TN4、第二N型开关管TN2、第三N型开关管TN3全部打开，则输出的第二控制信号A(N)为低电平信号。

[96] 在本发明实施例中，通过在信号处理电路32中将原先的与非门拆分成两个，并将这两个与非门交叉连接，使得接近VGL的晶体管与靠近第二控制信号A(N)输出点的晶体管(等效)所受的压力程度相同，有效提高电路设计的均匀性以及电路工作的稳定性。

[97] 参阅图4，本发明栅极驱动电路第二实施例还可以和第一实施例相结合以形成本发明栅极驱动电路第三实施例，具体结构以及电路工作原理在上述实施例中

已经有了详尽的描述，在此不做赘述。

[98] 参阅图5，本发明还提供了一种液晶显示器一实施例的结构示意图，该液晶显示器包括显示面板701及背光702，显示面板701中包括多个级联设置的上述栅极驱动电路，其具体实施方式类似，这里不再赘述。

[99] 此外，本发明实施例中的栅极驱动电路不仅仅局限应用于液晶显示器，本领域技术人员可以知道，还可以应用于OLED显示面板等领域，以及应用于手机、显示器、电视的栅极驱动领域。

[100] 以上所述仅为本发明的实施方式，并非因此限制本发明的专利范围，凡是利用本发明说明书及附图内容所作的等效结构或等效流程变换，或直接或间接运用在其他相关的技术领域，均同理包括在本发明的专利保护范围内。

权利要求书

[权利要求 1] 一种栅极驱动电路，其特征在于，包括：输入与锁存电路、电性连接所述输入与锁存电路的信号处理电路以及电性连接所述信号处理电路的输出缓冲电路；

所述输入与锁存电路根据上级扫描驱动信号、第一时钟信号以及与所述第一时钟信号反相的第二时钟信号输出第一控制信号，所述信号处理电路根据所述第一控制信号以及第三时钟信号输出第二控制信号，所述输出缓冲电路根据所述第二控制信号输出本级扫描驱动信号；

其中，所述输入与锁存电路或所述信号处理电路包括并联设置的两个开关组件，其中每一所述开关组件分别包括串联设置的两个开关管，所述两个开关组件的一开关组件的两个开关管的控制端与所述两个开关组件的另一开关组件的两个开关管的控制端交叉连接。

其中，所述输入与锁存电路包括：第一时钟控制反相器、第二时钟控制反相器以及第一反相器，所述第一时钟控制反相器的正相控制端接入所述第一时钟信号，所述第一时钟控制反相器的反相控制端接入所述第二时钟信号，所述第一时钟控制反相器的输入端接入所述上级扫描驱动信号，所述第一时钟控制反相器的输出端连接所述第二时钟控制反相器的输出端，所述第二时钟控制反相器的正相控制端接入所述第二时钟信号，所述第二时钟控制反相器的反相控制端接入第一时钟信号，所述第一反相器的输入端连接所述第一时钟控制反相器的输出端和所述第二时钟控制反相器的输出端，所述第一反相器的输出端连接所述第二时钟控制反相器的输入端，并输出所述第一控制信号，其中所述第一时钟控制反相器和所述第二时钟控制反相器的至少一个内设置有连接于所述第一时钟控制反相器和所述第二时钟控制反相器的至少一个的输出端与参考电位之间的所述两个开关组件。

其中，所述输出缓冲电路包括依次串联的奇数个第二反相器，接近所述信号处理电路的第二反向器的输入端接入所述第二控制信号，所述远离信号处理电路的第二反相器输出端输出所述本级扫描驱动信号。

[权利要求 2] 一种栅极驱动电路，其特征在于，包括：输入与锁存电路、电性连接所述输入与锁存电路的信号处理电路以及电性连接所述信号处理电路的输出缓冲电路；

所述输入与锁存电路根据上级扫描驱动信号、第一时钟信号以及与所述第一时钟信号反相的第二时钟信号输出第一控制信号，所述信号处理电路根据所述第一控制信号以及第三时钟信号输出第二控制信号，所述输出缓冲电路根据所述第二控制信号输出本级扫描驱动信号；

其中，所述输入与锁存电路或所述信号处理电路包括并联设置的两个开关组件，其中每一所述开关组件分别包括串联设置的两个开关管，所述两个开关组件的一开关组件的两个开关管的控制端与所述两个开关组件的另一开关组件的两个开关管的控制端交叉连接。

[权利要求 3] 根据权利要求2所述的栅极驱动电路，其特征在于，所述输入与锁存电路包括：第一时钟控制反相器、第二时钟控制反相器以及第一反相器，所述第一时钟控制反相器的正相控制端接入所述第一时钟信号，所述第一时钟控制反相器的反相控制端接入所述第二时钟信号，所述第一时钟控制反相器的输入端接入所述上级扫描驱动信号，所述第一时钟控制反相器的输出端连接所述第二时钟控制反相器的输出端，所述第二时钟控制反相器的正相控制端接入所述第二时钟信号，所述第二时钟控制反相器的反相控制端接入第一时钟信号，所述第一反相器的输入端连接所述第一时钟控制反相器的输出端和所述第二时钟控制反相器的输出端，所述第一反相器的输出端连接所述第二时钟控制反相器的输入端，并输

出所述第一控制信号，其中所述第一时钟控制反相器和所述第二时钟控制反相器的至少一个内设置有连接于所述第一时钟控制反相器和所述第二时钟控制反相器的至少一个的输出端与参考电位之间的所述两个开关组件。

[权利要求 4] 根据权利要求3所述的栅极驱动电路，其特征在于，

所述第一时钟控制反相器包括第一P型开关管、第二P型开关管、第三P型开关管、第四P型开关管、第一N型开关管、第二N型开关管、第三N型开关管以及第四N型开关管；

所述第一P型开关管控制端与所述第四P型开关管的控制端相连接，并接入所述第二时钟信号，所述第二P型开关管的控制端和所述第四P型开关管的控制端相连接，并接入所述上级扫描驱动信号，所述第一P型开关管的第一传输端和所述第三P型开关管的第一传输端接入高参考电位，所述第二P型开关管的第一传输端与所述第一P型开关管的第二传输端相连接，所述第四P型开关管的第一传输端和所述第三P型开关管的第二传输端相连接，所述第二P型开关管的第二传输端和所述第四P型开关管的第二传输端连接所述第一时钟控制反相器的输出端；

所述第一N型开关管的控制端与所述第四N型开关管的控制端相连接，并接入所述上级扫描驱动信号，所述第二N型开关管和所述第三N型开关管的控制端相连接，并接入所述第一时钟信号，所述第二N型开关管的第一传输端和所述第四N型开关管的第一传输端接入低参考电位，所述第一N型开关管的第一传输端与所述第二N型开关管的第二传输端相连接，所述第三N型开关管的第一传输端与所述第四N型开关管的第二传输端相连接，所述第一N型开关管的第二传输端和所述第四N型开关管的第二传输端连接所述第一时钟控制反相器的输出端。

[权利要求 5] 根据权利要求3所述的栅极驱动电路，其特征在于，

所述第二时钟控制反相器包括第五P型开关管、第六P型开关管、

七P型开关管、第八P型开关管、第五N型开关管、第六N型开关管，第七N型开关管、第八N型开关管；

所述第五P型开关管的控制端与和第八P型开关管的控制端相连接，并接入所述第一控制信号，所述第六P型开关管的控制端与第七P型开关管的控制端相连接，并接入所述第一时钟信号，其中所述第五P型开关管的第一传输端和所述第七P型开关管的第一传输端接入高参考点位，所述第五P型开关管的第二传输端与所述第六P型开关管的第一传输端相连接，所述第八P型开关管的第一传输端与所述第七P型开关管的第二传输端相连接，所述第八P型开关管的第二传输端和所述第六P型开关管的第二传输端连接所述第二时钟控制反相器的输出端；

所述第五N型开关管的控制端与第八N型开关管的控制端相连接，并接入所述第二时钟信号，所述第六N型开关管的控制端与第七N型开关管的控制端相连接，并接入所述第一控制信号，所述第六N型开关管的第一传输端和所述第八N型开关管的第一传输端接入低参考电位，所述第五N型开关管的第一传输端与所述第六N型开关管的第二传输端相连接，所述第八N型开关管第二传输端与所述第七N型开关管的第一传输端相连接，所述第五N型开关管第二传输端和所述第七N型开关管的第二传输端连接所述第二时钟控制反相器的输出端。

[权利要求 6] 根据权利要求3所述的栅极驱动电路，其特征在于，

所述信号处理电路为一与非门，所述与非门电路的第一输入端接入所述第一控制信号，所述与非门电路的第二输入端接入所述第三时钟信号，所述与非门电路的输出端输出所述第二控制信号，所述与非门电路包括设置于所述与非门电路的输出端与参考电位之间的所述两个开关组件。

[权利要求 7] 根据权利要求6所述的栅极驱动电路，其特征在于，

所述信号处理电路包括第九P型开关管、第十P型开关管、第九N

型开关管、第十N型开关管、第十一N型开关管、第十二N型开关管；

所述第九P型开关管的控制端接入所述第一控制信号，所述第十P型开关管的控制端接入所述第三时钟信号，所述第九P型开关管的第一传输端和所述第十P型开关管的第一传输端端接入高参考电位，所述第九P型开关管的第二传输和所述第十P型开关管的第二传输端与所述与非门的输出端相连接；

所述第九N型开关管的控制端和第十二N型开关管的控制端相连接，并接入所述第一控制信号，所述第十N型开关管的控制端和第十一N型开关管的控制端相连接，并接入所述第三时钟信号，所述第十N型开关管的第一输入端和所述第十二N型开关管的第一输入端接入低参考电位，所述第九N型开关管的第一传输端与所述第十N型开关管的第二传输端相连接，所述第十一N型开关管的第一传输端连接于所述第十二N型开关管的第二传输端，所述第九N型开关管的第二输出端与所述第十一N型开关管的第二输出端连接所述与非门的输出端。

[权利要求 8] 根据权利要求2所述的栅极驱动电路，其特征在于，

所述信号处理电路为一与非门，所述与非门电路的第一输入端接入所述第一控制信号，所述与非门电路的第二输入端接入所述第三时钟信号，所述与非门电路的输出端输出所述第二控制信号，所述与非门电路包括设置于所述与非门电路的输出端与参考电位之间的所述两个开关组件。

[权利要求 9] 根据权利要求8所述的栅极驱动电路，其特征在于，

所述信号处理电路包括第一P型开关管、第二P型开关管、第一N型开关管、第二N型开关管、第三N型开关管、第四N型开关管；

所述第一P型开关管的控制端接入所述第一控制信号，所述第二P型开关管的控制端接入所述第三时钟信号，所述第一P型开关管的第一传输端和所述第二P型开关管的第一传输端端接入高参考电位

，所述第一P型开关管的第二传输和所述第二P型开关管的第二传输端与所述与非门的输出端相连接；

所述第一N型开关管的控制端和第四N型开关管的控制端相连接，并接入所述第一控制信号，所述第二N型开关管的控制端和第三N型开关管的控制端相连接，并接入所述第三时钟信号，所述第二N型开关管的第一输入端和所述第四N型开关管的第一输入端接入低参考电位，所述第一N型开关管的第一传输端与所述第二N型开关管的第二传输端相连接，所述第三N型开关管的第一传输端连接于所述第四N型开关管的第二传输端，所述第一N型开关管的第二输出端与所述第三N型开关管的第二输出端连接所述与非门的输出端。

[权利要求 10] 根据权利要求2所述的栅极驱动电路，其特征在于，

所述输出缓冲电路包括依次串联的奇数个第二反相器，接近所述信号处理电路的第二反向器的输入端接入所述第二控制信号，所述远离信号处理电路的第二反相器输出端输出所述本级扫描驱动信号。

[权利要求 11] 一种液晶显示器，其特征在于，所述液晶显示器包括多个级联设置的栅极驱动电路，所述栅极驱动电路包括：输入与锁存电路、电性连接所述输入与锁存电路的信号处理电路以及电性连接所述信号处理电路的输出缓冲电路；

所述输入与锁存电路根据上级扫描驱动信号、第一时钟信号以及与所述第一时钟信号反相的第二时钟信号输出第一控制信号，所述信号处理电路根据所述第一控制信号以及第三时钟信号输出第二控制信号，所述输出缓冲电路根据所述第二控制信号输出本级扫描驱动信号；

其中，所述输入与锁存电路或所述信号处理电路包括并联设置的两个开关组件，其中每一所述开关组件分别包括串联设置的两个开关管，所述两个开关组件的一开关组件的两个开关管的控制端

与所述两个开关组件的另一开关组件的两个开关管的控制端交叉连接。

[权利要求 12] 根据权利要求11所述的液晶显示器，其特征在于，所述输入与锁存电路包括：第一时钟控制反相器、第二时钟控制反相器以及第一反相器，所述第一时钟控制反相器的正相控制端接入所述第一时钟信号，所述第一时钟控制反相器的反相控制端接入所述第二时钟信号，所述第一时钟控制反相器的输入端接入所述上级扫描驱动信号，所述第一时钟控制反相器的输出端连接所述第二时钟控制反相器的输出端，所述第二时钟控制反相器的正相控制端接入所述第二时钟信号，所述第二时钟控制反相器的反相控制端接入第一时钟信号，所述第一反相器的输入端连接所述第一时钟控制反相器的输出端和所述第二时钟控制反相器的输出端，所述第一反相器的输出端连接所述第二时钟控制反相器的输入端，并输出所述第一控制信号，其中所述第一时钟控制反相器和所述第二时钟控制反相器的至少一个内设置有连接于所述第一时钟控制反相器和所述第二时钟控制反相器的至少一个的输出端与参考电位之间的所述两个开关组件。

[权利要求 13] 根据权利要求12所述的液晶显示器，其特征在于，

所述第一时钟控制反相器包括第一P型开关管、第二P型开关管、第三P型开关管、第四P型开关管、第一N型开关管、第二N型开关管、第三N型开关管以及第四N型开关管；

所述第一P型开关管控制端与所述第四P型开关管的控制端相连接，并接入所述第二时钟信号，所述第二P型开关管的控制端和所述第四P型开关管的控制端相连接，并接入所述上级扫描驱动信号，所述第一P型开关管的第一传输端和所述第三P型开关管的第一传输端接入高参考电位，所述第二P型开关管的第一传输端与所述第一P型开关管的第二传输端相连接，所述第四P型开关管的第一传输端和所述第三P型开关管的第二传输端相连接，所述第二P型开

关管的第二传输端和所述第四P型开关管的第二传输端连接所述第一时钟控制反相器的输出端；

所述第一N型开关管的控制端与所述第四N型开关管的控制端相连接，并接入所述上级扫描驱动信号，所述第二N型开关管和所述第三N型开关管的控制端相连接，并接入所述第一时钟信号，所述第二N型开关管的第一传输端和所述第四N型开关管的第一传输端接入低参考电位，所述第一N型开关管的第一传输端与所述第二N型开关管的第二传输端相连接，所述第三N型开关管的第一传输端与所述第四N型开关管的第二传输端相连接，所述第一N型开关管的第二传输端和所述第四N型开关管的第二传输端连接所述第一时钟控制反相器的输出端。

[权利要求 14] 根据权利要求12所述的液晶显示器，其特征在于，

所述第二时钟控制反相器包括第五P型开关管、第六P型开关管、七P型开关管、第八P型开关管、第五N型开关管、第六N型开关管，第七N型开关管、第八N型开关管；

所述第五P型开关管的控制端与和第八P型开关管的控制端相连接，并接入所述第一控制信号，所述第六P型开关管的控制端与第七P型开关管的控制端相连接，并接入所述第一时钟信号，其中所述第五P型开关管的第一传输端和所述第七P型开关管的第一传输端接入高参考点位，所述第五P型开关管的第二传输端与所述第六P型开关管的第一传输端相连接，所述第八P型开关管的第一传输端与所述第七P型开关管的第二传输端相连接，所述第八P型开关管的第二传输端和所述第六P型开关管的第二传输端连接所述第二时钟控制反相器的输出端；

所述第五N型开关管的控制端与第八N型开关管的控制端相连接，并接入所述第二时钟信号，所述第六N型开关管的控制端与第七N型开关管的控制端相连接，并接入所述第一控制信号，所述第六N型开关管的第一传输端和所述第八N型开关管的第一传输端接入低

参考电位，所述第五N型开关管的第一传输端与所述第六N型开关管的第二传输端相连接，所述第八N型开关管第二传输端与所述第七N型开关管的第一传输端相连接，所述第五N型开关管第二传输端和所述第七N型开关管的第二传输端连接所述第二时钟控制反相器的输出端。

[权利要求 15] 根据权利要求14所述的液晶显示器，其特征在于，

所述信号处理电路为一与非门，所述与非门电路的第一输入端接入所述第一控制信号，所述与非门电路的第二输入端接入所述第三时钟信号，所述与非门电路的输出端输出所述第二控制信号，所述与非门电路包括设置于所述与非门电路的输出端与参考电位之间的所述两个开关组件。

[权利要求 16] 根据权利要求15所述的液晶显示器，其特征在于，

所述信号处理电路包括第九P型开关管、第十P型开关管、第九N型开关管、第十N型开关管、第十一N型开关管、第十二N型开关管；

所述第九P型开关管的控制端接入所述第一控制信号，所述第十P型开关管的控制端接入所述第三时钟信号，所述第九P型开关管的第一传输端和所述第十P型开关管的第一传输端端接入高参考电位，所述第九P型开关管的第二传输和所述第十P型开关管的第二传输端与所述与非门的输出端相连接；

所述第九N型开关管的控制端和第十二N型开关管的控制端相连接，并接入所述第一控制信号，所述第十N型开关管的控制端和第十一N型开关管的控制端相连接，并接入所述第三时钟信号，所述第十N型开关管的第一输入端和所述第十二N型开关管的第一输入端接入低参考电位，所述第九N型开关管的第一传输端与所述第十N型开关管的第二传输端相连接，所述第十一N型开关管的第一传输端连接于所述第十二N型开关管的第二传输端，所述第九N型开关管的第二输出端与所述第十一N型开关管的第二输出端连接所述与

非门的输出端。

[权利要求 17] 根据权利要求11所述的栅极驱动电路，其特征在于，

所述信号处理电路为一与非门，所述与非门电路的第一输入端接入所述第一控制信号，所述与非门电路的第二输入端接入所述第三时钟信号，所述与非门电路的输出端输出所述第二控制信号，所述与非门电路包括设置于所述与非门电路的输出端与参考电位之间的所述两个开关组件。

[权利要求 18] 根据权利要求17所述的栅极驱动电路，其特征在于，

所述信号处理电路包括第一P型开关管、第二P型开关管、第一N型开关管、第二N型开关管、第三N型开关管、第四N型开关管；

所述第一P型开关管的控制端接入所述第一控制信号，所述第二P型开关管的控制端接入所述第三时钟信号，所述第一P型开关管的第一传输端和所述第二P型开关管的第一传输端端接入高参考电位，所述第一P型开关管的第二传输和所述第二P型开关管的第二传输端与所述与非门的输出端相连接；

所述第一N型开关管的控制端和第四N型开关管的控制端相连接，并接入所述第一控制信号，所述第二N型开关管的控制端和第三N型开关管的控制端相连接，并接入所述第三时钟信号，所述第二N型开关管的第一输入端和所述第四N型开关管的第一输入端接入低参考电位，所述第一N型开关管的第一传输端与所述第二N型开关管的第二传输端相连接，所述第三N型开关管的第一传输端连接于所述第四N型开关管的第二传输端，所述第一N型开关管的第二输出端与所述第三N型开关管的第二输出端连接所述与非门的输出端。

[权利要求 19] 根据权利要求11所述的栅极驱动电路，其特征在于，

所述输出缓冲电路包括依次串联的奇数个第二反相器，接近所述信号处理电路的第二反向器的输入端接入所述第二控制信号，所述远离信号处理电路的第二反相器输出端输出所述本级扫描驱动

信号。

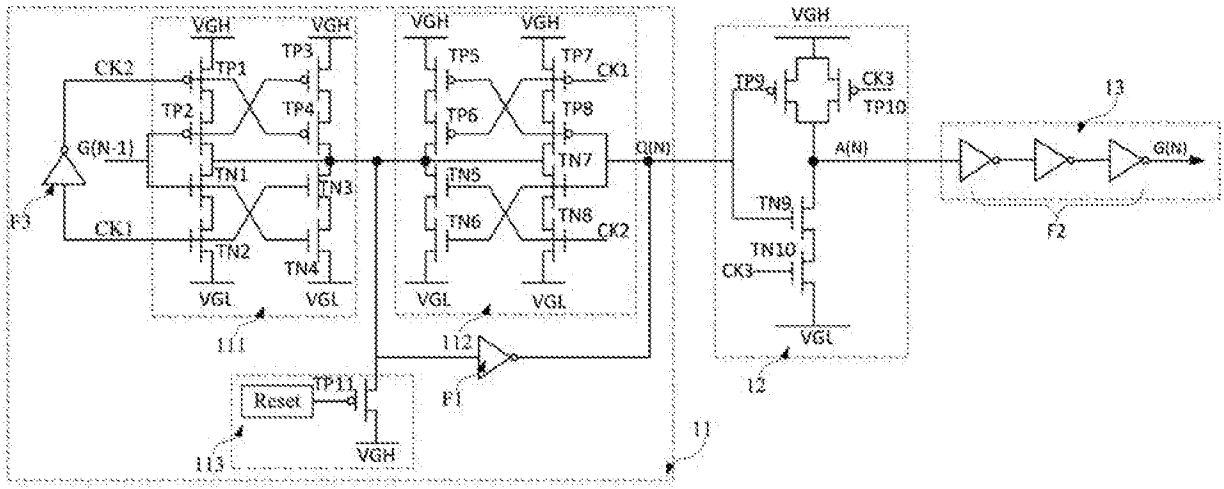

VGH
CK2
TP1
TP3
TP2
TP4
G(N-1)
TN1
TN3
F3
CK1
TN2
TN4
VGL
111
TP5
TP7
CK1
TP6
TP8
TN5
TN7
Q(N)
TN6
TN8
CK2
112
F1
Reset
TP11
113
11
TP9
CK3
TP10
A(N)
TN9
TN10
12
13
G(N)
F2

图 1

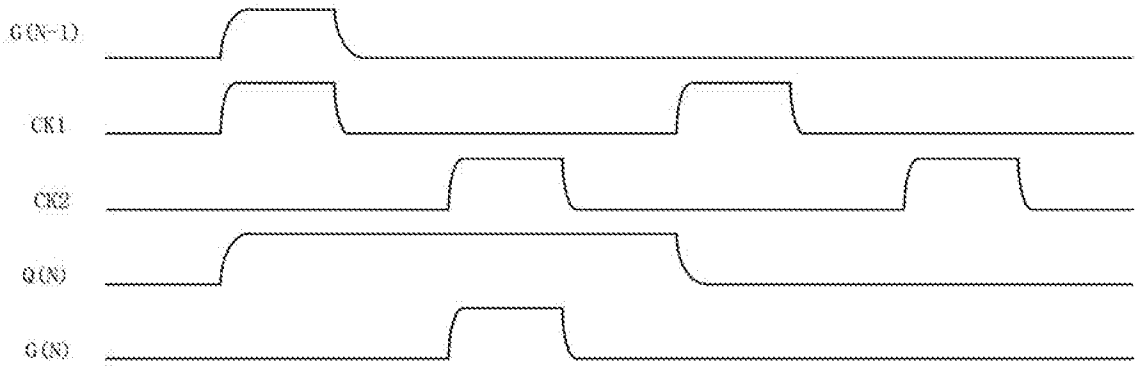

G(N-1)
CK1
CK2
Q(N)
G(N)

图 2

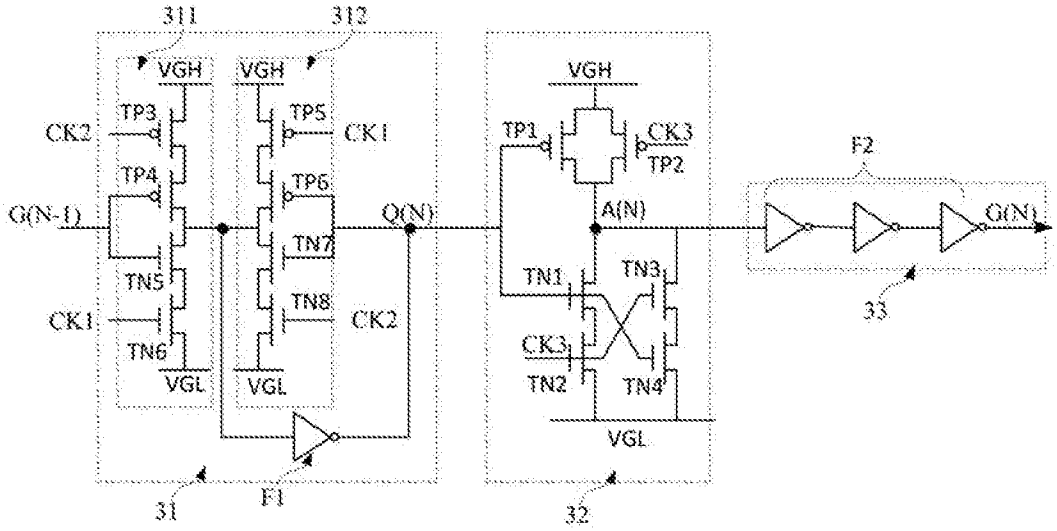

311
312
VGH
CK2
TP3
TP5
CK1
TP4
TP6
G(N-1)
Q(N)
TN7
TN5
TN8
CK1
CK2
TN6
VGL
F1
31
TP1
CK3
TP2
A(N)
TN1
TN3
CK3
TN2
TN4
32
F2
G(N)
33

图 3

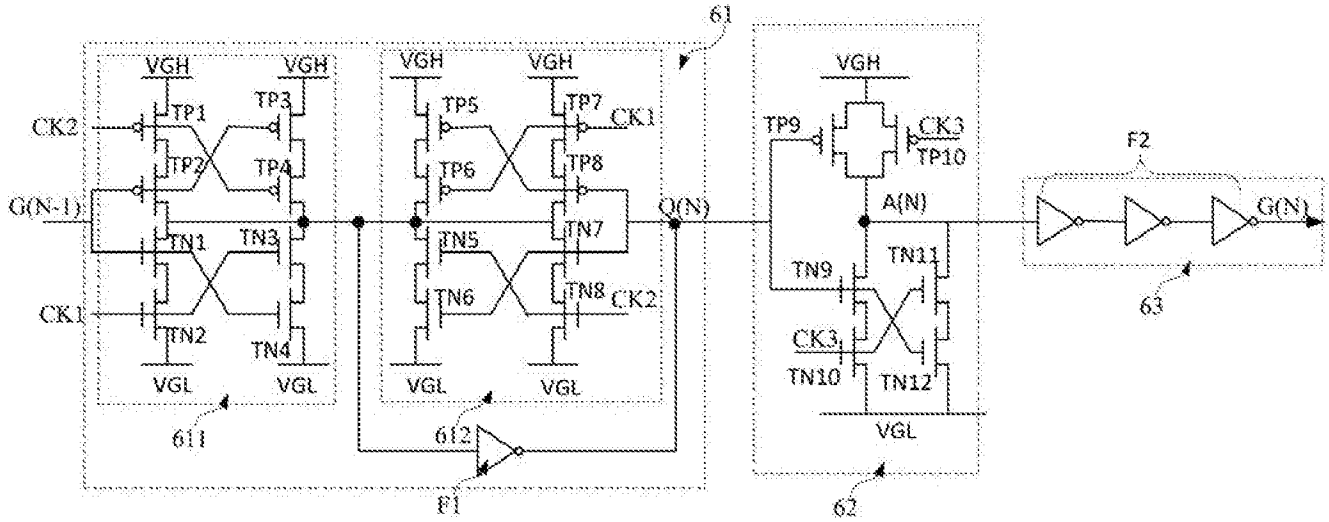

61
VGH
VGH
VGH
VGH
VGH
TP1
TP3
TP5
TP7
TP9
CK3
TP10
CK2
TP2
TP4
TP6
TP8
F2
G(N-1)
TN1
TN3
TN5
TN7
O(N)
A(N)
G(N)
TN9
TN11
CK1
TN2
TN4
TN6
TN8
CK2
CK3
TN10
TN12
63
VGL
VGL
VGL
VGL
VGL
611
612
F1
62

图 4

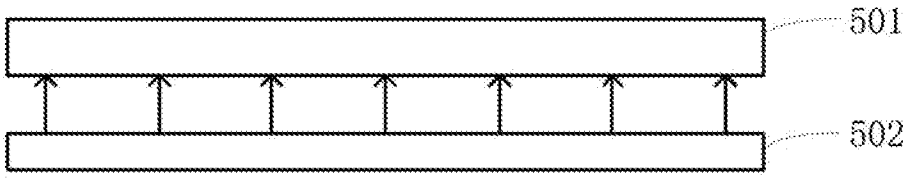

501
502

图 5

INTERNATIONAL SEARCH REPORT

International application No.
PCT/CN2016/074558

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/36 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G; G02F

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, CNKI, WPI, EPODOC: ZHAO, Mang; switch tube, switch module, thyristor, (gate electrode or gating) 2w drive, gate electrode; CHINA STAR OPTOELECTRONICS; aberrance, uneven, shift register, (gate or grid or scan???? or vertical) 2w driv???, transistor?, TFT?, control???? 1w (end or node?), cross????, intersect????, stability, latch 1w circuit?, stress, parallel, series, NAND

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
A	CN 104992653 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 21 October 2015 (21.10.2015), description, paragraphs [0061]-[0105], and figure 1	1-19
A	CN 1648972 A (SHARP KABUSHIKI KAISHA), 03 August 2005 (03.08.2005), the whole document	1-19
A	CN 105096900 A (SHENZHEN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD. et al.), 25 November 2015 (25.11.2015), the whole document	1-19
A	CN 105185338 A (WUHAN CHINA STAR OPTOELECTRONICS TECHNOLOGY CO., LTD.), 23 December 2015 (23.12.2015), the whole document	1-19
A	US 2008024344 A1 (CHUNGHWA PICTURE TUBES LTD.), 31 January 2008 (31.01.2008), the whole document	1-19

☐ Further documents are listed in the continuation of Box C. ☒ See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search	Date of mailing of the international search report
02 August 2016 (02.08.2016)	**26 August 2016 (26.08.2016)**
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer **PENG, Hailiang** Telephone No.: (86-10), **010-62414441**

Form PCT/ISA/210 (second sheet) (July 2009)

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.
PCT/CN2016/074558

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 104992653 A	21 October 2015	None	
CN 1648972 A	03 August 2005	KR 100845217 B1	10 July 2008
		US 7420402 B2	02 September 2008
		TW 200527818 A	16 August 2005
		TW I253233 B	11 April 2006
		EP 1560332 A2	03 August 2005
		CN 100514400 C	15 July 2009
		KR 20070080251 A	09 August 2007
		KR 100760696 B1	20 September 2007
		US 2005184784 A1	25 August 2005
		KR 20050077487 A	02 August 2005
		JP 3958322 B2	15 August 2007
		JP 2005244956 A	08 September 2005
CN 105096900 A	25 November 2015	None	
CN 105185338 A	23 December 2015	None	
US 2008024344 A1	31 January 2008	US 7324098 B1	29 January 2008

国际检索报告

国际申请号
PCT/CN2016/074558

A. 主题的分类

G09G 3/36(2006.01)i

按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

G09G; G02F

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称，和使用的检索词（如使用））

CNPAT,CNKI,WPI,EPODOC:赵莽,开关管,开关组件,晶体管,晶闸管,stress,压力,稳定性,(栅极 or 扫描 or 选通 or 门极 or 闸极) 2w 驱动,交叉,控制端,栅极,华星光电,并联,串联,变异,不均匀,移位寄存,(gate or grid or scan???? or vertical) 2w driv???, transistor?,TFT?,control???? 1w (end or node?), cross????, intersect????, stability,latch 1w circuit?,stress,parallel,series,NAND

C. 相关文件

类 型*	引用文件，必要时，指明相关段落	相关的权利要求
A	CN 104992653 A (武汉华星光电技术有限公司) 2015年 10月 21日 (2015-10-21) 说明书第61-105段、附图1	1-19
A	CN 1648972 A (夏普株式会社) 2005年 8月 3日 (2005-08-03) 全文	1-19
A	CN 105096900 A (深圳市华星光电技术有限公司 等) 2015年 11月 25日 (2015-11-25) 全文	1-19
A	CN 105185338 A (武汉华星光电技术有限公司) 2015年 12月 23日 (2015-12-23) 全文	1-19
A	US 2008024344 A1 (CHUNGHWA PICTURE TUBES LTD.) 2008年 1月 31日 (2008-01-31) 全文	1-19

☐ 其余文件在C栏的续页中列出。

☑ 见同族专利附件。

* 引用文件的具体类型：

"A" 认为不特别相关的表示了现有技术一般状态的文件

"E" 在国际申请日的当天或之后公布的在先申请或专利

"L" 可能对优先权要求构成怀疑的文件，或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件（如具体说明的）

"O" 涉及口头公开、使用、展览或其他方式公开的文件

"P" 公布日先于国际申请日但迟于所要求的优先权日的文件

"T" 在申请日或优先权日之后公布，与申请不相抵触，但为了理解发明之理论或原理的在后文件

"X" 特别相关的文件，单独考虑该文件，认定要求保护的发明不是新颖的或不具有创造性

"Y" 特别相关的文件，当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时，要求保护的发明不具有创造性

"&" 同族专利的文件

国际检索实际完成的日期	国际检索报告邮寄日期
2016年 8月 2日	2016年 8月 26日
ISA/CN的名称和邮寄地址 中华人民共和国国家知识产权局(ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088 传真号 (86-10)62019451	受权官员 彭海良 电话号码 (86-10)010-62414441

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2016/074558

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	104992653	A	2015年 10月 21日	无			
CN	1648972	A	2005年 8月 3日	KR	100845217	B1	2008年 7月 10日
				US	7420402	B2	2008年 9月 2日
				TW	200527818	A	2005年 8月 16日
				TW	I253233	B	2006年 4月 11日
				EP	1560332	A2	2005年 8月 3日
				CN	100514400	C	2009年 7月 15日
				KR	20070080251	A	2007年 8月 9日
				KR	100760696	B1	2007年 9月 20日
				US	2005184784	A1	2005年 8月 25日
				KR	20050077487	A	2005年 8月 2日
				JP	3958322	B2	2007年 8月 15日
				JP	2005244956	A	2005年 9月 8日
CN	105096900	A	2015年 11月 25日	无			
CN	105185338	A	2015年 12月 23日	无			
US	2008024344	A1	2008年 1月 31日	US	7324098	B1	2008年 1月 29日