

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2019年6月13日 (13.06.2019)

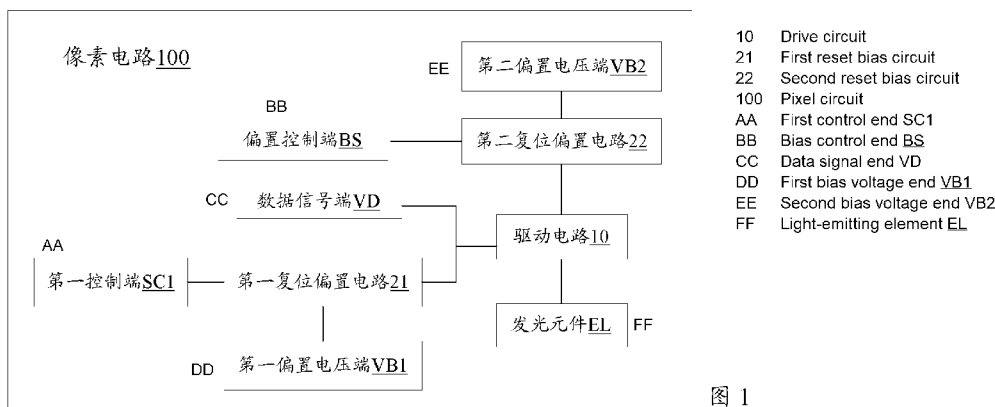


(10) 国际公布号
WO 2019/109673 A1

- (51) 国际专利分类号:
G09G 3/3208 (2016.01) G09G 3/3266 (2016.01)
G09G 3/3233 (2016.01) G09G 3/3291 (2016.01)
- (21) 国际申请号: PCT/CN2018/102261
- (22) 国际申请日: 2018年8月24日 (24.08.2018)
- (25) 申请语言: 中文
- (26) 公布语言: 中文
- (30) 优先权:
201711278159.X 2017年12月6日 (06.12.2017) CN
- (71) 申请人: 京东方科技集团股份有限公司
(BOE TECHNOLOGY GROUP CO., LTD.) [CN/CN];
中国北京市朝阳区酒仙桥路10号,
Beijing 100015 (CN)。
- (72) 发明人: 董甜(DONG, Tian); 中国北京市北京经济技术
开发区地泽路9号, Beijing 100176 (CN)。
- (74) 代理人: 北京市柳沈律师事务所(LIU, SHEN &
ASSOCIATES); 中国北京市海淀区彩和坊路10
号1号楼10层, Beijing 100080 (CN)。
- (81) 指定国(除另有指明, 要求每一种可提供的国家
保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG,
BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU,
CZ, DE, DJ, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB,
GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IR, IS,
JO, JP, KE, KG, KH, KN, KP, KR, KW, KZ, LA, LC, LK,
LR, LS, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX,
MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL,
PT, QA, RO, RS, RU, RW, SA, SC, SD, SE, SG, SK, SL,
SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG,
US, UZ, VC, VN, ZA, ZM, ZW。
- (84) 指定国(除另有指明, 要求每一种可提供的地区
保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ,
NA, RW, SD, SL, ST, SZ, TZ, UG, ZM, ZW), 欧亚 (AM,
AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG,
CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU,

(54) Title: PIXEL CIRCUIT AND DRIVING METHOD THEREFOR, DISPLAY PANEL AND DISPLAY DEVICE

(54) 发明名称: 像素电路及其驱动方法、显示面板和显示设备



(57) Abstract: Provided are a pixel circuit and a driving method therefor, a display panel and a display device. The pixel circuit (100) comprises: a light-emitting element (EL), a drive circuit (10), a first reset bias circuit (21) and a second reset bias circuit (22). A control end of the drive circuit (10) is electrically connected to a data signal end (VD) and a second end of the first reset bias circuit (21), a first end of the drive circuit (10) is electrically connected to a second end of the second reset bias circuit (22), and a second end of the drive circuit (10) is electrically connected to the light-emitting element (EL). A control end of the first reset bias circuit (21) is electrically connected to a first control end (SC1), and a first end of the first reset bias circuit (21) is electrically connected to a first bias voltage end (VB1). A control end of the second reset bias circuit (22) is electrically connected to a bias control end (BS), and a first end of the second reset bias circuit (22) is electrically connected to a second bias voltage end (VB2). The first reset bias circuit (21) and the second reset bias circuit (22) are configured to control, at a reset stage, the drive circuit (10) so that same is in a bias state.

IE, IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT,
RO, RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, KM, ML, MR, NE, SN, TD, TG)。

本国际公布:

- 包括国际检索报告(条约第21条(3))。

(57) 摘要: 一种像素电路及其驱动方法、显示面板和显示设备。像素电路(100)包括: 发光元件(EL)、驱动电路(10)、第一复位偏置电路(21)和第二复位偏置电路(22)。驱动电路(10)的控制端与数据信号端(VD)和第一复位偏置电路(21)的第二端电连接, 驱动电路(10)的第一端与第二复位偏置电路(22)的第二端电连接, 驱动电路(10)的第二端与发光元件(EL)电连接; 第一复位偏置电路(21)的控制端与第一控制端(SC1)电连接, 第一复位偏置电路(21)的第一端与第一偏置电压端(VB1)电连接; 第二复位偏置电路(22)的控制端与偏置控制端(BS)电连接, 第二复位偏置电路(22)的第一端与第二偏置电压端(VB2)电连接; 第一复位偏置电路(21)和第二复位偏置电路(22)被配置为在复位阶段控制驱动电路(10)处于偏置状态。

像素电路及其驱动方法、显示面板和显示设备

5 本申请要求于 2017 年 12 月 06 日递交的中国专利申请第 201711278159.X 号的优先权，在此全文引用上述中国专利申请公开的内容以作为本申请的一部分。

技术领域

本公开的实施例涉及一种像素电路及其驱动方法、显示面板和显示设备。

10 背景技术

有机发光二极管（Organic Light Emitting Diode, OLED）显示面板具有自发光、对比度高、能耗低、视角广、响应速度快、可用于挠曲性面板、使用温度范围广、制造简单等特点，具有广阔的发展前景。作为新一代的显示方式，OLED 显示面板可以被广泛应用于手机、显示器、笔记本电脑、数码相机、仪器仪表等具有显示功能的装置。

发明内容

本公开至少一实施例提供一种像素电路，包括：发光元件、驱动电路、第一复位偏置电路和第二复位偏置电路。所述驱动电路的控制端与数据信号端以及所述第一复位偏置电路的第二端电连接，所述驱动电路的第一端与所述第二复位偏置电路的第二端电连接，所述驱动电路的第二端与所述发光元件电连接；所述第一复位偏置电路的控制端与第一控制端电连接，所述第一复位偏置电路的第一端与第一偏置电压端电连接；所述第二复位偏置电路的控制端与偏置控制端电连接，所述第二复位偏置电路的第一端与第二偏置电压端电连接；

25 所述第一复位偏置电路和所述第二复位偏置电路被配置为在复位阶段对所述驱动电路进行复位并控制所述驱动电路处于偏置状态。

例如，在本公开一实施例提供的像素电路中，所述驱动电路包括驱动晶体管，所述第一复位偏置电路包括第一偏置晶体管，所述第二复位偏置电路包括第二偏置晶体管，所述驱动电路的控制端为所述驱动晶体管的栅极，所述驱动电路的第一端为所述驱动晶体管的第一极，所述驱动电路的第二端为所述驱动晶体管的第二极，所述第一复位偏置电路的第一端为所述第一偏置晶体管的第

一极，所述第一复位偏置电路的第二端为所述第一偏置晶体管的第二极，所述第一复位偏置电路的控制端为所述第一偏置晶体管的栅极，所述第二复位偏置电路的第一端为所述第二偏置晶体管的第一极，所述第二复位偏置电路的第二端为所述第二偏置晶体管的第二极，所述第二复位偏置电路的控制端为所述第二偏置晶体管的栅极。

例如，本公开一实施例提供的像素电路还包括：数据写入电路和存储电路。所述数据写入电路被配置为在数据写入阶段向所述驱动晶体管的栅极写入数据信号；所述存储电路被配置为存储所述数据信号并将其保持在所述驱动晶体管的栅极。

10 例如，本公开一实施例提供的像素电路还包括阈值补偿电路。所述阈值补偿电路被配置为在所述数据写入阶段向所述驱动晶体管的栅极写入阈值补偿信号。

例如，在本公开一实施例提供的像素电路中，所述阈值补偿电路包括阈值补偿晶体管，所述数据写入电路包括数据写入晶体管，所述存储电路包括存储电容，所述阈值补偿晶体管的第一极与所述数据写入晶体管的第二极电连接，所述阈值补偿晶体管的第二极和栅极彼此电连接，并电连接至所述驱动晶体管的栅极；所述数据写入晶体管的第一极与所述数据信号端电连接，所述数据写入晶体管的栅极与第二控制端电连接；所述存储电容的第一端电连接至所述驱动晶体管的第一极，所述存储电容的第二端电连接至所述驱动晶体管的栅极。

20 例如，本公开一实施例提供的像素电路还包括压降补偿电路。所述压降补偿电路被配置在所述数据写入阶段向所述驱动晶体管的第一极写入参考电压信号。

例如，在本公开一实施例提供的像素电路中，所述压降补偿电路包括压降补偿晶体管，所述存储电路包括存储电容，所述压降补偿晶体管的第一极与参考电源端电连接，所述压降补偿晶体管的第二极电连接至所述驱动晶体管的第一极，所述压降补偿晶体管的栅极与第二控制端电连接；所述存储电容的第一端电连接至所述驱动晶体管的第一极，所述存储电容的第二端电连接至所述驱动晶体管的栅极。

30 例如，本公开一实施例提供的像素电路还包括发光控制电路。所述发光控制电路被配置为控制所述驱动电路驱动所述发光元件发光。

例如，在本公开一实施例提供的像素电路中，所述发光控制电路包括第一

控制晶体管和第一控制晶体管，所述第一控制晶体管的第一极电连接至所述驱动晶体管的第二极，所述第一控制晶体管的第二极电连接至所述发光元件，所述第一控制晶体管的栅极与第三控制端电连接；所述第二控制晶体管的第一极电连接至第一电源电压端，所述第二控制晶体管的第二极电连接至所述驱动晶体管的第二极，所述第二控制晶体管的栅极被配置接收发光控制信号。

例如，在本公开一实施例提供的像素电路中，所述第二控制晶体管的栅极电连接至所述第三控制端以接收所述发光控制信号，所述第二偏置晶体管的栅极与所述第一控制端电连接，所述第二偏置晶体管的第一极与复位电压端电连接，所述复位电压端为所述第二偏置电压端，所述第一控制端为所述偏置控制端。

例如，在本公开一实施例提供的像素电路中，所述第一偏置电压端输出的信号与所述第二偏置电压端输出的信号相同。

例如，在本公开一实施例提供的像素电路中，所述第二偏置晶体管复用为所述第二控制晶体管。

例如，在本公开一实施例提供的像素电路中，所述第二偏置晶体管为N型晶体管，所述第二偏置晶体管的栅极与所述第二控制端电连接，所述第一电源电压端为所述第二偏置电压端，所述第二控制端为所述偏置控制端。

本公开至少一实施例还提供一种显示面板，包括根据上述任一项所述的像素电路。

本公开至少一实施例还提供一种显示设备，包括上述任一项所述的显示面板。

本公开至少一实施例还提供一种上述任一项所述的像素电路的驱动方法，包括：在所述复位阶段，对所述驱动电路进行复位并控制所述驱动电路处于偏置状态；在数据写入阶段，向所述驱动电路写入数据信号；在发光阶段，驱动所述发光元件发光。

例如，在本公开一实施例提供的驱动方法中，所述驱动电路包括驱动晶体管，所述第一复位偏置电路包括第一偏置晶体管，所述第二复位偏置电路包括第二偏置晶体管；对所述驱动电路进行复位并控制所述驱动电路处于偏置状态包括：通过所述第一偏置晶体管向所述驱动晶体管的栅极写入第一偏置电压信号；以及通过所述第二偏置晶体管向所述驱动晶体管的第一极写入第二偏置电压信号。所述第一偏置电压信号和所述第二偏置电压信号之差控制所述驱动晶

晶体管处于偏置状态。

例如，在本公开一实施例提供的驱动方法中，所述第一偏置电压信号和所述第二偏置电压信号相同。

例如，在本公开一实施例提供的驱动方法中，所述第二偏置晶体管的第一极电连接至第一电源电压端以接收第一电源电压信号，所述

5 第一电源电压信号为所述第二偏置电压信号。

例如，本公开一实施例提供的驱动方法还包括：在所述数据写入阶段，通过阈值补偿电路向所述驱动晶体管的栅极写入阈值补偿信号。

例如，本公开一实施例提供的驱动方法还包括：在所述数据写入阶段，通

10 过压降补偿电路向所述驱动晶体管的第一极写入参考电压信号。

附图说明

为了更清楚地说明本公开实施例的技术方案，下面将对实施例的附图作简单地介绍，显而易见地，下面描述中的附图仅仅涉及本公开的一些实施例，而

15 非对本公开的限制。

图 1 为本公开一实施例提供的一种像素电路的示意性框图；
图 2 为本公开一实施例提供的一种像素电路的结构示意图；
图 3 为本公开另一实施例提供的一种像素电路的结构示意图；
图 4 为本公开一实施例提供的一种显示面板的示意性框图；
图 5 为本公开一实施例提供的一种显示设备的示意性框图；
20 图 6 为本公开一实施例提供的一种像素电路的驱动方法的示意性流程图；
图 7 为本公开一实施例提供的一种像素电路的示意性时序图；
图 8A 为图 2 所示的像素电路的复位阶段的示意图；
图 8B 为图 2 所示的像素电路的数据写入阶段的示意图；
图 8C 为图 2 所示的像素电路的发光阶段的示意图；
25 图 9A 为图 3 所示的像素电路的复位阶段的示意图；
图 9B 为图 3 所示的像素电路的数据写入阶段的示意图；以及
图 9C 为图 3 所示的像素电路的发光阶段的示意图。

具体实施方式

为了使得本公开实施例的目的、技术方案和优点更加清楚，下面将结合本

公开实施例的附图，对本公开实施例的技术方案进行清楚、完整地描述。显然，所描述的实施例是本公开的一部分实施例，而不是全部的实施例。基于所描述的本公开的实施例，本领域普通技术人员在无需创造性劳动的前提下所获得的所有其他实施例，都属于本公开保护的范围。

5 除非另外定义，本公开使用的技术术语或者科学术语应当为本公开所属领域内具有一般技能的人士所理解的通常意义。本公开中使用的“第一”、“第二”以及类似的词语并不表示任何顺序、数量或者重要性，而只是用来区分不同的组成部分。“包括”或者“包含”等类似的词语意指出现该词前面的元件或者物件涵盖出现在该词后面列举的元件或者物件及其等同，而不排除其他元件或者物件。“连接”或者“相连”等类似的词语并非限于物理的或者机械的连接，10 而是可以包括电性的连接，不管是直接的还是间接的。“上”、“下”、“左”、“右”等仅用于表示相对位置关系，当被描述对象的绝对位置改变后，则该相对位置关系也可能相应地改变。

15 为了保持本公开实施例的以下说明清楚且简明，本公开省略了已知功能和已知部件的详细说明。

随着有机发光二极管（Organic Light Emitting Diode, OLED）显示面板的尺寸增大，OLED 显示面板的电源电压降（IR drop）的问题越来越严重，从而导致 OLED 显示面板的显示亮度不均匀，影响 OLED 显示面板的显示效果。

20 OLED 显示面板上的每个像素点由多个薄膜晶体管（TFT）驱动发光，采用 TFT 驱动技术可以提升显示速度、对比度和亮度、提高分辨率。但是，TFT 存在磁滞效应现象，TFT 的磁滞效应是在一定的偏压下，TFT 电特性表现出来的一种不确定性，即流过 TFT 的电流不仅与当前的偏压有关，还与上一时刻 TFT 所处的状态。TFT 的磁滞效应与 TFT 的栅介质、半导体材料以及两者之间的界面态陷阱有关，TFT 的磁滞效应会造成短期残像，前一帧的图像往往会25 保留在最后一帧的图像中，从而影响 OLED 显示面板的显示品质，甚至导致显示错误。

本公开至少一实施例提供一种像素电路及其驱动方法、显示面板和显示设备，其通过在复位阶段使驱动电路处于偏置状态，从而在显示画面时，驱动电路均由偏置状态改变为相应的显示状态，后一帧显示画面的数据电压不受前一30 帧显示画面的数据电压的影响，从而改善因磁滞效应产生的短期残像问题，提高显示面板的显示质量。另外，本公开实施例提供的像素电路的驱动方法还可

以进行阈值补偿操作和压降补偿操作，从而补偿驱动晶体管的阈值电压漂移和显示面板的电源电压降（IR drop），从而提高显示均匀性，有效改善显示面板的显示效果。

下面对本公开的一些实施例进行详细说明，但是本公开并不限于这些具体的
5 的实施例。

图 1 为本公开一实施例提供的一种像素电路的示意性框图。图 2 为本公开一实施例提供的一种像素电路的结构示意图。

例如，如图 1 所示，本公开实施例提供的像素电路 100 可以包括发光元件 EL、驱动电路 10、第一复位偏置电路 21 和第二复位偏置电路 22。驱动电路
10 的控制端与数据信号端 VD 以及第一复位偏置电路 21 的第二端分别电连接，驱动电路 10 的第一端与第二复位偏置电路 22 的第二端电连接，驱动电路 10 的第二端与发光元件 EL 电连接。第一复位偏置电路 21 的控制端与第一控制端 SC1 电连接，第一复位偏置电路 21 的第一端与第一偏置电压端 VB1 电连接；
15 第二复位偏置电路 22 的控制端与偏置控制端 BS 电连接，第二复位偏置电路 22 的第一端与第二偏置电压端 VB2 电连接；第一复位偏置电路 21 和第二复位偏置电路 22 被配置为在复位阶段对驱动电路 10 进行复位并控制驱动电路 10 处于偏置状态。

例如，本公开实施例提供的像素电路 100 可应用于显示面板，例如有源矩阵有机发光二极管（AMOLED）显示面板等。

20 例如，发光元件 EL 被配置为在施加电压或电流的情况下发光。发光元件 EL 可以为有机发光元件，有机发光元件例如可以为有机发光二极管，但本公开的实施例不限于此。发光元件 EL 例如可以采用不同的发光材料，以发出不同颜色的光，从而进行彩色发光。

例如，驱动电路 10、第一复位偏置电路 21 和第二复位偏置电路 22 的具体
25 结构可以根据实际应用需求进行设定，本公开的实施例对此不作具体限定。例如，本公开实施例提供的一种像素电路 100 可以实现为如图 2 所示的电路结构。

例如，如图 2 所示，在一个实施例中，驱动电路 10 包括驱动晶体管 T1。驱动电路 10 的控制端 a3 为驱动晶体管 T1 的栅极，驱动电路 10 的第一端 a1 为驱动晶体管 T1 的第一极，驱动电路 10 的第二端 a2 为驱动晶体管 T1 的第二极。“驱动电路 10 处于偏置状态”可以表示驱动晶体管 T1 处于偏置状态，也
30 就是说，第一复位偏置电路 21 和第二复位偏置电路 22 可以在复位阶段控制驱

动晶体管 T1 处于偏置状态。

例如,驱动晶体管 T1 为 P 型晶体管。驱动晶体管 T1 的第一极可以为源极,驱动晶体管 T1 的第二极可以为漏极。在本公开的描述中,“驱动晶体管 T1 处于偏置状态”可以表示驱动晶体管 T1 的栅极和源极之间的电压差不大于最大灰阶 (即 255 灰阶) 对应的栅极和源极之间的电压差 V_{gs255} , 即驱动晶体管 T1 的 V_{gs} (即驱动晶体管 T1 的栅极和源极之间的电压差) 小于等于 V_{gs255} 。

“驱动晶体管 T1 处于偏置状态”还可以表示驱动晶体管 T1 的栅极和源极之间的电压差不小于驱动晶体管 T1 的阈值电压 V_{th1} , 即驱动晶体管 T1 的 V_{gs} 大于等于 V_{th1} 。

10 例如,第一复位偏置电路 21 被配置为在复位阶段向驱动晶体管 T1 的栅极写入第一偏置电压信号; 第二复位偏置电路 22 被配置为在复位阶段向驱动晶体管 T1 的第一极写入第二偏置电压信号。第一偏置电压信号和第二偏置电压信号之差控制驱动晶体管 T1 处于偏置状态。在复位阶段,第一偏置电压信号和第二偏置电压信号分别为驱动晶体管 T1 的栅极电压和源极电压,从而第一偏置电压信号和第二偏置电压信号之间的电压差 (例如,该电压差表示第一偏置电压信号减去第二偏置电压信号得到的差值) 大于等于 V_{th1} ; 或者,小于等于 V_{gs255} 。

例如,如图 2 所示,第一复位偏置电路 21 包括第一偏置晶体管 T4。第一复位偏置电路 21 的第一端 b1 为第一偏置晶体管 T4 的第一极,第一复位偏置电路 21 的第二端 b2 为第一偏置晶体管 T4 的第二极,第一复位偏置电路 21 的控制端 b3 为第一偏置晶体管 T4 的栅极。第二复位偏置电路 22 包括第二偏置晶体管 T8。第二复位偏置电路 22 的第一端 c1 为第二偏置晶体管 T8 的第一极,第二复位偏置电路 22 的第二端 c2 为第二偏置晶体管 T8 的第二极,第二复位偏置电路 22 的控制端 c3 为第二偏置晶体管 T8 的栅极。

25 例如,第一偏置电压端 VB1 被配置为输出第一偏置电压信号 V_{init1} , 第二偏置电压端 VB2 被配置为输出第二偏置电压信号 V_{init2} 。

例如,第一偏置晶体管 T4 的栅极与第一控制端 SC1 电连接以接收第一控制信号 S_1 , 第一偏置晶体管 T4 的第一极与第一偏置电压端 VB1 电连接以接收第一偏置电压信号 V_{init1} 。第一偏置晶体管 T4 的第二极与驱动晶体管 T1 的栅极电连接,以在第一偏置晶体管 T4 导通时向驱动晶体管 T1 的栅极传输第一偏置电压信号 V_{init1} 。

例如，如图 2 所示，第二偏置晶体管 T8 的栅极与第一控制端 SC1 电连接，第二偏置晶体管 T8 的第一极与复位电压端 VR 电连接，第二偏置晶体管 T8 的第二极与驱动晶体管 T1 的第一极电连接。第一控制端 SC1 即为偏置控制端 BS，复位电压端 VR 为第二偏置电压端 VB2。在复位阶段，第一控制端 SC1 可以输出第一控制信号 S_1 ，第一控制信号 S_1 为偏置控制信号。复位电压端 VR 可以输出第二偏置电压信号 V_{init2} ，第二偏置晶体管 T8 的第一极可以接收第二偏置电压信号 V_{init2} ，从而第二偏置电压信号 V_{init2} 可以在第二偏置晶体管 T8 导通时被传输至驱动晶体管 T1 的第一极。

例如，在图 2 所示的实施例中，第一偏置晶体管 T4 和第二偏置晶体管 T8 的类型相同。第一偏置晶体管 T4 和第二偏置晶体管 T8 例如均为 P 型晶体管，第一偏置晶体管 T4 的栅极和第二偏置晶体管 T8 的栅极均电连接到第一控制端 SC1 且由相同的第一控制信号 S_1 控制，从而可以节省信号控制端的数量。第一偏置晶体管 T4 和第二偏置晶体管 T8 在第一控制信号 S_1 的控制下同时工作。需要说明的是，第一偏置晶体管 T4 的栅极和第二偏置晶体管 T8 的栅极也可以分别电连接到不同的信号控制端，以接收不同的控制信号，只要保证第一偏置晶体管 T4 的栅极和第二偏置晶体管 T8 能在复位阶段同时工作即可。

需要说明的是，第一偏置晶体管 T4 和第二偏置晶体管 T8 的类型也可以不相同，本公开对此不作限制。

例如，第一偏置电压信号 V_{init1} 与第二偏置电压信号 V_{init2} 可以相等，由此第一偏置晶体管 T4 的第一极和第二偏置晶体管 T8 的第一极可以均电连接到同一个偏置电压端（例如，第一偏置电压端 VB1 或第二偏置电压端 VB2），也就是说，像素电路 100 可以仅包括一个偏置电压端，从而节省偏置电压端的数量，节省生产成本。但不限于此，第一偏置电压信号 V_{init1} 与第二偏置电压信号 V_{init2} 可以不相等，只要第一偏置电压信号 V_{init1} 与第二偏置电压信号 V_{init2} 之差大于等于 V_{th1} ；或者，第一偏置电压信号 V_{init1} 与第二偏置电压信号 V_{init2} 之差小于等于 V_{gs255} 即可（即， $V_{init1}-V_{init2} \leq V_{gs255}$ ，或 $V_{init1}-V_{init2} \geq V_{th1}$ ）。本公开对此不作具体限制。

例如，如图 2 所示，像素电路 100 还可以包括数据写入电路 11 和存储电路 12。数据写入电路 11 被配置为在数据写入阶段向驱动晶体管 T1 的栅极写入数据信号；存储电路 12 被配置为存储数据信号并将其保持在驱动晶体管 T1 的栅极。

例如，存储电路 12 包括存储电容 Cst。存储电容 Cst 的第一端电连接至驱动晶体管 T1 的第一极，存储电容 Cst 的第二端电连接至驱动晶体管 T1 的栅极。也就是说，第一偏置晶体管 T4 的第二极与存储电容 Cst 的第二端电连接，第二偏置晶体管 T8 的第二极与存储电容 Cst 的第一端电连接。从而，在复位阶段，存储电容 Cst 的第一端可以存储第二偏置电压信号 V_{init2} 并将其保持在驱动晶体管 T1 的第一极，存储电容 Cst 的第二端可以存储第一偏置电压信号 V_{init1} 并将其保持在驱动晶体管 T1 的栅极。

例如，根据实际应用需求，像素电路 100 还可以具备电学补偿功能。电学补偿功能可以通过电压补偿、电流补偿或混合补偿来实现。

例如，如图 2 所示，像素电路 100 还可以包括阈值补偿电路 13。阈值补偿电路 13 被配置为在数据写入阶段向驱动晶体管 T1 的栅极写入阈值补偿信号，以补偿驱动晶体管 T1 的阈值电压 V_{th1} 漂移。从而，本公开实施例的像素电路 100 可以补偿驱动晶体管 T1 的阈值电压漂移，提高显示均匀性和显示效果。

例如，阈值补偿电路 13 可以包括阈值补偿晶体管 T3，数据写入电路 11 可以包括数据写入晶体管 T2。如图 2 所示，阈值补偿晶体管 T3 的第一极与数据写入晶体管 T2 的第二极电连接，阈值补偿晶体管 T3 的第二极和栅极彼此电连接，并电连接至驱动晶体管 T1 的栅极。数据写入晶体管 T2 的第一极与数据信号端 VD 电连接，数据写入晶体管 T2 的栅极与第二控制端 SC2 电连接。

例如，阈值补偿晶体管 T3 和驱动晶体管 T1 相同，也就是说，阈值补偿晶体管 T3 和驱动晶体管 T1 的类型、制备工艺等均相同，从而保证阈值补偿晶体管 T3 的阈值电压 V_{th2} 和驱动晶体管 T1 的阈值电压 V_{th1} 相同。阈值补偿晶体管 T3 例如也为 P 型晶体管。

例如，第一偏置电压信号 V_{init1} 需要小于阈值补偿晶体管 T3 的阈值电压 V_{th2} 和数据信号 V_{data} 之和。也就是说，第一偏置电压信号 V_{init1} 需要满足以下公式： $V_{init1} < V_{th2} + V_{data}$ 。由于阈值补偿晶体管 T3 的阈值电压 V_{th2} 和驱动晶体管 T1 的阈值电压 V_{th1} 相同，即， $V_{init1} < V_{th1} + V_{data}$ 。

例如，在数据写入阶段，第二控制端 SC2 可以向数据写入晶体管 T2 的栅极提供第二控制信号 S_2 ，以使数据写入晶体管 T2 导通。数据信号端 VD 可以向数据写入晶体管 T2 的第一极提供数据信号 V_{data} 。由于阈值补偿晶体管 T3 的第二极和栅极彼此电连接，阈值补偿晶体管 T3 导通。由此，数据信号端 VD 提供的数据信号 V_{data} 可以经由数据写入晶体管 T2 和阈值补偿晶体管 T3 对存

储电容 Cst 的第二端充电，当存储电容 Cst 的第二端的电压达到数据信号 V_{data} 和驱动晶体管 T1 的阈值电压 V_{th1} 时，阈值补偿晶体管 T3 截止，即充电结束，此时数据信号 V_{data} 和驱动晶体管 T1 的阈值电压 V_{th1} 可以被存储在存储电容 Cst 的第二端，且该存储的数据信号 V_{data} 和驱动晶体管 T1 的阈值电压 V_{th1} 可以控制驱动晶体管 T1 的导通程度，从而控制流过驱动晶体管 T1 的发光电流大小，该流过驱动晶体管 T1 的发光电流可以决定发光元件 EL 的发光的灰阶（即发光强度）。

例如，在图 2 所示的实施例中，阈值补偿电路 13 为内部补偿电路，但不限于此，阈值补偿电路 13 也可以为外部补偿电路，外部补偿电路例如可以包括感测电路部分以感测驱动晶体管 T1 的电学特性或发光元件 EL 的电学特性，具体构造可以参见常规设计，这里不再赘述。

例如，如图 2 所示，像素电路 100 还可以包括压降补偿电路 14。压降补偿电路 14 被配置在数据写入阶段向驱动晶体管 T1 的第一极写入参考电压信号 V_{ref} ，以补偿由于显示面板的电源电压降（IR drop）引起的发光元件 EL 的显示电压差异，提高显示画质、改善显示效果。

例如，压降补偿电路 14 可以包括压降补偿晶体管 T6。压降补偿晶体管 T6 的第一极与参考电源端 REF 电连接。压降补偿晶体管 T6 的第二极电连接至驱动晶体管 T1 的第一极，即压降补偿晶体管 T6 的第二极也与存储电容 Cst 的第一端电连接。压降补偿晶体管 T6 的栅极与第二控制端 SC2 电连接。

例如，在数据写入阶段，第二控制端 SC2 可以向压降补偿晶体管 T6 的栅极提供第二控制信号 S2，以使压降补偿晶体管 T6 导通。参考电源端 REF 可以向压降补偿晶体管 T6 的第一极提供参考电压信号 V_{ref} ，从而参考电压信号 V_{ref} 经由压降补偿晶体管 T6 对存储电容 Cst 的第一端充电，由此存储电容 Cst 的第一端的电压可以为参考电压信号 V_{ref} 。

例如，如图 2 所示，像素电路 100 还可以包括发光控制电路 15。发光控制电路 15 被配置为控制驱动电路 10 驱动发光元件 EL 发光。发光控制电路 15 可以包括第一发光控制子电路 151 和第二发光控制子电路 152。第一发光控制子电路 151 设置在驱动电路 10 与发光元件 EL 之间，且被配置为控制将驱动电路 10 与发光元件 EL 之间的电连接导通或断开。第二发光控制子电路 152 设置在第一电源电压端 V1 和驱动电路 10 之间，且被配置为控制将第一电源电压端 V1 和驱动电路 10 之间的电连接导通或断开。

例如，第一发光控制子电路 151 可以包括第一控制晶体管 T7，第二发光控制子电路 152 可以包括第二控制晶体管 T5。第一控制晶体管 T7 的第一极电连接至驱动晶体管 T1 的第二极，第一控制晶体管 T7 的第二极电连接至发光元件 EL 的第一端（例如，发光元件 EL 的正极端），第一控制晶体管 T7 的栅极与第三控制端 SC3 电连接；第二控制晶体管 T5 的第一极电连接至第一电源电压端 V1，第二控制晶体管 T5 的第二极电连接至驱动晶体管 T1 的第一极，第二控制晶体管 T5 的栅极被配置接收发光控制信号。发光元件 EL 的第二端（例如，发光元件 EL 的负极端）电连接至第二电源电压端 V2。

例如，在图 2 所示的实施例中，第三控制端 SC3 可以在发光阶段输出第三控制信号 S₃，第三控制信号 S₃ 即为发光控制信号，第二控制晶体管 T5 的栅极可以电连接至第三控制端 SC3 以接收该发光控制信号，也就是说，第一控制晶体管 T7 的栅极和第二控制晶体管 T5 的栅极可以均电连接到第三控制端 SC3，且第三控制端 SC3 可以同时向第一控制晶体管 T7 的栅极和第二控制晶体管 T5 的栅极传输相同的发光控制信号。

需要说明的是，第一控制晶体管 T7 和第二控制晶体管 T5 也可以电连接至不同的控制端，而不同的控制端施加的发光控制信号同步。本公开实施例对此不作限制。

例如，在发光阶段，发光控制信号被同时施加到第一控制晶体管 T7 和第二控制晶体管 T5 的栅极，以使得第一控制晶体管 T7 和第二控制晶体管 T5 同时导通，从而第一电源电压端 V1、第二控制晶体管 T5、驱动晶体管 T1、第一控制晶体管 T7、发光元件 EL 和第二电源电压端 V2 可以形成回路，发光电流经由导通的第二控制晶体管 T5、驱动晶体管 T1 和第一控制晶体管 T7 被传输至发光元件 EL 以驱动其发光。

例如，第一电源电压端 V1 为高压端，且可以输出第一电源电压信号 V_{dd}，第二电源电压端 V2 为低压端，且可以输出第二电源电压信号 V_{ss}。高压端输出的电压信号大于低压端输出的电压信号，即第一电源电压信号 V_{dd} 可以大于第二电源电压信号 V_{ss}。但不限于此，在一些实施例中，第一电源电压端 V1 也可以为低压端，而第二电源电压端 V2 为高压端。例如，高压端可以电连接电源的正极。低压端可以电连接电源的负极。低压端还可以电连接至地端（GND）。

需要说明的是，数据写入电路 11、存储电路 12、阈值补偿电路 13、压降补偿电路 14 和发光控制电路 15 等电路的具体结构可以根据实际应用需求进行

设定，本公开的实施例对此不作具体限定。

图 3 为本公开另一实施例提供的一种像素电路的结构示意图。

例如，在另一个实施例中，图 2 所示的第二偏置晶体管可以复用为第二控制晶体管，由此该像素电路可以节省一个晶体管（省去图 2 的晶体管 T5），节约生产成本。如图 3 所示，第二偏置晶体管 T8 可以为 N 型晶体管，且被配置为在复位阶段向驱动晶体管 T1 的第一极写入第二偏置电压信号 V_{init2} 。此处，第二偏置晶体管 T8 的栅极与第二控制端 SC2 电连接，第二偏置晶体管 T8 的第一极与第一电源电压端 V1 电连接，第二偏置晶体管 T8 的第二极与驱动晶体管 T1 的第一极电连接。第一电源电压端 V1 被配置为在复位阶段向第二偏置晶体管 T8 的第一极传输第一电源电压信号 V_{dd} ，此时，第二偏置电压信号 V_{init2} 即为第一电源电压信号 V_{dd} 。

例如，在复位阶段，第一控制端 SC1 可以输出第一控制信号 S_1 以控制第一偏置晶体管 T4 导通，第二控制端 SC2 可以输出第二控制信号 S_2 以控制第二偏置晶体管 T8 导通；第一偏置电压端 VB1 被配置为输出第一偏置电压信号 V_{init1} ，第一偏置电压信号 V_{init1} 可以经由第一偏置晶体管 T4 传输至驱动晶体管 T1 的栅极，第一电源电压端 V1 可以输出第一电源电压信号 V_{dd} ，第一电源电压信号 V_{dd} 即为第二偏置电压信号 V_{init2} ，第一电源电压信号 V_{dd} 可以经由第二偏置晶体管 T8 传输至驱动晶体管 T1 的第一极。在这种情形下，在复位阶段，第二控制端 SC2 为偏置控制端 BS，第一电源电压端 V1 为第二偏置电压端 VB2，第一控制信号 S_1 和第二控制信号 S_2 均为偏置控制信号。

例如，在发光阶段，第二控制端 SC2 输出第二控制信号 S_2 ，第三控制端输出第三控制信号 S_3 ，第二控制信号 S_2 和第三控制信号 S_3 用于控制第二偏置晶体管 T8 和第一控制晶体管 T7 同时导通，从而控制将发光电流传输至发光元件 EL 以驱动其发光。在这种情形下，在发光阶段，第二控制信号 S_2 和第三控制信号 S_3 均为发光控制信号。

需要说明的是，图 3 所示的实施例中其余电路（例如，第一复位偏置电路 21、数据写入电路 11、存储电路 12、阈值补偿电路 13 和压降补偿电路 14 等）可以与图 2 所示的实施例中相应电路的结构和连接方式均相同，在此不再赘述。

例如，在图 3 所示的实施例中，第二偏置晶体管 T8 的栅极与数据写入晶体管 T2 的栅极、压降补偿晶体管 T6 的栅极均通过相同的第二控制信号 S_2 控制，第二偏置晶体管 T8 与数据写入晶体管 T2、压降补偿晶体管 T6 的类型可

以不同。也就是说，若第二偏置晶体管 T8 为 N 型晶体管，则数据写入晶体管 T2 和压降补偿晶体管 T6 均为 P 型晶体管。但不限于此，第二偏置晶体管 T8 的栅极与数据写入晶体管 T2 的栅极、压降补偿晶体管 T6 的栅极也可以通过不同的控制信号控制，在此种情形下，第二偏置晶体管 T8 与数据写入晶体管 T2、压降补偿晶体管 T6 的类型则没有限制，即第二偏置晶体管 T8 与数据写入晶体管 T2、压降补偿晶体管 T6 的类型可以相同（例如均为 P 型晶体管），也可以不相同。本公开对此不作限制。

值得注意的是，按照晶体管的特性，晶体管可以分为 N 型晶体管和 P 型晶体管，为了清楚起见，本公开的实施例以晶体管为 P 型晶体管为例详细阐述了本公开的技术方案。然而本公开的实施例的晶体管不限于 P 型晶体管，除了驱动晶体管 T1 和阈值补偿晶体管 T3 以外，本领域技术人员还可以根据实际需要利用 N 型晶体管实现本公开中的实施例中的一个或多个晶体管的功能。

在本公开的实施例中，晶体管的第一极可以为源极或漏极，相应地，晶体管的第二极为漏极或源极。所以本公开实施例中全部或部分晶体管的第一极和第二极根据需要是可以互换的。对于不同类型的晶体管，其栅极的控制信号也不相同。例如，对于 N 型晶体管，在控制信号为高电平信号时，该 N 型晶体管处于开启状态；而在控制信号为低电平信号时，N 型晶体管处于截止状态。对于 P 型晶体管时，在控制信号为低电平信号时，该 P 型晶体管处于开启状态；而在控制信号为高电平信号时，P 型晶体管处于截止状态。本公开实施例中的控制信号可以根据晶体管的类型而相应变化。

本公开实施例还提供一种显示面板。图 4 为本公开一实施例提供的一种显示面板的示意性框图。如图 4 所示，显示面板 70 包括多个像素单元 110，多个像素单元 110 可以阵列排布，根据实际应用需求，显示面板 70 例如可以包括 1440 行、900 列的像素单元 110。每个像素单元 110 可以包括上述任一实施例所述的像素电路 100。该像素电路 100 通过在复位阶段使驱动电路处于偏置状态，从而改善因磁滞效应产生的短期残像现象，提高显示面板的显示质量。

例如，显示面板 70 可以为矩形面板、圆形面板、椭圆形面板或多边形面板等。另外，显示面板 70 不仅可以为平面面板，也可以为曲面面板，甚至球面面板。

例如，显示面板 70 还可以具备触控功能，即显示面板 70 可以为触控显示面板。

本公开实施例还提供一种显示设备。图 5 为本公开一实施例提供的一种显示设备的示意性框图。如图 5 所示，显示设备 80 包括上述任一所述的显示面板 70，显示面板 70 用于显示图像。显示面板 70 的每个像素单元包括上述任一实施例所述的像素电路。像素电路包括驱动电路、数据写入电路、存储电路、
5 发光元件、第一复位偏置电路和第二复位偏置电路等。第一复位偏置电路和第二复位偏置电路被配置为在复位阶段控制驱动电路处于偏置状态，从而改善因磁滞效应产生的短期残像现象，提高显示设备的显示质量。

例如，显示设备 80 还可以包括栅极驱动器 82。栅极驱动器 82 还被配置为通过多条栅线与数据写入电路电连接，以用于为数据写入电路提供第二控制信
10 号。

例如，显示设备 80 还可以包括数据驱动器 84。数据驱动器 84 被配置为向显示面板 70 提供数据信号。该数据信号可以为电压信号，用于控制相应像素单元的发光元件的发光强度。数据信号的电压越高则代表灰阶越大，由此使得发光元件的发光强度越大。

15 例如，栅极驱动器 82 和数据驱动器 84 可以分别由各自的专用集成电路芯片或者可以通过半导体制备工艺直接制备在显示面板 70 上来实现。

例如，显示设备 80 可以为手机、平板电脑、电视机、显示器、笔记本电脑、数码相框、导航仪等任何具有显示功能的产品或部件。

需要说明的是，对于显示设备 80 的其它组成部分（例如控制装置、图像
20 数据编码/解码装置、时钟电路等）均为本领域的普通技术人员应该理解具有的，在此不做赘述，也不应作为对本公开的限制。

本公开实施例还提供一种像素电路的驱动方法，该驱动方法可以应用于上述任一项所述的像素电路。

图 6 为本公开一实施例提供的一种像素电路的驱动方法的示意性流程图。
25 如图 6 所示，像素电路的驱动方法包括以下步骤：

步骤 S101：在复位阶段，对驱动电路进行复位并控制驱动电路处于偏置状态；

步骤 S102：在数据写入阶段，向驱动电路写入数据信号；

步骤 S103：在发光阶段，驱动发光元件发光。

30 例如，以图 2 所示的像素电路为例，像素电路 100 可以包括发光元件 EL、驱动电路 10、第一复位偏置电路 21 和第二复位偏置电路 22。驱动电路 10 包

括驱动晶体管 T1，第一复位偏置电路 21 包括第一偏置晶体管 T4，第二复位偏置电路 22 包括第二偏置晶体管 T8。由此，在步骤 S101 中，对驱动电路进行复位并控制驱动电路处于偏置状态可以包括：通过第一偏置晶体管向驱动晶体管的栅极写入第一偏置电压信号；以及通过第二偏置晶体管向驱动晶体管的第
5 一极写入第二偏置电压信号。第一偏置电压信号和第二偏置电压信号之差控制驱动晶体管处于偏置状态。

例如，第一偏置电压信号和第二偏置电压信号可以相同。或者，第一偏置电压信号小于第二偏置电压信号。

例如，在图 3 所示的实施例中，第二偏置晶体管 T8 可以被分时复用为第
10 二控制晶体管，第二偏置电压信号可以为第一电源电压信号。

例如，在一个示例中，本公开实施例提供的像素电路的驱动方法可以包括阈值补偿操作。在步骤 S102 中，驱动方法还可以包括：在数据写入阶段，通过阈值补偿电路向驱动晶体管的栅极写入阈值补偿信号。从而该像素电路可以补偿驱动晶体管的阈值电压。

例如，在一个示例中，本公开实施例提供的像素电路的驱动方法可以包括压降（IR drop）补偿操作。在步骤 S102 中，驱动方法还可以包括：在数据写入阶段，通过压降补偿电路向驱动晶体管的第一极写入参考电压信号。从而该像素电路可以补偿第一电源电压端的 IR drop。

例如，像素电路的时序图可以根据实际需求进行设定，本公开的实施例对
20 此不作具体限定。

例如，在一个示例中，图 7 是图 2 和图 3 所示的像素电路的驱动方法的示例性时序图。

例如，图 8A 至图 8C 是图 2 所示的像素电路的在各个工作阶段的示意图。下面结合图 2、图 7 和图 8A 至图 8C 详细说明本公开实施例提供的一种像素电
25 路的驱动方法的操作流程。

需要说明的是，在图 8A 至图 8C 中，在晶体管的位置处设置虚线方框表示该晶体管处于截止状态，在晶体管的位置处不设置符号则表示该晶体管处于开启状态。带箭头的实线表示信号流向。

例如，如图 2、图 7 和图 8A 所示，在复位阶段 RT，第一控制端 SC1 提供
30 的第一控制信号 S_1 为低电平信号，从而第一偏置晶体管 T4 和第二偏置晶体管 T8 导通。第二控制端 SC2 提供的第二控制信号 S_2 为高电平信号，第三控制端

SC3 提供的第三控制信号 S_3 (即发光控制信号) 为高电平信号, 从而数据写入晶体管 T2、压降补偿晶体管 T6、第一控制晶体管 T7 和第二控制晶体管 T5 均处于截止状态。第一偏置电压端 VB1 输出第一偏置电压信号 V_{init1} , 且第一偏置电压信号 V_{init1} 小于阈值补偿晶体管 T3 的阈值电压 V_{th2} 和数据信号 V_{data} 之和, 从而阈值补偿晶体管 T3 处于导通状态。第一偏置电压信号 V_{init1} 经由第一偏置晶体管 T4 传输至驱动晶体管 T1 的栅极, 从而驱动晶体管 T1 的栅极的电压被重置为第一偏置电压信号 V_{init1} 。第二偏置电压端 VB2 (即复位电压端 VR) 可以输出第二偏置电压信号 V_{init2} , 且第二偏置电压信号 V_{init2} 经由第二偏置晶体管 T8 传输至驱动晶体管 T1 的第一极, 从而驱动晶体管 T1 的第一极的电压被重置为第二偏置电压信号 V_{init2} 。此时, 驱动晶体管 T1 可以处于导通状态。

例如, 在图 8A 所示的示例中, 在复位阶段 RT, 驱动晶体管 T1 处于导通状态。但不限于此, 在复位阶段 RT, 驱动晶体管 T1 也可以处于截止状态。第一偏置电压信号 V_{init1} 和第二偏置电压信号 V_{init2} 例如可以相同, 在这种情况下, 驱动晶体管 T1 处于截止状态。

例如, 如图 2、图 7 和图 8B 所示, 在数据写入阶段 DT, 第一控制信号 S_1 变为高电平信号, 第二控制信号 S_2 变为低电平信号, 第三控制信号 S_3 保持为高电平信号。此时, 第一偏置晶体管 T4、第二偏置晶体管 T8、第一控制晶体管 T7 和第二控制晶体管 T5 均处于截止状态, 驱动晶体管 T1、数据写入晶体管 T2、压降补偿晶体管 T6 和阈值补偿晶体管 T3 均导通。由此, 数据信号 V_{data} 经由数据写入晶体管 T2 和阈值补偿晶体管 T3 对存储电容 C_{st} 的第二端充电, 一直充电至存储电容 C_{st} 的第二端的电压为 $V_{data}+V_{th2}$ 为止, V_{th2} 为阈值补偿晶体管 T3 的阈值电压 V_{th2} , 阈值补偿晶体管 T3 的阈值电压 V_{th2} 与驱动晶体管 T1 的阈值电压 V_{th1} 相同, 即存储电容 C_{st} 的第二端的电压可以为 $V_{data}+V_{th1}$ 。此时, 驱动晶体管 T1 的栅极的电压变为 $V_{data}+V_{th1}$ 。参考电压信号 V_{ref} 经由压降补偿晶体管 T6 对存储电容 C_{st} 的第一端进行充电, 即存储电容 C_{st} 的第一端的电压可以为参考电压信号 V_{ref} , 此时, 驱动晶体管 T1 的第一极的电压变为 V_{ref} 。

例如, 如图 2、图 7 和图 8C 所示, 在发光阶段 LT, 第一控制信号 S_1 保持高电平信号, 第二控制信号 S_2 变为高电平信号, 第三控制信号 S_3 变为低电平信号。此时, 第一偏置晶体管 T4、第二偏置晶体管 T8、数据写入晶体管 T2、压降补偿晶体管 T6 和阈值补偿晶体管 T3 均处于截止状态, 而驱动晶体管 T1、第一控制晶体管 T7 和第二控制晶体管 T5 均导通。由此, 第一电源电压端 V1

输出的第一电源电压信号 V_{dd} 可以经由第二控制晶体管 T5 传输至驱动晶体管 T1 的第一极，驱动晶体管 T1 的第一极的电压变为第一电源电压信号 V_{dd} ，由于存储电容 C_{st} 的自举效应，从而驱动晶体管 T1 的栅极的电压变为 $V_{data}+V_{th1}+V_{dd}-V_{ref}$ 。

5 由上分析可知，在三个阶段（复位阶段、数据写入阶段和发光阶段）中，驱动晶体管 T1 的栅极和第一极的电压的对应关系可以如下表格 1 所示。

表格 1

工作阶段	驱动晶体管 T1 的栅极	驱动晶体管 T1 的第一极
RT	V_{init1}	V_{init2}
DT	$V_{data}+V_{th1}$	V_{ref}
LT	$V_{data}+V_{th1}+V_{dd}-V_{ref}$	V_{dd}

10 例如，图 9A 至图 9C 是图 3 所示的像素电路的在各个工作阶段的示意图。下面结合图 3、图 7 和图 9A 至图 9C 详细说明本公开实施例提供的另一种像素电路的驱动方法的操作流程。

需要说明的是，在图 9A 至图 9C 中，在晶体管的位置处设置虚线方框表示该晶体管处于截止状态，在晶体管的位置处不设置符号则表示该晶体管处于
15 开启状态。带箭头的实线表示信号流向。

例如，如图 3、图 7 和图 9A 所示，在复位阶段 RT，第一控制端 SC1 提供的
20 第一控制信号 S_1 为低电平信号，从而第一偏置晶体管 T4 导通。第二控制端 SC2 提供的第二控制信号 S_2 为高电平信号，从而第二偏置晶体管 T8 导通，而数据写入晶体管 T2 和压降补偿晶体管 T6 处于截止状态。第三控制端 SC3 提供的第三控制信号 S_3 （即发光控制信号）为高电平信号，从而第一控制晶体管 T7 处于截止状态。第一偏置电压端 VB1 输出第一偏置电压信号 V_{init1} ，且第一偏置电压信号 V_{init1} 小于阈值补偿晶体管 T3 的阈值电压 V_{th2} 和数据信号 V_{data} 之和，从而阈值补偿晶体管 T3 处于导通状态。第一偏置电压信号 V_{init1} 经由第一偏置晶体管 T4 传输至驱动晶体管 T1 的栅极，从而驱动晶体管 T1 的栅极的
25 电压被重置为第一偏置电压信号 V_{init1} 。第一电源电压端 V1（即第二偏置电压端 VB2）可以输出第一电源电压信号 V_{dd} ，且第一电源电压信号 V_{dd} 经由第二偏置晶体管 T8 传输至驱动晶体管 T1 的第一极，从而驱动晶体管 T1 的第一极

的电压被置为第一电源电压信号 V_{dd} 。此时，驱动晶体管 T1 可以处于导通状态。

例如，第一电源电压信号 V_{dd} 可以大于第一偏置电压信号 V_{init1} ，且第一偏置电压信号 V_{init1} 与第一电源电压信号 V_{dd} 之差不大于 V_{gs255} （最大灰阶对应的驱动晶体管 T1 的栅源电压差），即 $V_{init1}-V_{dd}$ 小于等于 V_{gs255} 。

5 例如，在图 9A 所示的示例中，在复位阶段 RT，驱动晶体管 T1 处于导通状态。但不限于此，在复位阶段 RT，驱动晶体管 T1 也可以处于截止状态。例如，若在复位阶段 RT， $V_{init1}-V_{dd}$ 大于驱动晶体管 T1 的阈值电压 V_{th1} ，此时，驱动晶体管 T1 处于截止状态。

例如，如图 3、图 7 和图 9B 所示，在数据写入阶段 DT，第一控制信号 S_1 变为高电平信号，第二控制信号 S_2 变为低电平信号，第三控制信号 S_3 保持为高电平信号。此时，第一偏置晶体管 T4、第二偏置晶体管 T8 和第一控制晶体管 T7 均处于截止状态，驱动晶体管 T1、数据写入晶体管 T2、压降补偿晶体管 T6 和阈值补偿晶体管 T3 均导通。由此，数据信号 V_{data} 经由数据写入晶体管 T2 和阈值补偿晶体管 T3 对存储电容 C_{st} 的第二端充电，一直充电至存储电容 C_{st} 的第二端的电压为 $V_{data}+V_{th2}$ 为止， V_{th2} 为阈值补偿晶体管 T3 的阈值电压 V_{th2} ，阈值补偿晶体管 T3 的阈值电压 V_{th2} 与驱动晶体管 T1 的阈值电压 V_{th1} 相同，即存储电容 C_{st} 的第二端的电压可以为 $V_{data}+V_{th1}$ 。此时，驱动晶体管 T1 的栅极的电压变为 $V_{data}+V_{th1}$ 。参考电压信号 V_{ref} 经由压降补偿晶体管 T6 对存储电容 C_{st} 的第一端进行充电，即存储电容 C_{st} 的第一端的电压可以为参考电压信号 V_{ref} ，此时，驱动晶体管 T1 的第一极的电压变为 V_{ref} 。

例如，如图 3、图 7 和图 9C 所示，在发光阶段 LT，第一控制信号 S_1 保持高电平信号，第二控制信号 S_2 变为高电平信号，第三控制信号 S_3 变为低电平信号。此时，第一偏置晶体管 T4、数据写入晶体管 T2、压降补偿晶体管 T6 和阈值补偿晶体管 T3 均处于截止状态，而驱动晶体管 T1、第一控制晶体管 T7 和第二偏置晶体管 T8 均导通。由此，第一电源电压端 V1 输出的第一电源电压信号 V_{dd} 可以经由第二偏置晶体管 T8 传输至驱动晶体管 T1 的第一极，驱动晶体管 T1 的第一极的电压变为第一电源电压信号 V_{dd} ，由于存储电容 C_{st} 的自举效应，从而驱动晶体管 T1 的栅极的电压变为 $V_{data}+V_{th1}+V_{dd}-V_{ref}$ 。

由上分析可知，在三个阶段（复位阶段、数据写入阶段和发光阶段）中，驱动晶体管 T1 的栅极和第一极的电压的对应关系可以如下表格 2 所示。

表格 2

工作阶段	驱动晶体管 T1 的栅极	驱动晶体管 T1 的第一极
RT	V_{init1}	V_{dd}
DT	$V_{data}+V_{th1}$	V_{ref}
LT	$V_{data}+V_{th1}+V_{dd}-V_{ref}$	V_{dd}

参考表格 1 和表格 2，基于驱动晶体管 T1 的饱和电流公式，在发光阶段 LT，流经驱动晶体管 T1 的发光电流 I_{OLED} 可以表示为：

$$\begin{aligned}
 I_{OLED} &= K (V_{GS} - V_{th1})^2 \\
 &= K [(V_{data} + V_{th1} + V_{dd} - V_{ref}) - V_{dd} - V_{th1}]^2 \\
 &= K (V_{data} - V_{ref})^2
 \end{aligned}$$

上述公式中 V_{GS} 为驱动晶体管 T1 的栅极和源极之间的电压差， V_{dd} 为第一电源电压端 V1 输出的第一电源电压信号， V_{th1} 是驱动晶体管 T1 的阈值电压。

由上式中可以看到，发光电流 I_{OLED} 已经不受驱动晶体管 T1 的阈值电压 V_{th1} 和第一电源电压端 V1 的第一电源电压信号的影响，而只与参考电源端 REF 输出的参考电压信号 V_{ref} 和数据信号 V_{data} 有关。数据信号 V_{data} 由数据信号端 VD 直接传输，其与驱动晶体管 T1 的阈值电压 V_{th} 无关，这样就可以解决驱动晶体管 T1 由于工艺制程及长时间的操作造成阈值电压漂移的问题。参考电压信号 V_{ref} 由参考电源端 REF 提供，其与第一电源电压端 V1 的 IR drop 无关，从而可以解决显示面板的 IR drop 的问题。综上所述，像素电路可以保证发光电流 I_{OLED} 的准确性，消除驱动晶体管 T1 的阈值电压和 IR drop 对发光电流 I_{OLED} 的影响，保证发光元件 EL 正常工作，提高显示画面的均匀性，提升显示效果。

例如，上述公式中 K 为常数，且 K 可以表示为：

$$K = 0.5 \mu_n C_{ox} (W/L)$$

其中， μ_n 为驱动晶体管 T1 的电子迁移率， C_{ox} 为驱动晶体管 T1 的栅极单位电容量，W 为驱动晶体管 T1 的沟道宽，L 为驱动晶体管 T1 的沟道长。

需要说明的是，复位阶段、数据写入阶段和发光阶段的设置方式可以根据实际应用需求进行设定，本公开的实施例对此不作具体限定。

由此，本公开实施例提供的像素电路的驱动方法通过在复位阶段使驱动晶体管处于偏置状态，从而改善因磁滞效应产生的短期残像问题，提高显示均匀性和显示质量。另外，本公开实施例提供的像素电路的驱动方法还可以进行阈

值补偿操作和压降补偿操作，从而补偿驱动晶体管的阈值电压漂移和显示面板的 IR drop，有效改善显示面板的显示效果，提高显示质量。

对于本公开，还有以下几点需要说明：

5 (1) 本公开实施例附图只涉及到与本公开实施例涉及到的结构，其他结构可参考通常设计。

(2) 在不冲突的情况下，本公开的实施例及实施例中的特征可以相互组合以得到新的实施例。

以上所述仅为本公开的具体实施方式，但本公开的保护范围并不局限于此，本公开的保护范围应以所述权利要求的保护范围为准。

权利要求书

1、一种像素电路，包括：发光元件、驱动电路、第一复位偏置电路和第二复位偏置电路，其中，

5 所述驱动电路的控制端与数据信号端以及所述第一复位偏置电路的第二端电连接，所述驱动电路的第一端与所述第二复位偏置电路的第二端电连接，所述驱动电路的第二端与所述发光元件电连接；

所述第一复位偏置电路的控制端与第一控制端电连接，所述第一复位偏置电路的第一端与第一偏置电压端电连接；

10 所述第二复位偏置电路的控制端与偏置控制端电连接，所述第二复位偏置电路的第一端与第二偏置电压端电连接；

所述第一复位偏置电路和所述第二复位偏置电路被配置为在复位阶段对所述驱动电路进行复位并控制所述驱动电路处于偏置状态。

2、根据权利要求 1 所述的像素电路，其中，所述驱动电路包括驱动晶体
15 管，所述第一复位偏置电路包括第一偏置晶体管，所述第二复位偏置电路包括第二偏置晶体管，

所述驱动电路的控制端为所述驱动晶体管的栅极，所述驱动电路的第一端为所述驱动晶体管的第一极，所述驱动电路的第二端为所述驱动晶体管的第二极，

20 所述第一复位偏置电路的第一端为所述第一偏置晶体管的第一极，所述第一复位偏置电路的第二端为所述第一偏置晶体管的第二极，所述第一复位偏置电路的控制端为所述第一偏置晶体管的栅极，

所述第二复位偏置电路的第一端为所述第二偏置晶体管的第一极，所述第二复位偏置电路的第二端为所述第二偏置晶体管的第二极，所述第二复位偏置
25 电路的控制端为所述第二偏置晶体管的栅极。

3、根据权利要求 2 所述的像素电路，还包括：数据写入电路和存储电路，其中，所述数据写入电路被配置为在数据写入阶段向所述驱动晶体管的栅极写入数据信号；

所述存储电路被配置为存储所述数据信号并将其保持在所述驱动晶体管的栅极。
30

4、根据权利要求 3 所述的像素电路，还包括阈值补偿电路，

其中，所述阈值补偿电路被配置为在所述数据写入阶段向所述驱动晶体管的栅极写入阈值补偿信号。

5 5、根据权利要求 4 所述的像素电路，其中，所述阈值补偿电路包括阈值补偿晶体管，所述数据写入电路包括数据写入晶体管，所述存储电路包括存储电容，

所述阈值补偿晶体管的第一极与所述数据写入晶体管的第二极电连接，所述阈值补偿晶体管的第二极和栅极彼此电连接，并电连接至所述驱动晶体管的栅极；

10 所述数据写入晶体管的第一极与所述数据信号端电连接，所述数据写入晶体管的栅极与第二控制端电连接；

所述存储电容的第一端电连接至所述驱动晶体管的第一极，所述存储电容的第二端电连接至所述驱动晶体管的栅极。

6、根据权利要求 3 或 4 所述的像素电路，还包括压降补偿电路，

15 其中，所述压降补偿电路被配置在所述数据写入阶段向所述驱动晶体管的第一极写入参考电压信号。

7、根据权利要求 6 所述的像素电路，其中，所述压降补偿电路包括压降补偿晶体管，所述存储电路包括存储电容，

20 所述压降补偿晶体管的第一极与参考电源端电连接，所述压降补偿晶体管的第二极电连接至所述驱动晶体管的第一极，所述压降补偿晶体管的栅极与第二控制端电连接；

所述存储电容的第一端电连接至所述驱动晶体管的第一极，所述存储电容的第二端电连接至所述驱动晶体管的栅极。

8、根据权利要求 2-7 任一项所述的像素电路，还包括发光控制电路，

25 其中，所述发光控制电路被配置为控制所述驱动电路驱动所述发光元件发光。

9、根据权利要求 8 所述的像素电路，其中，所述发光控制电路包括第一控制晶体管和第二控制晶体管，

30 所述第一控制晶体管的第一极电连接至所述驱动晶体管的第二极，所述第一控制晶体管的第二极电连接至所述发光元件，所述第一控制晶体管的栅极与第三控制端电连接；

所述第二控制晶体管的第一极电连接至第一电源电压端，所述第二控制晶

体管的第二极电连接至所述驱动晶体管的第一极，所述第二控制晶体管的栅极被配置接收发光控制信号。

10、根据权利要求 9 所述的像素电路，其中，所述第二控制晶体管的栅极电连接至所述第三控制端以接收所述发光控制信号，

5 所述第二偏置晶体管的栅极与所述第一控制端电连接，所述第二偏置晶体管的第一极与复位电压端电连接，所述复位电压端为所述第二偏置电压端，所述第一控制端为所述偏置控制端。

11、根据权利要求 10 所述的像素电路，其中，所述第一偏置电压端输出的信号与所述第二偏置电压端输出的信号相同。

10 12、根据权利要求 9 所述的像素电路，其中，所述第二偏置晶体管复用为所述第二控制晶体管。

13、根据权利要求 12 所述的像素电路，其中，所述第二偏置晶体管为 N 型晶体管，所述第二偏置晶体管的栅极与所述第二控制端电连接，所述第一电源电压端为所述第二偏置电压端，所述第二控制端为所述偏置控制端。

15 14、一种显示面板，包括根据权利要求 1-13 任一所述的像素电路。

15、一种显示设备，包括如权利要求 14 所述的显示面板。

16、一种如权利要求 1-13 任一项所述的像素电路的驱动方法，包括：

在所述复位阶段，对所述驱动电路进行复位并控制所述驱动电路处于偏置状态；

20 在数据写入阶段，向所述驱动电路写入数据信号；

在发光阶段，驱动所述发光元件发光。

17、根据权利要求 16 所述的驱动方法，其中，所述驱动电路包括驱动晶体管，所述第一复位偏置电路包括第一偏置晶体管，所述第二复位偏置电路包括第二偏置晶体管；

25 对所述驱动电路进行复位并控制所述驱动电路处于偏置状态包括：

通过所述第一偏置晶体管向所述驱动晶体管的栅极写入第一偏置电压信号；以及

通过所述第二偏置晶体管向所述驱动晶体管的第一极写入第二偏置电压信号，

30 其中，所述第一偏置电压信号和所述第二偏置电压信号之差控制所述驱动晶体管处于偏置状态。

18、根据权利要求 17 所述的驱动方法，其中，所述第一偏置电压信号和所述第二偏置电压信号相同。

19、根据权利要求 17 所述的驱动方法，其中，所述第二偏置晶体管的第一极电连接至第一电源电压端以接收第一电源电压信号，所述第一电源电压信号为所述第二偏置电压信号。

20、根据权利要求 16-19 任一项所述的驱动方法，还包括：

在所述数据写入阶段，通过阈值补偿电路向所述驱动晶体管的栅极写入阈值补偿信号；以及

在所述数据写入阶段，通过压降补偿电路向所述驱动晶体管的第一极写入参考电压信号。

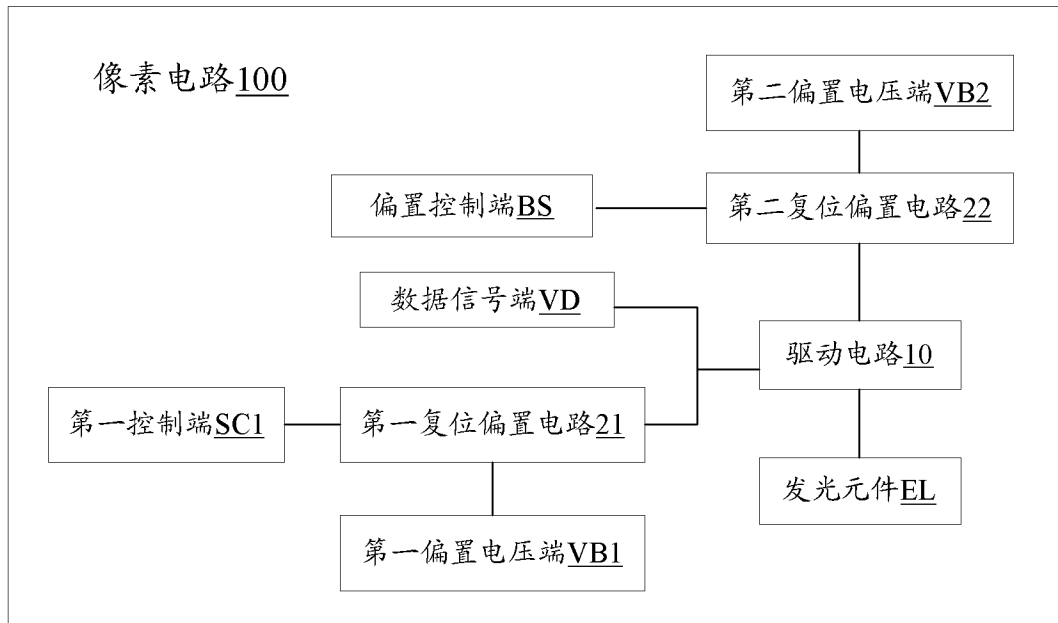


图 1

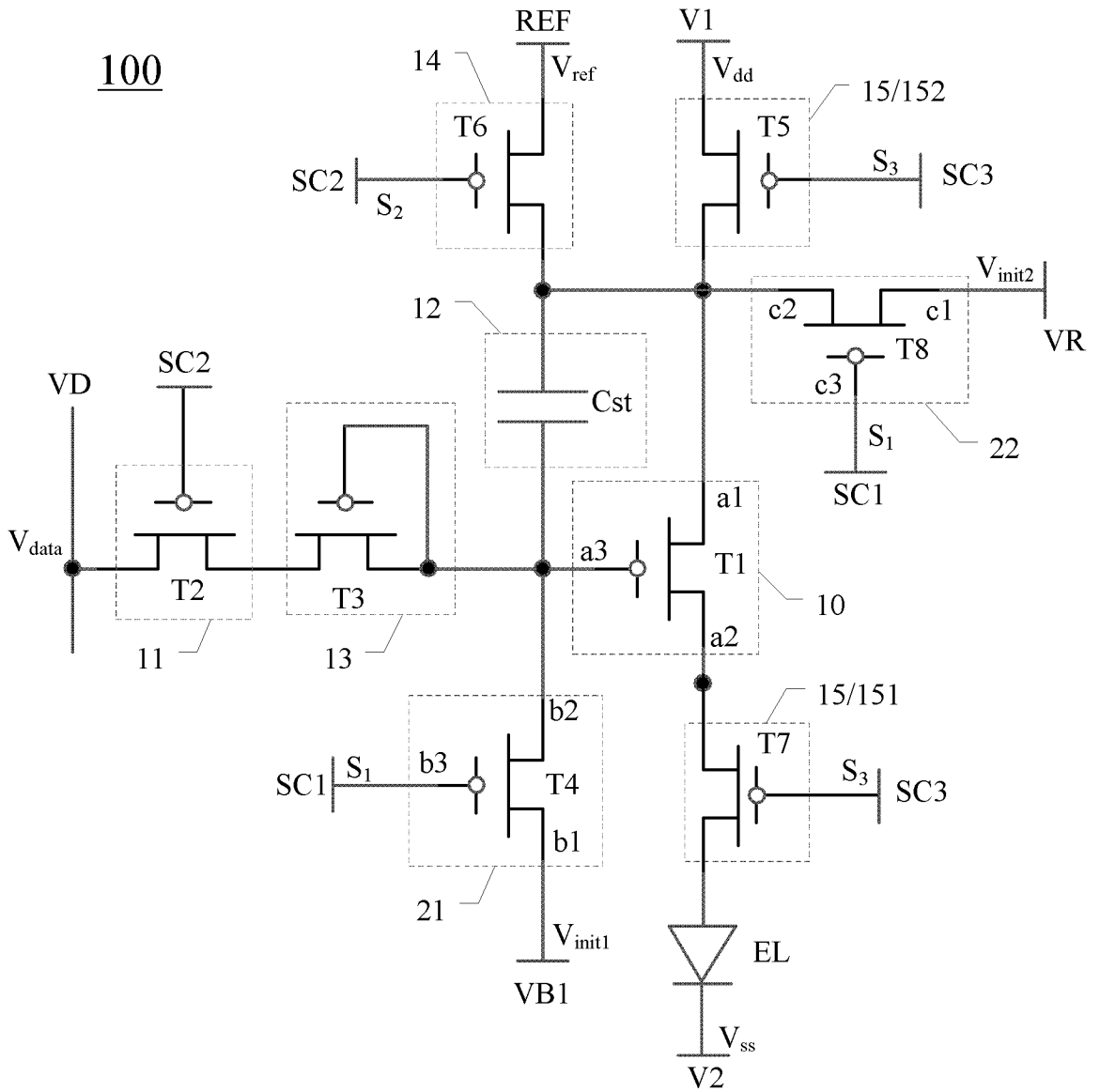


图 2

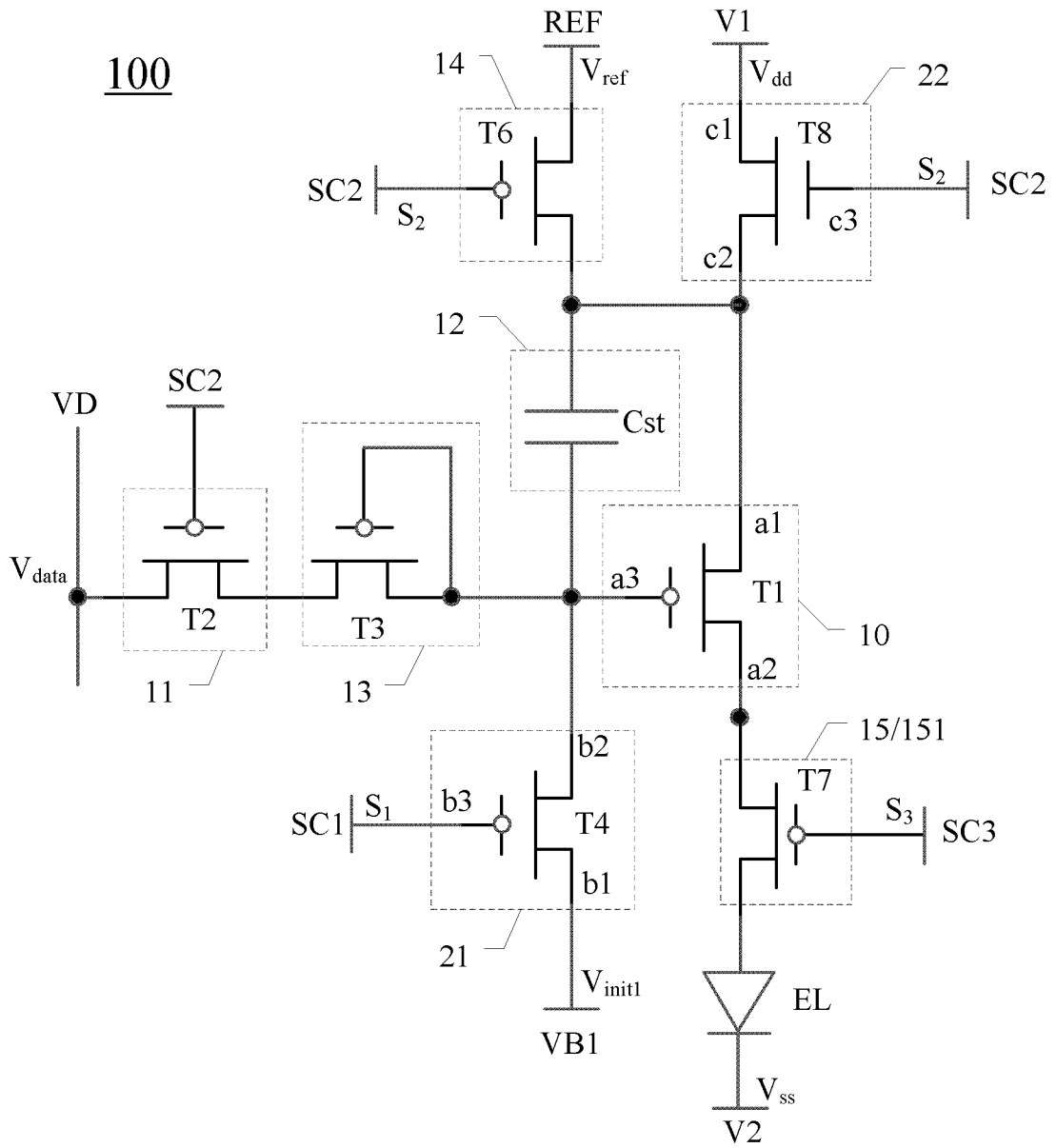


图 3

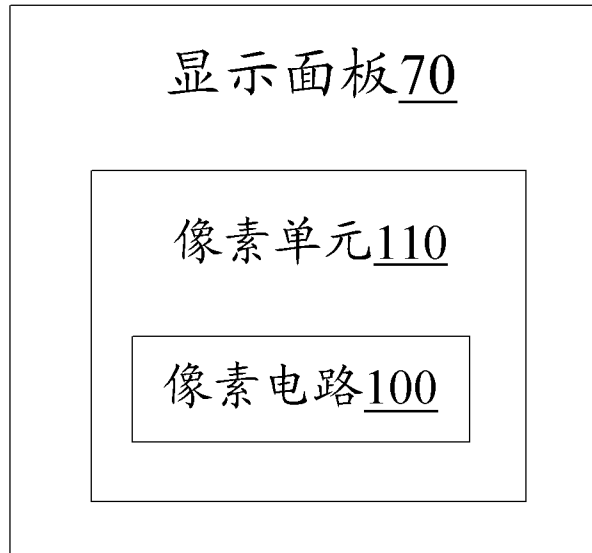


图 4

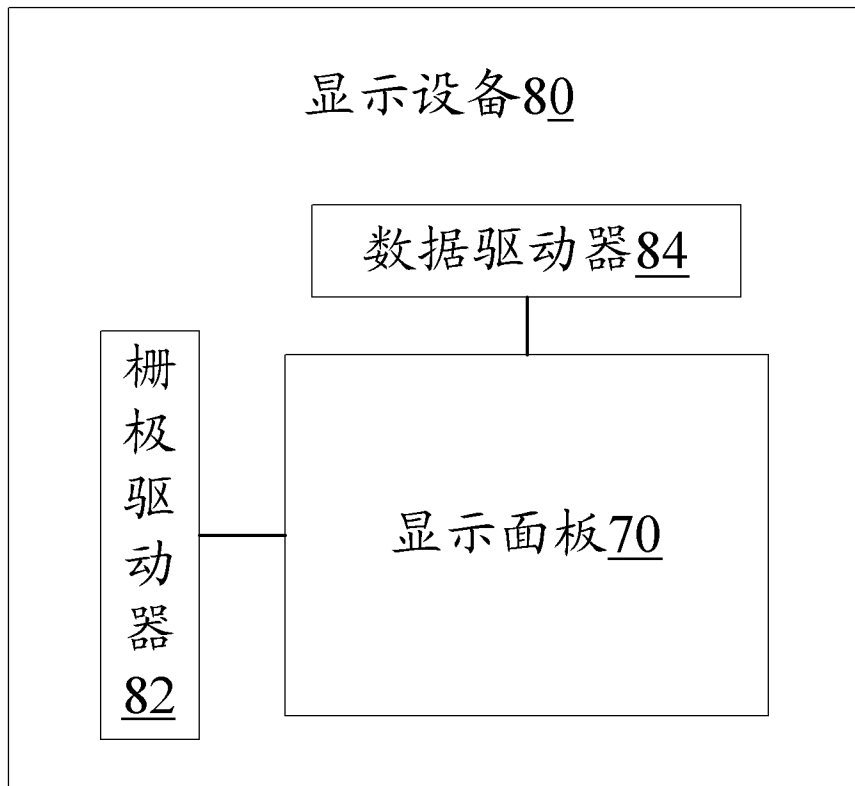


图 5

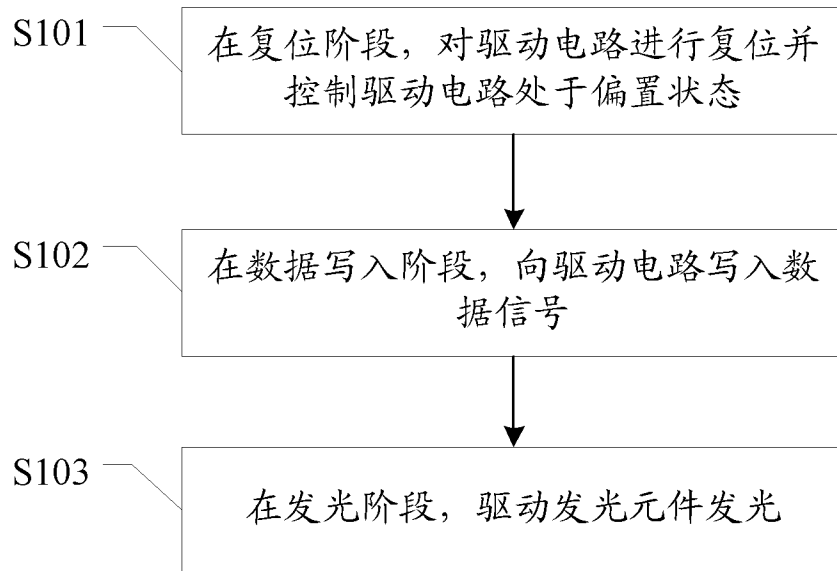


图 6

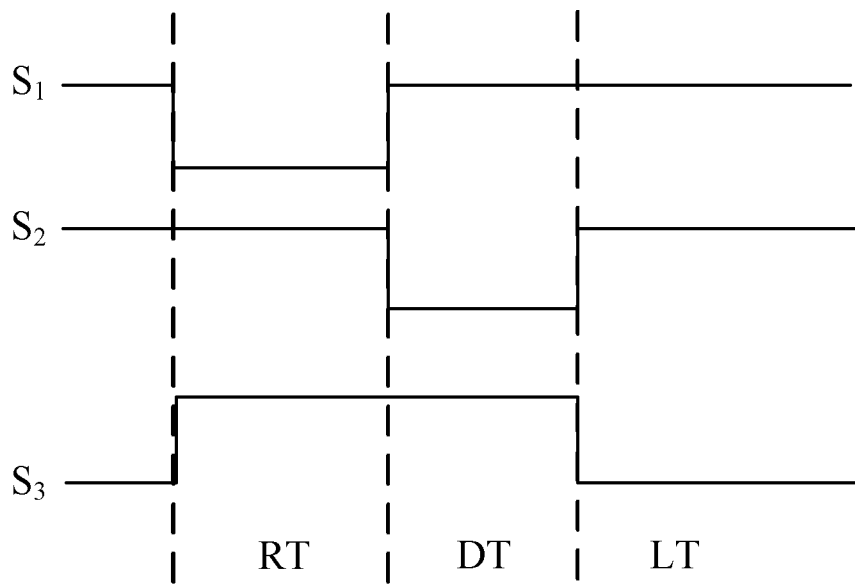


图 7

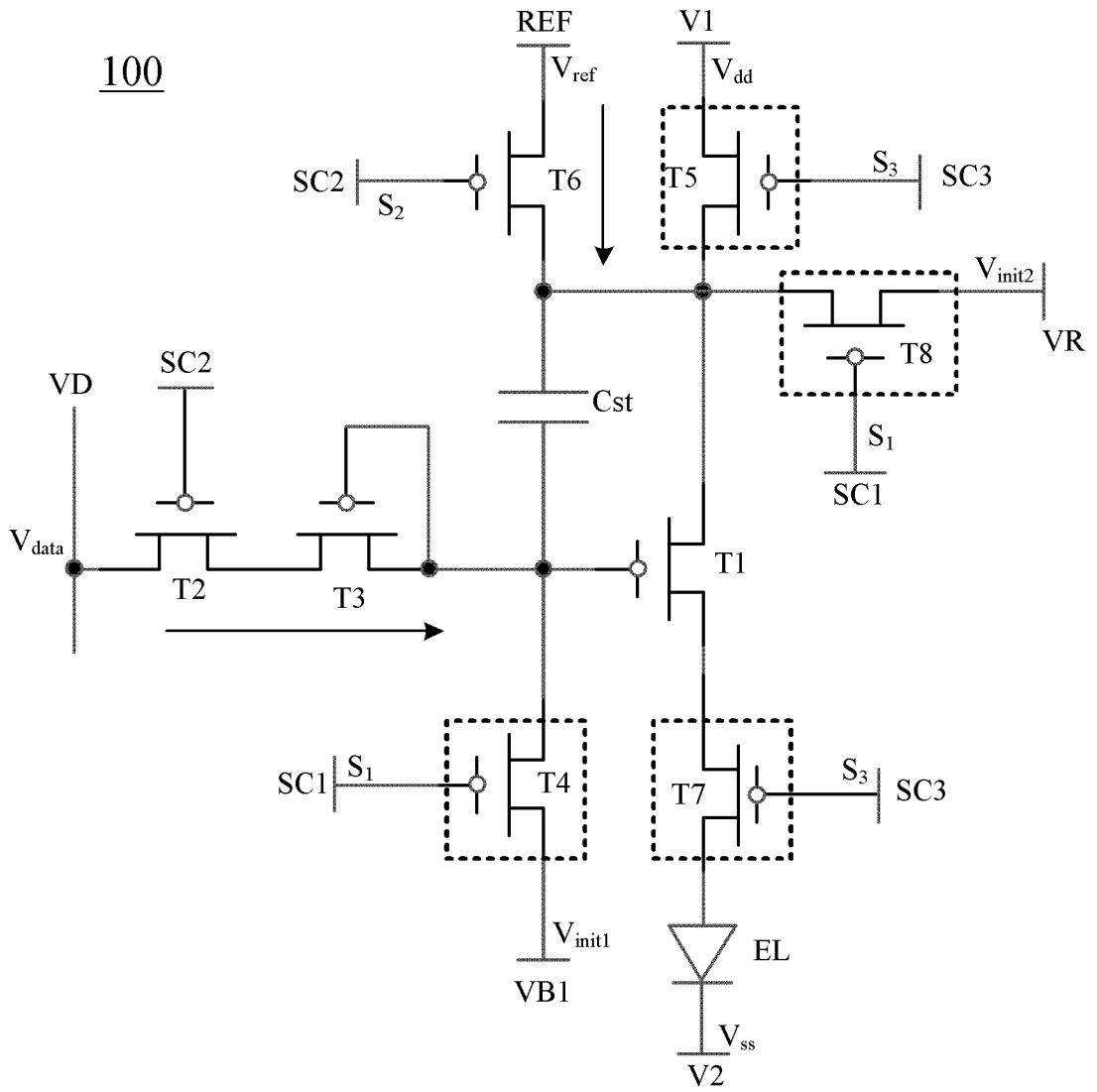


图 8B

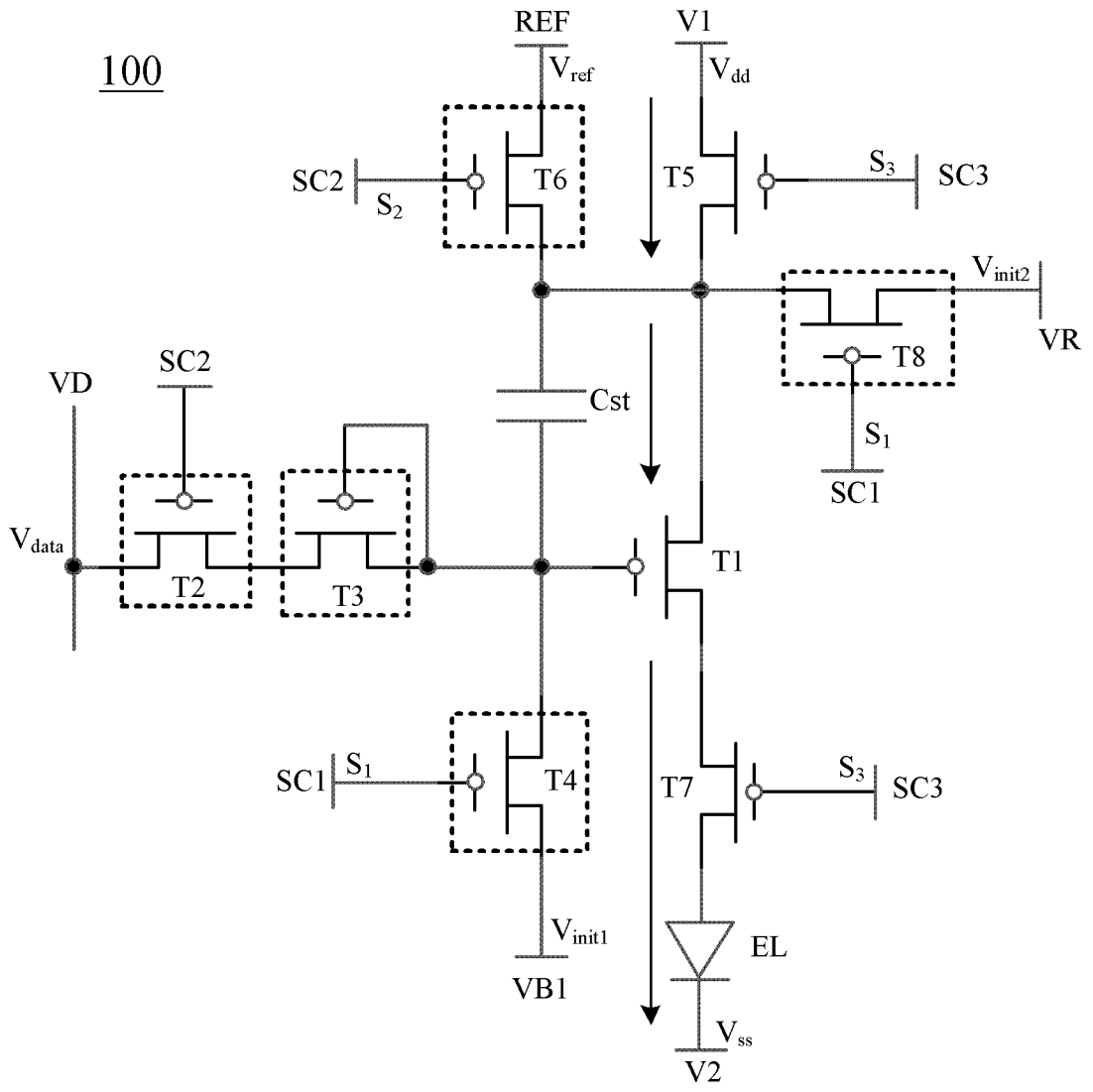


图 8C

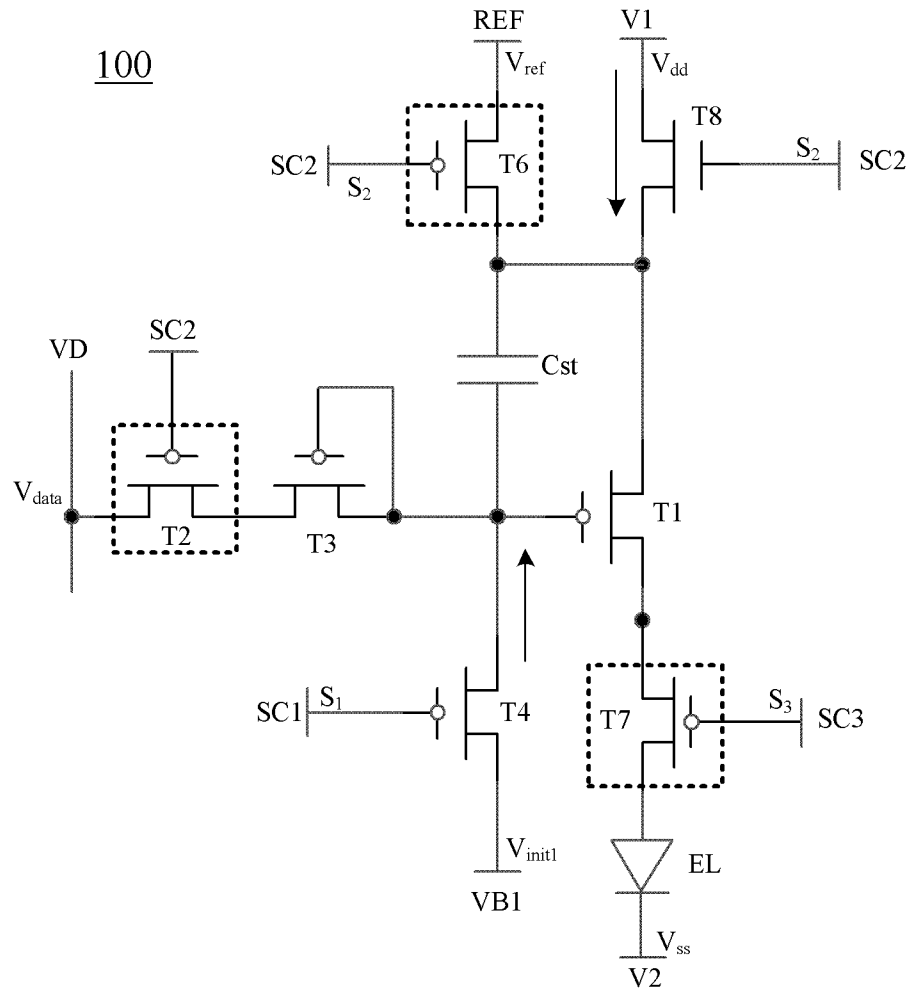


图 9A

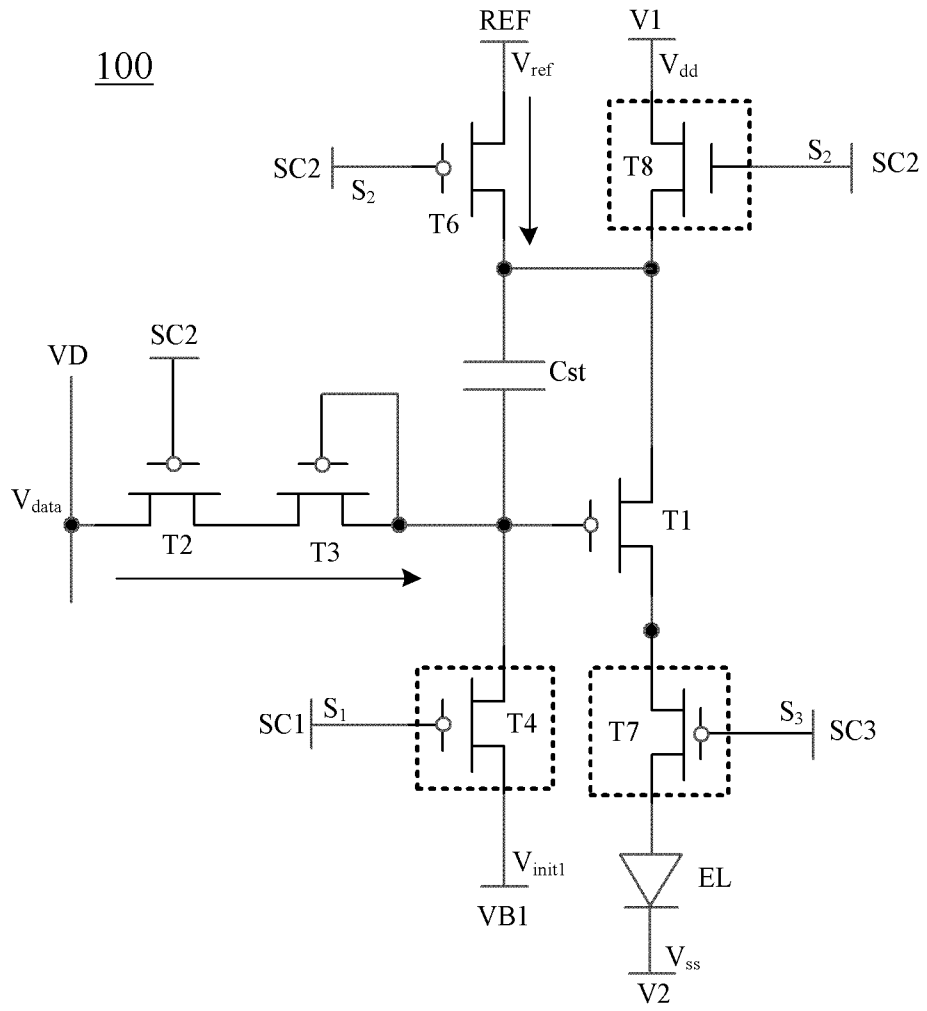


图 9B

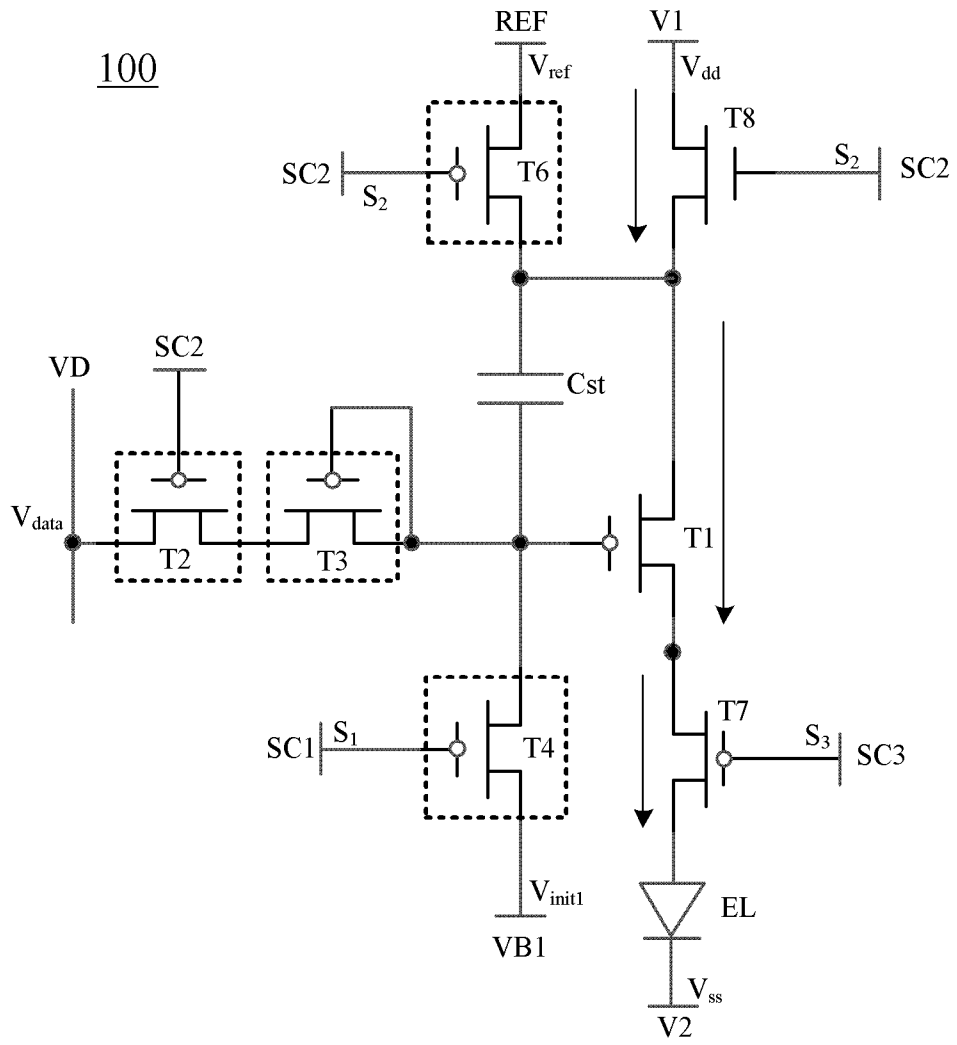


图 9C

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2018/102261

A. CLASSIFICATION OF SUBJECT MATTER

G09G 3/3208(2016.01)i; G09G 3/3233(2016.01)i; G09G 3/3266(2016.01)i; G09G 3/3291(2016.01)i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

G09G

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNABS; CNTXT; VEN; USTXT; WOTXT; EPTXT; CNKI: 像素, 象素, 晶体管, 偏置, 偏压, 复位, 初始化, 重置, 降 5w 补偿, 阈值, 补偿, 发光, 写入, OLED, pixel, bias, off?set, reset, initializ+, compensat+, drop, write

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
PX	CN 107863072 A (BOE TECHNOLOGY GROUP CO., LTD.) 03 March 2018 (2018-03-03) description, paragraphs [0045]-[0091], and figures 1-7	1-20
X	CN 107331345 A (WUHAN CSOT SEMICONDUCTOR DISPLAY TECHNOLOGY CO., LTD.) 07 November 2017 (2017-11-07) description, paragraphs [0036]-[0056], and figures 2 and 3	1-20
Y	CN 105845081 A (BOE TECHNOLOGY GROUP CO., LTD.) 10 August 2016 (2016-08-10) description, paragraphs [0038]-[0107], and figures 1-10	1-20
Y	CN 103779385 A (JAPAN DISPLAY INC.) 07 May 2014 (2014-05-07) description, paragraphs [0082]-[0083], and figure 2	1-20
A	US 2016180775 A1 (SAMSUNG DISPLAY CO., LTD.) 23 June 2016 (2016-06-23) entire document	1-20

 Further documents are listed in the continuation of Box C. See patent family annex.

* Special categories of cited documents:

"A" document defining the general state of the art which is not considered to be of particular relevance

"E" earlier application or patent but published on or after the international filing date

"L" document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)

"O" document referring to an oral disclosure, use, exhibition or other means

"P" document published prior to the international filing date but later than the priority date claimed

"T" later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention

"X" document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone

"Y" document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art

"&" document member of the same patent family

Date of the actual completion of the international search

15 October 2018

Date of mailing of the international search report

20 November 2018

Name and mailing address of the ISA/CN

State Intellectual Property Office of the P. R. China
No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing
100088
China

Authorized officer

Facsimile No. (86-10)62019451

Telephone No.

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2018/102261

Patent document cited in search report			Publication date (day/month/year)	Patent family member(s)			Publication date (day/month/year)
CN	107863072	A	03 March 2018	None			
CN	107331345	A	07 November 2017	None			
CN	105845081	A	10 August 2016	WO	2017215290	A1	21 December 2017
CN	103779385	A	07 May 2014	CN	103779385	B	17 August 2016
				US	2014111404	A1	24 April 2014
				KR	101580719	B1	28 December 2015
				JP	6186127	B2	23 August 2017
				KR	20140050559	A	29 April 2014
				JP	2014163991	A	08 September 2014
				US	9368058	B2	14 June 2016
				TW	201416783	A	01 May 2014
				JP	2014085385	A	12 May 2014
				TW	I559064	B	21 November 2016
				JP	6116186	B2	19 April 2017
				JP	2014142560	A	07 August 2014
				JP	6228735	B2	08 November 2017
US	2016180775	A1	23 June 2016	US	9704433	B2	11 July 2017
				KR	20160074780	A	29 June 2016

国际检索报告

国际申请号

PCT/CN2018/102261

<p>A. 主题的分类</p> <p>G09G 3/3208(2016.01)i; G09G 3/3233(2016.01)i; G09G 3/3266(2016.01)i; G09G 3/3291(2016.01)i</p> <p>按照国际专利分类(IPC)或者同时按照国家分类和IPC两种分类</p>																																
<p>B. 检索领域</p> <p>检索的最低限度文献(标明分类系统和分类号)</p> <p>G09G</p> <p>包含在检索领域中的除最低限度文献以外的检索文献</p> <p>在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))</p> <p>CNABS;CNTXT;VEN;USTXT;WOTXT;EPTXT;CNKI; 像素, 象素, 晶体管, 偏置, 偏压, 复位, 初始化, 重置, 降 5w 补偿, 阈值, 补偿, 发光, 写入, OLED, pixel, bias, off?set, reset, initializ+, compensat+, drop, write</p>																																
<p>C. 相关文件</p> <table border="1"> <thead> <tr> <th>类型*</th> <th>引用文件, 必要时, 指明相关段落</th> <th>相关的权利要求</th> </tr> </thead> <tbody> <tr> <td>PX</td> <td>CN 107863072 A (京东方科技集团股份有限公司) 2018年 3月 3日 (2018 - 03 - 03) 说明书第[0045]-[0091]段, 附图1-7</td> <td>1-20</td> </tr> <tr> <td>X</td> <td>CN 107331345 A (武汉华星光电半导体显示技术有限公司) 2017年 11月 7日 (2017 - 11 - 07) 说明书第[0036]-[0056]段, 附图2、3</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>CN 105845081 A (京东方科技集团股份有限公司) 2016年 8月 10日 (2016 - 08 - 10) 说明书第[0038]-[0107]段, 附图1-10</td> <td>1-20</td> </tr> <tr> <td>Y</td> <td>CN 103779385 A (株式会社日本显示器) 2014年 5月 7日 (2014 - 05 - 07) 说明书第[0082]-[0083]段, 附图2</td> <td>1-20</td> </tr> <tr> <td>A</td> <td>US 2016180775 A1 (SAMSUNG DISPLAY CO LTD) 2016年 6月 23日 (2016 - 06 - 23) 全文</td> <td>1-20</td> </tr> </tbody> </table> <p><input type="checkbox"/> 其余文件在C栏的续页中列出。 <input checked="" type="checkbox"/> 见同族专利附件。</p> <table border="0"> <tr> <td>* 引用文件的具体类型:</td> <td>“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件</td> </tr> <tr> <td>“A” 认为不特别相关的表示了现有技术一般状态的文件</td> <td>“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性</td> </tr> <tr> <td>“E” 在国际申请日的当天或之后公布的在先申请或专利</td> <td>“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性</td> </tr> <tr> <td>“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)</td> <td>“&” 同族专利的文件</td> </tr> <tr> <td>“O” 涉及口头公开、使用、展览或其他方式公开的文件</td> <td></td> </tr> <tr> <td>“P” 公布日先于国际申请日但迟于所要求的优先权日的文件</td> <td></td> </tr> </table>			类型*	引用文件, 必要时, 指明相关段落	相关的权利要求	PX	CN 107863072 A (京东方科技集团股份有限公司) 2018年 3月 3日 (2018 - 03 - 03) 说明书第[0045]-[0091]段, 附图1-7	1-20	X	CN 107331345 A (武汉华星光电半导体显示技术有限公司) 2017年 11月 7日 (2017 - 11 - 07) 说明书第[0036]-[0056]段, 附图2、3	1-20	Y	CN 105845081 A (京东方科技集团股份有限公司) 2016年 8月 10日 (2016 - 08 - 10) 说明书第[0038]-[0107]段, 附图1-10	1-20	Y	CN 103779385 A (株式会社日本显示器) 2014年 5月 7日 (2014 - 05 - 07) 说明书第[0082]-[0083]段, 附图2	1-20	A	US 2016180775 A1 (SAMSUNG DISPLAY CO LTD) 2016年 6月 23日 (2016 - 06 - 23) 全文	1-20	* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件	“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性	“E” 在国际申请日的当天或之后公布的在先申请或专利	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性	“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)	“&” 同族专利的文件	“O” 涉及口头公开、使用、展览或其他方式公开的文件		“P” 公布日先于国际申请日但迟于所要求的优先权日的文件	
类型*	引用文件, 必要时, 指明相关段落	相关的权利要求																														
PX	CN 107863072 A (京东方科技集团股份有限公司) 2018年 3月 3日 (2018 - 03 - 03) 说明书第[0045]-[0091]段, 附图1-7	1-20																														
X	CN 107331345 A (武汉华星光电半导体显示技术有限公司) 2017年 11月 7日 (2017 - 11 - 07) 说明书第[0036]-[0056]段, 附图2、3	1-20																														
Y	CN 105845081 A (京东方科技集团股份有限公司) 2016年 8月 10日 (2016 - 08 - 10) 说明书第[0038]-[0107]段, 附图1-10	1-20																														
Y	CN 103779385 A (株式会社日本显示器) 2014年 5月 7日 (2014 - 05 - 07) 说明书第[0082]-[0083]段, 附图2	1-20																														
A	US 2016180775 A1 (SAMSUNG DISPLAY CO LTD) 2016年 6月 23日 (2016 - 06 - 23) 全文	1-20																														
* 引用文件的具体类型:	“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件																															
“A” 认为不特别相关的表示了现有技术一般状态的文件	“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性																															
“E” 在国际申请日的当天或之后公布的在先申请或专利	“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性																															
“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件 (如具体说明的)	“&” 同族专利的文件																															
“O” 涉及口头公开、使用、展览或其他方式公开的文件																																
“P” 公布日先于国际申请日但迟于所要求的优先权日的文件																																
国际检索实际完成的日期	国际检索报告邮寄日期																															
2018年 10月 15日	2018年 11月 20日																															
ISA/CN的名称和邮寄地址	受权官员																															
中华人民共和国国家知识产权局 (ISA/CN) 中国北京市海淀区蓟门桥西土城路6号 100088	李玮																															
传真号 (86-10)62019451	电话号码 86-(0512)-88997313																															

国际检索报告
关于同族专利的信息

国际申请号

PCT/CN2018/102261

检索报告引用的专利文件			公布日 (年/月/日)	同族专利			公布日 (年/月/日)
CN	107863072	A	2018年 3月 3日	无			
CN	107331345	A	2017年 11月 7日	无			
CN	105845081	A	2016年 8月 10日	WO	2017215290	A1	2017年 12月 21日
CN	103779385	A	2014年 5月 7日	CN	103779385	B	2016年 8月 17日
				US	2014111404	A1	2014年 4月 24日
				KR	101580719	B1	2015年 12月 28日
				JP	6186127	B2	2017年 8月 23日
				KR	20140050559	A	2014年 4月 29日
				JP	2014163991	A	2014年 9月 8日
				US	9368058	B2	2016年 6月 14日
				TW	201416783	A	2014年 5月 1日
				JP	2014085385	A	2014年 5月 12日
				TW	I559064	B	2016年 11月 21日
				JP	6116186	B2	2017年 4月 19日
				JP	2014142560	A	2014年 8月 7日
				JP	6228735	B2	2017年 11月 8日
US	2016180775	A1	2016年 6月 23日	US	9704433	B2	2017年 7月 11日
				KR	20160074780	A	2016年 6月 29日

表 PCT/ISA/210 (同族专利附件) (2015年1月)