



(12) 发明专利申请

(10) 申请公布号 CN 114072537 A

(43) 申请公布日 2022. 02. 18

(21) 申请号 202080049144.X

(74) 专利代理机构 中国贸促会专利商标事务所  
有限公司 11038

(22) 申请日 2020.07.10

代理人 申发振

(30) 优先权数据

16/516,423 2019.07.19 US

(51) Int.Cl.

G23C 16/40 (2006.01)

(85) PCT国际申请进入国家阶段日

2022.01.05

(86) PCT国际申请的申请数据

PCT/IB2020/056508 2020.07.10

(87) PCT国际申请的公布数据

WO2021/014266 EN 2021.01.28

(71) 申请人 国际商业机器公司

地址 美国纽约

申请人 株式会社爱发科

(72) 发明人 J·罗泽恩 M·M·弗兰克

小川洋平

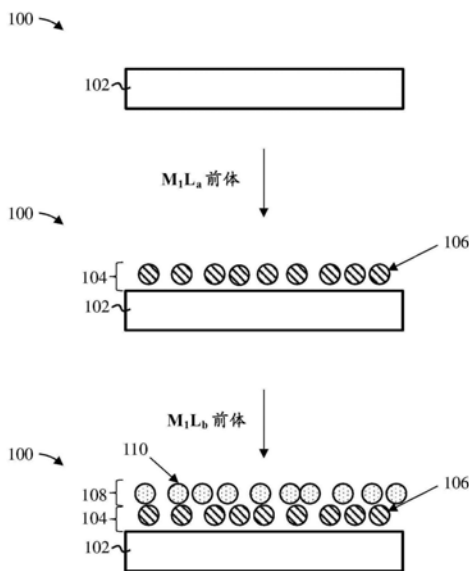
权利要求书2页 说明书12页 附图13页

(54) 发明名称

亚化学计量金属氧化物薄膜

(57) 摘要

一种沉积亚化学计量金属氧化物的方法,该方法包括:选择包含金属和第一配体的第一前体;选择包含金属和第二配体的第二前体;在原子层沉积循环的第一脉冲期间将衬底(102)暴露于第一前体;在原子层沉积循环的第二脉冲期间将衬底(102)暴露于第二前体,第二脉冲在第一脉冲之后直接发生;在原子层沉积循环的第三脉冲期间将衬底(102)暴露于氧化剂。



1. 一种沉积亚化学计量金属氧化物的方法,该方法包括:  
选择包含金属和第一配体的第一前体;  
选择包含金属和第二配体的第二前体;  
在原子层沉积 (ALD) 循环的第一脉冲期间将衬底暴露于第一前体;  
在ALD循环的第二脉冲期间将衬底暴露于第二前体,第二脉冲直接发生在第一脉冲之后;以及  
在ALD循环的第三脉冲期间将衬底暴露于氧化剂。
2. 根据权利要求1的所述的方法,氧化剂是基于非等离子体的热氧化剂。
3. 根据权利要求1的所述的方法,其中在第一脉冲期间,第一前体的金属化学吸附到衬底的表面上。
4. 根据权利要求2的所述的方法,其中在第二脉冲期间,第二前体的金属化学吸附到由第一前体配体封端的涂覆表面上;并且其中第一配体和第二配体在第二脉冲期间反应以形成一种或多种副产物。
5. 根据权利要求4的所述的方法,还包括对一种或多种副产物的至少一部分使用排气去除。
6. 根据权利要求1的所述的方法,其中第二脉冲直接发生在第一脉冲之后而没有中间脉冲。
7. 根据权利要求1的所述的方法,其中第二脉冲发生在第一脉冲之后,使得任何中间脉冲都是非反应性吹扫脉冲。
8. 根据权利要求1的所述的方法,其中金属包括Hf、Ta、Zr、Al、La和Si中的一种或多种,第一配体包括卤化物,并且第二配体包括金属有机物。
9. 根据权利要求1的所述的方法,其中金属包括Hf、Ta、Zr、Al、La和Si中的一种或多种,第一配体包括金属有机物,并且第二配体包括卤化物。
10. 一种沉积亚化学计量金属氧化物的方法,该方法包括:  
将衬底暴露于第一原子层沉积 (ALD) 循环,第一ALD循环包括第一前体脉冲、第二前体脉冲和氧化剂脉冲,其中第一前体包括金属和第一配体,第二前体包括金属和第二配体;  
将衬底暴露于第二ALD循环,第二ALD循环包括第一前体脉冲和第二前体脉冲而没有氧化剂脉冲;和  
将衬底暴露于第三ALD循环,第三ALD循环包括第一前体脉冲和第二前体脉冲之一并且随后是氧化剂脉冲。
11. 根据权利要求10的所述的方法,其中超级循环包括以任何顺序的第一ALD循环、第二ALD循环和第三ALD循环;并且其中超级循环在亚化学计量金属氧化物的沉积中重复一次或多次。
12. 根据权利要求11的所述的方法,其中在第二ALD循环之前将第一ALD循环重复一次或多次并且在第三ALD循环之前将第二ALD循环重复一次或多次。
13. 根据权利要求10的所述的方法,其中金属包括铪,第一配体包括氯化物,并且第二配体包括有机金属。
14. 根据权利要求13的所述的方法,其中第一前体包括 $\text{HfCl}_4$ 并且第二前体包括铪和四乙基甲基氨基 (TEMA)。

15. 根据权利要求10的所述的方法,其中第一ALD循环和第二ALD循环是亚化学计量循环并且第三ALD循环是化学计量循环。

16. 一种形成电子器件的方法,该方法包括:

形成底层;

在底层上方形成金属亚氧化物膜,通过将底层暴露于原子层沉积(ALD)循环而形成金属亚氧化物膜,ALD循环包括第一前体脉冲、第二前体脉冲和氧化剂脉冲,其中第一前体包括金属和第一配体,第二前体包括金属和第二配体;以及

在金属亚氧化物膜上形成顶部电极。

17. 根据权利要求16的所述的方法,其中底层包括金属并且金属亚氧化物膜包括电阻式随机存取存储器(RRAM)的有源区。

18. 根据权利要求16的所述的器件,其中底层包括半导体和电介质;其中金属亚氧化物膜包括浮栅闪存的电荷俘获层。

19. 一种电子器件,包括,

底层;

顶部电极;和

底层和顶部电极之间的金属亚氧化物膜,通过将底层暴露于原子层沉积(ALD)循环而形成金属亚氧化物膜,ALD循环包括第一前体脉冲、第二前体脉冲和氧化剂脉冲,其中第一前体包括金属和第一配体,第二前体包括金属和第二配体。

20. 根据权利要求19的所述的器件,其中底层包括金属电极并且金属亚氧化物膜包括电阻式随机存取存储器(RRAM)的有源区。

21. 根据权利要求19的所述的器件,其中底层包括半导体和介电层;其中金属亚氧化物膜包括浮栅闪存的电荷俘获层。

22. 一种金属-绝缘体-金属器件,包括:

包括第一金属的底部电极;

包括第二金属的顶部电极;以及

底部电极和顶部电极之间的金属亚氧化物膜,通过将底部电极暴露于原子层沉积(ALD)循环而形成金属亚氧化物膜,ALD循环包括第一前体脉冲、第二前体脉冲和氧化剂脉冲,其中第一前体包含第三金属和第一配体,第二前体包含第三金属和第二配体。

23. 根据权利要求22的所述的器件,其中底部电极包括金属氮化物并且金属亚氧化物膜包括 $\text{HfO}_{2-x}$ 或 $\text{Ta}_2\text{O}_{3-x}$ 。

24. 根据权利要求22的所述的器件,其中金属亚氧化物膜包括一个或多个金属--金属键和一个或多个金属--氮化物--金属键;并且其中金属亚氧化物膜进一步包括与有机和卤化物副产物偶联的亚氧化物键。

25. 根据权利要求22的所述的器件,其中金属亚氧化物膜包括三维电阻随机存取存储器(RRAM)、鳍型场效应晶体管(finFET)或闪存的亚化学计量膜。

## 亚化学计量金属氧化物薄膜

### 背景技术

[0001] 本发明一般涉及薄膜沉积技术。更具体地,本发明涉及亚化学计量金属氧化物薄膜的沉积。

[0002] 半导体工业的特征在于趋向于在给定的半导体芯片上制造更大和更复杂的电路。更大和更复杂的电路是通过减小电路内单个器件的尺寸并将器件间隔得更近来实现的。近年来,高介电常数 (high-k) 材料已逐渐取代二氧化硅作为最先进的CMOS制造技术中使用的绝缘层,例如包括用于制造半导体存储器件中的存储单元的CMOS制造技术。例如,氧化锆 (ZrO) 的介电常数约为24至40。为了满足越来越小的器件的尺寸要求,这些高k膜必须沉积到越来越低的厚度水平。

[0003] 原子层沉积 (ALD) 是一种独特地适用于薄膜沉积的沉积技术。在ALD期间,通过将衬底表面暴露于交替的气体物质 (通常称为前体),在衬底上逐层生长薄膜。在一系列连续的、非重叠的脉冲期间沉积前体。在这些脉冲中的每一个中,前体分子以自限性方式与表面反应,因此一旦表面上的所有反应位点被消耗,反应就会终止。因此,单次暴露于所有前体 (所谓的ALD循环) 后沉积在表面上的最大材料量取决于前体-表面相互作用的性质。通过改变循环次数,可以在任意复杂和大的衬底上均匀且高精度地生长材料。

### 发明内容

[0004] 本发明的实施例涉及一种使用改进的原子层沉积 (ALD) 工艺形成亚化学计量金属氧化物膜的方法。该方法的非限制性示例包括选择第一前体和第二前体。第一前体可包括金属和第一配体。第二前体可以包括相同的金属和第二配体。在ALD循环的第一脉冲期间,衬底可以暴露于第一前体。在ALD循环的第二脉冲期间,衬底可以暴露于第二前体。第二脉冲可以直接发生在第一脉冲之后而中间没有氧化剂。在ALD循环的第三脉冲期间,衬底可以暴露于氧化剂。

[0005] 在本发明的一些实施例中,氧化剂是基于非等离子体的热氧化剂 (例如,  $H_2O$ 、 $O_3$  等)。在本发明的一些实施例中,第一前体的金属在第一脉冲期间化学吸附到衬底的表面上。

[0006] 在本发明的一些实施例中,第二前体的金属化学吸附到由第一前体配体封端的涂覆表面上。在本发明的一些实施例中,第一配体和第二配体在第二脉冲期间反应以形成一种或多种副产物。在本发明的一些实施例中,一种或多种副产物的至少一部分使用排气去除。

[0007] 在本发明的一些实施例中,第二脉冲直接发生在第一脉冲之后而没有中间脉冲。在本发明的一些实施例中,第二脉冲发生在第一脉冲之后,使得任何中间脉冲都是非反应性吹扫脉冲。

[0008] 本发明的实施例涉及一种用于沉积亚化学计量金属氧化物的方法。该方法的非限制性示例包括将衬底暴露于具有第一前体脉冲、第二前体脉冲和氧化剂脉冲的第一ALD循环。第一前体可以包括金属和第一配体,第二前体可以包括相同的金属和第二配体。该方法

可以包括将衬底暴露于具有第一前体脉冲和第二前体脉冲而没有氧化剂脉冲的第二ALD循环。该方法可以包括将衬底暴露于具有第一前体脉冲和第二前体脉冲之一(但不是两者)并且随后是氧化剂脉冲的第三ALD循环。

[0009] 在本发明的一些实施例中,超级循环包括以任何顺序的第一ALD循环、第二ALD循环和第三ALD循环。在亚化学计量金属氧化物的沉积中,超级循环可以重复一次或多次。在本发明的一些实施例中,第一ALD循环在第二ALD循环之前重复一次或多次。在本发明的一些实施例中,第二ALD循环在第三ALD循环之前重复一次或多次。

[0010] 在本发明的一些实施例中,金属包括钪,第一配体包括氯化物,第二配体包括金属有机物。在本发明的一些实施例中,第一前体包括 $\text{HfCl}_4$ 并且第二前体包括钪和四乙基甲基氨基(TEMA)。在本发明的一些实施例中,第一前体包括 $\text{TaCl}_5$ 并且第二前体包括钽和聚(2,5-二甲氧基苯胺)(PDMA)。

[0011] 在本发明的一些实施例中,第一ALD循环和第二ALD循环是亚化学计量循环并且第三ALD循环是化学计量循环。

[0012] 本发明的实施例涉及一种用于形成半导体结构的方法。该方法的非限制性示例包括形成底层、顶部电极以及在底层和顶部电极之间的金属亚氧化物膜。金属亚氧化物膜可以通过将底层暴露于具有第一前体脉冲、第二前体脉冲和氧化剂脉冲的ALD循环而形成。第一前体可以包括金属和第一配体,第二前体可以包括相同的金属和第二配体。

[0013] 在本发明的一些实施例中,金属亚氧化物膜是电阻式随机存取存储器(RRAM)的有源区。在本发明的一些实施例中,金属亚氧化物膜是浮栅闪存的栅介质层。

[0014] 本发明的实施例涉及一种半导体结构。半导体器件的非限制性示例包括由半导体材料制成的底层、顶部电极以及位于底层和顶部电极之间的金属亚氧化物膜。金属亚氧化物膜可通过将底层暴露于具有第一前体脉冲、第二前体脉冲和氧化剂脉冲的ALD循环而形成。第一前体可以包括金属和第一配体,第二前体可以包括相同的金属和第二配体。在本发明的一些实施例中,半导体材料包括Si、Ge、SiGe、aSi:H和InGaAs中的一种或多种。

[0015] 本发明的实施例涉及一种半导体结构。半导体器件的非限制性示例包括具有第一金属的底部电极、具有第二金属的顶部电极以及位于底部电极和顶部电极之间的金属亚氧化物膜。金属亚氧化物膜可通过将底部电极暴露于具有第一前体脉冲、第二前体脉冲和氧化剂脉冲的ALD循环而形成。第一前体包括第三金属和第一配体,第二前体包括第三金属和第二配体。

[0016] 在本发明的一些实施例中,底部电极包括金属氮化物并且金属亚氧化物膜包括 $\text{HfO}_{2-x}$ 或 $\text{Ta}_2\text{O}_{3-x}$ 。在本发明的一些实施例中,金属亚氧化物膜包括一种或多种金属-金属键和/或一种或多种金属-氮化物-金属键。在本发明的一些实施例中,金属亚氧化物膜包括与有机和卤化物副产物(例如,C、Cl、 $\text{NH}_3\text{Cl}$ 等)偶联的亚氧化物键。

[0017] 通过本发明的技术实现附加的技术特征和益处。本发明的实施例和方面在本文中详细描述并且被认为是要求保护的主体的一部分。为了更好地理解,请参阅详细说明和附图。

[0018] 从第一方面来看,本发明提供了一种沉积亚化学计量金属氧化物的方法,该方法包括:选择包含金属和第一配体的第一前体;选择包含金属和第二配体的第二前体;在原子层沉积(ALD)循环的第一脉冲期间将衬底暴露于第一前体;在ALD循环的第二个脉冲期间将

衬底暴露于第二前体,第二个脉冲直接发生在第一个脉冲之后;以及在ALD循环的第三个脉冲期间将衬底暴露于氧化剂。

[0019] 从另一方面来看,本发明提供了一种沉积亚化学计量金属氧化物的方法,该方法包括:将衬底暴露于第一原子层沉积(ALD)循环,第一ALD循环包括第一前体脉冲、第二前体脉冲和氧化剂脉冲,其中第一前体包含金属和第一配体,第二前体包含金属和第二配体;将衬底暴露于第二ALD循环,第二ALD循环包括第一前体脉冲和第二前体脉冲而没有氧化剂脉冲;以及将衬底暴露于第三ALD循环,第三ALD循环包括第一前体脉冲和第二前体脉冲之一并且随后是氧化剂脉冲。

[0020] 从另一方面来看,本发明提供了一种形成电子器件的方法,该方法包括:形成底层;在底层上形成金属亚氧化物膜,通过将底层暴露于原子层沉积(ALD)循环而形成金属亚氧化物膜,ALD循环包括第一前体脉冲、第二前体脉冲和氧化剂脉冲,其中第一前体包含金属和第一配体,第二前体包含金属和第二配体;并在金属亚氧化物膜上方形成顶部电极。

[0021] 从另一方面来看,本发明提供了一种电子器件,包括:底层;顶部电极;以及底层和顶部电极之间的金属亚氧化物膜,通过将底层暴露于原子层沉积(ALD)循环而形成的金属亚氧化物膜,ALD循环包括第一前体脉冲、第二前体脉冲和氧化剂脉冲,其中第一前体包含金属和第一配体,第二前体包含金属和第二配体。

[0022] 从另一方面来看,本发明提供了一种金属绝缘体金属器件,包括:包括第一金属的底部电极;包括第二金属的顶部电极;以及底部电极和顶部电极之间的金属亚氧化物膜,通过将底部电极暴露于原子层沉积(ALD)循环而形成的金属亚氧化物膜,ALD循环包括第一前体脉冲,第二前体脉冲和氧化剂脉冲,其中第一前体包含第三金属和第一配体,第二前体包含第三金属和第二配体。

## 附图说明

[0023] 在说明书结尾处的权利要求中特别指出并清楚地要求这里描述的专有权的细节。本发明的实施例的前述和其他特征和优点从以下结合附图的详细描述中显而易见。现在将参考优选实施例仅通过示例来描述本发明,如下图所示。

[0024] 图1描绘了说明根据本发明实施例的由执行初始制造操作产生的结构的截面图;

[0025] 图2描绘了根据本发明实施例的在制造操作之后的结构的截面图;

[0026] 图3描绘了根据本发明实施例的在制造操作之后的结构的截面图;

[0027] 图4描绘了根据本发明实施例的在制造操作之后的结构的截面图;

[0028] 图5描绘了根据本发明实施例的在制造操作之后的结构的截面图;

[0029] 图6描绘了根据本发明实施例的在制造操作之后的结构的截面图;

[0030] 图7描绘了根据本发明实施例的在制造操作之后的结构的截面图;

[0031] 图8描绘了根据本发明实施例的在制造操作之后的结构的截面图;

[0032] 图9A描绘了根据本发明实施例的在制造操作之后的结构的俯视图;

[0033] 图9B描绘了在根据本发明实施例的制造操作之后图9A的结构的截面图;

[0034] 图10描绘了说明根据本发明一个或多个实施例的方法的流程图;

[0035] 图11描绘了说明根据本发明一个或多个实施例的方法的流程图;以及

[0036] 图12描绘了说明根据本发明一个或多个实施例的方法的流程图。

[0037] 在所描述的实施例的附图和以下详细描述中,图中所示的各种元件被提供有两位或三位数字的附图标记。除了少数例外,每个参考编号最左边的数字对应于首次显示其元素的图。

### 具体实施方式

[0038] 为简洁起见,这里可以详细描述或不详细描述与半导体器件和集成电路(IC)制造相关的常规技术。此外,这里描述的各种任务和过程步骤可以被合并到具有这里没有详细描述 of 的附加步骤或功能的更全面的过程或过程中。特别是,制造半导体器件和基于半导体的IC的各个步骤是众所周知的,因此,为了简洁起见,许多常规步骤将在此仅简要提及或将完全省略而不提供众所周知的工艺细节。

[0039] 现在转向与本发明的方面更具体相关的技术的概述,用于沉积亚氧化物的当前原子层沉积(ALD)技术依赖于等离子体的引入(远程或直接)。这会导致不完整、不保形和不均匀的薄膜沉积。此外,用于具有不同金属和配体的混合反应的其他基于非等离子体的ALD技术是在没有氧化剂的情况下完成的,这意味着这些过程仅限于非亚氧化物。因此,在没有清除门的情况下,没有形成可适用于闪存和RRAM等3D技术的保形、均匀、单金属ALD亚氧化物的现有路径,这极大地限制了ALD亚氧化物的可用应用数量。

[0040] 现在转向本发明各方面的概述,本发明的实施例提供了一种新的、全热的ALD技术,用于在有或没有中间氧化剂的情况下沉积薄膜亚氧化物。“全热”ALD工艺是指在ALD循环期间不引入等离子体的工艺。通过避免使用等离子体,可以实现完整、保形、均匀的薄膜沉积。该工艺允许使用热氧化剂(而不是基于等离子体的氧化剂),因此与当前和未来的各种3D技术兼容。

[0041] 根据本发明的方面的ALD技术利用具有相同金属但不同配体的混合前体反应来形成薄膜亚氧化物。考虑ALD金属前体P1和P2的沉积,其中P1包括第一金属和第一配体(例如M1La),P2包括第一金属和第二配体(例如M1Lb)。在本发明的一些实施例中,M1Lb脉冲紧接在M1La脉冲之后发生,有或没有中间热氧化剂(或其他反应物)脉冲。如果不使用热氧化剂(表示为“0”),则ALD循环与ALD超级循环中的标准金属氧化物ALD循环相结合。

[0042] 换言之,本全热ALD技术包括M1La-M1Lb-0 ALD循环和(M1La-M1Lb-0) $\cdot x + (M1La-M1Lb) \cdot y$  ALD超级循环,其中x和y可以任意重复任意次数(即x和y可以分别为0、1、2、3、4、5 $\cdots 10 \cdots N$ ,并且x和y可以具有相同或不同的值)。在本发明的一些实施例中,(M1La-M1Lb-0) $\cdot x$ 和(M1La-M1Lb) $\cdot y$ 循环是亚化学计量的ALD循环。

[0043] 在本发明的一些实施例中,ALD超级循环被进一步修改以在亚化学计量ALD循环x和y之后包括一组化学计量ALD循环z。例如,(M1La-M1Lb-0) $\cdot x + (M1La-M1Lb) \cdot y + (M1La$ 或M1Lb) $\cdot z$  ALD超级循环,其中z也可以任意重复任意次数(即,x、y和z可以分别为0、1、2、3、4、5 $\cdots 10 \cdots N$ ,并且x、y和z可以具有相同或不同的值)。在本发明的一些实施例中,超级循环的ALD循环可以任意重新排序(也就是第一脉冲、第二脉冲和氧化剂脉冲可以以任何期望的顺序发生)。

[0044] 根据本发明的方面的ALD技术可以提供自饱和M1La层的完全覆盖,然后在La-Lb反应和副产物脱气之后完全覆盖M1Lb层。在本发明的一些实施例中,自饱和M1La层和M1Lb层定义了双层。根据一个或多个实施例形成的膜的化学计量可以通过改变中间氧化剂(例如,

O<sub>2</sub>、H<sub>2</sub>O、O<sub>3</sub>、NO、N<sub>2</sub>O等)和/或通过调整ALD超级循环(x,y或x,y,z)中的ALD循环x、y和z来调整。

[0045] 该技术优于现有ALD工艺的优点包括能够形成共形且均匀的亚化学计量金属氧化物材料,通过修改超级循环序列的x、y、z循环无需清除电极、成分调整和分级。由于不需要等离子体工艺,根据本发明的方面的ALD技术是生产线前端(FEOL)兼容的。

[0046] 该ALD技术具有广泛的实际应用,例如金属-绝缘体-金属(MIM)堆叠、3D存储器氧化物、3D闪存器件、电阻随机存取存储器(RRAM)或高k电介质薄膜,例如用于FET和MIMCAP的薄膜。例如,该工艺可用于构建具有位于顶部和底部电极(例如,TiN)之间的金属亚氧化物(例如HfO<sub>2-x</sub>或Ta<sub>2</sub>O<sub>3-x</sub>)的MIM堆叠。金属亚氧化物可能含有显著痕量的N、Cl、C、H(ALD反应的副产物)和M1-M1金属键。此外,金属亚氧化物可以是共形的(自限反应,不使用等离子体形成)。使用该工艺形成的RRAM器件可以具有较低的形成、设置和/或复位电压。

[0047] 现在转向对本发明的方面的更详细描述,图1-8描绘了根据本发明的实施例,使用(M1La-M1Lb)<sub>0</sub>.x+(M1La-M1Lb)<sub>1</sub>.y+(M1La或M1Lb)<sub>2</sub>.z ALD超级循环,在用于从ALD工艺形成亚化学计量金属氧化物叠层(图8中所示)的制造操作之后的半导体晶片/结构100的一部分的截面图。更具体地,图1描绘了说明根据本发明的实施例由执行初始制造操作产生的初始晶片/结构/衬底102的三个实例的截面图。

[0048] 如图1所示,在ALD循环的第一脉冲期间,衬底102的表面暴露于第一前体M1La以形成第一ALD层104。在本发明的一些实施例中,第一ALD层104包括第一前体M1La的化学吸附金属106及其剩余的配体。在本发明的一些实施例中,第一脉冲导致单层化学吸附金属106的沉积。在本发明的一些实施例中,调整第一脉冲(例如,通过基于选择的前体修改脉冲持续时间)以确保衬底102的表面完全被化学吸附的金属106(中图)饱和(即自饱和)。在本发明的一些实施例中,第一ALD层104的形成导致衬底102具有以第一前体配体La终止的涂覆表面。

[0049] 衬底102可以由任何合适的衬底材料制成,例如,硅、硅锗、碳化硅(SiC)、非晶掺杂硅(例如,aSi:H)、III-V族化合物半导体、II-VI族化合物半导体,或绝缘体上半导体(SOI)。III-V族化合物半导体包括具有至少一种III族元素和至少一种V族元素的材料,例如砷化铝镓(AlGaAs)、氮化铝镓(AlGaN)、砷化铝(AlAs),砷化铝镓(AlInAs),氮化铝(AlN),铟化镓(GaSb),铟化铝镓(GaAlSb),砷化镓(GaAs),砷化铟化镓(GaAsSb),氮化镓(GaN),铟化镓(InSb)、砷化镓(InAs)、砷化镓(InGaAs)、磷化砷化镓(InGaAsP)、氮化镓(InGaN)、氮化镓(InN)、磷化镓(InP)和包括至少一种上述材料的合金组合。合金组合可包括二元(两种元素,例如砷化镓(III)(GaAs))、三元(三种元素,例如InGaAs)和四元(四种元素,例如磷化铝镓(InAlInGaP))合金。II-IV族化合物半导体以与III-V族化合物半导体类似的方式包括具有至少一种II族元素和至少一种IV族元素的材料。在本发明的一些实施例中,衬底102包括掩埋氧化物层(未描绘)。掩埋氧化物层可以由任何合适的介电材料制成,例如氧化硅。在本发明的一些实施例中,掩埋氧化物层形成为约145nm的厚度,但其他厚度也在本发明的预期范围内。

[0050] 第一前体M1La可以包括金属(M1)和配体(La)。金属可包括任何合适的材料,例如Hf、Ta、Zr、Al、La、Si等。配体可包括任何合适的材料,例如卤化物、氯化物(Cl<sub>4</sub>或Cl<sub>3</sub>)或金属有机物(三甲基金属有机物、四甲基乙基金属有机物等,例如Al<sub>2</sub>(CH<sub>3</sub>)<sub>6</sub>)。

[0051] 虽然为了便于讨论而未图示,但在本发明的一些实施例中,第一脉冲(并且实际上,任何脉冲,包括所有前体和氧化剂脉冲)之后是非反应性吹扫脉冲。吹扫脉冲不影响最终的化学反应,为简单起见省略了吹扫脉冲的详细讨论。吹扫脉冲可包括例如 $N_2$ 、Ar、He、真空等,并可用于吹扫废气和未反应的前体气体。

[0052] 如图进一步所示。参照图1,在ALD循环的第二脉冲期间,第一ALD层104的表面暴露于第二前体M1Lb以形成第二ALD层108。在本发明的一些实施例中,第二前体M1Lb包括与第一前体M1La相同的金属(M1)。在本发明的一些实施例中,第二前体M1Lb包括与第一前体M1La相同的金属(M1)但不同的配体(Lb)。

[0053] 本发明的一些实施例中,不同的配体La和Lb对应于不同的卤化物和金属-有机配体,包括胺和碳水化合物。在本发明的一些实施方案中,第一配体La和第二配体Lb选自同一类配体(例如,两者都是卤化物、金属有机物等)。在本发明的一些实施方案中,第一配体La选自第一类配体(例如卤化物)并且第二配体Lb选自第二类配体(例如金属有机物)。例如,金属M1可以是铪(Hf),不同的前体可以包括 $HfCl_4$ 、TEMAHf和TDMAHf等的组合,具体取决于应用。在另一个例子中,金属M1对应于钽(Ta),不同的前体包括 $TaCl_5$ 、聚(2,5-二甲氧基苯胺)钽(PDMAT)或正叔丁基氨基三(二乙基氨基)钽(TBTDET)的组合。

[0054] 在本发明的一些实施例中,第一前体M1La的第一配体La在第二脉冲期间与第二前体M1Lb的第二配体Lb反应。在本发明的一些实施例中,反应的配体La和Lb形成从半导体结构100去除的废气。在本发明的一些实施例中,在排气之后保留在第一ALD层104中的是金属M1和一些残余物(未反应的配体和反应副产物,例如N、Cl、C、H)。

[0055] 在本发明的一些实施例中,第二ALD层108包括第二前体M1Lb的化学吸附金属110及其剩余的配体。在本发明的一些实施例中,第二脉冲导致单层化学吸附金属110的沉积。在本发明的一些实施例中,第二前体的化学吸附金属110在第二脉冲期间化学吸附到由第一前体配体La终止的衬底102的涂覆表面上。

[0056] 在本发明的一些实施例中,第二脉冲被调谐(例如,通过基于所选择的前体修改脉冲持续时间)以确保第一ALD层104的表面被化学吸附的金属110(最底部的图像)完全饱和(即,自饱和)。在本发明的一些实施例中,第一ALD层104和第二ALD层108形成单个ALD双层104/108。通过以这种方式逐层构建堆栈,整个ALD工艺可以很容易地进行微调,以满足各种工艺(成分、厚度等)的要求。

[0057] 图2描绘了说明根据本发明的一个或多个实施例的在处理操作之后的半导体结构100的三个实例的截面图。虽然图1说明了在第二个M1Lb循环期间掺入金属的主要机制(即,由此金属110化学吸附到由第一前体配体La封端的衬底102的涂覆表面上),第二种机制是可能的。在本发明的一些实施例中,第一前体M1La及其剩余配体可以封闭一些但不是全部吸附/反应位点(中图)。在本发明的一些实施例中,一个或多个吸附位点202在衬底102的表面上保持开放。

[0058] 如图2所示,衬底102的表面暴露于第二前体M1Lb以在第二脉冲期间填充第一ALD层104中的一个或多个吸附位点202中的任何(一些或全部)ALD循环(最底部的图像)。在本发明的一些实施例中,第二脉冲紧跟在第一脉冲之后。

[0059] 通过在第一脉冲之后立即执行第二脉冲(即,通过在没有氧化剂脉冲的情况下将衬底102直接暴露于第二前体M1Lb),M1Lb的吸收将自限制于可用的反应位点(例如,一个或

多个开放吸附位点202)。以此方式,可以亚化学计量地形成第一ALD层104。在本发明的一些实施例中,第二前体M1Lb的化学吸附金属110与第一前体M1La的化学吸附金属106反应。换言之,第一ALD层104可以是具有M1-M1金属键的亚氧化物。在一些实施例中,第一ALD层104还可以包括(除了M1-M1金属键之外)来自前体反应副产物的M1-C和M1-N键中的一个或多个。

[0060] 在本发明的一些实施例中,金属110通过主要机制(化学吸附到由第一前体配体终止的涂覆表面)和次要机制(在第一脉冲后化学吸附到开放位点)的组合进行化学吸附。

[0061] 图3描绘了说明根据本发明一个或多个实施例的在处理操作之后的半导体结构100的两个实例的截面图。如图3所示,第一ALD层104和第二ALD层108(或双层104/108,取决于第二金属如何化学吸附,如前所述)的表面在氧化剂期间暴露于热氧化剂(O) ALD循环的脉冲。在本发明的一些实施例中,热氧化剂O可包括例如 $H_2O$ 、 $N_2O$ 、 $NO$ 、 $O_3$ 、 $O_2$ 等。在本发明的一些实施例中,氧化剂脉冲导致在第一ALD层104(底部图像)的表面上形成单个氧化剂层302。

[0062] 图4描绘了说明根据本发明一个或多个实施例的在处理操作之后的半导体结构100的两个实例的截面图。如图4所示,半导体结构100暴露于图1-3中描绘的ALD脉冲(M1La-M1Lb-O)的“X”个重复循环以构建亚化学计量层402(底部图像)。

[0063] 在本发明的一些实施例中,亚化学计量层402是通过将衬底102的表面依次暴露于:(1)形成ALD层的第一前体M1La的脉冲(如关于图1所述);(2)第二前体M1Lb的脉冲以填充ALD层中的一个或多个吸附位点中的任何一个(一些或全部)(如关于图2所述);(3)热氧化剂脉冲(如关于图3所述);和(4)根据需要重复。通过根据需要增加重复的M1La-M1Lb-O循环的数量“X”,可以将亚化学计量层402形成为任意厚度。

[0064] 图5描绘了说明根据本发明的一个或多个实施例的在处理操作之后的半导体结构100的两个实例的截面图。在本发明的一些实施例中,ALD脉冲(M1La-M1Lb-O).x之后是没有热氧化剂脉冲的第二ALD脉冲(即,M1La-M1Lb循环)。如图5所示,在第二ALD脉冲期间,半导体结构100顺序地暴露于第一前体和第二前体以形成亚化学计量层502(底部图像)。

[0065] 图6描绘了说明根据本发明一个或多个实施例的在处理操作之后的半导体结构100的两个实例的截面图。如图6所示,半导体结构100可选地暴露于图5中描绘的ALD脉冲(M1La-M1Lb)的“Y”个重复循环以在亚化学计量层502之上构建附加亚化学计量层,定义亚化学计量层602(底部图像)。如图6进一步所示,第一ALD层104、单一氧化剂层302和亚化学计量层402限定了亚化学计量层602下方的第一组亚化学计量层604。

[0066] 在本发明的一些实施例中,亚化学计量层602是通过将衬底102的表面依次暴露于:(1)形成ALD层的第一前体M1La的脉冲(如关于图1所述);(2)第二前体M1Lb的脉冲以填充ALD层中的一个或多个吸附位点中的任何一个(一些或全部)(如关于图2所述);(3)根据需要重复(没有热氧化循环)。通过根据需要增加重复的M1La-M1Lb循环的数量“Y”,可以将亚化学计量层602形成为任意厚度。从图6可以看出,ALD脉冲(M1La-M1Lb).y与ALD脉冲(M1La-M1Lb-O).x不同,因为缺少中间热氧化剂循环。

[0067] 图7描绘了说明根据本发明一个或多个实施例的在处理操作之后的半导体结构100的两个实例的截面图。如图7所示,半导体结构100暴露于第三ALD脉冲(M1La-O或M1Lb-O)以在亚化学计量层602上形成一个或多个化学计量层702(底部图像)。在本发明的一些实施例中,第三ALD脉冲包括跟随有O脉冲的M1La脉冲。在本发明的一些实施例中,第三ALD脉

冲包括跟随有0脉冲的M1Lb脉冲。

[0068] 图8描绘了说明根据本发明一个或多个实施例的在处理操作之后的半导体结构100的两个实例的截面图。如图8所示,半导体结构100可选地暴露于图7中描绘的第三ALD脉冲(M1La-0或M1Lb-0)的“Z”个重复循环以在化学计量层702上构建额外的化学计量层,定义化学计量层802(底部图像)。

[0069] 在本发明的一些实施例中,化学计量层802是通过顺序地将衬底102的表面暴露于:(1)第一前体M1La或第二前体M1Lb的脉冲形成ALD层;(2)热氧化剂脉冲(如关于图3所述);(4)根据需要重复。通过根据需要增加重复的M1La/M1Lb-0循环的数量“Z”,可以将化学计量层802形成为任意厚度。从图8可以看出,第三ALD脉冲(M1La/M1Lb-0)与第一ALD脉冲(M1La-M1Lb-0)不同,因为每层中仅包含一个前体,并且与第二ALD脉冲(M1La-M1Lb)不同,原因是存在中间热氧化循环。

[0070] 图9A和9B分别描绘了根据本发明一个或多个实施例的在处理操作之后的半导体结构900的俯视图和截面图。如图9A所示,半导体结构900可以定义MIM结构的一部分(例如,平面X点或堆叠3D RRAM)。半导体结构900可以包括例如金属线902、亚化学计量的ALD金属氧化物904和电极906。金属线902和电极906可以使用已知工艺形成。在本发明的一些实施例中,根据本发明的一个或多个实施例形成亚化学计量的ALD金属氧化物904。在本发明的一些实施例中,依次使用超级循环X-Y-Z的“X”(M1La-M1Lb-0)循环、“Y”(M1La-M1Lb)循环和“Z”(M1La/M1Lb)形成亚化学计量ALD金属氧化物904,如前文所述。

[0071] 半导体结构900说明了使用先前描述的技术形成的亚化学计量ALD金属亚氧化物的一种可能应用。然而,应当理解,先前描述的技术可以并入其他过程中。有利的是,这种亚氧化物ALD技术可以替代或补充任何需要氧化膜或亚氧化物膜的FEOL或BEOL工艺(例如,FET中的高k介电膜、MIMCAP的绝缘体等)。在另一示例中,3D电荷陷阱闪存中的氮化硅被根据本发明的一个或多个实施例形成的ALD亚化学计量金属氧化物膜(例如,MO-N、C、H、Cl)替代。

[0072] 图10描绘了说明根据本发明一个或多个实施例的用于沉积亚化学计量金属氧化物的方法的流程图1000。如框1002所示,选择第一前体。第一前体可包括金属和第一配体。在框1004,选择第二前体。第二前体可以包括相同的金属和第二配体。在本发明的一些实施例中,金属包括Hf、Ta、Zr、Al、La和Si中的一种或多种。在本发明的一些实施方案中,第一配体和第二配体选自同一类别(例如,两种氯化物)。在本发明的一些实施方案中,第一配体和第二配体选自不同类别(例如,一种氯化物和一种卤化物)。在本发明的一些实施例中,第一配体包括卤化物并且第二配体包括金属有机物。在本发明的一些实施方案中,第一配体包括金属有机物并且第二配体包括卤化物。

[0073] 在框1006,在ALD循环的第一脉冲期间将衬底暴露于第一前体。在本发明的一些实施例中,在第一脉冲期间,第一前体的金属化学吸附到衬底的表面上。在本发明的一些实施例中,一个或多个吸附位点在第一次脉冲之后保持开放。

[0074] 在框1008,在ALD循环的第二脉冲期间将衬底暴露于第二前体。在本发明的一些实施例中,第二脉冲直接发生在第一脉冲之后。在本发明的一些实施例中,第二脉冲发生在第一脉冲之后,使得任何中间脉冲都是非反应性吹扫脉冲(例如,没有中间氧化剂脉冲)。

[0075] 在本发明的一些实施例中,在第二脉冲期间,第二前体的金属化学吸附到由第一

前体配体封端的涂覆表面上。在本发明的一些实施例中，第一配体和第二配体在第二脉冲期间反应以形成一种或多种副产物。在本发明的一些实施例中，一种或多种副产物的至少一部分通过排气去除。

[0076] 在框1010，在ALD循环的第三脉冲期间，将衬底暴露于氧化剂（例如，热氧化剂、 $O_2$ 、 $N_2O$ 等，如本文前面所讨论的）。

[0077] 图11描绘了说明根据本发明一个或多个实施例的用于沉积亚化学计量金属氧化物的方法的流程图1100。如框1102所示，衬底暴露于具有第一前体脉冲、第二前体脉冲和氧化剂脉冲的第一ALD循环（即，本文先前描述的M1La-M1Lb-0循环）。第一前体可以包括金属和第一配体，第二前体可以包括相同的金属和第二配体。在本发明的一些实施例中，金属包括钽，第一配体包括氯化物，第二配体包括金属有机物。在本发明的一些实施例中，第一前体包括 $HfCl_4$ 并且第二前体包括钪和四乙基甲基氨基（TEMA）。在本发明的一些实施例中，第一前体包括 $TaCl_5$ 并且第二前体包括钽和聚（2,5-二甲氧基苯胺）（PDMA）。在框1104，第一ALD循环重复一次或多次。

[0078] 在框1106，将衬底暴露于具有第一前体脉冲和第二前体脉冲而没有热氧化剂脉冲的第二ALD循环（即，本文先前描述的M1La-M1Lb循环）。在框1108，第二ALD循环重复一次或多次。

[0079] 在框1110，将衬底暴露于具有第一前体脉冲和第二前体脉冲之一（不是两者）并且随后是热氧化剂脉冲的第三ALD循环（即，先前描述的M1La-0或M1Lb-0循环）。

[0080] 在框1112，第三ALD循环重复一次或多次。在本发明的一些实施例中，重复的脉冲是相同的（例如，所有的M1La-0或M1Lb-0循环）。在本发明的一些实施例中，重复的脉冲发生变化（例如，一些M1La-0循环和一些M1Lb-0循环）。如果发生变化，M1La-0循环和M1Lb-0循环可以按任何所需顺序（例如，交替或其他方式）任意排序。

[0081] 在本发明的一些实施例中，超级循环包括第一ALD循环、第二ALD循环和第三ALD循环。在本发明的一些实施例中，超级循环在亚化学计量金属氧化物的沉积中重复一次或多次。

[0082] 在本发明的一些实施例中，第一ALD循环和第二ALD循环是亚化学计量循环并且第三ALD循环是化学计量循环。

[0083] 图12描绘了说明根据本发明一个或多个实施例的用于形成具有亚化学计量金属氧化物膜的电子器件的方法的流程图1200。如框1202所示，形成底层。在本发明的一些实施例中，底层包括金属。在本发明的一些实施例中，底层包括半导体材料。在本发明的一些实施例中，半导体材料包括Si、Ge、SiGe、aSi:H和InGaAs中的一种或多种。在本发明的一些实施例中，底层包括底部电极。在本发明的一些实施例中，底部电极包括金属。在本发明的一些实施例中，底部电极包括金属氮化物并且金属低氧化物膜包括 $HfO_{2-x}$ 或 $Ta_2O_{3-x}$ 。

[0084] 在框1204，在底层上方形成金属亚氧化物膜。金属亚氧化物膜可通过将底层暴露于具有第一前体脉冲、第二前体脉冲和热氧化剂脉冲的ALD循环而形成。第一前体可以包括金属和第一配体，第二前体可以包括相同的金属和第二配体。

[0085] 在框1206，在金属亚氧化物膜上方形成顶部电极。在本发明的一些实施例中，底层包括金属并且金属亚氧化物膜是RRAM的有源区。在本发明的一些实施例中，底层包括半导体和电介质，金属亚氧化物膜为浮栅闪存的电荷俘获层。

[0086] 在本发明的一些实施例中,金属亚氧化物膜是RRAM的有源区。在本发明的一些实施例中,金属亚氧化物膜是浮栅闪存的栅介质层。

[0087] 本文所述的方法可用于制造IC芯片。由此产生的集成电路芯片可以由制造商以原始晶圆形式(即,作为具有多个未封装芯片的单个晶圆)、裸芯片或封装形式分发。在后一种情况下,芯片安装在单芯片封装(例如塑料载体,引线固定在主板上或其他更高级别的载体上)或多芯片封装(例如陶瓷载体,其中一个或两个都有表面互连或埋入互连)。在任何情况下,芯片然后与其他芯片、分立电路元件和/或其他信号处理器件集成,作为(a)中间产品,例如母板,或(b)最终产品的一部分。最终产品可以是包括集成电路芯片的任何产品,从玩具和其他低端应用到具有显示器、键盘或其他输入设备和中央处理器的高级计算机产品。

[0088] 在此参考相关附图描述了本发明的各种实施例。在不脱离本发明的范围的情况下可以设计替代实施例。尽管在以下描述和附图中阐述了元件之间的各种连接和位置关系(例如,上方、下方、相邻等),但本领域技术人员将认识到,本文中描述的许多位置关系与方向无关,即使方向发生变化,所描述的功能也保持不变。除非另有说明,否则这些连接和/或位置关系可以是直接的或间接的,并且本发明不意图在这方面进行限制。类似地,术语“耦合”及其变体描述了在两个元件之间具有通信路径,并且并不暗示在元件之间没有中间元件/连接的直接连接。所有这些变化都被视为规范的一部分。相应地,实体之间的耦合可以是直接耦合也可以是间接耦合,实体之间的位置关系可以是直接位置关系也可以是间接位置关系。作为间接位置关系的示例,在本说明书中提及在层“B”之上形成层“A”包括一个或多个中间层(例如,层“C”)在层“A”和层“B”之间的情况,只要层“A”和层“B”的相关特性和功能基本上不会被中间层改变。

[0089] 以下定义和缩写用于解释权利要求和说明书。如本文所用,术语“包含”、“包括”、“具有”、“有”或其任何其他变体旨在涵盖非排他的含义。例如,包含一组元素的组合物、混合物、过程、方法、物品或器件不一定仅限于那些元素,而是可以包括未明确列出或固有的此类组合物、混合物、过程、方法、物品或器件的其他元素。

[0090] 此外,术语“示例性”在本文中用于表示“用作示例、实例或说明”。在此描述为“示例性”的任何实施例或设计不一定被解释为优于或优于其他实施例或设计。术语“至少一个”和“一个或多个”被理解为包括大于或等于一的任何整数,即一、二、三、四等。术语“多个”被理解为包括大于或等于二的任何整数,即二、三、四、五等。术语“连接”可包括间接“连接”和直接“连接”。

[0091] 说明书中对“一个实施例”、“一个示例实施例”等的引用表明所描述的实施例可以包括特定的特征、结构或特性,但是每个实施例可以或可以不包括特定的特征、结构或特性。此外,这些短语不一定指相同的实施例。此外,当结合实施例描述特定特征、结构或特性时,认为影响与其他实施例相关的此类特征、结构或特性在本领域技术人员的知识范围内,无论有或没有明确描述。

[0092] 为了下文描述的目的,术语“上”、“下”、“右”、“左”、“垂直”、“水平”、“顶部”、“底部”及其派生词应涉及所描述的结构和方法,如附图所示。术语“覆盖”、“顶上”、“在上面”、“位于”或“位于顶上”是指第一元件,例如第一结构,存在于第二元件,例如第二结构上,其中在第一元件和第二元件之间可以存在诸如界面结构的中间元件。术语“直接接触”是指第一元件(例如第一结构)和第二元件(例如第二结构)在两个元件的界面没有任何中间导电

层、绝缘层或半导体层的情况下连接。

[0093] 空间相关术语,例如“下方”、“之下”、“较低”、“上方”、“之上”等,可在本文中使用以易于描述以描述如图所示的一个元件或特征与另一个元素或特征的关系。将理解,除了图中描绘的取向之外,空间相对术语旨在涵盖使用或操作中的装置的不同取向。例如,如果图中的器件被翻转,则被描述为“在”其他元素或特征“下方”或“之下”的元素将被定向为“在”其他元素或特征“上方”。因此,术语“下方”可以包括上方和下方的取向。器件可以以其他方式定向(旋转90度或以其他方向)并且在此使用的空间相关描述词相应地解释。

[0094] 术语“大约”、“基本上”、“约”及其变体旨在包括与基于提交申请时可用的器件的特定量的测量相关联的误差程度。例如,“约”可以包括给定值的 $\pm 8\%$ 或 $5\%$ ,或 $2\%$ 的范围。

[0095] 术语“共形”(例如,共形层)是指该层的厚度在所有表面上基本相同,或者厚度变化小于该层标称厚度的 $15\%$ 。

[0096] 术语“外延生长和/或沉积”和“外延形成和/或生长”是指一种半导体材料(结晶材料)在另一种半导体材料(结晶材料)的沉积表面上的生长,其中半导体生长的材料(晶体覆盖层)具有与沉积表面的半导体材料(种子材料)基本相同的晶体特性。在外延沉积工艺中,可以控制由源气体提供的化学反应物,并且可以设置系统参数,使得沉积原子以足够的能量到达半导体衬底的沉积表面以在表面上移动,使得沉积原子将自身定向到沉积表面原子的晶体排列。外延生长的半导体材料可以具有与在其上形成外延生长的材料的沉积表面基本相同的晶体特性。例如,沉积在(100)取向的晶体表面上的外延生长的半导体材料可以呈现(100)取向。在本发明的一些实施例中,外延生长和/或沉积工艺可以选择性地在半导体表面上形成,并且不能在暴露的表面上沉积材料,例如二氧化硅或氮化硅表面。

[0097] 如本文先前所指出的,为了简洁起见,与半导体器件和集成电路(IC)制造相关的常规技术在本文中可以不详细描述。然而,作为背景,现在将提供可用于实施本发明的一个或多个实施例的半导体器件制造工艺的更一般的描述。尽管用于实施本发明的一个或多个实施例的具体制造操作可以单独已知,但是本发明的操作和/或所得结构的所述组合是独特的。因此,结合根据本发明的半导体器件的制造所描述的操作的独特组合利用在半导体(例如,硅)衬底上执行的多种单独已知的物理和化学过程,其中一些描述于紧随其后的段落。

[0098] 一般而言,用于形成将被封装到IC中的微芯片的各种工艺分为四大类,即膜沉积、去除/蚀刻、半导体掺杂和图案化/光刻。沉积是生长、涂覆或以其他方式将材料转移到晶片上的任何过程。可用技术包括物理气相沉积(PVD)、化学气相沉积(CVD)、电化学沉积(ECD)、分子束外延(MBE)以及最新的原子层沉积(ALD)等。去除/蚀刻是从晶片上去除材料的任何过程。示例包括蚀刻工艺(湿法或干法)、化学机械平坦化(CMP)等。例如,反应离子蚀刻(RIE)是一种干法蚀刻,它使用化学反应等离子体去除材料,例如半导体材料的掩模图案,方法是将材料暴露于离子轰击中,从而从暴露的表面去除材料的一部分。等离子体通常在低压(真空)下通过电磁场产生。半导体掺杂是通过掺杂,例如晶体管源极和漏极,通常通过扩散和/或离子注入来改变电特性。这些掺杂工艺之后是炉退火或快速热退火(RTA)。退火用于激活注入的掺杂剂。导体(例如多晶硅、铝、铜等)和绝缘体(例如各种形式的二氧化硅、氮化硅等)的薄膜用于连接和隔离晶体管及其组件。半导体衬底的各个区域的选择性掺杂允许衬底的导电性随着电压的施加而改变。通过创建这些不同组件的结构,可以构建和连

接数百万个晶体管,以形成现代微电子器件的复杂电路。半导体光刻是在半导体衬底上形成三维浮雕图像或图案,以便随后将图案转移到衬底上。在半导体光刻中,图案由称为光刻胶的光敏聚合物形成。为了构建构成晶体管的复杂结构和连接电路中数百万个晶体管的许多导线,光刻和蚀刻图案转移步骤要重复多次。印刷在晶片上的每个图案都与先前形成的图案对齐,并且慢慢地构建导体、绝缘体和选择性掺杂区域以形成最终器件。

[0099] 图中的流程图和框图示出了根据本发明的各种实施例的制造和/或操作方法的可能实施方式。该方法的各种功能/操作在流程图中由方框表示。在一些替代实施方式中,框中标注的功能可以不按照图中标注的顺序发生。例如,连续显示的两个框实际上可以基本上同时执行,或者这些框有时可以以相反的顺序执行,这取决于所涉及的功能。

[0100] 本发明的各种实施例的描述是为了说明的目的而呈现的,但并不旨在穷举或限制于所描述的实施例。在不脱离所描述的实施例的范围的情况下,许多修改和变化对于本领域的普通技术人员来说将是显而易见的。选择此处使用的术语以最好地解释实施例的原理、实际应用或对市场中发现的技术的技术改进,或者使本领域普通技术人员能够理解此处描述的实施例。

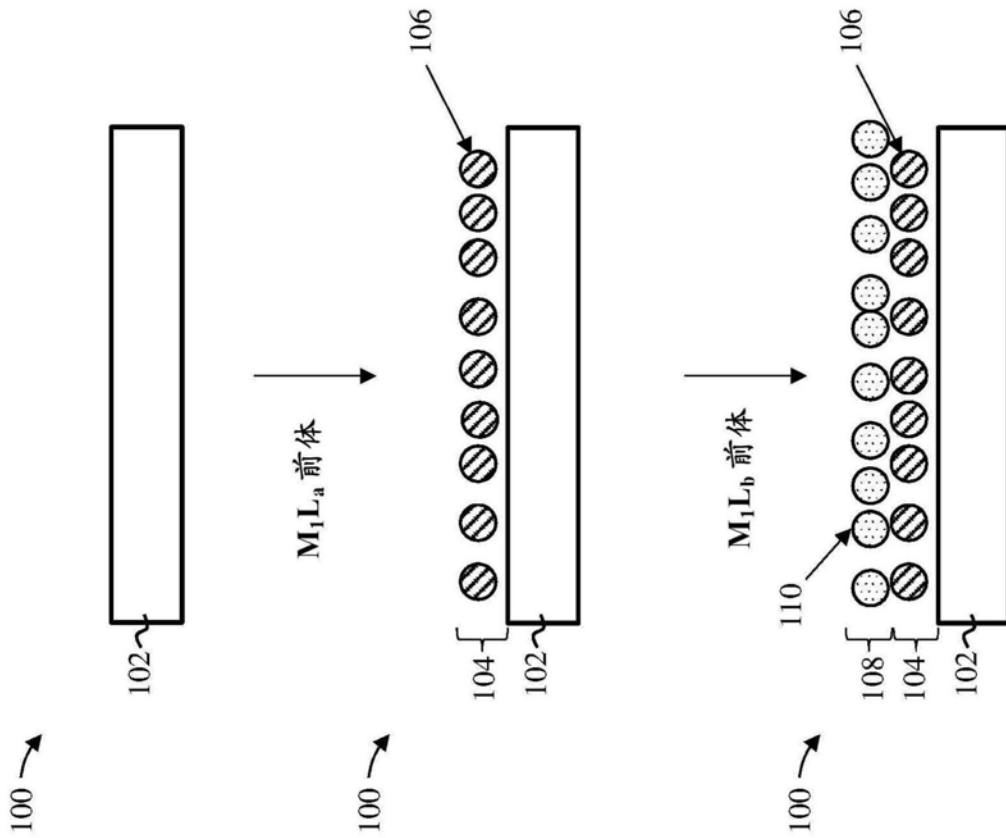


图1

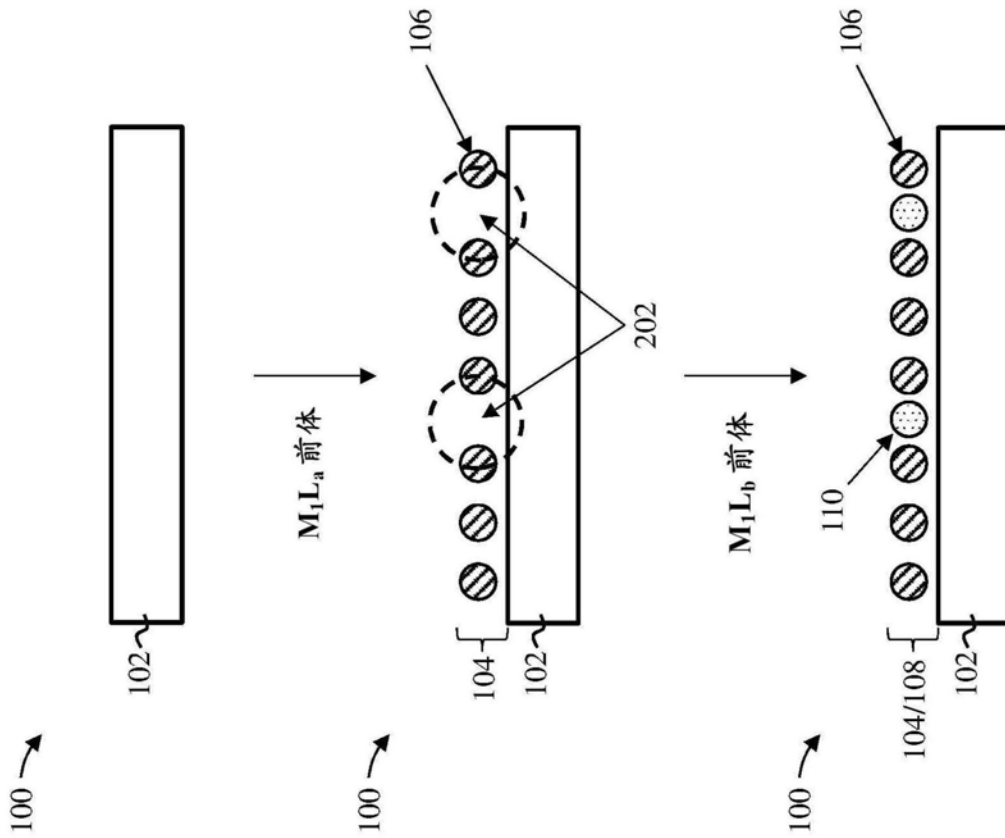


图2

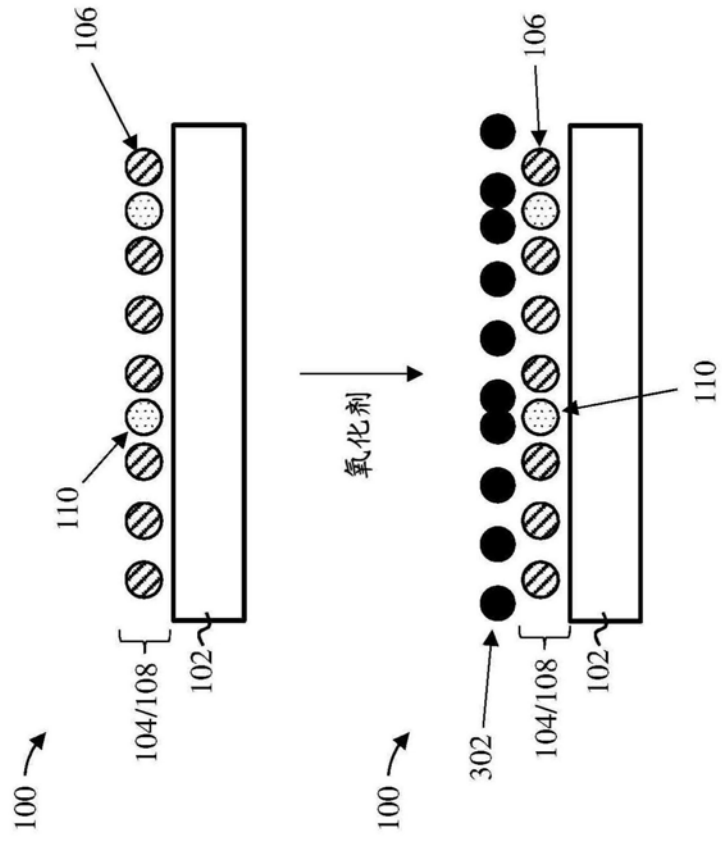


图3

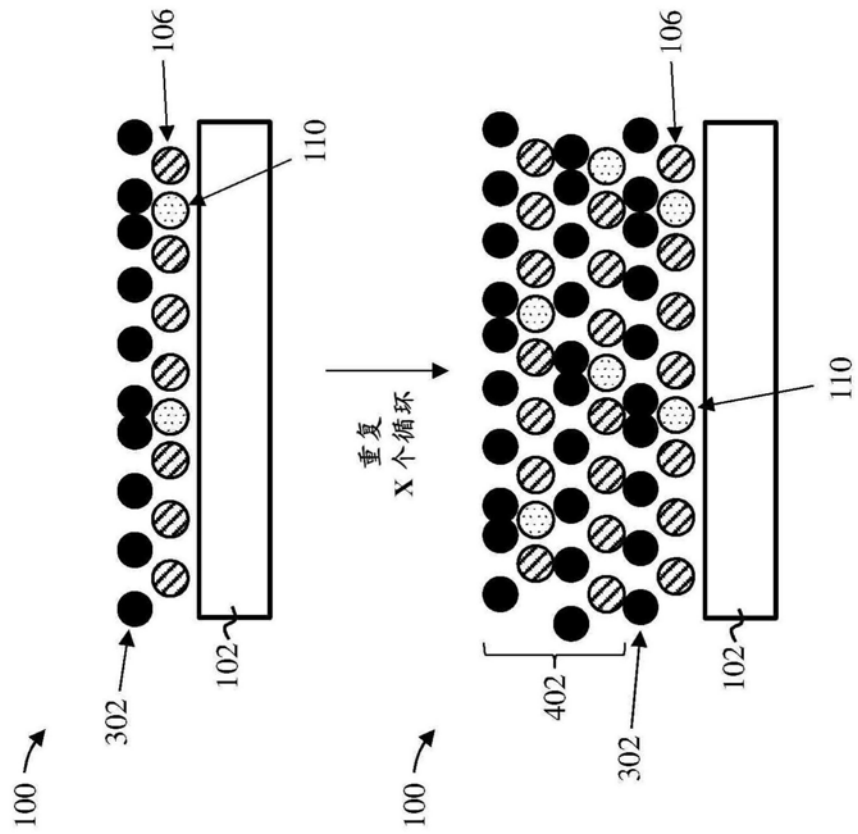


图4

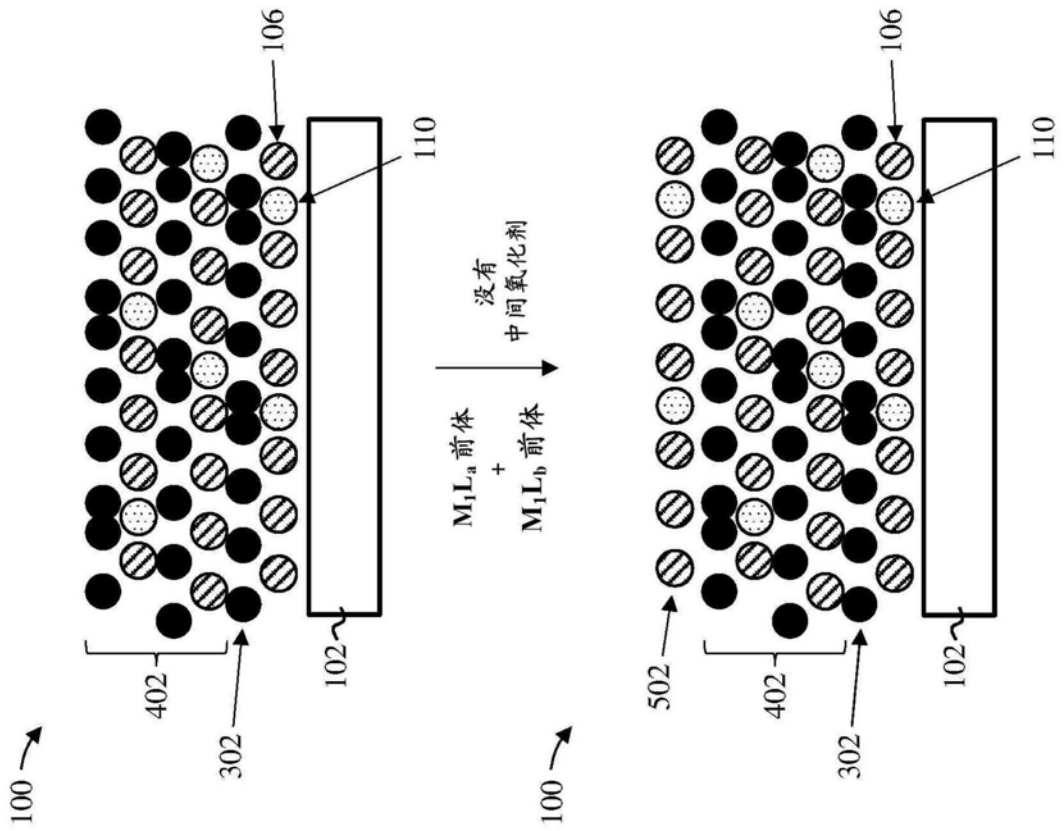


图5

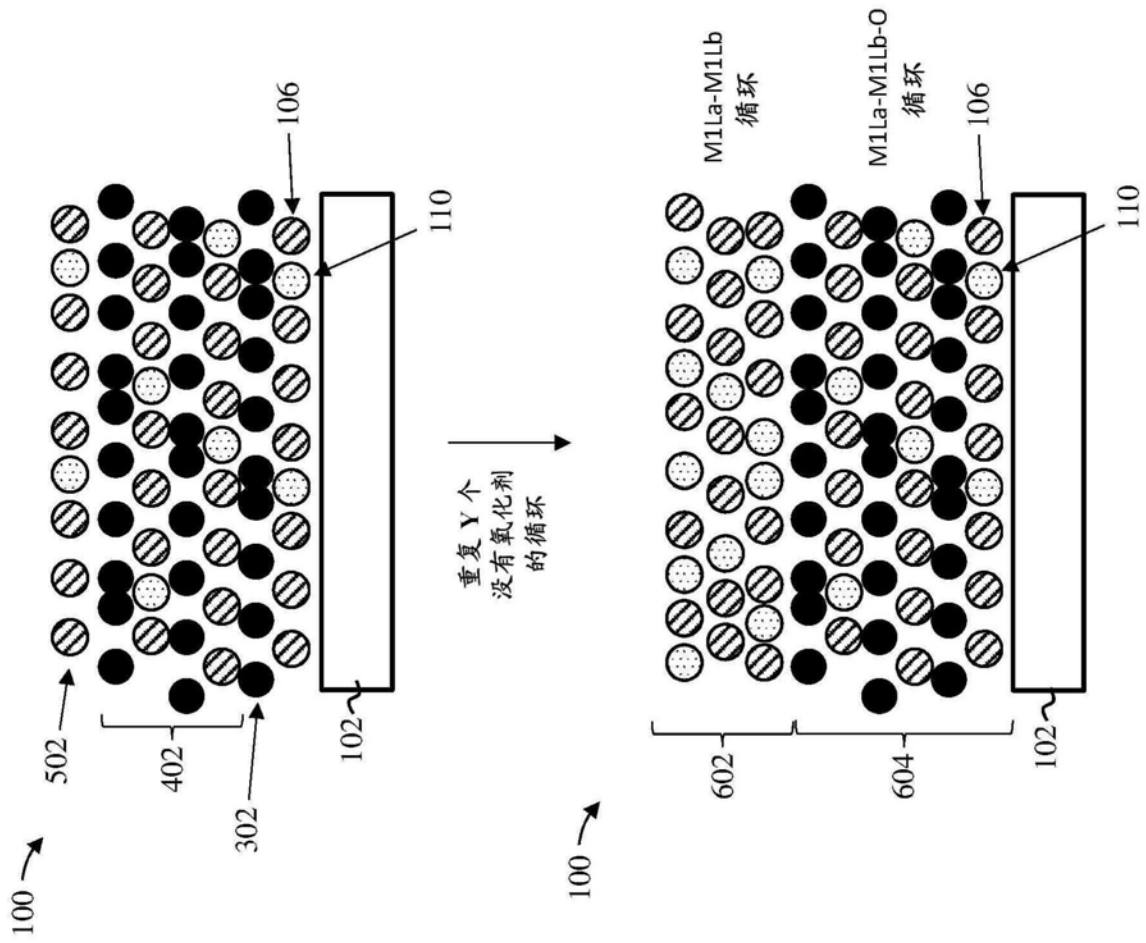


图6

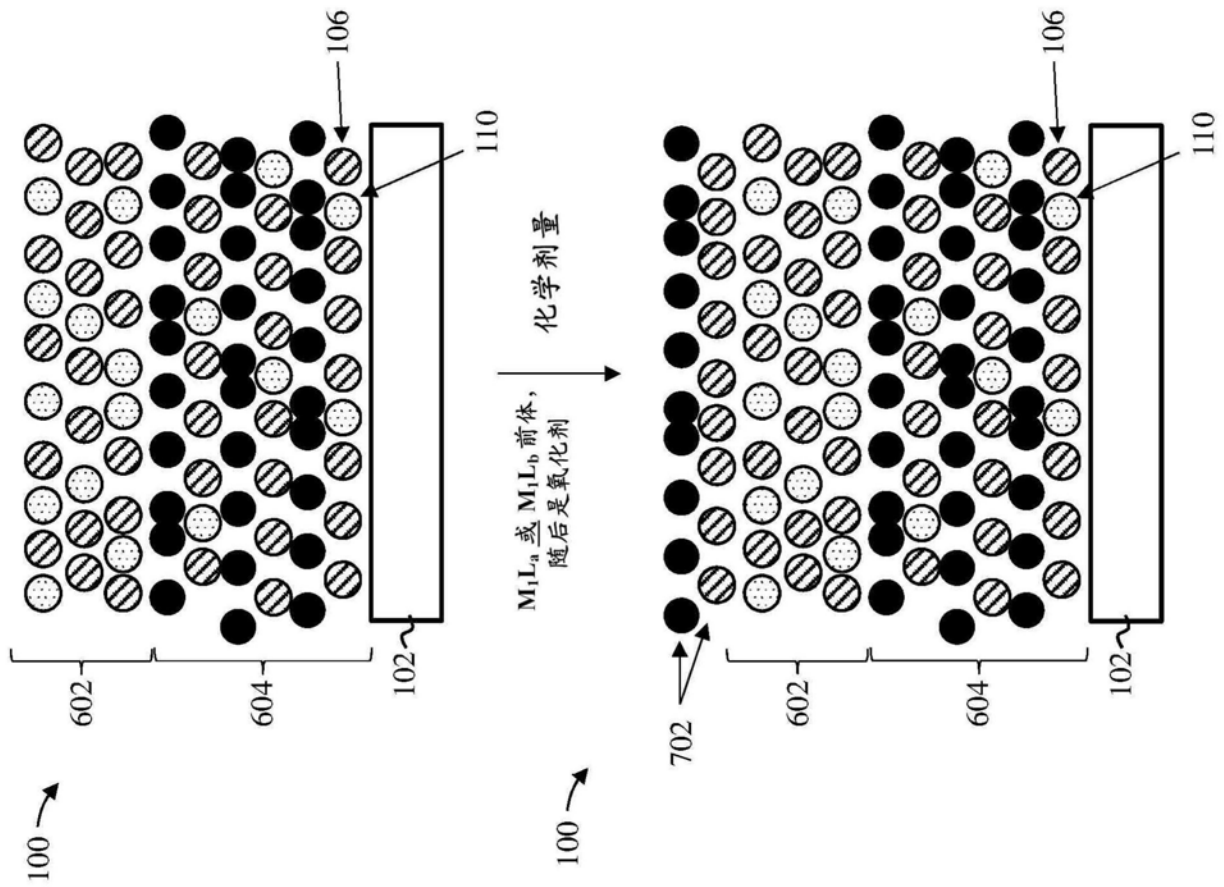


图7

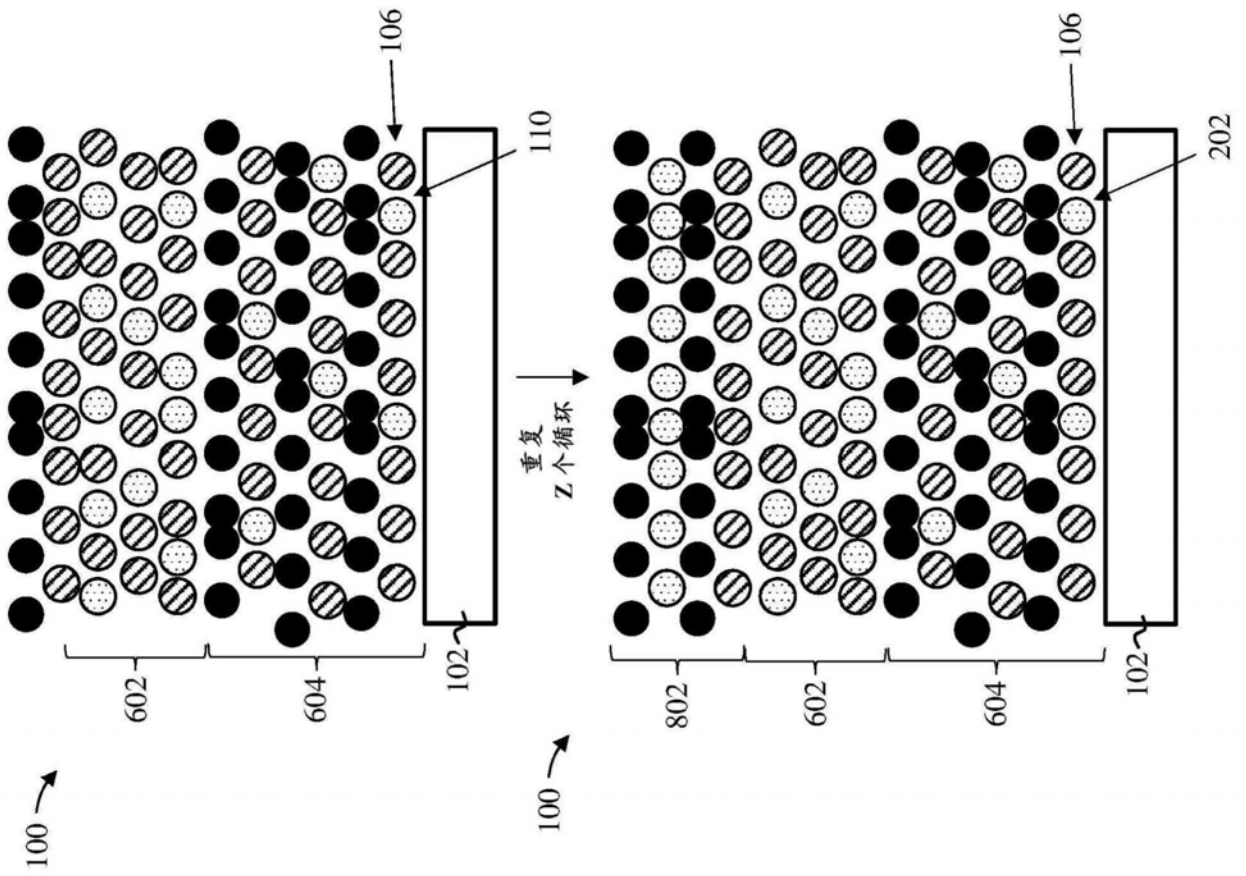


图8

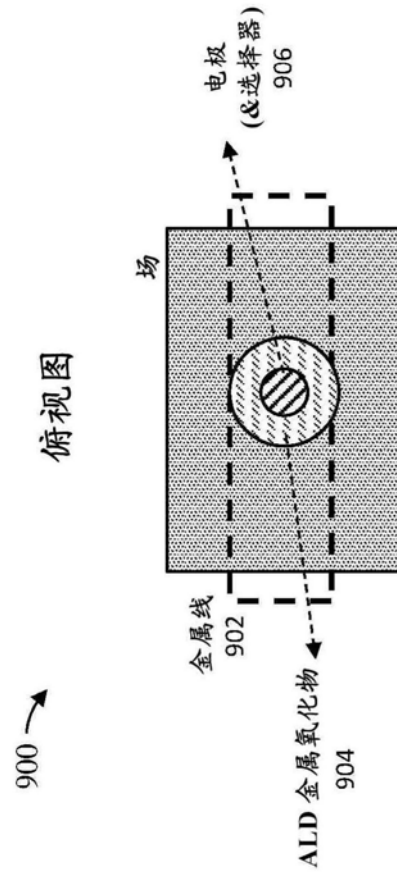


图9A

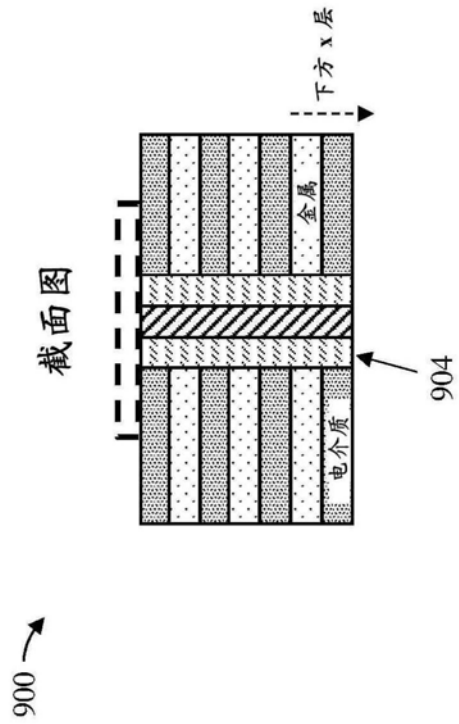


图9B

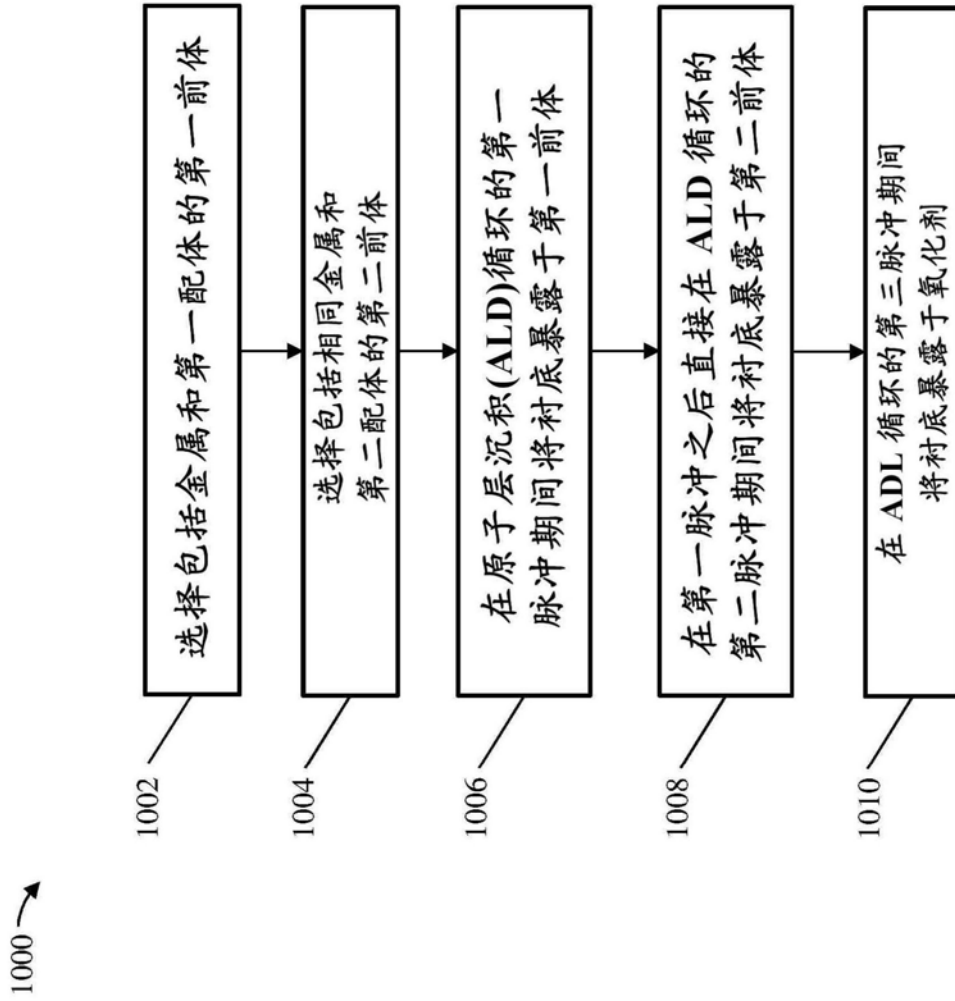


图10

1100 →

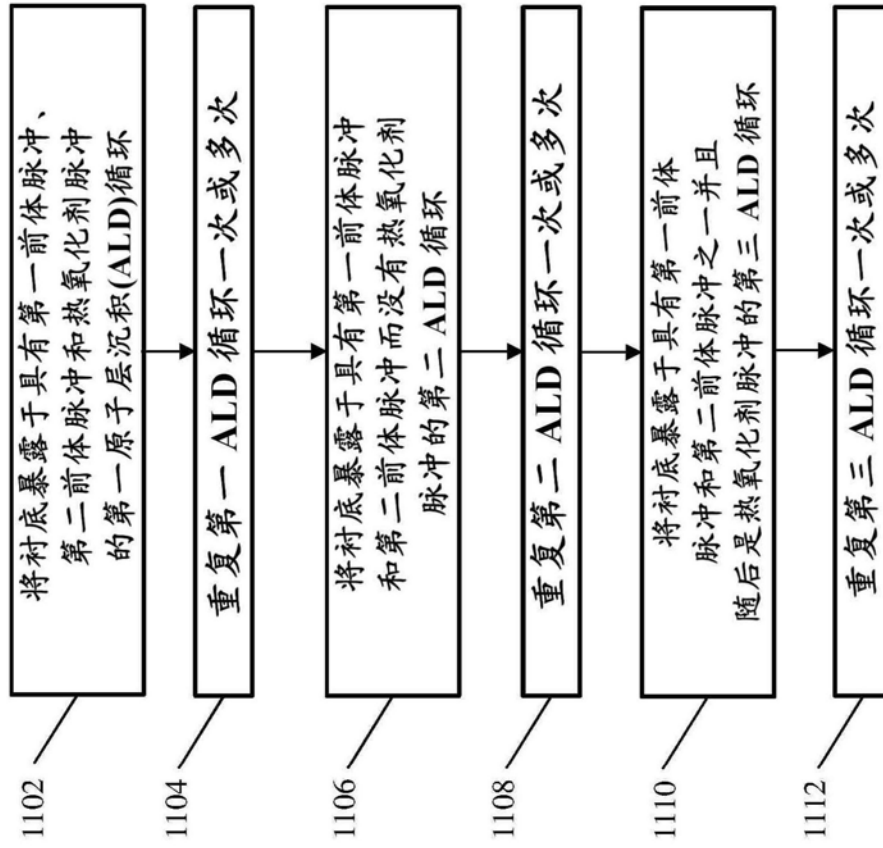


图11

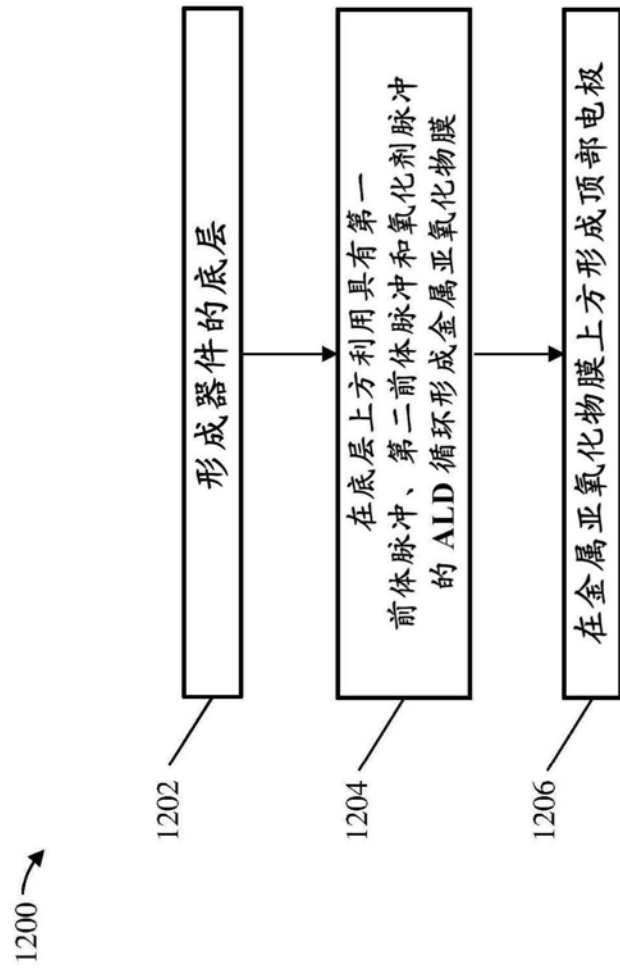


图12