



(19) 대한민국특허청(KR)
(12) 공개특허공보(A)

(11) 공개번호 10-2024-0088958
(43) 공개일자 2024년06월20일

(51) 국제특허분류(Int. Cl.)
G06F 13/16 (2006.01) G06F 3/06 (2006.01)
(52) CPC특허분류
G06F 13/1684 (2013.01)
G06F 3/0611 (2013.01)
(21) 출원번호 10-2024-7013125
(22) 출원일자(국제) 2022년10월03일
심사청구일자 없음
(85) 번역문제출일자 2024년04월19일
(86) 국제출원번호 PCT/US2022/045561
(87) 국제공개번호 WO 2023/075993
국제공개일자 2023년05월04일
(30) 우선권주장
17/452,606 2021년10월28일 미국(US)

(71) 출원인
켈컴 인코퍼레이티드
미국 92121-1714 캘리포니아주 샌 디에고 모어하우스 드라이브 5775
(72) 발명자
토지요르 시얌쿠마르
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
데쉬무크 판카즈
미국 92121-1714 캘리포니아주 샌디에고 모어하우스 드라이브 5775
(뒷면에 계속)
(74) 대리인
특허법인코리아나

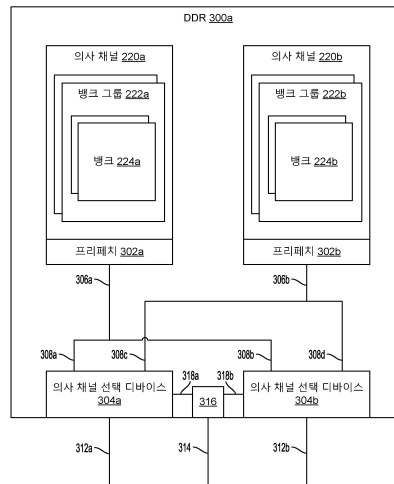
전체 청구항 수 : 총 30 항

(54) 발명의 명칭 의사 채널 기반 메모리 시스템의 레이턴시 감소

(57) 요약

다양한 실시형태들은 의사 채널 기반 메모리 시스템들에서 레이턴시를 감소시키기 위한 방법들 및 디바이스들을 포함한다. 실시형태들은, 복수의 의사 채널들 중 하나를 제1 입력/출력(IO)에 선택적으로 통신가능하게 연결하도록 구성된 제1 의사 채널 선택 디바이스, 및 복수의 의사 채널들 중 하나를 제2 IO에 선택적으로 통신가능하게 연결하도록 구성된 제2 의사 채널 선택 디바이스를 포함할 수 있으며, 여기서 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스는 복수의 의사 채널들 중 제1 의사 채널을 제1 IO 및 제2 IO에 동시에 통신가능하게 연결하도록 동작가능할 수 있다. 실시형태들은, 제1 의사 채널을 타겟팅하는 메모리 액세스 커맨드를 수신하고, 메모리 액세스 커맨드를 구현하기 위해 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 사용하도록 구성된 의사 채널 기반 메모리 시스템을 포함할 수 있다.

대표도 - 도3a



(52) CPC특허분류

G06F 3/0635 (2013.01)

G06F 3/0679 (2013.01)

G06F 2212/1024 (2013.01)

G06F 2213/0022 (2013.01)

(72) 발명자

서 정원

미국 92121-1714 캘리포니아주 샌디에고 모어하우스
스 드라이브 5775

팔라차를라 수바라오

미국 92121-1714 캘리포니아주 샌디에고 모어하우스
스 드라이브 5775

명세서

청구범위

청구항 1

의사 채널 기반 메모리 시스템(pseudo channel based memory system)으로서,

복수의 의사 채널들 중 하나를 제1 입력/출력(I/O)에 선택적으로 통신가능하게 연결하도록 구성된 제1 의사 채널 선택 디바이스; 및

상기 복수의 의사 채널들 중 하나를 제2 I/O에 선택적으로 통신가능하게 연결하도록 구성된 제2 의사 채널 선택 디바이스를 포함하며,

상기 제1 의사 채널 선택 디바이스 및 상기 제2 의사 채널 선택 디바이스는 제1 동작 모드에서 상기 복수의 의사 채널들 중 제1 의사 채널을 상기 제1 I/O 및 상기 제2 I/O에 동시에 통신가능하게 연결하도록 동작가능한, 의사 채널 기반 메모리 시스템.

청구항 2

제1항에 있어서, 상기 제1 I/O는 제1 의사 채널 데이터 버스를 포함하고 상기 제2 I/O는 제2 의사 채널 데이터 버스를 포함하고, 상기 의사 채널 기반 메모리 시스템은,

상기 제1 의사 채널 데이터 버스보다 더 큰 비트 폭을 갖고 상기 제1 의사 채널에 통신가능하게 연결된 제1 내부 데이터 버스;

상기 제1 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 상기 제1 내부 데이터 버스의 제1 부분과 상기 제1 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제2 내부 데이터 버스; 및

상기 제2 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 상기 제1 내부 데이터 버스의 제2 부분과 상기 제2 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제3 내부 데이터 버스를 추가로 포함하는, 의사 채널 기반 메모리 시스템.

청구항 3

제2항에 있어서, 상기 제1 내부 데이터 버스는 상기 제1 의사 채널 데이터 버스의 정수배와 동일한 비트 폭을 갖는, 의사 채널 기반 메모리 시스템.

청구항 4

제2항에 있어서,

상기 제1 의사 채널 데이터 버스보다 더 큰 비트 폭을 갖고 상기 복수의 의사 채널들 중 제2 의사 채널에 통신가능하게 연결된 제4 내부 데이터 버스;

상기 제1 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 상기 제4 내부 데이터 버스의 제1 부분과 상기 제1 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제5 내부 데이터 버스; 및

상기 제2 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 상기 제4 내부 데이터 버스의 제2 부분과 상기 제2 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제6 내부 데이터 버스를 추가로 포함하는, 의사 채널 기반 메모리 시스템.

청구항 5

제1항에 있어서, 상기 제1 의사 채널 선택 디바이스 및 상기 제2 의사 채널 선택 디바이스는, 상기 의사 채널 기반 메모리 시스템이 상기 제1 의사 채널을 타겟팅하는 저 레이턴시 유형의 메모리 액세스 커맨드(low latency type memory access command)를 수신하는 것에 응답하여, 상기 제1 의사 채널을 상기 제1 I/O 및 상기 제2 I/O에 동시에 통신가능하게 연결하도록 동작가능한, 의사 채널 기반 메모리 시스템.

청구항 6

제5항에 있어서,

상기 제1 의사 채널을 타겟팅하는 상기 저 레이턴시 유형의 메모리 액세스 커맨드를 수신하고;

상기 저 레이턴시 유형의 메모리 액세스 커맨드를 수신하는 것에 응답하여 상기 제1 의사 채널 선택 디바이스 및 상기 제2 의사 채널 선택 디바이스로 하여금 상기 제1 의사 채널을 상기 제1 IO 및 상기 제2 IO에 동시에 통신가능하게 연결하게 하도록 적어도 하나의 의사 채널 선택 신호를 상기 제1 의사 채널 선택 디바이스 및 상기 제2 의사 채널 선택 디바이스로 송신하도록 구성된 메모리 제어 디바이스를 추가로 포함하는, 의사 채널 기반 메모리 시스템.

청구항 7

제1항에 있어서, 상기 의사 채널 기반 메모리 시스템이 상기 의사 채널 기반 메모리 시스템으로 하여금 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 모드 레지스터 기입 커맨드를 수신하는 것에 응답하여, 그리고 상기 의사 채널 기반 메모리 시스템이 상기 제1 의사 채널을 타겟팅하는 연속적인 메모리 액세스 커맨드를 수신하는 것에 응답하여, 상기 제1 의사 채널 선택 디바이스 및 상기 제2 의사 채널 선택 디바이스는 상기 제1 의사 채널을 상기 제1 IO 및 상기 제2 IO에 동시에 통신가능하게 연결하도록 동작가능한, 의사 채널 기반 메모리 시스템.

청구항 8

제7항에 있어서,

상기 모드 레지스터 기입 커맨드를 수신하고;

상기 모드 레지스터 기입 커맨드를 수신하는 것에 응답하여 상기 메모리 제어 디바이스로 하여금 상기 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 레지스터 값을 설정하고;

상기 제1 의사 채널을 타겟팅하는 상기 연속적인 메모리 액세스 커맨드를 수신하고; 그리고

상기 연속적인 메모리 액세스 커맨드를 수신하는 것에 응답하여 상기 제1 의사 채널 선택 디바이스 및 상기 제2 의사 채널 선택 디바이스로 하여금 상기 제1 의사 채널을 상기 제1 IO 및 상기 제2 IO에 동시에 통신가능하게 연결하게 하도록 적어도 하나의 의사 채널 선택 신호를 상기 제1 의사 채널 선택 디바이스 및 상기 제2 의사 채널 선택 디바이스로 송신하도록 구성된 메모리 제어 디바이스를 추가로 포함하는, 의사 채널 기반 메모리 시스템.

청구항 9

제1항에 있어서, 상기 제1 의사 채널 선택 디바이스 및 상기 제2 의사 채널 선택 디바이스는 각각 적어도 하나의 멀티플렉서를 포함하는, 의사 채널 기반 메모리 시스템.

청구항 10

제1항에 있어서, 제2 동작 모드에서 상기 제1 의사 채널 선택 디바이스는 상기 제1 의사 채널을 상기 제1 IO에 통신가능하게 연결하도록 동작가능하고, 상기 제2 의사 채널 선택 디바이스는 상기 복수의 의사 채널들 중 제2 의사 채널을 상기 제2 IO에 통신가능하게 연결하도록 동작가능한, 의사 채널 기반 메모리 시스템.

청구항 11

의사 채널 기반 메모리 시스템에서 레이턴시를 감소시키기 위한 방법으로서,

복수의 의사 채널들 중 하나를 복수의 IO들 중 제1 입력/출력(IO)에 선택적으로 통신가능하게 연결하도록 구성된 제1 의사 채널 선택 디바이스에 의해 상기 복수의 의사 채널들 중 제1 의사 채널을 상기 제1 IO에 통신가능하게 연결하는 단계; 및

제1 동작 모드에서 상기 제1 의사 채널 선택 디바이스에 의해 상기 제1 의사 채널을 상기 제1 IO에 통신가능하게 연결하는 것과 동시에 제2 의사 채널 선택 디바이스에 의해 상기 제1 의사 채널을 상기 복수의 IO들 중 제2

I0에 통신가능하게 연결하는 단계를 포함하며, 상기 제2 의사 채널 선택 디바이스는 상기 복수의 의사 채널들 중 하나를 상기 제2 I0에 선택적으로 통신가능하게 연결하도록 구성되는, 방법.

청구항 12

제11항에 있어서, 상기 제1 I0는 제1 의사 채널 데이터 버스를 포함하고 상기 제2 I0는 제2 의사 채널 데이터 버스를 포함하고, 상기 방법은,

상기 제1 의사 채널 데이터 버스보다 더 큰 비트 폭을 갖고 상기 제1 의사 채널에 통신가능하게 연결된 제1 내부 데이터 버스, 및 상기 제1 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 상기 제1 내부 데이터 버스의 제1 부분과 상기 제1 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제2 내부 데이터 버스를 통해 상기 제1 의사 채널 데이터 버스와 상기 제1 의사 채널 사이에서 데이터를 송신하는 단계; 및

상기 제1 내부 데이터 버스, 및 상기 제2 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 상기 제1 내부 데이터 버스의 제2 부분과 상기 제2 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제3 내부 데이터 버스를 통해 상기 제2 의사 채널 데이터 버스와 상기 제1 의사 채널 사이에서 데이터를 송신하는 단계를 추가로 포함하는, 방법.

청구항 13

제12항에 있어서, 상기 제1 내부 데이터 버스는 상기 제1 의사 채널 데이터 버스의 정수배와 동일한 비트 폭을 갖는, 방법.

청구항 14

제12항에 있어서,

상기 제1 의사 채널 데이터 버스보다 더 큰 비트 폭을 갖고 상기 제2 의사 채널에 통신가능하게 연결된 제4 내부 데이터 버스, 및 상기 제1 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 상기 제4 내부 데이터 버스의 제1 부분과 상기 제1 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제5 내부 데이터 버스를 통해 상기 제1 의사 채널 데이터 버스와 상기 복수의 의사 채널들 중 제2 의사 채널 사이에서 데이터를 송신하는 단계; 및

상기 제4 내부 데이터 버스, 및 상기 제2 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 상기 제4 내부 데이터 버스의 제2 부분과 상기 제2 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제6 내부 데이터 버스를 통해 상기 제2 의사 채널 데이터 버스와 상기 제2 의사 채널 사이에서 데이터를 송신하는 단계를 추가로 포함하는, 방법.

청구항 15

제11항에 있어서, 상기 방법은, 상기 제1 의사 채널을 타겟팅하는 저 레이턴시 유형의 메모리 액세스 커맨드를 수신하는 단계를 추가로 포함하고,

상기 제1 의사 채널 선택 디바이스에 의해 상기 제1 의사 채널을 상기 제1 I0에 통신가능하게 연결하는 것과 동시에 상기 제2 의사 채널 선택 디바이스에 의해 상기 제1 의사 채널을 상기 제2 I0에 통신가능하게 연결하는 단계는 상기 저 레이턴시 유형의 메모리 액세스 커맨드를 수신하는 것에 응답하여 발생하는, 방법.

청구항 16

제15항에 있어서, 상기 저 레이턴시 유형의 메모리 액세스 커맨드를 수신하는 것에 응답하여 상기 제1 의사 채널 선택 디바이스 및 상기 제2 의사 채널 선택 디바이스로 하여금 상기 제1 의사 채널을 상기 제1 I0 및 상기 제2 I0에 동시에 통신가능하게 연결하게 하도록 적어도 하나의 의사 채널 선택 신호를 상기 제1 의사 채널 선택 디바이스 및 상기 제2 의사 채널 선택 디바이스로 송신하는 단계를 추가로 포함하는, 방법.

청구항 17

제11항에 있어서, 상기 방법은,

상기 의사 채널 기반 메모리 시스템으로 하여금 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 모드 레지스터 기입 커맨드를 수신하는 단계; 및

상기 제1 의사 채널을 타겟팅하는 연속적인 메모리 액세스 커맨드를 수신하는 단계를 추가로 포함하며,

상기 제1 의사 채널 선택 디바이스에 의해 상기 제1 의사 채널을 상기 제1 IO에 통신가능하게 연결하는 것과 동시에 상기 제2 의사 채널 선택 디바이스에 의해 상기 제1 의사 채널을 상기 제2 IO에 통신가능하게 연결하는 단계는 상기 모드 레지스터 기입 커맨드를 수신하는 것에 응답하여 그리고 상기 연속적인 메모리 액세스 커맨드를 수신하는 것에 응답하여 발생하는, 방법.

청구항 18

제17항에 있어서,

상기 모드 레지스터 기입 커맨드를 수신하는 것에 응답하여 상기 의사 채널 기반 메모리 시스템으로 하여금 상기 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 레지스터 값을 설정하는 단계; 및

상기 연속적인 메모리 액세스 커맨드를 수신하는 것에 응답하여 상기 제1 의사 채널 선택 디바이스 및 상기 제2 의사 채널 선택 디바이스로 하여금 상기 제1 의사 채널을 상기 제1 IO 및 상기 제2 IO에 동시에 통신가능하게 연결하게 하도록 적어도 하나의 의사 채널 선택 신호를 상기 제1 의사 채널 선택 디바이스 및 상기 제2 의사 채널 선택 디바이스로 송신하는 단계를 추가로 포함하는, 방법.

청구항 19

제11항에 있어서, 상기 제1 의사 채널 선택 디바이스 및 상기 제2 의사 채널 선택 디바이스는 각각 적어도 하나의 멀티플렉서를 포함하는, 방법.

청구항 20

제11항에 있어서, 제2 동작 모드에서 상기 제2 의사 채널 선택 디바이스에 의해 상기 복수의 의사 채널들 중 제2 의사 채널을 상기 복수의 IO들 중 상기 제2 IO에 통신가능하게 연결하는 단계를 추가로 포함하는, 방법.

청구항 21

제1 의사 채널을 포함하는 복수의 의사 채널들을 포함하는 의사 채널 기반 메모리 시스템으로서,

상기 의사 채널 기반 메모리 시스템은,

상기 제1 의사 채널을 타겟팅하는 메모리 액세스 커맨드를 수신하고;

상기 메모리 액세스 커맨드를 구현하기 위해 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 사용하도록 구성되는, 의사 채널 기반 메모리 시스템.

청구항 22

제21항에 있어서,

상기 메모리 액세스 커맨드는 판독 메모리 액세스 커맨드이고;

상기 의사 채널 기반 메모리 시스템은, 상기 메모리 액세스 커맨드를 구현하기 위해 상기 제1 의사 채널 데이터 버스 및 상기 제2 의사 채널 데이터 버스를 사용하는 것이 상기 제1 의사 채널 데이터 버스 및 상기 제2 의사 채널 데이터 버스를 통해 동시에 상기 판독 메모리 액세스 커맨드에 응답하여 상기 제1 의사 채널로부터 데이터를 출력하는 것을 포함하도록 구성되는, 의사 채널 기반 메모리 시스템.

청구항 23

제21항에 있어서,

상기 메모리 액세스 커맨드는 기입 메모리 액세스 커맨드이고;

상기 의사 채널 기반 메모리 시스템은, 상기 메모리 액세스 커맨드를 구현하기 위해 상기 제1 의사 채널 데이터 버스 및 상기 제2 의사 채널 데이터 버스를 사용하는 것이 상기 제1 의사 채널 데이터 버스 및 상기 제2 의사 채널 데이터 버스를 통해 동시에 상기 제1 의사 채널에 대한 상기 기입 메모리 액세스 커맨드의 데이터를 수신

하는 것을 포함하도록 구성되는, 의사 채널 기반 메모리 시스템.

청구항 24

제21항에 있어서, 상기 메모리 액세스 커맨드는, 상기 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스 커맨드임을 상기 의사 채널 기반 메모리 시스템에 나타내도록 구성되는, 의사 채널 기반 메모리 시스템.

청구항 25

제21항에 있어서, 상기 의사 채널 기반 메모리 시스템은 상기 의사 채널 기반 메모리 시스템으로 하여금 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 모드 레지스터 기입 커맨드를 수신하도록 추가로 구성되고, 상기 제1 의사 채널을 타겟팅하는 상기 메모리 액세스 커맨드는 상기 모드 레지스터 기입 커맨드에 대한 연속적인 메모리 액세스 커맨드인, 의사 채널 기반 메모리 시스템.

청구항 26

제1 의사 채널을 포함하는 복수의 의사 채널들을 갖는 의사 채널 기반 메모리 시스템에서 레이턴시를 감소시키기 위한 방법으로서,

상기 제1 의사 채널을 타겟팅하는 메모리 액세스 커맨드를 수신하는 단계; 및

상기 메모리 액세스 커맨드를 구현하기 위해 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 사용하는 단계를 포함하는, 방법.

청구항 27

제26항에 있어서,

상기 메모리 액세스 커맨드는 판독 메모리 액세스 커맨드이고;

상기 메모리 액세스 커맨드를 구현하기 위해 상기 제1 의사 채널 데이터 버스 및 상기 제2 의사 채널 데이터 버스를 사용하는 단계는 상기 제1 의사 채널 데이터 버스 및 상기 제2 의사 채널 데이터 버스를 통해 동시에 상기 판독 메모리 액세스 커맨드에 응답하여 상기 제1 의사 채널로부터 데이터를 출력하는 단계를 포함하는, 방법.

청구항 28

제26항에 있어서,

상기 메모리 액세스 커맨드는 기입 메모리 액세스 커맨드이고;

상기 메모리 액세스 커맨드를 구현하기 위해 상기 제1 의사 채널 데이터 버스 및 상기 제2 의사 채널 데이터 버스를 사용하는 단계는 상기 제1 의사 채널 데이터 버스 및 상기 제2 의사 채널 데이터 버스를 통해 동시에 상기 제1 의사 채널에 대한 상기 기입 메모리 액세스 커맨드의 데이터를 수신하는 단계를 포함하는, 방법.

청구항 29

제26항에 있어서, 상기 메모리 액세스 커맨드는 상기 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스 커맨드임을 상기 의사 채널 기반 메모리 시스템에 나타내도록 구성되는, 방법.

청구항 30

제26항에 있어서, 상기 방법은, 상기 의사 채널 기반 메모리 시스템으로 하여금 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 모드 레지스터 기입 커맨드를 수신하는 단계를 추가로 포함하며, 상기 제1 의사 채널을 타겟팅하는 상기 메모리 액세스 커맨드는 상기 모드 레지스터 기입 커맨드에 대한 연속적인 메모리 액세스 커맨드인, 방법.

발명의 설명

기술 분야

[0001]

본 출원은 2021년 10월 28일자로 출원된 미국 정규 출원 제17/452,606호의 우선권의 이익을 주장하며; 그의 전

체 내용들은 본 명세서에 참고로 포함된다.

배경 기술

- [0002] 차세대 더블 데이터 레이트 랜덤 액세스 메모리(본 명세서에서 "DDR"로 지칭됨)는 모바일 및 비-모바일 애플리케이션들에 매력적인 고성능, 저전력, 경쟁력있는 메모리 비용, 다양한 패키지 유형들, 및 멀티-소싱 가용성의 균형을 제공할 수 있기 때문에 모바일 디바이스들에서 널리 사용될 것이다. 그러나, 제안된 또는 기존의 DDR 시스템들은 더 큰 레이턴시를 나타내는 데이터 통신 프로토콜들을 사용하는 고성능, 저 레이턴시, 및 더 낮은 전력 방식들에 기초하며, 이는 이러한 시스템들의 사용량 및 효율을 차량 안전 관련 시스템들과 같은 많은 용도들에 허용가능한 것보다 아래의 레벨들로 제한한다. 예를 들어, 제안된 저전력 DDR(low power DDR, "LPDDR") 시스템들은 이전 세대와 비교할 때 특정 동작점들에 대해 저하된 레이턴시들을 야기하는 접근법들을 이용할 수 있다.

발명의 내용

- [0003] 다양한 개시된 양태들은 의사 채널 기반 메모리 시스템(pseudo channel based memory system)들에서 레이턴시를 감소시키는 장치들 및 방법들을 포함한다. 다양한 양태들은, 복수의 의사 채널들 중 하나를 제1 입력/출력(I/O)에 선택적으로 통신가능하게 연결하도록 구성된 제1 의사 채널 선택 디바이스, 및 복수의 의사 채널들 중 하나를 제2 I/O에 선택적으로 통신가능하게 연결하도록 구성된 제2 의사 채널 선택 디바이스를 포함하는 의사 채널 기반 메모리 시스템을 포함할 수 있으며, 여기서 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스는 제1 동작 모드에서 복수의 의사 채널들 중 제1 의사 채널을 제1 I/O 및 제2 I/O에 동시에 통신가능하게 연결하도록 동작가능하다.
- [0004] 일부 양태들에서, 제1 I/O는 제1 의사 채널 데이터 버스를 포함할 수 있고 제2 I/O는 제2 의사 채널 데이터 버스를 포함할 수 있고, 의사 채널 기반 메모리 시스템은 제1 의사 채널 데이터 버스보다 더 큰 비트 폭을 갖고 제1 의사 채널에 통신가능하게 연결된 제1 내부 데이터 버스, 제1 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 제1 내부 데이터 버스의 제1 부분과 제1 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제2 내부 데이터 버스, 및 제2 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 제1 내부 데이터 버스의 제2 부분과 제2 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제3 내부 데이터 버스를 추가로 포함할 수 있다.
- [0005] 일부 양태들에서, 제1 내부 데이터 버스는 제1 의사 채널 데이터 버스의 정수배와 동일한 비트 폭을 가질 수 있다.
- [0006] 일부 양태들은, 제1 의사 채널 데이터 버스보다 더 큰 비트 폭을 갖고 복수의 의사 채널들 중 제2 의사 채널에 통신가능하게 연결된 제4 내부 데이터 버스, 제1 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 제4 내부 데이터 버스의 제1 부분과 제1 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제5 내부 데이터 버스, 및 제2 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 제4 내부 데이터 버스의 제2 부분과 제2 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제6 내부 데이터 버스를 추가로 포함할 수 있다.
- [0007] 일부 양태들에서, 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스는, 의사 채널 기반 메모리 시스템이 제1 의사 채널을 타겟팅하는 저 레이턴시 유형의 메모리 액세스 커맨드(low latency type memory access command)를 수신하는 것에 응답하여, 제1 의사 채널을 제1 I/O 및 제2 I/O에 동시에 통신가능하게 연결하도록 동작가능할 수 있다.
- [0008] 일부 양태들은, 제1 의사 채널을 타겟팅하는 저 레이턴시 유형의 메모리 액세스 커맨드를 수신하고, 저 레이턴시 유형의 메모리 액세스 커맨드를 수신하는 것에 응답하여 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스로 하여금 제1 의사 채널을 제1 I/O 및 제2 I/O에 동시에 통신가능하게 연결하게 하도록 적어도 하나의 의사 채널 선택 신호를 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스로 송신하도록 구성된 메모리 제어 디바이스를 추가로 포함할 수 있다.
- [0009] 일부 양태들에서, 의사 채널 기반 메모리 시스템이 의사 채널 기반 메모리 시스템으로 하여금 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 모드 레지스터 기입 커맨드를 수신하는 것에 응답하여, 그리고 의사 채널 기반 메모리 시스템이 제1 의사 채널을 타겟팅하는 연속적인 메모리 액세스 커맨드를 수신하는 것에 응답하여, 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스는 제1 의사 채널을 제1 I/O 및 제2 I/O에 동시에 통신가능하게 연결하도록 동작가능할 수 있다.

- [0010] 일부 양태들은, 모드 레지스터 기입 커맨드를 수신하고, 모드 레지스터 기입 커맨드를 수신하는 것에 응답하여 메모리 제어 디바이스로 하여금 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 레지스터 값을 설정하고, 제1 의사 채널을 타겟팅하는 연속적인 메모리 액세스 커맨드를 수신하고, 연속적인 메모리 액세스 커맨드를 수신하는 것에 응답하여 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스로 하여금 제1 의사 채널을 제1 IO 및 제2 IO에 동시에 통신가능하게 연결하게 하도록 적어도 하나의 의사 채널 선택 신호를 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스로 송신하도록 구성된 메모리 제어 디바이스를 추가로 포함할 수 있다.
- [0011] 일부 양태들에서, 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스는 각각 적어도 하나의 멀티플렉서를 포함할 수 있다.
- [0012] 일부 양태들에서, 제2 동작 모드에서 제1 의사 채널 선택 디바이스는 제1 의사 채널을 제1 IO에 통신가능하게 연결하도록 동작가능하고, 제2 의사 채널 선택 디바이스는 복수의 의사 채널들 중 제2 의사 채널을 제2 IO에 통신가능하게 연결하도록 동작가능하다.
- [0013] 다양한 양태들은, 제1 의사 채널을 포함하는 복수의 의사 채널들을 포함하는 의사 채널 기반 메모리 시스템을 포함할 수 있으며, 여기서 의사 채널 기반 메모리 시스템은 제1 의사 채널을 타겟팅하는 메모리 액세스 커맨드를 수신하고, 메모리 액세스 커맨드를 구현하기 위해 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 사용하도록 구성된다.
- [0014] 일부 양태들에서, 메모리 액세스 커맨드는 판독 메모리 액세스 커맨드일 수 있고, 의사 채널 기반 메모리 시스템은, 메모리 액세스 커맨드를 구현하기 위해 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 사용하는 것이 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 통해 동시에 판독 메모리 액세스 커맨드에 응답하여 제1 의사 채널로부터 데이터를 출력하는 것을 포함하도록 구성될 수 있다.
- [0015] 일부 양태들에서, 메모리 액세스 커맨드는 기입 메모리 액세스 커맨드일 수 있고, 의사 채널 기반 메모리 시스템은, 메모리 액세스 커맨드를 구현하기 위해 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 사용하는 것이 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 통해 동시에 제1 의사 채널에 대한 기입 메모리 액세스 커맨드의 데이터를 수신하는 것을 포함하도록 구성될 수 있다.
- [0016] 일부 양태들에서, 메모리 액세스 커맨드는 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스 커맨드임을 의사 채널 기반 메모리 시스템에 나타내도록 구성될 수 있다.
- [0017] 일부 양태들에서, 의사 채널 기반 메모리 시스템은, 의사 채널 기반 메모리 시스템으로 하여금 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 모드 레지스터 기입 커맨드를 수신하도록 추가로 구성될 수 있고, 여기서 제1 의사 채널을 타겟팅하는 메모리 액세스 커맨드는 모드 레지스터 기입 커맨드에 대한 연속적인 메모리 액세스 커맨드일 수 있다.
- [0018] 추가의 양태들은 위에서 요약된 시스템들의 동작들을 실행하는 방법들을 포함한다.

도면의 간단한 설명

- [0019] 본 명세서에 통합되고 본 명세서의 부분을 구성하는 첨부 도면들은 다양한 실시형태들의 예시적인 실시형태들을 예시하고, 상기에서 주어진 일반적인 설명 및 하기에서 주어지는 상세한 설명과 함께, 청구항들의 특징들을 설명하도록 제공한다.

도 1은 다양한 실시형태들을 구현하기에 적합한 예시적인 컴퓨팅 디바이스를 예시하는 컴포넌트 블록 다이어그램이다.

도 2는 다양한 실시형태들을 구현하기에 적합한 예시적인 의사 채널 기반 메모리 시스템을 예시하는 컴포넌트 블록 다이어그램이다.

도 3a 및 도 3b는 다양한 실시형태들을 구현하기에 적합한 예시적인 의사 채널 기반 메모리 시스템들을 예시하는 컴포넌트 블록 다이어그램들이다.

도 4a 내지 도 4c는 다양한 실시형태들을 구현하기에 적합한 예시적인 의사 채널 기반 메모리 시스템들을 예시하는 컴포넌트 블록 및 기능 다이어그램들이다.

도 5는 일 실시형태에 따른, 의사 채널 기반 메모리 시스템들에서 레이턴시를 감소시키기 위한 방법을 예시하는

프로세스 플로우 다이어그램이다.

도 6은 일 실시형태에 따른, 의사 채널 기반 메모리 시스템들에서 레이턴시를 감소시키기 위한 방법을 예시하는 프로세스 플로우 다이어그램이다.

도 7은 일 실시형태에 따른, 판독 메모리 커맨드에 대해 의사 채널 기반 메모리 시스템들에서 레이턴시를 감소시키기 위한 방법을 예시하는 프로세스 플로우 다이어그램이다.

도 8은 일 실시형태에 따른, 기입 메모리 커맨드에 대해 의사 채널 기반 메모리 시스템들에서 레이턴시를 감소시키기 위한 방법을 예시하는 프로세스 플로우 다이어그램이다.

도 9는 일 실시형태에 따른, 의사 채널 기반 메모리 시스템들에서 레이턴시를 감소시키기 위한 방법을 예시하는 프로세스 플로우 다이어그램이다.

도 10a 및 도 10b는 일 실시형태에 따른, 의사 채널 기반 메모리 시스템들에서 레이턴시를 감소시키는 경우 및 그렇지 않은 경우의 메모리 액세스 커맨드들의 예들을 예시하는 타이밍 다이어그램들이다.

도 11a 및 도 11b는 일 실시형태에 따른, 의사 채널 기반 메모리 시스템들에서 레이턴시를 감소시키는 경우 및 그렇지 않은 경우의 메모리 액세스 커맨드들의 예들을 예시하는 타이밍 다이어그램들이다.

도 12는 일 실시형태에 따른, 저 레이턴시 유형의 메모리 액세스 커맨드를 사용하여 의사 채널 기반 메모리 시스템들에서 레이턴시를 감소시키는 예를 예시하는 타이밍 다이어그램이다.

도 13a 및 도 13b는 일 실시형태에 따른, 저 레이턴시 유형의 메모리 액세스 커맨드를 인에이블하기 위해 모드 레지스터 기입을 사용하여 의사 채널 기반 메모리 시스템들에서 레이턴시를 감소시키는 예를 예시하는 타이밍 다이어그램들이다.

도 14a 및 도 14b는 일 실시형태에 따른, 의사 채널 기반 메모리 시스템들에서 레이턴시를 감소시키는 경우 및 그렇지 않은 경우의 메모리 액세스 커맨드들의 예들을 예시하는 타이밍 다이어그램들이다.

도 15는 다양한 실시형태들을 구현하기에 적합한 예시적인 모바일 컴퓨팅 디바이스를 예시하는 컴포넌트 블록 다이어그램이다.

도 16은 다양한 실시형태들을 구현하기에 적합한 예시적인 모바일 컴퓨팅 디바이스를 예시하는 컴포넌트 블록 다이어그램이다.

도 17은 다양한 실시형태들을 구현하기에 적합한 예시적인 서버를 예시하는 컴포넌트 블록 다이어그램이다.

발명을 실시하기 위한 구체적인 내용

[0020] 다양한 실시형태들은 첨부 도면들을 참조하여 상세히 설명될 것이다. 가능하다면, 동일한 참조 번호들이 동일하거나 유사한 부분들을 지칭하기 위해 도면들 전반에 걸쳐 사용될 것이다. 특정 예들 및 구현들에 대해 행해진 참조들은 예시적인 목적들을 위한 것이고, 청구항들의 범위를 제한하도록 의도되지 않는다.

[0021] 다양한 실시형태들은 의사 채널 기반 메모리 시스템들에서 레이턴시를 감소시키는 방법들 및 그러한 방법들을 구현하는 컴퓨팅 디바이스들을 포함한다. 의사 채널 선택 디바이스들은 의사 채널 기반 메모리 시스템들에 채용될 수 있다. 다수의 의사 채널들은 의사 채널의 전용 입력/출력(I/O) 데이터 버스보다 더 넓은 내부 데이터 버스들을 통해 의사 채널 선택 디바이스들에 통신가능하게 연결될 수 있다. 의사 채널 선택 디바이스들은 다수의 의사 채널들의 다수의 I/O들을 병렬로 사용하여 의사 채널 기반 메모리 시스템이 의사 채널로부터 데이터를 판독하고/하거나 그에 데이터를 기입할 수 있게 하도록 구성될 수 있다.

[0022] 용어 "컴퓨팅 디바이스"는 개인용 컴퓨터들, 데스크탑 컴퓨터들, 울인원 컴퓨터들, 워크스테이션들, 슈퍼 컴퓨터들, 메인프레임 컴퓨터들, 내장형 컴퓨터들(예컨대 차량들 및 다른 더 큰 시스템들 내의), 컴퓨터화된 차량들(예컨대, 승용차들, 상용차들, 레저용 차량들, 군용 차량들, 드론들 등과 같은, 부분적 또는 완전 자율 육상, 공중 및/또는 수상 차량들), 서버들, 멀티미디어 컴퓨터들, 및 게임 콘솔들을 포함하는 고정식 컴퓨팅 디바이스들을 지칭할 수 있다. 용어들 "컴퓨팅 디바이스" 및 "모바일 컴퓨팅 디바이스"는 셀룰러 전화기들, 스마트폰들, 개인용 또는 모바일 멀티미디어 플레이어들, 개인용 데이터 보조기들(PDA들), 랩탑 컴퓨터들, 태블릿 컴퓨터들, 컨버터블 랩탑들/태블릿들(투인원(2-in-1) 컴퓨터들), 스마트북들, 울트라북들, 넷북들, 팜탑 컴퓨터들, 무선 전자 메일 수신기들, 멀티미디어 인터넷 가능식 셀룰러 전화기들, 모바일 게이밍 콘솔들, 무선 게이밍 제어기들, 및 메모리 및 프로그래밍가능 프로세서를 포함하는 유사한 개인용 전자 디바이스들 중 임의의

하나 또는 그 모두를 지칭하도록 본 명세서에서 상호 대체가능하게 사용된다.

- [0023] 다양한 실시형태들은 설명의 용이성과 명확성을 위해 코드, 예컨대, 프로세서 실행가능 명령들의 관점에서 설명되지만, 임의의 데이터, 예컨대, 코드, 프로그램 데이터, 또는 메모리에 저장된 다른 정보에 유사하게 적용가능할 수 있다. 용어들 "코드", "데이터", 및 "정보"는 본 명세서에서 상호 대체가능하게 사용되고, 다양한 실시형태들을 설명하는 데 예들로서 사용된 코드, 데이터, 또는 정보의 유형들로 청구항들 및 설명들의 범위를 제한하도록 의도되지 않는다.
- [0024] 차세대 더블 데이터 레이트 랜덤 액세스 메모리(본 명세서에서 "DDR"로 지칭됨)는 모바일 및 비-모바일 애플리케이션들에 매력적인 고성능, 저전력, 경쟁력있는 메모리 비용, 다양한 패키지 유형들, 및/또는 멀티-소싱 가용성의 균형을 제공할 수 있다. 기존의 DDR 시스템들은 DDR 시스템의 채널당 다수의 의사 채널들이 구현되는 의사 채널 모드를 지원한다. 그러나, 제안된 또는 기존의 DDR 시스템들은 고 레이턴시를 나타낼 수 있는 데이터 통신 프로토콜들을 사용하는 고성능, 저 레이턴시, 및/또는 더 낮은 전력 방식들에 기초한다. 그러한 레이턴시는 이러한 시스템들의 사용량 및 효율을, 많은 용도들에 허용가능한 것보다 아래의 레벨들로 제한한다.
- [0025] 제안된 또는 기존의 DDR 시스템들은 DDR 시스템의 채널당 다수의 의사 채널들이 구현되는 의사 채널 모드를 지원한다. 각각의 의사 채널은 전용 뱅크들 및 전용 데이터 버스를 가질 수 있고, 커맨드 및 어드레스 버스를 적어도 하나의 다른 의사 채널과 공유하거나 전용 커맨드 및 어드레스 버스를 가질 수 있다. 의사 채널의 IO는 IO 방식들, 구체적으로 펄스 진폭 변조(pulse amplitude modulation, PAM) 코딩을 통해 기입/판독당 다수의 바이트의 데이터(예컨대, 2바이트)를 전달하는 PAM(예컨대, PAM4), 및 기입/판독 사이클당 1바이트의 데이터를 전달하는 비제로 복귀(non-return to zero, NRZ) 코딩의 조합에 의해 관리될 수 있다. PAM 코딩은 1600 Mhz 초과 클록 주파수들에 사용될 수 있는 반면, NRZ 코딩은 1600 Mhz 이하의 클록 주파수들에 사용될 수 있다. PAM 코딩에 기초한 IO 시그널링은, PAM 멀티-레벨 신호들을 구동할 때 PAM 송신기들이 DC 전류를 소비하기 때문에 그의 동작 주파수가 감소함에 따라 IO 전력 효율을 악화시킨다. 그러나, NRZ 송신기들은 DC 전류를 그만큼 많이 소비하지 않으며, NRZ 신호 인터페이스들은 모바일 폰들과 같은 전력 효율 민감 시스템들의 낮은 주파수들에 더 적합하다. 결과적으로, 2개의 상이한 IO 방식들은 동일한 데이터 송신을 달성하기 위해 기입/판독 동작들 동안 동적 버스트 길이들을 요구한다. 기입/판독 버스트 길이들의 이러한 차이들은 상이한 IO 방식들 사이의 레이턴시의 차이들을 초래한다. 최종 결과는, NRZ 코딩이 사용될 때 특정 클록 주파수들(예컨대, 1600 Mhz) 미만에서, 메모리 뱅크들로의 또는 그로부터의 데이터의 전달이 더 오래 걸려서, 레이턴시를 증가시킨다는 것이며, 이는 일부 애플리케이션들에서 허용가능하지 않을 수 있다.
- [0026] 본 명세서에 설명된 실시형태들은, DDR 시스템의 다수의 의사 채널들 중 적어도 하나의 선택된 의사 채널을 다수의 의사 채널들 중 적어도 2개에 의해 공유된 IO 데이터 버스에 선택적으로 통신가능하게 연결하도록 구성된 하나 이상의 의사 채널 선택 디바이스들을 채용함으로써 DDR 시스템에서의 판독 및/또는 기입 동작들에 대한 레이턴시를 감소시켜, DDR 시스템들의 전술한 문제들을 해결한다. 본 명세서에 설명된 실시형태들은 DDR, LPDDR, GDDR, WideIO 등과 같은 임의의 DDR 시스템에 적용될 수 있다. 예를 들어, 하나 이상의 의사 채널 선택 디바이스들의 구현은, DDR이 낮은 주파수들(예컨대, ≤ 1600 Mhz)에서 동작될 때 NRZ 코딩 IO 방식이 데이터(예컨대, 32비트, 64비트 등)를 전달하기 위해 2개(또는 그 초과)의 데이터 버스들(예컨대, 16비트 데이터 버스)을 동시에 사용함으로써 구현될 때, 레이턴시를 감소시킬 수 있다. 다른 예로서, 하나 이상의 의사 채널 선택 디바이스들의 구현은, DDR이 높은 주파수들(예컨대, >1600 Mhz)에서 동작되고 PAM 코딩 IO 방식이 데이터(예컨대, 32비트, 64비트 등)를 전달하기 위해 2개(또는 그 초과)의 데이터 버스들(예컨대, 16비트 데이터 버스)을 동시에 사용함으로써 구현될 때, 레이턴시를 감소시킬 수 있다.
- [0027] 다양한 실시형태들은 제안된 또는 기존의 DDR 시스템들에 비해 메모리 액세스 트랜잭션들에 대한 레이턴시를 감소시키는 DDR 시스템에서의 의사 채널들에 대한 적응형 IO 방식을 포함한다. DDR 시스템은 DDR 칩에 통합된, 다중화 및 역다중화 능력들로 구성된 멀티플렉서들과 같은 하나 이상의 의사 채널 선택 디바이스들을 포함할 수 있다. 각각의 의사 채널 선택 디바이스는 2개(또는 그 초과)의 의사 채널들이 DDR 시스템들의 전용 데이터 버스들을 공유할 수 있도록 할 수 있다. 일부 예들에서, 더 큰 의사 채널 선택 디바이스는 다수의 더 작은 의사 채널 선택 디바이스들을 포함할 수 있다.
- [0028] 도 3a 및 도 4a 내지 도 4c를 참조하여 아래에서 상세히 설명되는 일 구현에서, 2개 이상의 의사 채널 선택 디바이스 각각은 DDR 시스템의 각자의 전용 데이터 버스(예컨대, 16비트 버스)에 연결될 수 있고, 2개(또는 그 초과)의 의사 채널들이 전용 데이터 버스를 공유할 수 있도록 할 수 있다. 2개(또는 그 초과)의 의사 채널 선택 디바이스들을 제공하고 의사 채널 선택 디바이스들을 2개(또는 그 초과)의 의사 채널들에 연결함으로써, 2개(또

는 그 초과)의 의사 채널들은 조합된 데이터 버스(예컨대, 32비트 버스)에 액세스할 수 있다. 조합된 데이터 버스는 2개 이상의 의사 채널 선택 디바이스들에 연결된 전용 데이터 버스들을 포함할 수 있고, 따라서, 개별 전용 데이터 버스들보다 더 큰 폭(예컨대, 2배)을 가질 수 있다. 다시 말해서, 조합된 데이터 버스의 폭은, 비트의 관점에서, 각각의 메모리 뱅크에 연결된 전용 데이터 버스의 폭의, "1"보다 큰 배수일 수 있다. 각각의 의사 채널은 내부 데이터 버스에 의해 2개(또는 그 초과)의 의사 채널 선택 디바이스들에 통신가능하게 연결될 수 있다. 의사 채널에서의 내부 데이터 버스의 비트 폭은 조합된 데이터 버스와 동일한 폭일 수 있고, 각각의 의사 채널 선택 디바이스에서의 내부 데이터 버스의 비트 폭은 내부 데이터 버스의 비트 폭의 분율, 예컨대 절반 이하일 수 있다. 예를 들어, 각각의 내부 데이터 버스는 의사 채널에서 32비트 내부 데이터 버스일 수 있고, 2개(또는 그 초과)의 의사 채널 선택 디바이스들 각각에서 16비트 이하의 내부 데이터 버스일 수 있다. 2개(또는 그 초과)의 의사 채널 선택 디바이스들은 선택된 의사 채널을 각자의 내부 데이터 버스를 통해, 조합된 데이터 버스에 선택적으로 연결할 수 있다. 2개(또는 그 초과)의 의사 채널 선택 디바이스들은 $m:n$ 멀티플렉서들일 수 있으며, 여기서 " m " 및 " n "은 "1"보다 큰 정수들이며, 예컨대 정수 " m "은 전용 데이터 버스의 폭과 동일하고, 정수 " n "은 각자의 의사 채널 선택 디바이스에 통신가능하게 연결된 의사 채널들의 수와 동일하다. 예를 들어, 의사 채널 선택 디바이스는 $16n:16$ 멀티플렉서일 수 있다. 다른 예로서, 2개의 의사 채널들에 대해, 의사 채널 선택 디바이스는 $32:16$ 멀티플렉서일 수 있다.

[0029] 도 3b 및 도 4a 내지 도 4c를 참조하여 아래에서 상세히 설명되는 다른 구현에서, 의사 채널 선택 디바이스는 DDR 시스템의 2개(또는 그 초과)의 전용 데이터 버스들(예컨대, 16비트 버스들)에 연결될 수 있고, 2개(또는 그 초과)의 의사 채널들이 전용 데이터 버스들을 공유할 수 있도록 할 수 있다. 의사 채널 선택 디바이스를 제공하고 의사 채널 선택 디바이스를 2개(또는 그 초과)의 의사 채널들에 연결함으로써, 2개(또는 그 초과)의 의사 채널들은 조합된 데이터 버스(예컨대, 32비트 버스)에 대한 액세스를 가질 수 있다. 조합된 데이터 버스는 의사 채널 선택 디바이스에 연결된 전용 데이터 버스들을 포함할 수 있고, 따라서, 개별 전용 데이터 버스들보다 더 큰 폭(예컨대, 2배)을 가질 수 있다. 다시 말해서, 조합된 데이터 버스의 폭은, 비트의 관점에서, 각각의 메모리 뱅크에 연결된 전용 데이터 버스의 폭의, "1"보다 큰 배수일 수 있다. 각각의 의사 채널은 내부 데이터 버스에 의해 의사 채널 선택 디바이스에 통신가능하게 연결될 수 있다. 내부 데이터 버스의 비트 폭은 조합된 데이터 버스와 동일한 폭일 수 있다. 예를 들어, 각각의 내부 데이터 버스는 32비트 내부 데이터 버스일 수 있다. 의사 채널 선택 디바이스는 선택된 의사 채널을 각자의 내부 데이터 버스를 통해, 조합된 데이터 버스에 선택적으로 연결할 수 있다. 의사 채널 선택 디바이스는 $p:n$ 멀티플렉서일 수 있으며, 여기서 " p " 및 " n "은 "1"보다 큰 정수들이며, 예컨대 정수 " p "는 조합된 데이터 버스의 폭과 동일하고, 정수 " n "은 의사 채널 선택 디바이스에 통신가능하게 연결된 의사 채널들의 수와 동일하다. 예를 들어, 의사 채널 선택 디바이스는 $32n:32$ 멀티플렉서일 수 있다. 다른 예로서, 2개의 의사 채널들에 대해, 의사 채널 선택 디바이스는 $64:32$ 멀티플렉서일 수 있다. 의사 채널 선택 디바이스는 위에서 설명된 2개(또는 그 초과)의 의사 채널 선택 디바이스들과 유사한 방식으로 구성된 다수의 더 작은 의사 채널 선택 디바이스들을 추가로 포함할 수 있다.

[0030] DDR 시스템은 DDR 칩당 임의의 수의 의사 채널들, 예컨대 적어도 2개의 의사 채널들로 구성될 수 있다. 예를 들어, DDR 칩은 2개의 의사 채널들, 3개의 의사 채널들, 4개의 의사 채널들, 6개의 의사 채널들, 8개의 의사 채널들 등을 포함할 수 있다. 하나 이상의 의사 채널 선택 디바이스들은 DDR 칩의 의사 채널들 중 적어도 하나를 선택하도록 구성될 수 있다. DDR 칩은 조합된 데이터 버스에 병렬로 통신가능하게 연결된 다수의 의사 채널 선택 디바이스들을 포함할 수 있다. 다수의 의사 채널 선택 디바이스들은 위에서 설명된 바와 같이 더 큰 의사 채널 선택 디바이스로서 함께 기능하도록 구성될 수 있어서, 조합된 데이터 버스에 어느 의사 채널을 선택적으로 통신가능하게 연결할지의 선택이 다수의 의사 채널 선택 디바이스들을 통해 제어될 수 있게 할 수 있다.

[0031] 메모리 액세스 트랜잭션에 대해 의사 채널들 중 적어도 하나를 선택하는 하나 이상의 의사 채널 선택 디바이스들을 사용하는 DDR 시스템은, 특히 기존의 DDR 시스템들의 NRZ 코딩 IO 방식과 비교하여, 각각의 연결된 의사 채널에 대한 조합된 데이터 버스의 폭의 사용을 가능하게 함으로써, 레이턴시를 감소시킨다. 더 큰 폭의 조합된 데이터 버스를 통해 데이터를 송신하는 버스트 길이는, 하나의 기입 또는 판독 동작에서 NRZ를 사용하여 송신된 비트들의 수를 배가함(또는 더 많이 늘림)으로써, 더 낮은 폭의 전용 데이터 버스와 비교하여 감소된다. 더 큰 폭의 조합된 데이터 버스 및 감소된 버스트 길이의 결과로, 데이터 송신들의 레이턴시는 종래의 DDR 시스템들에 비해 감소된다.

[0032] 도 1은 다양한 실시형태들과의 사용에 적합한 컴퓨팅 디바이스(100)를 포함하는 시스템을 예시한다. 컴퓨팅 디바이스(100)는 중앙 프로세싱 유닛(104), 메모리(106), 통신 인터페이스(108), 메모리 인터페이스(110), 주변 디바이스 인터페이스(120), 및 프로세싱 디바이스(124)를 갖는 시스템-온-칩(SoC)(102)을 포함할 수 있다. 컴

퓨팅 디바이스(100)는 유선 또는 무선 모뎀과 같은 통신 컴포넌트(112), 메모리(114), 및 무선 통신 링크를 확립하기 위한 안테나(116), 및/또는 주변 디바이스(122)를 추가로 포함할 수 있다. 프로세서(124)는 임의의 다양한 프로세싱 디바이스들, 예를 들어, 다수의 프로세서 코어들을 포함할 수 있다.

[0033] 용어 "시스템-온-칩" 또는 "SoC"는, 통상적이지만 배타적이지 않게, 프로세싱 디바이스, 메모리, 및 통신 인터페이스를 포함하는 상호연결된 전자 회로들의 세트를 지칭하도록 본 명세서에서 사용된다. 프로세싱 디바이스는 범용 프로세서, 중앙 프로세싱 유닛(CPU)(104), 디지털 신호 프로세서(DSP), 그래픽 프로세싱 유닛(GPU), 가속 프로세싱 유닛(APU), 보안 프로세싱 유닛(SPU), 지적 재산 유닛(IPU), 카메라 서브시스템을 위한 이미지 프로세서 또는 디스플레이를 위한 디스플레이 프로세서와 같은 컴퓨팅 디바이스의 특정 컴포넌트들의 서브시스템 프로세서, 보조 프로세서, 주변 디바이스 프로세서, 단일 코어 프로세서, 멀티코어 프로세서, 제어기, 및/또는 마이크로제어기를 포함하는, 프로세서(124), 및/또는 중앙 프로세싱 유닛(CPU)(104)과 같은, 다양한 상이한 유형들의 프로세서들 및/또는 프로세서 코어들을 포함할 수 있다. 프로세싱 디바이스는 추가로, 필드 프로그래밍 가능 게이트 어레이(FPGA), 애플리케이션 특정 집적 회로(ASIC), 다른 프로그래밍가능 로직 디바이스, 이산 게이트 로직, 트랜지스터 로직, 성능 모니터링 하드웨어, 와치도그 하드웨어, 및/또는 시간 기준들과 같은 다른 하드웨어 및 하드웨어 조합들을 구현할 수 있다. 집적 회로들은 집적 회로의 컴포넌트들이 실리콘과 같은 반도체 재료의 단일 조각 상에 상주하도록 구성될 수 있다.

[0034] SoC(102)는 하나 이상의 CPU들(104) 및 프로세서들(124)을 포함할 수 있다. 컴퓨팅 디바이스(100)는 하나 초과의 SoC(102)를 포함하고, 이에 의해, CPU들(104), 프로세서들(124), 및 프로세서 코어들의 수를 증가시킬 수 있다. 컴퓨팅 디바이스(100)는 또한, SoC(102)와 연관되지 않은 CPU들(104) 및 프로세서들(124)을 포함할 수 있다. 개별 CPU들(104) 및 프로세서들(124)은 멀티코어 프로세서들일 수 있다. CPU들(104) 및 프로세서들(124)은 각각, 컴퓨팅 디바이스(100)의 다른 CPU들(104) 및 프로세서들(124)과 동일하거나 상이할 수 있는 특정 목적들을 위해 구성될 수 있다. 동일하거나 상이한 구성들의 CPU들(104), 프로세서들(124), 및 프로세서 코어들 중 하나 이상은 함께 그룹화될 수 있다. CPU들(104), 프로세서들(124), 또는 프로세서 코어들의 그룹은 멀티-프로세서 클러스터로 지칭될 수 있다.

[0035] SoC(102)의 메모리(106)는 CPU(104), 프로세서(124), 또는 SoC(102)의 다른 컴포넌트들에 의한 액세스를 위해 데이터 및 프로세서 실행가능 코드를 저장하도록 구성된 휘발성 또는 비휘발성 메모리일 수 있다. 컴퓨팅 디바이스(100) 및/또는 SoC(102)는 다양한 목적들을 위해 구성된 하나 이상의 메모리들(106)을 포함할 수 있다. 하나 이상의 메모리들(106)은 메인 메모리 또는 캐시 메모리로서 구현되는, DDR을 포함하는, RAM(random-access memory)과 같은 휘발성 메모리들을 포함할 수 있다. 이러한 메모리들(106)은, 데이터 센서 또는 서브시스템으로부터 수신된 제한된 양의 데이터, 다양한 인자들에 기초해 장래의 액세스를 예상하여 비휘발성 메모리로부터 요청되고 비휘발성 메모리로부터 메모리들(106)로 로딩된 데이터 및/또는 프로세서 실행가능 코드 명령들, 및/또는 비휘발성 메모리에 저장되지 않고서 장래의 신속한 액세스를 위해 임시로 저장되고 CPU(104) 및/또는 프로세서(124)에 의해 생성된 중간 프로세싱 데이터 및/또는 프로세서 실행가능 코드 명령들을 일시적으로 보유하도록 구성될 수 있다. 메모리(106)는 CPU(104), 프로세서(124), 또는 SoC(102)의 다른 컴포넌트들 중 하나 이상에 의한 액세스를 위해 다른 메모리(106) 또는 메모리(114)와 같은 다른 메모리 디바이스로부터 메모리(106)로 로딩되는, 데이터 및 프로세서 실행가능 코드를 적어도 일시적으로 저장하도록 구성될 수 있다. 일부 실시형태들에서, 임의의 수 및 조합들의 메모리들(106)은 1회 프로그래밍가능 또는 관독 전용 메모리를 포함할 수 있다.

[0036] 메모리 인터페이스(110) 및 메모리(114)는, 컴퓨팅 디바이스(100)가 휘발성 및/또는 비휘발성 저장 매체 상에 데이터 및 프로세서 실행가능 코드를 저장하고 휘발성 및/또는 비휘발성 저장 매체로부터 데이터 및 프로세서 실행가능 코드를 검색할 수 있도록 하기 위해, 일체로 작동할 수 있다. 메모리(114)는, 메모리(114)가 CPU(104), 프로세서(124), 또는 SoC(102)의 다른 컴포넌트들 중 하나 이상에 의한 액세스를 위해 데이터 또는 프로세서 실행가능 코드를 저장할 수 있는, 메인 메모리와 같은, 메모리(106)의 일 실시형태와 매우 유사하게 구성될 수 있다. 일부 실시형태들에서, 비휘발성인 메모리(114)는, 컴퓨팅 디바이스(100)의 전력이 셧오프된 이후 정보를 유지할 수 있다. 전력이 다시 턴온되고 컴퓨팅 디바이스(100)가 재부팅할 경우, 메모리(114) 상에 저장된 정보는 컴퓨팅 디바이스(100)에서 이용가능할 수 있다. 일부 실시형태들에서, 휘발성인 메모리(114)는 컴퓨팅 디바이스(100)의 전력이 셧오프된 이후 정보를 유지하지 못할 수 있다. 메모리 인터페이스(110)는 메모리(114)에의 액세스를 제어하고, CPU(104), 프로세서(124), 또는 SoC(102)의 다른 컴포넌트들이 메모리(114)로부터 데이터를 관독하게 하고 메모리(114)에 데이터를 기입하게 할 수 있다.

[0037] 컴퓨팅 디바이스(100) 및/또는 SoC(102)의 컴포넌트들의 일부 또는 모두는 다양한 실시형태들의 기능들을 여전히 서빙하면서 상이하게 배열되고/되거나 조합될 수 있다. 컴퓨팅 디바이스(100)는 컴포넌트들 각각 중 하나로

제한되지 않을 수 있고, 각각의 컴포넌트의 다수의 인스턴스들이 컴퓨팅 디바이스(100)의 다양한 구성들에 포함될 수 있다.

[0038] 도 2는 다양한 실시형태들을 구현하기에 적합한 예시적인 의사 채널 기반 메모리 시스템(예컨대, 도 1의 메모리(106), 메모리(114))을 예시한다. 도 1 및 도 2를 참조하면, 예시적인 의사 채널 기반 메모리 시스템은 임의의 수의 DDR 칩들(200)을 포함할 수 있다. 각각의 DDR 칩(200)은 임의의 수의 뱅크들(224a, 224b)을 포함할 수 있다. 예를 들어, DDR 칩(200)은 32개의 뱅크들을 포함할 수 있다. 뱅크들(224a, 224b)은 임의의 수 및 조합으로 배열되어 임의의 수의 뱅크 그룹들(222a, 222b)을 형성할 수 있다. 예를 들어, DDR 칩(200)은 16개의 뱅크 그룹들(222a, 222b)을 포함할 수 있고, 각각의 뱅크 그룹(222a, 222b)은 2개의 뱅크들(224a, 224b)을 포함할 수 있고; 뱅크 그룹(222a)은 2개의 뱅크들(224a)을 포함하고 뱅크 그룹(222b)은 2개의 뱅크들(224b)을 포함한다. 뱅크들(224a, 224b) 및 뱅크 그룹들(222a, 222b)은 임의의 수 및 조합으로 배열되어 적어도 2개의 의사 채널들(220a, 220b)을 형성할 수 있다. 다시 말해서, 각각의 의사 채널(220a, 220b)은 하나 이상의 뱅크 그룹들(222a, 222b)을 포함할 수 있고, 각각의 뱅크 그룹(222a, 222b)은 하나 이상의 뱅크들(224a, 224b)을 포함할 수 있다. 의사 채널(220a, 220b)의 상이한 뱅크 그룹들(222a, 222b)은 동일한 수의 뱅크들(224a, 224b) 또는 상이한 수의 뱅크들(224a, 224b)을 포함할 수 있다. 상이한 의사 채널들(220a, 220b)은 동일한 수의 뱅크 그룹들(222a, 222b) 또는 상이한 수의 뱅크 그룹들(222a, 222b)을 포함할 수 있다. 예를 들어, DDR 칩(200)은 2개의 의사 채널들(220a, 220b)을 포함할 수 있고, 각각의 의사 채널(220a, 220b)은 8개의 뱅크 그룹들(222a, 222b)을 포함할 수 있고, 각각의 뱅크 그룹(222a, 222b)은 2개의 뱅크들(224a, 224b)을 포함할 수 있다. 보다 구체적으로, 의사 채널(220a)은 8개의 뱅크 그룹들(222a)을 포함할 수 있고, 각각의 뱅크 그룹(222a)은 2개의 뱅크들(224a)을 포함할 수 있고, 의사 채널(220b)은 8개의 뱅크 그룹들(222b)을 포함할 수 있고, 각각의 뱅크 그룹(222b)은 2개의 뱅크들(224b)을 포함할 수 있다.

[0039] 뱅크들(224a, 224b)을 포함하는 의사 채널들(220a, 220b)은 내부 버스(230)를 통해 의사 채널 IO들(202a, 202b) 및 공유 IO들(210)에 통신가능하게 연결될 수 있다. 예를 들어, 각각의 의사 채널(220a, 220b)은 의사 채널 IO들(202a, 202b) 중 전용 의사 채널 IO에 통신가능하게 연결될 수 있고, 적어도 2개의 의사 채널들(220a, 220b)은 공유 IO(210)에 통신가능하게 연결될 수 있다. 이와 같이, DDR 칩(200)은 동일한 수의 의사 채널들(220a, 220b) 및 의사 채널 IO들(202a, 202b)을 포함할 수 있다.

[0040] 각각의 의사 채널 IO(202a, 202b)는 각각 데이터 버스(204a, 204b)를 포함할 수 있다. 각각의 의사 채널 IO(202a, 202b)는, DDR 칩(200)이 호스트(예컨대, 도 1의 CPU(104), 프로세서(124))로부터 데이터를 수신하고 통신가능하게 연결된 데이터 버스(204a, 204b)를 통해 의사 채널(220a, 220b)로 데이터를 송신할 수 있게 하도록 구성될 수 있다. 또한, 각각의 의사 채널 IO(202a, 202b)는, DDR 칩(200)이 의사 채널(220a, 220b)로부터 데이터를 수신하고 통신가능하게 연결된 데이터 버스(204a, 204b)를 통해 호스트로 데이터를 송신할 수 있게 하도록 구성될 수 있다. 데이터 버스들(204a, 204b)은 통신가능하게 연결된 의사 채널 IO(202a, 202b)에 대해 전용된 데이터 버스들(204a, 204b)보다 더 큰 데이터 버스의 부분들일 수 있다. 각각의 의사 채널 IO(202a, 202b)는 의사 채널 IO(202a, 202b)에 통신가능하게 연결된 의사 채널(220a, 220b)의 동작을 위한 신호들을 제공하도록 구성된 기입 클럭(206a, 206b) 및 판독 스트로브(208a, 208b)를 추가로 포함할 수 있다.

[0041] 각각의 공유 IO(210)는 커맨드 어드레스(command address, CA) 버스(214)를 포함할 수 있다. CA 버스(214)는 DDR 칩(200)이 공유 IO(210)에 통신가능하게 연결된 의사 채널(220a, 220b) 내의 특정된 어드레스들에서, 판독들 및/또는 기입들과 같은 메모리 액세스 커맨드들을 구현할 수 있게 하도록 구성될 수 있다. 각각의 공유 IO(210)는 공유 IO(210)에 통신가능하게 연결된 의사 채널(220a, 220b)의 동작을 위한 신호들을 제공하도록 구성된 클럭(212), 칩 선택(216), 및 리셋(218)을 추가로 포함할 수 있다.

[0042] 통상적으로, 각각의 의사 채널(220a, 220b)은 의사 채널 IO들(202a, 202b) 중 각자의 전용 의사 채널 IO에만 통신가능하게 연결되고 다른 의사 채널 IO들(202a, 202b)에는 그렇지 않을 수 있다. 예를 들어, 의사 채널(220a)은 의사 채널 IO(202a)에만 통신가능하게 연결될 수 있고, 의사 채널(220b)은 의사 채널 IO(202b)에만 통신가능하게 연결될 수 있다. 특히, 의사 채널(220a)은 의사 채널 IO(202a)의 데이터 버스(204a)에만 통신가능하게 연결될 수 있고, 의사 채널(220b)은 의사 채널 IO(202b)의 데이터 버스(204b)에만 통신가능하게 연결될 수 있다. 본 명세서에 제공된 실시형태들에서, 각각의 의사 채널(220a, 220b)은 다수의 의사 채널 IO들(202a, 202b)에 통신가능하게 연결될 수 있다. 예를 들어, 의사 채널(220a)은 의사 채널 IO들(202a, 202b)에 통신가능하게 연결될 수 있고, 의사 채널(220b)은 의사 채널 IO들(202a, 202b)에 통신가능하게 연결될 수 있다. 특히, 의사 채널(220a)은 의사 채널 IO(202a)의 데이터 버스(204a) 및 의사 채널 IO(202b)의 데이터 버스(204b)에 통신가능하게 연결될 수 있고, 의사 채널(220b)은 의사 채널 IO(204a)의 데이터 버스(204a) 및 의사 채널

10(202b)의 데이터 버스(204b)에 연결될 수 있다. 다수의 데이터 버스들(204a, 204b)에의 의사 채널들(220a, 220b)의 이러한 통신 연결들은, 데이터 버스들(204a, 204b) 중 전용 데이터 버스들만에서의 의사 채널들(220a, 220b)의 종래의 연결들보다 더 큰 데이터 버스의 더 큰 부분에 대한 액세스를 의사 채널(220a, 220b)에 제공할 수 있다. 예를 들어, 다수의 데이터 버스들(204a, 204b)에의 의사 채널들(220a, 220b)의 연결들은 조합된 데이터 버스들(204a, 204b)의 크기의 더 큰 데이터 버스의 일부분에 대한 액세스를 의사 채널(220a, 220b)에 제공할 수 있다. 데이터 버스들(204a, 204b) 중 전용 데이터 버스들만에서의 의사 채널들(220a, 220b)의 종래의 연결들은 개별 데이터 버스(204a, 204b)의 크기의 더 큰 데이터 버스의 일부분에 대한 액세스를 의사 채널(220a, 220b)에 제공한다.

[0043]

도 3a 및 도 3b는 다양한 실시형태들을 구현하기에 적합한 예시적인 의사 채널 기반 메모리 시스템들(예컨대, 도 1의 메모리(106), 메모리(114))을 예시한다. 도 1 내지 도 3b를 참조하면, 예시적인 의사 채널 기반 메모리 시스템은 임의의 수의 DDR 칩들(300a, 300b)(예컨대, 도 2의 DDR 칩(200))을 포함할 수 있다. DDR 칩(300a, 300b)은 임의의 수 및 조합의 뱅크들(224a, 224b), 뱅크 그룹들(222a, 222b), 및 의사 채널들(220a, 220b)을 포함할 수 있다. 설명의 용이성 및 명확성을 위해, 본 명세서에 제시된 예들은 2개의 의사 채널들에 기초한다. 그러나, 그러한 예들은 청구항들 또는 설명들의 범위를 제한하고자 하는 것이 아니며, 본 명세서에 제시된 예들은 2개의 의사 채널들, 3개의 의사 채널들, 4개의 의사 채널들, 6개의 의사 채널들, 8개의 의사 채널들, "x"가 "0"보다 큰 정수인 2^x 개의 의사 채널들을 포함하는 DDR 칩에 유사하게 적용될 수 있다.

[0044]

DDR 칩(300a, 300b)은 각각의 의사 채널(220a, 220b)과 연관된 프리페치 메모리들(302a, 302b)을 추가로 포함할 수 있다. 프리페치 메모리들(302a, 302b)은 연관된 의사 채널(220a, 220b)의 뱅크들(224a, 224b)로부터 검색된 데이터를 보유하도록 구성될 수 있다. 프리페치 메모리들(302a, 302b)은 일반적으로 뱅크들(224a, 224b)과 비교하여 더 작은 용량들을 가질 수 있다. 일부 예들에서, 프리페치 메모리들(302a, 302b)은, 본 명세서에서 추가로 설명되는, 내부 데이터 버스(306a, 306b)의 비트 폭과 동일한 용량들을 가질 수 있다. 예를 들어, 프리페치 메모리들(302a, 302b)은 256비트의 조합된 용량을 갖는 레지스터들의 어레이일 수 있다.

[0045]

도 3a에 예시된 예에서, DDR 칩(300a)은 의사 채널 선택 디바이스들(304a, 304b)을 추가로 포함할 수 있다. 예를 들어, 의사 채널 선택 디바이스들(304a, 304b)은 임의의 수 및 조합의 멀티플렉서들일 수 있다. 각각의 의사 채널 선택 디바이스(304a, 304b)는 의사 채널 데이터 버스(312a, 312b)(예컨대, 도 2의 데이터 버스(204a, 204b))에 통신가능하게 연결될 수 있다. 각각의 의사 채널 선택 디바이스(304a, 304b)는 또한 적어도 2개의 의사 채널들(220a, 220b)에 통신가능하게 연결될 수 있다. 의사 채널 선택 디바이스들(304a, 304b)은 내부 데이터 버스들(306a, 306b, 308a, 308b, 308c, 308d)을 통해 의사 채널들(220a, 220b)에 통신가능하게 연결될 수 있다. 예를 들어, 내부 데이터 버스들(306a, 308a)은 의사 채널 선택 디바이스(304a)와 의사 채널(220a)을 통신가능하게 연결할 수 있고, 내부 데이터 버스들(306a, 308b)은 의사 채널 선택 디바이스(304b)와 의사 채널(220a)을 통신가능하게 연결할 수 있다. 또한, 내부 데이터 버스들(306b, 308c)은 의사 채널 선택 디바이스(304a)와 의사 채널(220b)을 통신가능하게 연결할 수 있고, 내부 데이터 버스들(306b, 308d)은 의사 채널 선택 디바이스(304b)와 의사 채널(220b)을 통신가능하게 연결할 수 있다. 의사 채널 선택 디바이스(304a, 304b)는, 본 명세서에서 추가로 설명되는 바와 같이, 의사 채널들(220a, 220b)을 내부 데이터 버스들(306a, 306b, 308a, 308b, 308c, 308d)을 통해 다수의 의사 채널 데이터 버스들(312a, 312b)에 통신가능하게 연결하도록 구성될 수 있다. 내부 데이터 버스들(306a, 306b)은 내부 데이터 버스들(306a, 306b)이 통신가능하게 연결될 수 있는 적어도 2개의 의사 채널 데이터 버스들(312a, 312b)의 동일한 비트 폭을 갖도록 크기설정될 수 있다. 예를 들어, 내부 데이터 버스들(306a, 306b)은 각각 32비트 폭을 가질 수 있고 의사 채널 데이터 버스들(312a, 312b)은 각각 16비트 폭을 가질 수 있다. 내부 데이터 버스들(308a, 308b, 308c, 308d)은 내부 데이터 버스들(308a, 308b, 308c, 308d)이 통신가능하게 연결될 수 있는 의사 채널 데이터 버스들(312a, 312b)의 동일한 비트 폭을 갖도록 크기설정될 수 있다. 예를 들어, 내부 데이터 버스들(308a, 308b, 308c, 308d)은 각각 16비트 폭을 가질 수 있고 의사 채널 데이터 버스들(312a, 312b)은 각각 16비트 폭을 가질 수 있다.

[0046]

다른 예로서, 전용 내부 데이터 버스들(도시되지 않음)이 의사 채널(220a, 220b)을 각자의 의사 채널 선택 디바이스들(304a, 304b)과 통신가능하게 연결할 수 있다. 전용 내부 데이터 버스들은 전용 내부 데이터 버스들이 통신가능하게 연결될 수 있는 의사 채널 데이터 버스들(312a, 312b)과 동일한 비트 폭을 갖도록 크기설정될 수 있다. 예를 들어, 전용 내부 데이터 버스들은 각각 16비트 폭을 가질 수 있고 의사 채널 데이터 버스들(312a, 312b)은 각각 16비트 폭을 가질 수 있다. 프리페치 메모리들(302a, 302b)은 각자의 전용 내부 데이터 버스들의 조합된 비트 폭과 동일한 용량들을 가질 수 있거나, 별도의 프리페치 메모리들이 각각의 전용 내부 데이터 버스

에 제공될 수 있다.

[0047] DDR 칩(300a)은, CA 버스(314)(예컨대, 도 2의 CA 버스(214))에 그리고 의사 채널 선택 신호 라인들(318a, 318b)을 통해 의사 채널 선택 디바이스들(304a, 304b)에 통신가능하게 연결될 수 있는 의사 채널 제어기(316)를 포함할 수 있다. 의사 채널 제어기(316)는 CA 버스(314)를 통해 메모리 액세스 커맨드들을 수신하도록 구성될 수 있다. 의사 채널 제어기(316)는 메모리 액세스 커맨드들을 해석하여, (의사 채널 선택 신호를 어서트(assert) 또는 디어써트(deassert)함으로써 포함하여) 의사 채널 선택 신호를 의사 채널 선택 신호 라인들(318a, 318b)을 통해 의사 채널 선택 디바이스들(304a, 304b)에 제공할지 여부를 결정하도록 구성될 수 있다. 의사 채널 제어기(316)는 메모리 액세스가 저 레이턴시 유형의 메모리 액세스임을 나타내도록 구성된 메모리 액세스 커맨드를 수신할 수 있다. 예를 들어, 메모리 액세스 커맨드는 저 레이턴시 유형의 메모리 액세스의 표시, 예컨대 필드 내의 값을 포함할 수 있다. 다른 예로서, 모드 레지스터 기입은 메모리 액세스 커맨드에 선행할 수 있고, 임의의 후속 메모리 액세스 커맨드들이 저 레이턴시 유형의 메모리 액세스들로서 구현되어야 함을 의사 채널 제어기(316)에 나타내기 위해 레지스터 값을 설정하도록 구성될 수 있다. 의사 채널 제어기(316)는 또한 저 레이턴시 유형의 메모리 액세스가 타겟팅되는 의사 채널(220a, 220b)을 결정하고 의사 채널 선택 디바이스들(304a, 304b)에 의사 채널 선택 신호를 발행할 수 있다. 의사 채널 선택 신호는, 의사 채널 선택 디바이스들(304a, 304b)이 메모리 액세스를 위해 타겟팅된 의사 채널(220a, 220b)을 내부 데이터 버스들(306a, 306b, 308a, 308b, 308c, 308d)을 통해 의사 채널 데이터 버스들(312a, 312b)에 통신가능하게 연결하도록 구성하게 하도록 촉구할 수 있다. 일부 예들에서, 의사 채널 선택 디바이스들(304a, 304b)에 대한 의사 채널 선택 신호들은 동일한 의사 채널 선택 신호들일 수 있다. 일부 예들에서, 의사 채널 선택 디바이스들(304a, 304b)에 대한 의사 채널 선택 신호들은 상이한 의사 채널 선택 신호들일 수 있다. 전술한 예들 중 임의의 예에서, 의사 채널 선택 디바이스들(304a, 304b) 및 의사 채널 제어기(316)를 포함하는, DDR 칩(300a), 및/또는 그의 컴포넌트들은, 메모리 액세스가 저 레이턴시 유형의 메모리 액세스임을 나타내도록 메모리 액세스 커맨드가 구성되든 또는 메모리 액세스 커맨드가 모드 레지스터 기입을 따르든, 저 레이턴시 유형의 메모리 액세스를 구현하기 위한 제1 동작 모드에서 동작할 수 있다.

[0048] 유사하게, 의사 채널 제어기(316)는 메모리 액세스가 표준 또는 비-저 레이턴시 유형의 메모리 액세스임을 나타내도록 구성된 메모리 액세스 커맨드를 수신할 수 있다. 예를 들어, 메모리 액세스 커맨드는 표준 또는 비-저 레이턴시 유형의 메모리 액세스의 표시, 예컨대 필드 내의 값을 포함할 수 있다. 다른 예로서, 메모리 액세스 커맨드는, 임의의 후속 메모리 액세스 커맨드들이 저 레이턴시 유형의 메모리 액세스들로서 구현되어야 함을 의사 채널 제어기(316)에 나타내기 위해 레지스터 값을 설정하도록 구성된 모드 레지스터 기입을 따르지 않을 수 있다. 추가로 메모리 액세스 커맨드는, 임의의 후속 메모리 액세스 커맨드들이 표준 또는 비-저 레이턴시 유형의 메모리 액세스들로서 구현되어야 함을 의사 채널 제어기(316)에 나타내기 위해 레지스터 값을 설정하도록 구성된 모드 레지스터 기입을 따를 수 있다.

[0049] 의사 채널 제어기(316)는 또한 표준 또는 비-저 레이턴시 유형의 메모리 액세스가 타겟팅되는 의사 채널(220a, 220b)을 결정하고 의사 채널 선택 디바이스들(304a, 304b)에 의사 채널 선택 신호를 발행할 수 있다. 의사 채널 선택 신호는 의사 채널 선택 디바이스들(304a, 304b)이 메모리 액세스를 위해 타겟팅된 의사 채널(220a, 220b)을 내부 데이터 버스들(306a, 306b, 308a, 308b, 308c, 308d)을 통해 각자의 의사 채널 데이터 버스(312a, 312b)에 통신가능하게 연결하도록 구성하게 하도록 촉구할 수 있다. 일부 실시형태들에서, 의사 채널 선택 디바이스들(304a, 304b)에 대한 의사 채널 선택 신호들은 동일한 의사 채널 선택 신호들일 수 있다. 일부 실시형태들에서, 의사 채널 선택 디바이스들(304a, 304b)에 대한 의사 채널 선택 신호들은 상이한 의사 채널 선택 신호들일 수 있다. 이러한 실시형태들 중 임의의 실시형태에서, 의사 채널 선택 디바이스들(304a, 304b) 및 의사 채널 제어기(316)를 포함하는, DDR 칩(300a), 및/또는 그의 컴포넌트들은, 메모리 액세스가 표준 또는 비-저 레이턴시 유형의 메모리 액세스임을 나타내도록 메모리 액세스 커맨드가 구성되든, 메모리 액세스 커맨드가 임의의 후속 메모리 액세스들이 저 레이턴시 유형의 메모리 액세스들로서 구현되게 하기 위한 모드 레지스터 기입을 따르지 않거나, 또는 메모리 액세스 커맨드가 임의의 후속 메모리 액세스들이 표준 또는 비-저 레이턴시 유형의 메모리 액세스들로서 구현되게 하기 위한 모드 레지스터 기입을 따르는 경우, 표준 또는 비-저 레이턴시 유형의 메모리 액세스를 구현하기 위한 제2 동작 모드에서 동작할 수 있다.

[0050] 도 3b에 예시된 예에서, DDR 칩(300b)은 도 3a를 참조하여 본 명세서에 설명된 바와 같은, 일정 수 및 조합의 의사 채널 선택 디바이스들(304a, 304b)을 포함할 수 있는 의사 채널 선택 디바이스(320)를 추가로 포함할 수 있다. 의사 채널 선택 디바이스(320)는 의사 채널 데이터 버스들(312a, 312b)(예컨대, 도 2의 데이터 버스(204a, 204b))에 통신가능하게 연결될 수 있다. 의사 채널 선택 디바이스(320)는 또한 적어도 2개의 의사 채널

들(220a, 220b)에 통신가능하게 연결될 수 있다. 의사 채널 선택 디바이스(320)는 내부 데이터 버스들(306a, 306b)을 통해 의사 채널들(220a, 220b)에 통신가능하게 연결될 수 있다. 의사 채널 선택 디바이스(320)는 내부 데이터 버스들(306a, 306b, 308a, 308b, 308c, 308d)을 통신가능하게 연결할 수 있고, 의사 채널 선택 디바이스들(304a, 304b)은 도 3a를 참조하여 본 명세서에 설명된 바와 같이 내부 데이터 버스들(306a, 306b, 308a, 308b, 308c, 308d)을 통해 의사 채널들(220a, 220b)에 통신가능하게 연결될 수 있다. 다른 예로서, 의사 채널 선택 디바이스들(320)은 도 3a를 참조하여 본 명세서에 설명된 바와 같이 전용 내부 데이터 버스들(도시되지 않음)을 통해 의사 채널들(220a, 220b) 및 의사 채널 선택 디바이스들(304a, 304b)에 통신가능하게 연결될 수 있다.

[0051]

DDR 칩(300b)은, 도 3a를 참조하여 본 명세서에 설명된 바와 같이 CA 버스(314)(예컨대, 도 2의 CA 버스(214))에 그리고 의사 채널 선택 신호 라인(들)(318c)을 통해 의사 채널 선택 디바이스(320)에 통신가능하게 연결될 수 있는 의사 채널 제어기(316)를 포함할 수 있다. 의사 채널 제어기(316)는 의사 채널 선택 디바이스(320)를 통해 의사 채널 선택 디바이스들(304a, 304b)에 통신가능하게 연결될 수 있다. 의사 채널 제어기(316)는 CA 버스(314)를 통해 메모리 액세스 커맨드들을 수신하도록 구성될 수 있다. 의사 채널 제어기(316)는 메모리 액세스 커맨드들을 해석하여, (의사 채널 선택 신호를 어썬트 또는 디어썬트함으로써를 포함하여) 의사 채널 선택 신호를 의사 채널 선택 신호 라인들(318c)을 통해 의사 채널 선택 디바이스들(320, 304a, 304b)에 제공할지 여부를 결정하도록 구성될 수 있다. 의사 채널 제어기(316)는 도 3a를 참조하여 본 명세서에 설명된 바와 같이, 메모리 액세스가 저 레이턴시 유형의 메모리 액세스임을 나타내도록 구성된 메모리 액세스 커맨드를 수신하고, 저 레이턴시 유형의 메모리 액세스가 타겟팅되는 의사 채널(220a, 220b)을 결정할 수 있다. 의사 채널 제어기(316)는 의사 채널 선택 신호를 의사 채널 선택 디바이스(320)에 발행할 수 있으며, 이는 의사 채널 선택 신호를 의사 채널 선택 디바이스들(304a, 304b)로 송신할 수 있다. 일부 실시형태들에서, 의사 채널 선택 디바이스(320)는 의사 채널 선택 디바이스들(304a, 304b) 중 하나 이상에 의사 채널 선택 신호를 포워딩할 수 있다. 의사 채널 선택 신호는, 도 3a를 참조하여 본 명세서에 설명된 바와 같이, 의사 채널 선택 디바이스들(304a, 304b)이 메모리 액세스를 위해 타겟팅된 의사 채널(220a, 220b)을, 내부 데이터 버스들(306a, 306b, 308a, 308b, 308c, 308d)을 통해 의사 채널 데이터 버스들(312a, 312b)에 통신가능하게 연결하도록 구성하게 하도록 촉구할 수 있다. 전술한 예들 중 임의의 예에서, 메모리 액세스 커맨드가 메모리 액세스가 저 레이턴시 유형의 메모리 액세스임을 나타내도록 구성되든지 또는 메모리 액세스 커맨드가 모드 레지스터 기입을 따르든지, 의사 채널 선택 디바이스들(304a, 304b, 320) 및 의사 채널 제어기(316)를 포함하는, DDR 칩(300b), 및/또는 그의 컴포넌트들은 저 레이턴시 유형의 메모리 액세스를 구현하기 위한 제1 동작 모드에서 동작할 수 있다.

[0052]

유사하게, 의사 채널 제어기(316)는 도 3a를 참조하여 본 명세서에 설명된 바와 같이, 메모리 액세스가 표준 또는 비-저 레이턴시 유형의 메모리 액세스임을 나타내도록 구성된 메모리 액세스 커맨드를 수신하고, 표준 또는 비-저 레이턴시 유형의 메모리 액세스가 타겟팅되는 의사 채널(220a, 220b)을 결정할 수 있다. 의사 채널 제어기(316)는 의사 채널 선택 신호를 의사 채널 선택 디바이스(320)에 발행할 수 있으며, 이는 의사 채널 선택 신호를 의사 채널 선택 디바이스들(304a, 304b)로 송신할 수 있다. 일부 실시형태들에서, 의사 채널 선택 디바이스(320)는 의사 채널 선택 디바이스들(304a, 304b) 중 하나 이상에 의사 채널 선택 신호를 포워딩할 수 있다. 의사 채널 선택 신호는, 도 3a를 참조하여 본 명세서에 설명된 바와 같이, 의사 채널 선택 디바이스들(304a, 304b)이 메모리 액세스를 위해 타겟팅된 의사 채널(220a, 220b)을, 내부 데이터 버스들(306a, 306b, 308a, 308b, 308c, 308d)을 통해 각자의 의사 채널 데이터 버스(312a, 312b)에 통신가능하게 연결하도록 구성하게 하도록 촉구할 수 있다. 의사 채널 선택 디바이스들(304a, 304b, 320) 및 의사 채널 제어기(316)를 포함하는, DDR 칩(300b), 및/또는 그의 컴포넌트들은, 메모리 액세스가 표준 또는 비-저 레이턴시 유형의 메모리 액세스임을 나타내도록 메모리 액세스 커맨드가 구성되든지, 메모리 액세스 커맨드가 임의의 후속 메모리 액세스들이 저 레이턴시 유형의 메모리 액세스들로서 구현되게 하기 위한 모드 레지스터 기입을 따르지 않거나, 또는 메모리 액세스 커맨드가 임의의 후속 메모리 액세스들이 표준 또는 비-저 레이턴시 유형의 메모리 액세스들로서 구현되게 하기 위한 모드 레지스터 기입을 따르는 경우, 표준 또는 비-저 레이턴시 유형의 메모리 액세스를 구현하기 위한 제2 동작 모드에서 동작할 수 있다.

[0053]

본 명세서에 제공된 예들에서, 컴포넌트들의 수들, 크기들, 및/또는 용량들과 같은 특정 값들은 청구항들 및 설명들의 범위를 제한하고자 하는 것이 아니다. 본 명세서에 제시된 예들은 본 명세서에 제공된 예시적인 수들, 크기들, 및/또는 용량들보다 더 크고/거나 더 작은 컴포넌트들의 수들, 크기들, 및/또는 용량들을 유사하게 적용할 수 있다. 예를 들어, 프리페치 메모리들(302a, 302b)은 256비트보다 크거나 작은 2^x 비트의 용량을 가질 수 있다. 다른 예로서, 내부 데이터 버스들(306a, 306b)은 32비트보다 크거나 작은 2^x 비트 폭을 가질 수

있다. 다른 예로서, 의사 채널 데이터 버스들(312a, 312b)은 16비트보다 크거나 작은 2^x 비트 폭을 가질 수 있다. 다른 예로서, 내부 데이터 버스들(308a, 308b, 308c, 308d)은 16비트보다 크거나 작은 2^x 비트 폭을 가질 수 있다. 전술한 예들의 경우, "X"는 "0"보다 큰 정수이다. 본 명세서에 언급된 바와 같이, DDR 칩(300a, 300b)은 2개 초과 의사 채널들(220a, 220b)을 포함할 수 있다. 이와 같이, DDR 칩(300a, 300b)은 본 명세서에 제공된 실시형태들을 구현하기 위해 적절한 수들의 의사 채널 선택 디바이스들(304a, 304b, 320), 내부 데이터 버스들(306a, 306b, 308a, 308b, 308c, 308d), 및 의사 채널 선택 신호 라인들(318a, 318b, 318c)을 포함할 수 있다. 예를 들어, DDR 칩(300a, 300b)은, 도 3에 예시된 예로서, 의사 채널들(220a, 220b), 의사 채널 선택 디바이스들(304a, 304b, 320), 내부 데이터 버스들(306a, 306b, 308a, 308b, 308c, 308d), 및 의사 채널 선택 신호 라인들(318a, 318b, 318c)의 하나 이상의 복제물들을 포함할 수 있다. 다른 예로서, DDR 칩(300a, 300b)은 도 3a 및 도 3b에 예시된 예들을 확장하는 추가적인 의사 채널들, 의사 채널 선택 디바이스들, 내부 데이터 버스들, 및 의사 채널 선택 신호 라인들을 포함할 수 있다. 예를 들어, 하나 이상의 추가적인 의사 채널들은 추가적인 내부 데이터 버스들을 통해 의사 채널 선택 디바이스들(304a, 304b, 320) 중 하나 이상에 그리고 적어도 하나의 추가적인 의사 채널 선택 디바이스에 통신가능하게 연결될 수 있고, 추가적인 의사 채널 선택 신호 라인들은 임의의 추가적인 의사 채널 선택 디바이스들에 통신가능하게 연결될 수 있다.

[0054] 도 4a 내지 도 4c는 다양한 실시형태들을 구현하기에 적합한 의사 채널 기반 메모리 시스템(예컨대, 도 1의 메모리(106), 메모리(114))의 예시적인 기능들을 예시한다. 도 1 내지 도 4c를 참조하면, 예시적인 의사 채널 기반 메모리 시스템은 의사 채널들(220a, 220b), 뱅크들(224a, 224b), 뱅크 그룹들(222a, 222b), 프리페치 메모리들(302a, 302b), 의사 채널 선택 디바이스들(304a, 304b), 내부 데이터 버스들(306a, 306b, 308a, 308b, 308c, 308d), 의사 채널 제어기(316), 및 의사 채널 선택 신호 라인들(318a, 318b)을 포함하는 DDR 칩(300a) (예컨대, 도 2의 DDR 칩(200))을 포함할 수 있다. DDR 칩(300a)은 또한 의사 채널 데이터 버스들(312a, 312b), 및 CA 버스(314)를 포함할 수 있다.

[0055] 도 4a 및 도 4b에 예시된 예들은, 저 레이턴시 유형의 메모리 액세스를 구현하기 위한 제1 동작 모드에서 동작하는, 의사 채널 선택 디바이스들(304a, 304b) 및 의사 채널 제어기(316)를 포함하는, DDR 칩(300a) 및/또는 그의 컴포넌트들의 예들일 수 있다. 도 4a를 참조하면, 의사 채널 제어기(316)는 의사 채널(220a)을 타겟팅하는 저 레이턴시 유형의 메모리 액세스를 결정할 수 있다. 의사 채널 제어기(316)는 의사 채널 선택 디바이스(304a)로 하여금 의사 채널(220a)을 의사 채널 데이터 버스(312a)에 통신가능하게 연결하게 하도록 구성된 의사 채널 선택 신호를 의사 채널 선택 디바이스(304a)로 전송할 수 있다. 이에 응답하여, 의사 채널 선택 디바이스(304a)는 의사 채널(220a)을 내부 데이터 버스들(306a, 308a)을 통해 의사 채널 데이터 버스(312a)에 통신가능하게 연결할 수 있다. 의사 채널(220a)을 타겟팅하는 동일한 저 레이턴시 유형의 메모리 액세스에 대해, 의사 채널 제어기(316)는 의사 채널 선택 디바이스(304b)로 하여금 의사 채널(220a)을 의사 채널 데이터 버스(312b)에 통신가능하게 연결하게 하도록 구성된 의사 채널 선택 신호를 의사 채널 선택 디바이스(304b)로 전송할 수 있다. 이에 응답하여, 의사 채널 선택 디바이스(304b)는 의사 채널(220a)을 내부 데이터 버스들(306a, 308b)을 통해 의사 채널 데이터 버스(312b)에 통신가능하게 연결할 수 있다. 의사 채널(220a)을 의사 채널 데이터 버스들(312a, 312b)에 통신가능하게 연결하는 것은 의사 채널 선택 디바이스들(304a, 304b)에 의해 의사 채널 데이터 버스들(312a, 312b)로부터 의사 채널(220b)을 통신가능하게 연결해제하는 것(파선으로 된 내부 데이터 버스들(306b, 308c, 308d)로 도시됨)을 포함할 수 있다.

[0056] 저 레이턴시 유형의 판독 메모리 액세스에 대해, 데이터는 의사 채널(220a)과 연관된 프리페치 메모리(302a)로부터 판독되고, 내부 데이터 버스들(306a, 308a, 308b) 및 의사 채널 선택 디바이스들(304a, 304b)을 통해 의사 채널 데이터 버스들(312a, 312b)에 제공될 수 있다. 저 레이턴시 유형의 기입 메모리 액세스에 대해, 데이터는 의사 채널(220a)과 연관된 뱅크들(224a)에 기입되고, 내부 데이터 버스들(306a, 308a, 308b) 및 의사 채널 선택 디바이스들(304a, 304b)을 통해 의사 채널 데이터 버스들(312a, 312b)로부터 제공될 수 있다.

[0057] 위에서 언급된 바와 같이, 대안적인 구현에서, 의사 채널 선택 디바이스(304a)는 전용 내부 데이터 버스(도시되지 않음)를 통해 의사 채널(220a)을 의사 채널 데이터 버스(312a)에 통신가능하게 연결할 수 있다. 마찬가지로, 의사 채널 선택 디바이스(304b)는 전용 내부 데이터 버스(도시되지 않음)를 통해 의사 채널(220a)을 의사 채널 데이터 버스(312b)에 통신가능하게 연결할 수 있다.

[0058] 도 4b를 참조하면, 의사 채널 제어기(316)는 의사 채널(220b)을 타겟팅하는 저 레이턴시 유형의 메모리 액세스를 결정할 수 있다. 의사 채널 제어기(316)는 의사 채널 선택 디바이스(304a)로 하여금 의사 채널(220b)을 의사 채널 데이터 버스(312a)에 통신가능하게 연결하게 하도록 구성된 의사 채널 선택 신호를 의사 채널 선택 디

바이스(304a)로 전송할 수 있다. 이에 응답하여, 의사 채널 선택 디바이스(304a)는 의사 채널(220b)을 내부 데이터 버스들(306b, 308c)을 통해 의사 채널 데이터 버스(312a)에 통신가능하게 연결할 수 있다. 의사 채널(220b)을 타겟팅하는 동일한 저 레이턴시 유형의 메모리 액세스에 대해, 의사 채널 제어기(316)는 의사 채널 선택 디바이스(304b)로 하여금 의사 채널(220b)을 의사 채널 데이터 버스(312b)에 통신가능하게 연결하게 하도록 구성된 의사 채널 선택 신호를 의사 채널 선택 디바이스(304b)로 전송할 수 있다. 이에 응답하여, 의사 채널 선택 디바이스(304b)는 의사 채널(220b)을 내부 데이터 버스들(306b, 308d)을 통해 의사 채널 데이터 버스(312b)에 통신가능하게 연결할 수 있다. 의사 채널(220b)을 의사 채널 데이터 버스들(312a, 312b)에 통신가능하게 연결하는 것은 의사 채널 선택 디바이스들(304a, 304b)에 의해 의사 채널 데이터 버스들(312a, 312b)로부터 의사 채널(220a)을 통신가능하게 연결해제하는 것(파선으로 된 내부 데이터 버스들(306a, 308a, 308b)로 도시됨)을 포함할 수 있다.

[0059] 저 레이턴시 유형의 관독 메모리 액세스에 대해, 데이터는 의사 채널(220b)과 연관된 프리페치 메모리(302b)로부터 관독되고, 내부 데이터 버스들(306b, 308c, 308d) 및 의사 채널 선택 디바이스들(304a, 304b)을 통해 의사 채널 데이터 버스들(312a, 312b)에 제공될 수 있다. 저 레이턴시 유형의 기입 메모리 액세스에 대해, 데이터는 의사 채널(220b)과 연관된 뱅크들(224b)에 기입되고, 내부 데이터 버스들(306b, 308c, 308d) 및 의사 채널 선택 디바이스들(304a, 304b)을 통해 의사 채널 데이터 버스들(312a, 312b)로부터 제공될 수 있다.

[0060] 위에서 언급된 바와 같이, 대안적인 구현에서, 의사 채널 선택 디바이스(304a)는 전용 내부 데이터 버스(도시되지 않음)를 통해 의사 채널(220b)을 의사 채널 데이터 버스(312a)에 통신가능하게 연결할 수 있다. 마찬가지로, 의사 채널 선택 디바이스(304b)는 전용 내부 데이터 버스(도시되지 않음)를 통해 의사 채널(220b)을 의사 채널 데이터 버스(312b)에 통신가능하게 연결할 수 있다.

[0061] 도 4c에 예시된 예는, 표준 또는 비-저 레이턴시 유형의 메모리 액세스를 구현하기 위한 제2 동작 모드에서 동작하는, 의사 채널 선택 디바이스들(304a, 304b) 및 의사 채널 제어기(316)를 포함하는, DDR 칩(300a) 및/또는 그의 컴포넌트들의 예일 수 있다. 도 4c를 참조하면, 의사 채널 제어기(316)는 의사 채널(220a, 220b) 중 어느 하나를 타겟팅하는 표준 또는 비-저 레이턴시 유형의 메모리 액세스를 결정할 수 있다. 의사 채널 제어기(316)는 의사 채널 선택 디바이스(304a)로 하여금 의사 채널(220a)을 의사 채널 데이터 버스(312a)에 통신가능하게 연결하게 하도록 구성된 의사 채널 선택 신호를 의사 채널 선택 디바이스(304a)로 전송할 수 있다. 이에 응답하여, 의사 채널 선택 디바이스(304a)는 의사 채널(220a)을 내부 데이터 버스들(306a, 308a)을 통해 의사 채널 데이터 버스(312a)에 통신가능하게 연결할 수 있다. 의사 채널(220a)을 의사 채널 데이터 버스들(312a)에 통신가능하게 연결하는 것은 의사 채널 선택 디바이스들(304a)에 의해 의사 채널 데이터 버스(312a)로부터 의사 채널(220b)을 통신가능하게 연결해제하는 것(파선으로 된 내부 데이터 버스(308c)로 도시됨)을 포함할 수 있다. 의사 채널(220a, 220b) 중 어느 하나를 타겟팅하는 동일한 표준 또는 비-저 레이턴시 유형의 메모리 액세스에 대해, 의사 채널 제어기(316)는 의사 채널 선택 디바이스(304b)로 하여금 의사 채널(220b)을 의사 채널 데이터 버스(312b)에 통신가능하게 연결하게 하도록 구성된 의사 채널 선택 신호를 의사 채널 선택 디바이스(304b)로 전송할 수 있다. 이에 응답하여, 의사 채널 선택 디바이스(304b)는 의사 채널(220b)을 내부 데이터 버스들(306b, 308d)을 통해 의사 채널 데이터 버스(312b)에 통신가능하게 연결할 수 있다. 의사 채널(220b)을 의사 채널 데이터 버스(312b)에 통신가능하게 연결하는 것은 의사 채널 선택 디바이스들(304b)에 의해 의사 채널 데이터 버스(312b)로부터 의사 채널(220a)을 통신가능하게 연결해제하는 것(파선으로 된 내부 데이터 버스(308b)로 도시됨)을 포함할 수 있다.

[0062] 표준 또는 비-저 레이턴시 유형의 관독 메모리 액세스에 대해, 데이터는 타겟팅된 의사 채널(220a, 220b)과 연관된 프리페치 메모리(302a, 302b)로부터 관독되고, 적절한 내부 데이터 버스들(306a, 306b, 308a, 308d) 및 적절한 의사 채널 선택 디바이스(304a, 304b)를 통해 타겟팅된 의사 채널(220a, 220b)에 통신가능하게 연결된 의사 채널 데이터 버스들(312a, 312b)에 제공될 수 있다. 표준 또는 비-저 레이턴시 유형의 기입 메모리 액세스에 대해, 데이터는 타겟팅된 의사 채널(220a, 220b)과 연관된 뱅크들(224a, 224b)에 기입되고, 적절한 내부 데이터 버스들(306a, 306b, 308a, 308d) 및 적절한 의사 채널 선택 디바이스들(304a, 304b)을 통해 타겟팅된 의사 채널(220a, 220b)에 통신가능하게 연결된 의사 채널 데이터 버스들(312a, 312b)로부터 제공될 수 있다.

[0063] 대안적인 구현에서, 의사 채널 선택 디바이스(304a)는 전용 내부 데이터 버스(도시되지 않음)를 통해 의사 채널(220a)을 의사 채널 데이터 버스(312a)에 통신가능하게 연결할 수 있다. 마찬가지로, 의사 채널 선택 디바이스(304b)는 전용 내부 데이터 버스(도시되지 않음)를 통해 의사 채널(220b)을 의사 채널 데이터 버스(312b)에 통신가능하게 연결할 수 있다.

- [0064] 도 4a 내지 도 4c를 참조하여 설명된 전술한 예들은, 의사 채널들(220a, 220b), 뱅크들(224a, 224b), 뱅크 그룹들(222a, 222b), 프리페치 메모리들(302a, 302b), 의사 채널 선택 디바이스들(304a, 304b, 320), 내부 데이터 버스들(306a, 306b, 308a, 308b, 308c, 308d), 의사 채널 제어기(316), 및 의사 채널 선택 신호 라인(들)(318c)을 포함하는 DDR 칩(300b)(예컨대, 도 2의 DDR 칩(200))을 포함하는 도 3에 예시된 예시적인 의사 채널 기반 메모리 시스템에 유사하게 적용가능할 수 있다. DDR 칩(300b)은 또한 의사 채널 데이터 버스들(312a, 312b), 및 CA 버스(314)를 포함할 수 있다. 그러나, 의사 채널 제어기(316)가 의사 채널 선택 신호들을 의사 채널 선택 신호 라인들(318a, 318)을 통해 의사 채널 선택 디바이스들(304a, 304b)로 송신하기보다는; 의사 채널 제어기(316)는 의사 채널 선택 신호(들)을 의사 채널 선택 신호 라인(들)(318c)을 통해 의사 채널 선택 디바이스들(304a, 304b, 320)로 송신할 수 있다. 일부 실시형태들에서, 의사 채널 제어기(316)는 하나 이상의 의사 채널 선택 신호들을 의사 채널 선택 디바이스(320)로 송신할 수 있으며, 이는 하나 이상의 의사 채널 선택 신호들을 의사 채널 선택 디바이스들(304a, 304b)로 송신할 수 있다.
- [0065] 도 5는 일부 실시형태들에 따른, 의사 채널 기반 메모리 시스템들(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))에서 레이턴시를 감소시키기 위한 방법(500)을 예시한다. 도 1 내지 도 5를 참조하면, 방법(500)은 컴퓨팅 디바이스(예컨대, 도 1의 컴퓨팅 디바이스(100))에서, 하드웨어에서, 프로세서에서 실행되는 소프트웨어에서, 또는 다양한 메모리들/캐시들(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b), 도 2 내지 도 4c의 뱅크들(224a, 224b)) 및 다양한 메모리/캐시 제어기들(예컨대, 도 3a 내지 도 4c의 의사 채널 제어기(316))과 같은 다른 개별 컴포넌트들을 포함하는 소프트웨어-구성된 프로세서 및 전용 하드웨어의 조합에서 구현될 수 있다. 다양한 실시형태들에서 인에이블된 대안적인 구성들을 포함하기 위해, 방법(500)을 구현하는 하드웨어는 본 명세서에서 "메모리 제어 디바이스"로 지칭된다.
- [0066] 블록(502)에서, 메모리 제어 디바이스는 메모리 액세스 커맨드를 수신할 수 있다. 메모리 액세스 커맨드는 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드, 또는 저 레이턴시 유형의 메모리 액세스 커맨드를 포함할 수 있다. 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드 및 저 레이턴시 유형의 메모리 액세스 커맨드는, 저 레이턴시 유형의 메모리 액세스 커맨드가 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드보다 더 낮은 레이턴시를 갖는 메모리 액세스를 제공하도록 구성될 수 있는 메모리 액세스 유형 커맨드들일 수 있다. 일부 예들에서, 메모리 액세스 커맨드는 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스 커맨드인지 여부를 나타내도록 구성된 양태를 포함할 수 있다. 예를 들어, 메모리 액세스 커맨드는 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스 커맨드인지 여부를 나타내기 위한 값을 갖도록 구성된 필드를 포함할 수 있다. 메모리 액세스 커맨드는 또한 의사 채널(예컨대, 도 2 내지 도 4c의 의사 채널(220a, 220b))에 상주할 수 있는, 메모리 액세스 커맨드에 대한 타겟 어드레스와 연관될 수 있다.
- [0067] 메모리 액세스 커맨드는 CA 버스(예컨대, 도 2의 CA 버스(214), 도 3a 내지 도 4c의 CA 버스(314))를 통해 메모리 제어 디바이스에 의해 수신될 수 있다. 일부 예들에서, 메모리 액세스 커맨드는 기입 메모리 액세스일 수 있고, 기입 메모리 액세스와 연관된 데이터는 하나 이상의 의사 채널 데이터 버스들(예컨대, 도 2의 데이터 버스(204a, 204b), 도 3a 내지 도 4c의 의사 채널 데이터 버스(312a, 312b))을 통해 메모리 제어 디바이스와 연관되거나 그에 포함된 메모리(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))에서 수신될 수 있다. 예를 들어, 표준 또는 비-저 레이턴시 유형의 기입 메모리 액세스에 대해, 데이터는 타겟 의사 채널에 전용된 의사 채널 데이터 버스 상에서 수신될 수 있다. 다른 예에서, 저 레이턴시 유형의 기입 메모리 액세스에 대해, 데이터는 다수의 의사 채널 데이터 버스들 상에서 수신될 수 있으며, 이들 중 하나는 타겟 의사 채널에 전용된 의사 채널 데이터 버스일 수 있다. 일부 예들에서, 블록(502)에서 메모리 액세스 커맨드를 수신하는 메모리 제어 디바이스는 의사 채널 제어기(예컨대, 도 3a 내지 도 4c의 의사 채널 제어기(316))를 포함할 수 있다.
- [0068] 블록(504)에서, 메모리 제어 디바이스는 메모리 액세스 커맨드의 의사 채널을 결정할 수 있다. 메모리 제어 디바이스는 메모리 액세스 커맨드에 대해 수신된 어드레스를 사용하고, 어드레스가 상주하는 의사 채널을 결정할 수 있다. 일부 예들에서, 메모리 제어 디바이스는 의사 채널의 의사 채널 식별자(ID)를 의사 채널에 대한 어드레스 범위와 연관시키는, 테이블, 어레이 등과 같은 데이터 구조에 액세스할 수 있다. 메모리 제어 디바이스는 메모리 액세스 커맨드의 어드레스를 의사 채널들의 어드레스 범위들과 비교하고, 메모리 액세스 커맨드의 어드레스가 상주하는 어드레스 범위와 연관된 의사 채널 ID를 결정할 수 있다. 일부 예들에서, 블록(504)에서 메모리 액세스 커맨드의 의사 채널을 결정하는 메모리 제어 디바이스는 의사 채널 제어기를 포함할 수 있다.
- [0069] 결정 블록(506)에서, 메모리 제어 디바이스는 수신된 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스

스 커맨드인지 여부를 결정할 수 있다. 메모리 제어 디바이스는 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스 커맨드인지 여부를 나타내도록 구성된 메모리 액세스 커맨드의 양태를 해석하여, 수신된 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스 커맨드인지 여부를 결정할 수 있다. 예를 들어, 메모리 액세스 커맨드의 필드 내의 값은 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스 커맨드인지 여부를 나타내도록 구성될 수 있다. 일부 예들에서, 값은, "1"이 저 레이턴시 유형의 메모리 액세스 커맨드를 나타낼 수 있고 "0"이 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드를 나타낼 수 있거나 그 반대인, 비트 값일 수 있다. 일부 예들에서, 결정 블록(506)에서 수신된 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스 커맨드인지 여부를 결정하는 메모리 제어 디바이스는 의사 채널 제어기를 포함할 수 있다.

[0070] 수신된 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스 커맨드라고 결정하는 것(즉, 결정 블록(506) = "예")에 응답하여, 메모리 제어 디바이스는 블록(508)에서 의사 채널 선택 신호들을 2개 이상의 의사 채널 선택 디바이스들(예컨대, 도 3a 내지 도 4c의 의사 채널 선택 디바이스들(304a, 304b, 320))로 송신할 수 있다. 의사 채널 선택 신호들은 의사 채널 선택 디바이스들로 하여금 하나 이상의 의사 채널 데이터 버스와 다수의 내부 데이터 버스들(예컨대, 도 3a 내지 도 4c의 내부 데이터 버스(306a, 306b, 308a, 308b, 308c, 308d)) 사이의 통신 연결들을 구성하게 하도록 구성될 수 있다. 사실상, 의사 채널 선택 신호들은 의사 채널 선택 디바이스들로 하여금 의사 채널들의 뱅크들(예컨대, 도 2 내지 도 4c의 뱅크(224a, 224b))을 포함하는, 의사 채널들과 하나 이상의 의사 채널 데이터 버스들 사이의 통신 연결들을 구성하게 하도록 구성될 수 있다. 의사 채널 선택 신호들은 저 레이턴시 유형의 메모리 액세스 커맨드에 의해 타겟팅된 의사 채널을 다수의 의사 채널 데이터 버스들에 통신가능하게 연결하도록 의사 채널 선택 디바이스들에 나타낼 수 있다. 일부 예들에서, 메모리 제어 디바이스는 동일한 의사 채널 선택 신호를 의사 채널 선택 디바이스들로 송신할 수 있다. 일부 예들에서, 메모리 제어 디바이스는 상이한 의사 채널 선택 신호들을 의사 채널 선택 디바이스들로 송신할 수 있다. 일부 예들에서, 의사 채널 선택 신호들을 의사 채널 선택 디바이스들로 송신하는 것은 어떠한 의사 채널 선택 신호들도 송신하지 않는 것을 포함할 수 있다. 예를 들어, 어떠한 의사 채널 선택 신호들도 수신하지 않은 것에 응답하여, 의사 채널 선택 디바이스들은 특정(미리-구성된) 의사 채널의 선택으로 디폴트될 수 있다. 메모리 제어 디바이스는 저 레이턴시 유형의 메모리 액세스를 구현하기 위한 제1 동작 모드에서 동작할 수 있다. 일부 예들에서, 블록(508)에서 의사 채널 선택 신호들을 의사 채널 선택 디바이스들로 송신하는 메모리 제어 디바이스는 의사 채널 제어기를 포함할 수 있다.

[0071] 블록(510)에서, 메모리 제어 디바이스는 동시에 의사 채널 IO들(예컨대, 도 2의 의사 채널 IO(202a, 202b), 데이터 버스(204a, 204b), 도 3a 내지 도 4c의 의사 채널 선택 디바이스들(304a, 304b, 320), 의사 채널 데이터 버스(312a, 312b))을 통해 타겟 의사 채널로부터 데이터를 판독하고/하거나 타겟 의사 채널에 데이터를 기입할 수 있다. 저 레이턴시 유형의 메모리 액세스 커맨드의 타겟 의사 채널은 의사 채널 선택 디바이스들에 의해 구성된 통신 연결들을 통해 다수의 의사 채널 데이터 버스들을 사용하여 메모리로부터 판독되고/되거나 메모리에 기입될 수 있다. 통상적으로, 임의의 메모리 액세스 커맨드의 타겟 의사 채널은 의사 채널에 전용된 단일 의사 채널 데이터 버스만을 사용하여 판독되고/되거나 기입될 수 있다. 따라서, 의사 채널의 IO의 비트 폭은 단일 의사 채널 데이터 버스의 비트 폭에 의해 제한된다. 동시에 다수의 의사 채널 데이터 버스들을 사용하여 저 레이턴시 유형의 메모리 액세스 커맨드의 타겟 의사 채널로부터 판독하는 것 및/또는 그에 기입하는 것을 인에이블함으로써, 의사 채널의 IO의 비트 폭은 다수의 의사 채널 데이터 버스들의 최대 비트 폭까지 사용함으로써 단일 의사 채널 데이터 버스의 사용에 비해 증가될 수 있다. 또한, 의사 채널의 IO의 증가된 비트 폭은 의사 채널로부터 판독하고/하거나 그에 기입하기 위한 버스트 길이의 감소를 가능하게 할 수 있는데, 이는 다수의 의사 채널 데이터 버스들을 사용하여 더 많은 데이터가 동시에 판독되고/되거나 기입될 수 있기 때문이다. 일부 실시형태들에서, 블록(510)에서 동시에 의사 채널 IO들을 통해 의사 채널로부터 데이터를 판독하고/하거나 그에 데이터를 기입하는 메모리 제어 디바이스는 의사 채널 제어기, 의사 채널 선택 디바이스들, 및/또는 의사 채널 IO들(예컨대, 도 2의 의사 채널 IO(202a, 202b))을 포함할 수 있다.

[0072] 수신된 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스 커맨드가 아니라고 결정하는 것(즉, 결정 블록(506) = "아니오")에 응답하여, 메모리 제어 디바이스는 블록(512)에서 의사 채널 선택 신호들을 하나 이상의 의사 채널 선택 디바이스들로 송신할 수 있다. 의사 채널 선택 신호들은 블록(508)에 설명된 의사 채널 선택 신호들과 유사할 수 있다. 그러나, 의사 채널 선택 신호들은, 의사 채널 선택 디바이스들로 하여금 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드에 의해 타겟팅된 의사 채널을 의사 채널에 전용된 단일 의사 채널 데이터 버스에 통신가능하게 연결하게 할 수 있다. 메모리 제어 디바이스는 표준 또는 비-저 레이턴시 유형의 메모리 액세스를 구현하기 위한 제2 동작 모드에서 동작할 수 있다. 일부 예들에서, 블록(512)에서 의사 채널 선택 신호들을 의사 채널 선택 디바이스들로 송신하는 메모리 제어 디바이스는 의사 채널 제어기를 포함할 수

있다.

- [0073] 블록(514)에서, 메모리 제어 디바이스는 단일의 전용 의사 채널 IO를 통해 타겟 의사 채널로부터 데이터를 판독하고/하거나 그에 데이터를 기입할 수 있다. 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드의 타겟 의사 채널은 각자의 의사 채널 선택 디바이스에 의해 구성된 통신 연결을 통해 단일의 전용 의사 채널 데이터 버스를 사용하여 판독되고/되거나 기입될 수 있다. 일부 실시형태들에서, 블록(514)에서 단일의 전용 의사 채널 IO를 통해 의사 채널로부터 데이터를 판독하고/하거나 그에 데이터를 기입하는 메모리 제어 디바이스는 의사 채널 제어기, 의사 채널 선택 디바이스들, 및/또는 의사 채널 IO들(예컨대, 도 2의 의사 채널 IO(202a, 202b))을 포함할 수 있다.
- [0074] 도 6은 일부 실시형태들에 따른, 의사 채널 기반 메모리 시스템들(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))에서 레이턴시를 감소시키기 위한 방법(600)을 예시한다. 도 1 내지 도 6을 참조하면, 방법(600)은 컴퓨팅 디바이스(예컨대, 도 1의 컴퓨팅 디바이스(100))에서, 하드웨어에서, 프로세서에서 실행되는 소프트웨어에서, 또는 다양한 메모리들/캐시들(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b), 도 2 내지 도 4c의 뱅크들(224a, 224b)) 및 다양한 메모리/캐시 제어기들(예컨대, 도 3a 내지 도 4c의 의사 채널 제어기(316))과 같은 다른 개별 컴포넌트들을 포함하는 소프트웨어-구성된 프로세서 및 전용 하드웨어의 조합에서 구현될 수 있다. 다양한 실시형태들에서 인에이블된 대안적인 구성들을 포함하기 위해, 방법(600)을 구현하는 하드웨어는 본 명세서에서 "메모리 제어 디바이스"로 지칭된다. 블록들(502, 504, 508, 510)은 도 5를 참조하여 본 명세서에 설명된 방법(500)의 유사하게 번호가 매겨진 블록들과 유사한 방식으로 구현될 수 있다.
- [0075] 블록(602)에서, 메모리 제어 디바이스는 저 레이턴시 유형의 메모리 액세스에 대한 모드 레지스터 기입 커맨드를 수신할 수 있다. 모드 레지스터 기입 커맨드는 임의의 후속 메모리 액세스 커맨드들이 저 레이턴시 유형의 메모리 액세스들로서 구현되어야 함을 메모리 제어 디바이스에 나타내기 위해 레지스터 값을 설정하도록 메모리 제어 디바이스에 촉구하도록 구성될 수 있다.
- [0076] 블록(604)에서, 메모리 제어 디바이스는 저 레이턴시 유형의 메모리 액세스에 대한 레지스터 값을 설정할 수 있다. 그 후, 메모리 제어 디바이스는 저 레이턴시 유형의 메모리 액세스들을 구현하기 위한 제1 동작 모드에서 동작할 수 있다. 블록(602)에서 저 레이턴시 유형의 메모리 액세스에 대한 모드 레지스터 기입 커맨드를 수신하고 블록(604)에서 저 레이턴시 유형의 메모리 액세스에 대한 레지스터 값을 설정하는 메모리 제어 디바이스는 의사 채널 제어기(예컨대, 도 3a 내지 도 4c의 의사 채널 제어기(316))를 포함할 수 있다.
- [0077] 블록(502)에서, 메모리 제어 디바이스는 메모리 액세스 커맨드를 수신할 수 있다. 일부 예들에서, 블록(502)에서 메모리 액세스 커맨드를 수신하는 메모리 제어 디바이스는 의사 채널 제어기(예컨대, 도 3a 내지 도 4c의 의사 채널 제어기(316))를 포함할 수 있다.
- [0078] 블록(504)에서, 메모리 제어 디바이스는 메모리 액세스 커맨드의 의사 채널(예컨대, 도 2 내지 도 4c의 의사 채널(220a, 220b))을 결정할 수 있다. 일부 예들에서, 블록(504)에서 메모리 액세스 커맨드의 의사 채널을 결정하는 메모리 제어 디바이스는 의사 채널 제어기를 포함할 수 있다.
- [0079] 블록(508)에서 메모리 제어 디바이스는 의사 채널 선택 신호들을 의사 채널 선택 디바이스들(예컨대, 도 3a 내지 도 4c의 의사 채널 선택 디바이스들(304a, 304b, 320))로 송신할 수 있다. 일부 예들에서, 블록(508)에서 의사 채널 선택 신호들을 의사 채널 선택 디바이스들로 송신하는 메모리 제어 디바이스는 의사 채널 제어기를 포함할 수 있다.
- [0080] 블록(510)에서, 메모리 제어 디바이스는 동시에 의사 채널 IO들(예컨대, 도 2의 데이터 버스(204a, 204b), 도 3a 내지 도 4c의 의사 채널 선택 디바이스들(304a, 304b, 320), 의사 채널 데이터 버스(312a, 312b))을 통해 의사 채널로부터 데이터를 판독하고/하거나 그에 데이터를 기입할 수 있다. 일부 실시형태들에서, 블록(510)에서 동시에 의사 채널 IO들을 통해 의사 채널로부터 데이터를 판독하고/하거나 그에 데이터를 기입하는 메모리 제어 디바이스는 의사 채널 제어기, 의사 채널 선택 디바이스들, 및/또는 의사 채널 IO들(예컨대, 도 2의 의사 채널 IO(202a, 202b))을 포함할 수 있다.
- [0081] 도 7은 일 실시형태에 따른, 판독 메모리 커맨드에 대한 의사 채널 기반 메모리 시스템들(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))에서 레이턴시를 감소시키기 위한 방법(700)을 예시한다. 도 1 내지 도 7을 참조하면, 방법(700)은 컴퓨팅 디바이스(예컨대, 도 1의 컴퓨팅 디바이스(100))에서, 하드웨어에서, 프로세서에서 실행되는 소프트웨어에서, 또는 다양한 메모리들/캐시들(예컨

대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b), 도 2 내지 도 4c의 뱅크들(224a, 224b), 도 3a 내지 도 4c의 의사 채널 선택 디바이스들(304a, 304b, 320)) 및 다양한 메모리/캐시 제어기들(예컨대, 도 3a 내지 도 4c의 의사 채널 제어기(316))과 같은 다른 개별 컴포넌트들을 포함하는 소프트웨어-구성된 프로세서 및 전용 하드웨어의 조합에서 구현될 수 있다. 다양한 실시형태들에서 인에이블된 대안적인 구성들을 포함하기 위해, 방법(700)을 구현하는 하드웨어는 본 명세서에서 "메모리 제어 디바이스"로 지칭된다. 블록들(702, 704, 706, 708)은 설명된 바와 같은 방법들(500, 600)의 블록(510)에서의 동작들에 관한 추가 세부사항들을 포함한다.

[0082] 블록(702)에서, 메모리 제어 디바이스는 의사 채널 판독 데이터를 수신할 수 있다. 의사 채널 판독 데이터는 저 레이턴시 유형의 판독 메모리 액세스의 타겟 의사 채널(예컨대, 도 3a 내지 도 4c의 의사 채널(220a, 220b))과 연관되거나 이에 포함된 프리페치 메모리(예컨대, 도 3a 내지 도 4c의 프리페치 메모리(302a, 302b))로부터 판독될 수 있다. 의사 채널 판독 데이터는 내부 데이터 버스들(예컨대, 도 3a 내지 도 4c의 내부 데이터 버스(306a, 306b, 308a, 308b, 308c, 308d))을 통해 다수의 의사 채널 선택 디바이스들(예컨대, 도 3a 내지 도 4c의 의사 채널 선택 디바이스들(304a, 304b, 320))로 송신될 수 있다. 일부 예들에서, 블록(702)에서 의사 채널 판독 데이터를 수신하는 메모리 제어 디바이스는 다수의 의사 채널 선택 디바이스들을 포함할 수 있다.

[0083] 블록(704)에서, 메모리 제어 디바이스는 의사 채널 선택 신호를 수신할 수 있다. 의사 채널 선택 신호는 설명된 바와 같은 방법들(500, 600)의 블록(508)에서 송신된 의사 채널 선택 신호일 수 있다. 의사 채널 선택 신호는 다수의 의사 채널 선택 디바이스들에서 수신될 수 있다. 일부 예들에서, 블록(704)에서 의사 채널 선택 신호를 수신하는 메모리 제어 디바이스는 다수의 의사 채널 선택 디바이스들을 포함할 수 있다.

[0084] 블록(706)에서, 메모리 제어 디바이스는 의사 채널 판독 데이터를 타겟 의사 채널로부터 다수의 의사 채널 IO들(예컨대, 도 2의 의사 채널 IO(202a, 202b), 데이터 버스(204a, 204b), 도 3a 내지 도 4c의 의사 채널 데이터 버스(312a, 312b))로 출력하도록 의사 채널 선택 디바이스들을 구성할 수 있다. 의사 채널 선택 디바이스들은 각자의 의사 채널 데이터 버스들(예컨대, 도 2의 데이터 버스(204a, 204b), 도 3a 내지 도 4c의 의사 채널 데이터 버스(312a, 312b)) 및 다수의 내부 데이터 버스들을 통신가능하게 연결하도록 구성될 수 있다. 사실상, 의사 채널 선택 디바이스들은 타겟 의사 채널의 뱅크들(예컨대, 도 2 내지 도 4c의 뱅크(224a, 224b))을 포함하는, 타겟 의사 채널과 다수의 의사 채널 데이터 버스들을 통신가능하게 연결하도록 구성될 수 있다. 의사 채널 선택 디바이스들은 의사 채널 선택 신호에 응답하여 저 레이턴시 유형의 판독 메모리 액세스에 의해 타겟팅된 의사 채널을 다수의 의사 채널 데이터 버스들에 통신가능하게 연결하도록 구성될 수 있다. 일부 예들에서, 블록(706)에서 타겟 의사 채널로부터 다수의 의사 채널 IO들로 의사 채널 판독 데이터를 출력하도록 의사 채널 선택 디바이스들을 구성하는 메모리 제어 디바이스는 다수의 의사 채널 선택 디바이스들을 포함할 수 있다.

[0085] 블록(708)에서, 메모리 제어 디바이스는 의사 채널 선택 디바이스들에서의 의사 채널 판독 데이터를 의사 채널 IO들로 출력할 수 있다. 메모리 제어 디바이스는 블록(702)에서 수신된 의사 채널 판독 데이터를, 블록(706)에서 저 레이턴시 유형의 판독 메모리 액세스의 타겟 의사 채널에 통신가능하게 연결된 다수의 의사 채널 IO들로 동시에 출력할 수 있다. 일부 예들에서, 블록(708)에서 의사 채널 선택 디바이스들에서의 의사 채널 판독 데이터를 의사 채널 IO들로 출력하는 메모리 제어 디바이스는 다수의 의사 채널 선택 디바이스들 및/또는 의사 채널 IO들을 포함할 수 있다.

[0086] 도 8은 일 실시형태에 따른, 기입 메모리 커맨드에 대한 의사 채널 기반 메모리 시스템들(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))에서 레이턴시를 감소시키기 위한 방법(800)을 예시한다. 도 1 내지 도 8을 참조하면, 방법(800)은 컴퓨팅 디바이스(예컨대, 도 1의 컴퓨팅 디바이스(100))에서, 하드웨어에서, 프로세서에서 실행되는 소프트웨어에서, 또는 다양한 메모리들/캐시들(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b), 도 2 내지 도 4c의 뱅크들(224a, 224b), 도 3a 내지 도 4c의 의사 채널 선택 디바이스들(304a, 304b, 320)) 및 다양한 메모리/캐시 제어기들(예컨대, 도 3a 내지 도 4c의 의사 채널 제어기(316))과 같은 다른 개별 컴포넌트들을 포함하는 소프트웨어-구성된 프로세서 및 전용 하드웨어의 조합에서 구현될 수 있다. 다양한 실시형태들에서 인에이블된 대안적인 구성들을 포함하기 위해, 방법(800)을 구현하는 하드웨어는 본 명세서에서 "메모리 제어 디바이스"로 지칭된다. 블록들(802, 804, 806)은 도 5 및 도 6을 참조하여 본 명세서에 설명된 방법들(500, 600)의 블록(510)에서 수행될 수 있는 더 상세한 동작들을 포함한다.

[0087] 블록(802)에서, 메모리 제어 디바이스는 다수의 의사 채널 IO들(예컨대, 도 2의 의사 채널 IO(202a, 202b), 데

이터 버스(204a, 204b), 도 3a 내지 도 4c의 의사 채널 데이터 버스(312a, 312b))을 통해 의사 채널 선택 디바이스들(예컨대, 도 3a 내지 도 4c의 의사 채널 선택 디바이스들(304a, 304b, 320))에서 의사 채널 기입 데이터를 수신할 수 있다. 의사 채널 기입 데이터는 저 레이턴시 유형의 기입 메모리 액세스에 대해 다수의 의사 채널 데이터 버스들(예컨대, 도 2의 데이터 버스(204a, 204b), 도 3a 내지 도 4c의 의사 채널 데이터 버스(312a, 312b))을 통해 호스트(예컨대, 도 1의 CPU(104), 프로세서(124))로부터 동시에 수신될 수 있다. 각각의 의사 채널 데이터 버스는 상이한 의사 채널 선택 디바이스에 통신가능하게 연결될 수 있다. 각각의 의사 채널 데이터 버스에 의해 송신된 데이터는 각자의 통신가능하게 연결된 의사 채널 선택 디바이스들에서 동시에 수신될 수 있다. 일부 예들에서, 블록(802)에서 다수의 의사 채널 IO들을 통해 의사 채널 선택 디바이스들에서 의사 채널 기입 데이터를 수신하는 메모리 제어 디바이스는 다수의 의사 채널 선택 디바이스들을 포함할 수 있다.

[0088] 블록(704)에서, 메모리 제어 디바이스는 의사 채널 선택 신호를 수신할 수 있다. 의사 채널 선택 신호는 도 5 및 도 6을 참조하여 본 명세서에 설명된 바와 같은 방법들(500, 600)의 블록(508)에서 송신된 의사 채널 선택 신호일 수 있다. 의사 채널 선택 신호는 다수의 의사 채널 선택 디바이스들에서 수신될 수 있다. 일부 예들에서, 블록(804)에서 의사 채널 선택 신호를 수신하는 메모리 제어 디바이스는 다수의 의사 채널 선택 디바이스들을 포함할 수 있다.

[0089] 블록(804)에서, 메모리 제어 디바이스는 다수의 의사 채널 IO들로부터 저 레이턴시 유형의 기입 메모리 액세스의 타겟 의사 채널(예컨대, 도 3a 내지 도 4c의 의사 채널(220a, 220b))로 의사 채널 기입 데이터를 출력하도록 의사 채널 선택 디바이스들을 구성할 수 있다. 의사 채널 선택 디바이스들은 각자의 의사 채널 데이터 버스들(예컨대, 도 2의 데이터 버스(204a, 204b), 도 3a 내지 도 4c의 의사 채널 데이터 버스(312a, 312b)) 및 다수의 내부 데이터 버스들(예컨대, 도 3a 내지 도 4c의 내부 데이터 버스(306a, 306b, 308a, 308b, 308c, 308d))을 통신가능하게 연결하도록 구성될 수 있다. 사실상, 의사 채널 선택 디바이스들은 타겟 의사 채널의 뱅크들(예컨대, 도 2 내지 도 4c의 뱅크(224a, 224b))을 포함하는, 타겟 의사 채널과 다수의 의사 채널 데이터 버스들을 통신가능하게 연결하도록 구성될 수 있다. 의사 채널 선택 디바이스들은 의사 채널 선택 신호에 응답하여 저 레이턴시 유형의 기입 메모리 액세스에 의해 타겟팅된 의사 채널을 다수의 의사 채널 데이터 버스들에 통신가능하게 연결하도록 구성될 수 있다. 일부 예들에서, 블록(806)에서 다수의 의사 채널 IO들로부터 저 레이턴시 유형의 기입 메모리 액세스의 타겟 의사 채널로 의사 채널 기입 데이터를 출력하도록 의사 채널 선택 디바이스들을 구성하는 메모리 제어 디바이스는 다수의 의사 채널 선택 디바이스들을 포함할 수 있다.

[0090] 블록(806)에서, 메모리 제어 디바이스는 의사 채널 선택 디바이스들에서의 의사 채널 기입 데이터를 저 레이턴시 유형의 기입 메모리 액세스의 타겟 의사 채널로 출력할 수 있다. 메모리 제어 디바이스는 블록(802)에서 수신된 의사 채널 기입 데이터를, 블록(806)에서 다수의 의사 채널 IO들에 통신가능하게 연결된 저 레이턴시 유형의 기입 메모리 액세스의 타겟 의사 채널로 출력할 수 있다. 일부 예들에서, 블록(808)에서 의사 채널 선택 디바이스들에서의 의사 채널 기입 데이터를 저 레이턴시 유형의 기입 메모리 액세스의 타겟 의사 채널로 출력하는 메모리 제어 디바이스는 다수의 의사 채널 선택 디바이스들을 포함할 수 있다.

[0091] 도 9는 일 실시형태에 따른, 의사 채널 기반 메모리 시스템들(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))에서 레이턴시를 감소시키기 위한 방법(900)을 예시한다. 도 1 내지 도 9를 참조하면, 방법(900)은 컴퓨팅 디바이스(예컨대, 도 1의 컴퓨팅 디바이스(100))에서, 하드웨어에서, 프로세서에서 실행되는 소프트웨어에서, 또는 다양한 메모리들/캐시들(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b), 도 2 내지 도 4c의 뱅크들(224a, 224b)) 및 다양한 메모리/캐시 제어기들(예컨대, 도 3a 내지 도 4c의 의사 채널 제어기(316))과 같은 다른 개별 컴포넌트들을 포함하는 소프트웨어-구성된 프로세서 및 전용 하드웨어의 조합에서 구현될 수 있다. 다양한 실시형태들에서 인에이블된 대안적인 구성들을 포함하기 위해, 방법(900)을 구현하는 하드웨어는 본 명세서에서 "메모리 제어 디바이스"로 지칭된다. 일부 예들에서, 방법(900)은 도 5 및 도 6을 참조하여 본 명세서에 설명된 방법들(500, 600) 이전에 그리고/또는 그와 동시에 구현될 수 있다.

[0092] 결정 블록(902)에서, 메모리 제어 디바이스는 저 레이턴시 메모리 액세스 커맨드들을 구현할지 여부를 결정할 수 있다. 일부 예들에서, 저 레이턴시 메모리 액세스 커맨드들을 구현할지 여부를 결정하기 위한 조건들이 충족될 수 있다. 예를 들어, 저 레이턴시 메모리 액세스 커맨드들을 구현하는 것은 의사 채널 기반 메모리 시스템의 클록 주파수에 의존할 수 있다. 예를 들어, 저 레이턴시 메모리 액세스 커맨드들은 1600 MHz와 같은 임계치 이하인 의사 채널 기반 메모리 시스템의 클록 주파수에 대해 구현될 수 있다. 다른 예로서, 저 레이턴시 메모리 액세스 커맨드들을 구현하는 것은 의사 채널 기반 메모리 시스템에 대해 구현된 IO 방식에 의존할 수 있다. 예를 들어, 저 레이턴시 메모리 액세스 커맨드들은 의사 채널 기반 메모리 시스템에 대해 구현된 NRZ 코

딩 IO 방식에 대해 구현될 수 있다. 다른 예로서, 저 레이턴시 메모리 액세스 커맨드들을 구현하는 것은 의사 채널 기반 메모리 시스템의 클록 주파수와 의사 채널 기반 메모리 시스템에 대해 구현된 IO 방식의 조합에 의존할 수 있다. 예를 들어, 저 레이턴시 메모리 액세스 커맨드들은 1600 Mhz와 같은 임계치 이하인 의사 채널 기반 메모리 시스템의 클록 주파수, 및 의사 채널 기반 메모리 시스템에 대해 구현된 NRZ 코딩 IO 방식에 대해 구현될 수 있다. 일부 예들에서, 블록(902)에서 저 레이턴시 메모리 액세스 커맨드들을 구현할지 여부를 결정하는 메모리 제어 디바이스는 의사 채널 제어기(예컨대, 도 3a 내지 도 4c의 의사 채널 제어기(316))를 포함할 수 있다.

[0093] 저 레이턴시 메모리 액세스 커맨드들을 구현하도록 결정하는 것(즉, 결정 블록(902) = "예")에 응답하여, 메모리 제어 디바이스는 예를 들어 도 5를 참조하여 본 명세서에 설명된 블록들(502, 504, 506) 중 임의의 것의 동작들에서 시작하는 방법(500), 또는 도 6을 참조하여 본 명세서에 설명된 블록(602, 604) 중 임의의 것의 동작들에서 시작하는 방법(600)을 구현할 수 있다. 저 레이턴시 메모리 액세스 커맨드들을 구현하지 않도록 결정하는 것(즉, 결정 블록(902) = "아니오")에 응답하여, 메모리 제어 디바이스는 도 5를 참조하여 본 명세서에 설명된 방법(500)의 블록(512)의 동작들을 구현할 수 있다.

[0094] 도 10a, 도 10b, 도 11a, 및 도 11b는 일부 실시형태들에 따른, 의사 채널 기반 메모리 시스템들(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))에서 레이턴시를 감소시키는 경우 및 그렇지 않은 경우의 메모리 액세스 커맨드들의 타이밍 다이어그램들의 예들을 예시한다. 도 1 내지 도 11b를 참조하면, 제2 동작 모드에서 동작하는 DDR(예컨대, 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))은 통상적으로 도 10a 및 도 11a에 예시된 바와 같이 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드를 구현할 수 있고, 제1 동작 모드에서 동작하는 DDR은 도 10b 및 도 11b에 예시된 바와 같이 저 레이턴시 유형의 메모리 액세스 커맨드를 구현할 수 있다. DDR은 다수의 의사 채널 데이터 버스들(예컨대, 도 2의 데이터 버스(204a, 204b), 도 3a 내지 도 4c의 의사 채널 데이터 버스(312a, 312b))("데이터 버스 A", "데이터 버스 B")를 포함할 수 있다. 의사 채널 데이터 버스들은 특정 비트 폭을 가질 수 있다. 예를 들어, 의사 채널 데이터 버스들의 비트 폭은 16비트일 수 있다.

[0095] 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드의 종래의 구현에 대해, DDR은 특정 버스트 길이를 요구하는 단일의 전용 의사 채널 데이터 버스, 예컨대, 데이터 버스 A 상에서 데이터를 송신 또는 수신할 수 있다. 도 10a에 예시된 예에서, 버스트 길이는 32바이트이다. 도 11a에 예시된 예에서, 버스트 길이는 64바이트이다. 저 레이턴시 유형의 메모리 액세스 커맨드의 구현에 대해, DDR은 다수의 의사 채널 데이터 버스들, 예컨대, 데이터 버스 A 및 데이터 버스 B 상에서 동시에 데이터를 송신 또는 수신할 수 있다. 예를 들어, DDR은 다수의 의사 채널 데이터 버스들 상에서 데이터의 교번하는 수의 바이트들을 송신 또는 수신할 수 있다. 도 10b 및 도 11b에 예시된 예에서, DDR은 데이터 버스 A 상에서 데이터의 홀수 바이트를, 그리고 데이터 버스 B 상에서 데이터의 짝수 바이트를 송신 또는 수신할 수 있다. 다른 예(도시되지 않음)에서, DDR은 데이터 버스 A 상에서 데이터의 짝수 바이트를, 그리고 데이터 버스 B 상에서 데이터의 홀수 바이트를 송신 또는 수신할 수 있다. 데이터 버스들 A 및 B 상에서 송신 또는 수신된 홀수 및 짝수 바이트의 쌍들은 높은 바이트 및 낮은 바이트를 갖는 데이터의 워드들일 수 있다. 높은 바이트는 데이터 버스들 A 또는 B 중 하나 상에서 송신 또는 수신될 수 있고, 낮은 바이트는 데이터 버스들 A 또는 B 중 다른 하나 상에서 송신 또는 수신될 수 있다. 예를 들어, 높은 바이트는 저 레이턴시 유형의 메모리 액세스 커맨드의 타겟 의사 채널(예컨대, 도 3a 내지 도 4c의 의사 채널(220a, 220b))에 전용된 데이터 버스 A 또는 B 상에서 송신 또는 수신될 수 있고, 낮은 바이트는 다른 데이터 버스 A 또는 B 상에서 송신 또는 수신될 수 있다. 다수의 의사 채널 데이터 버스들 상에서 데이터를 송신 또는 수신하는 것은 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드의 종래의 구현에 비해 버스트 길이를 감소시킬 수 있게 한다. 예를 들어, 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드의 종래의 구현의 버스트 길이는 데이터를 송신 또는 수신하는 데 사용되는 의사 채널 데이터 버스들의 수로 나뉠 수 있다. 도 10b에 예시된 예에서, 버스트 길이는 16바이트인데 비해, 도 10a에 예시된 예에서는 32바이트이다. 도 11b에 예시된 예에서, 버스트 길이는 32바이트인데 비해, 도 11a에 예시된 예에서는 64바이트이다. 버스트 길이를 감소시키는 것은 또한 표준 또는 레이턴시 메모리 액세스 커맨드에 비해 저 레이턴시 메모리 액세스 커맨드를 완료하기 위한 클록 사이클들의 수를 감소시킬 수 있다.

[0096] 도 12는 일부 실시형태들에 따른, 저 레이턴시 유형의 메모리 액세스 커맨드를 사용하여 의사 채널 기반 메모리 시스템들(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))에서 레이턴시를 감소시키는 예시적인 타이밍 다이어그램을 예시한다. 도 1 내지 도 12를 참조하면, 제1 동작 모드에서 동작하는 DDR(예컨대, 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))은 저 레이턴시 유형의

판독 메모리 액세스를 구현할 수 있다. DDR은 저 레이턴시 유형의 판독 메모리 액세스를 구현하기 위한 신호, 예컨대, 컬럼 어드레스 스트로브(column address strobe, "CAS") 및 의사 채널(예컨대, 도 3a 내지 도 4c의 의사 채널(220a, 220b))에 대한 저 레이턴시 유형의 판독 메모리 액세스를 구현하기 위한 신호("RD_LL_PC0")를 수신할 수 있다. DDR은, 저 레이턴시 유형의 판독 메모리 액세스를 구현하기 위한 신호들에 응답하여, 다수의 의사 채널 데이터 버스들(예컨대, 도 2의 데이터 버스(204a, 204b), 도 3a 내지 도 4c의 의사 채널 데이터 버스(312a, 312b)), 데이터 버스 A 및 데이터 버스 B 상에서 타겟 의사 채널로부터의 데이터를 출력할 수 있다.

[0097]

도 13a 및 도 13b는 일 실시형태에 따른, 저 레이턴시 유형의 메모리 액세스 커맨드를 인에이블하기 위한 모드 레지스터 기입을 사용하여 의사 채널 기반 메모리 시스템들(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))에서 레이턴시를 감소시키는 예들을 예시하는 타이밍 다이어그램들이다. 도 1 내지 도 13b를 참조하면, 제1 동작 모드에서 동작하는 DDR(예컨대, 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))은 저 레이턴시 유형의 메모리 액세스 커맨드들을 인에이블하는 모드 레지스터 기입에 후속하는 저 레이턴시 유형의 판독 메모리 액세스를 구현할 수 있다. DDR은 DDR이 연속적인 메모리 액세스 커맨드들을 저 레이턴시 유형의 메모리 액세스 커맨드들로서 구현하도록 촉구하는 모드 레지스터 기입을 위한 신호(들)(도 13a의 "MRW", 도 13b의 "MRW1" 및 "MRW2")를 수신할 수 있다. 모드 레지스터 기입을 위한 신호(들)는 DDR 내의 레지스터 어드레스 및 레지스터에 기입하기 위한 데이터를 포함할 수 있다. 예를 들어, 도 13b를 참조하면, MRW1 및 MRW2는 함께 단일 모드 레지스터 기입을 형성할 수 있다. MRW1은 DDR 내의 레지스터 어드레스를 포함할 수 있고, MRW2는 레지스터에 기입하기 위한 데이터를 포함할 수 있다. DDR은 판독 메모리 액세스를 구현하기 위한 신호, 예컨대, 컬럼 어드레스 스트로브("CAS") 및 의사 채널(예컨대, 도 3a 내지 도 4c의 의사 채널(220a, 220b))에 대한 표준 또는 비-저 레이턴시 판독 메모리 액세스를 구현하기 위한 신호("RD_LL_PC0")를 수신할 수 있다. DDR은, 모드 레지스터 기입을 위한 그리고 판독 메모리 액세스를 구현하기 위한 신호들에 응답하여, 판독 메모리 액세스를 저 레이턴시 유형의 판독 메모리 액세스로서 구현하고, 다수의 의사 채널 데이터 버스들(예컨대, 도 2의 데이터 버스(204a, 204b), 도 3a 내지 도 4c의 의사 채널 데이터 버스(312a, 312b)), 데이터 버스 A 및 데이터 버스 B 상에서 타겟 의사 채널로부터의 데이터를 출력할 수 있다.

[0098]

도 14a 및 도 14b는 일 실시형태에 따른, 의사 채널 기반 메모리 시스템들(예컨대, 도 1의 메모리(106), 메모리(114), 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))에서 레이턴시를 감소시키는 경우 및 그렇지 않은 경우의 메모리 액세스 커맨드들의 예들을 예시하는 타이밍 다이어그램들이다. 도 1 내지 도 14b를 참조하면, 제2 동작 모드에서 동작하는 DDR(예컨대, 도 2의 DDR(200), 도 3a 내지 도 4c의 DDR(300a, 300b))은 통상적으로 도 14a에 예시된 바와 같이 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드를 구현할 수 있고, 제1 동작 모드에서 동작하는 DDR은 도 14b에 예시된 바와 같이 저 레이턴시 유형의 메모리 액세스 커맨드를 구현할 수 있다. DDR은 다수의 의사 채널들(예컨대, 도 2 내지 도 4c의 의사 채널(220a, 220b))("PC0", "PC1") 및 의사 채널 데이터 버스들(예컨대, 도 2의 데이터 버스(204a, 204b), 도 3a 내지 도 4c의 의사 채널 데이터 버스(312a, 312b))("DQ0", "DQ1")을 포함할 수 있다.

[0099]

도 14a 및 도 14b에 예시된 예들에서, 각자의 칩 선택(chip select, CS) 신호는 각자의 커맨드 및 어드레스(command and address, CA) 유효성 신호들(도 14a의 A, B, C, D 및 도 14b의 Q, R, S, T) 및 각자의 메모리 액세스 커맨드(Command) 신호들(도 14a의 E, F, G, H 및 도 14b의 U, V, W, X)에 대응할 수 있다. 데이터 신호들(도 14a의 I, J 및 도 14b의 Y1, Y2, Z1, Z2)의 송신은 각자의 커맨드 신호들에 대응할 수 있다. 의사 채널 기반 메모리 시스템들은 시스템 클록(CK_c, CK_t) 및 각자의 의사 채널들(PC0, PC1)에 대한 클록들, 예컨대 PC0에 대한 기입 클록(WCK0_c, WCK0_t) 및 PC0에 대한 판독 클록(RDQS0_t, RDQS0_c), 및 PC1에 대한 기입 클록(WCK1_c, WCK1_t) 및 PC1에 대한 판독 클록(RDQS1_t, RDQS1_c)과 같은 다양한 클록들의 다양한 클록 사이클들에 따라 메모리 액세스 커맨드들을 구현할 수 있다.

[0100]

도 14a에 예시된 예에서의 메모리 액세스 커맨드에 대해, CA 유효성 신호들 A는 제1 CAS 신호 E에 대응할 수 있고, CA 유효성 신호들 B는 제1 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드 F에 대응할 수 있고; CA 유효성 신호들 C는 제2 CAS 신호 G에 대응할 수 있고; CA 유효성 신호들 D는 제2 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드 H에 대응할 수 있다. 의사 채널에 대한 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드의 종래의 구현에 대해, DDR은 각각의 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드에 대해 단일의 전용 의사 채널 데이터 버스, 예컨대, PC0 (F)의 판독 메모리 액세스에 대한 DQ0 및 PC1 (H)의 판독 메모리 액세스에 대한 DQ1 상에서 데이터를 송신 또는 수신할 수 있으며, 이는 각각의 판독 메모리 액세스에 대한 특정 버스트 길이를 요구한다. 도 14a에 예시된 예에서, 버스트 길이는 32바이트이다. 상이한 의사 채널들에 대한 연속적인 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드들은 동시에 구현될 수 있지만, 동

시에 시작하고 완료하도록 정렬되지 않을 수 있어서, 단일의 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드를 완료하는 데 필요한 것보다 더 많은 클럭 사이클들을 요구할 수 있다. 예를 들어, PC0(F)의 판독 메모리 액세스에 응답하여 DQ0 상에서 송신되는 데이터 신호들 (I)는 PC1 (H)의 판독 메모리 액세스에 응답하여 DQ1 상에서 송신되는 데이터 신호들 (J)와 정렬되지 않을 수 있다.

[0101] 도 14b에 예시된 예에서의 메모리 액세스 커맨드에 대해, CA 유효성 신호들 Q는 제1 CAS 신호 U에 대응할 수 있고; CA 유효성 신호들 R은 제1 저 레이턴시 유형의 메모리 액세스 커맨드 V에 대응할 수 있고; CA 유효성 신호들 S는 제2 CAS 신호 W에 대응할 수 있고; CA 유효성 신호들 T는 제2 저 레이턴시 유형의 메모리 액세스 커맨드 X에 대응할 수 있다. 의사 채널에 대한 저 레이턴시 유형의 메모리 액세스 커맨드 (V, X)의 구현의 경우, DDR은 PC0 (V) 또는 PC1 (X)의 저 레이턴시 유형의 판독 메모리 액세스에 대해 DQ0 및 DQ1과 같은 다수의 의사 채널 데이터 버스들 상에서 동시에 데이터를 송신 또는 수신할 수 있다. 예를 들어, DDR은 다수의 의사 채널 데이터 버스들 상에서 데이터의 교번하는 수의 바이트들을 송신 또는 수신할 수 있다. 도 14b에 예시된 예에서, DDR은 DQ0 상에서 데이터의 홀수 바이트를, 그리고 DQ1 상에서 데이터의 짝수 바이트를 동시에 송신 또는 수신할 수 있다. 다수의 의사 채널 데이터 버스들 상에서 데이터를 송신 또는 수신하는 것은 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드의 종래의 구현에 비해 버스트 길이를 감소시킬 수 있게 한다. 예를 들어, 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드의 종래의 구현의 버스트 길이는 데이터를 송신 또는 수신하는 데 사용되는 의사 채널 데이터 버스들의 수로 나뉠 수 있다. 도 14b에 예시된 예에서, 버스트 길이는 16바이트인데 비해, 도 14a에 예시된 예에서는 32바이트이다. PC0 및 PC1과 같은 상이한 의사 채널들에 대한 연속적인 저 레이턴시 유형의 메모리 액세스 커맨드들은 커맨드 어드레스(CA) 라인에 도시된 바와 같이 연속적으로 구현될 수 있고, 감소된 버스트 길이들은 동일한 수의 표준 또는 비-저 레이턴시 유형의 메모리 액세스 커맨드들을 완료하는 데 필요한 더 적은 클럭 사이클들의 사용을 가능하게 할 수 있다. 예를 들어, PC0 (V)의 판독 메모리 액세스에 응답하여 DQ1 상에서 송신되는 데이터 신호들 (Y2)와 동시에 데이터 신호들 (Y1)이 DQ0 상에서 송신될 수 있고, PC1 (X)의 연속적인 판독 메모리 액세스에 응답하여 DQ1 상에서 송신되는 데이터 신호들 (Z2)와 동시에 데이터 신호들 (Z1)이 DQ0 상에서 송신될 수 있다.

[0102] (도 1 내지 도 14b를 참조하여 위에서 설명된 실시형태들을 포함하지만 이에 한정되지 않는) 다양한 실시형태들에 따른 시스템은 모바일 컴퓨팅 디바이스들을 포함한 매우 다양한 컴퓨팅 시스템들에서 구현될 수 있으며, 다양한 실시형태들과의 사용에 적합한 그 예는 도 15에 예시된다. 모바일 컴퓨팅 디바이스(1500)는 터치스크린 제어기(1504) 및 내부 메모리(1506)에 커플링된 프로세서(1502)를 포함할 수 있다. 프로세서(1502)는 범용 또는 특정 프로세싱 작업들을 위해 지정된 하나 이상의 다중코어 집적 회로들일 수 있다. 내부 메모리(1506)는 휘발성 또는 비-휘발성 메모리일 수 있고, 또한 안전한 및/또는 암호화된 메모리, 또는 안전하지 않은 및/또는 암호화되지 않은 메모리, 또는 이것들의 임의의 조합일 수 있다. 활용할 수 있는 메모리 유형들의 예들은 DDR, LPDDR, GDDR, WIDEIO, RAM, SRAM, DRAM, P-RAM, R-RAM, M-RAM, STT-RAM, 및 임베디드 DRAM을 포함하지만 이것들로 제한되지는 않는다. 터치스크린 제어기(1504) 및 프로세서(1502)는 또한, 저항성 감지 터치스크린, 용량성 감지 터치스크린, 적외선 감지 터치스크린 등과 같은 터치스크린 패널(1512)에 커플링될 수 있다. 또한, 모바일 컴퓨팅 디바이스(1500)의 디스플레이는 터치스크린 능력을 가질 필요가 없다.

[0103] 모바일 컴퓨팅 디바이스(1500)는 서로 및/또는 프로세서(1502)에 커플링되는, 통신들을 전송 및 수신하기 위한 하나 이상의 라디오 신호 트랜시버들(1508)(예컨대, Peanut, Bluetooth, ZigBee, Wi-Fi, RF 라디오) 및 안테나(1510)를 가질 수 있다. 트랜시버들(1508) 및 안테나(1510)는 다양한 무선 송신 프로토콜 스택들 및 인터페이스들을 구현하기 위해 위에서 언급된 회로부와 함께 사용될 수 있다. 모바일 컴퓨팅 디바이스(1500)는, 셀룰러 네트워크를 통한 통신을 가능하게 하고 프로세서에 커플링되는 셀룰러 네트워크 무선 모듈 칩(1516)을 포함할 수 있다.

[0104] 모바일 컴퓨팅 디바이스(1500)는 프로세서(1502)에 커플링된 주변 디바이스 연결 인터페이스(1518)를 포함할 수 있다. 주변 디바이스 연결 인터페이스(1518)는 일 유형의 연결을 수용하도록 단일하게 구성될 수 있거나, 또는 USB(Universal Serial Bus), FireWire, Thunderbolt 또는 PCIe와 같은 공통 또는 전용의 다양한 유형들의 물리 및 통신 연결들을 수용하도록 구성될 수 있다. 주변 디바이스 연결 인터페이스(1518)는 또한 유사하게 구성된 주변 디바이스 연결 포트(도시되지 않음)에 커플링될 수 있다.

[0105] 모바일 컴퓨팅 디바이스(1500)는 또한 오디오 출력들을 제공하기 위한 스피커들(1514)을 포함할 수 있다. 모바일 컴퓨팅 디바이스(1500)는 또한, 본 명세서에서 설명된 컴포넌트들 모두 또는 일부를 수용하기 위한, 플라스틱, 금속, 또는 재료들의 조합으로 구성된 하우징(1520)을 포함할 수 있다. 모바일 컴퓨팅 디바이스(1500)는 프로세서(1502)에 커플링된 전력 소스(1522), 예컨대 일회용 또는 재충전가능 배터리를 포함할 수 있다. 재충

전가능 배터리는 또한 모바일 컴퓨팅 디바이스(1500) 외부의 소스로부터 충전 전류를 수신하기 위해 주변 디바이스 연결 포트에 커플링될 수 있다. 모바일 컴퓨팅 디바이스(1500)는 또한 사용자 입력을 수신하기 위한 물리적 버튼(1524)을 포함할 수 있다. 모바일 컴퓨팅 디바이스(1500)는 또한 모바일 컴퓨팅 디바이스(1500)를 켜고 끄기 위한 전력 버튼(1526)을 포함할 수 있다.

[0106] (도 1 내지 도 14b를 참조하여 위에서 설명된 실시형태들을 포함하지만 이에 제한되지 않는) 다양한 실시형태들에 따른 시스템은 랩탑 컴퓨터(1600)를 포함하는 매우 다양한 컴퓨팅 시스템들에서 구현될 수 있으며, 그 예는 도 16에 예시되어 있다. 다수의 랩탑 컴퓨터들은, 컴퓨터의 포인팅 디바이스로서 기능하고 따라서 터치 스크린 디스플레이가 구비되고 위에서 설명된 컴퓨팅 디바이스들 상에 구현된 것들과 유사한 드래그, 스크롤, 및 플릭 제스처들을 수용할 수 있는 터치패드 터치 표면(1617)을 포함한다. 랩탑 컴퓨터(1600)는 전형적으로, 휘발성 메모리(1612) 및 대용량 비휘발성 메모리, 예컨대 플래시 메모리의 디스크 드라이브(1613)에 커플링된 프로세서(1602)를 포함할 것이다. 추가적으로, 컴퓨터(1600)는 프로세서(1602)에 커플링된 셀룰러 전화 트랜시버(1616) 및/또는 무선 데이터 링크에 연결될 수 있는 전자기 방사선을 전송 및 수신하기 위한 하나 이상의 안테나(1608)를 가질 수 있다. 컴퓨터(1600)는 또한 프로세서(1602)에 커플링된 플로피 디스크 드라이브(1614) 및 콤팩트 디스크(CD) 드라이브(1615)를 포함할 수 있다. 노트북 구성에서, 컴퓨터 하우징은 프로세서(1602)에 모두 커플링되는 터치패드(1617), 키보드(1618), 및 디스플레이(1619)를 포함한다. 컴퓨팅 디바이스의 다른 구성들은 널리 공지된 바와 같이 (예를 들어, USB 입력을 통해) 프로세서에 커플링된 컴퓨터 마우스 또는 트랙볼을 포함할 수 있으며, 이는 또한 다양한 실시형태들과 함께 사용될 수 있다.

[0107] (도 1 내지 도 14b를 참조하여 위에서 설명된 실시형태들을 포함하지만 이에 제한되지 않는) 다양한 실시형태들에 따른 시스템은 또한 다양한 상업적으로 이용가능한 서버들 중 임의의 것과 같은 고정 컴퓨팅 시스템들에서 구현될 수 있다. 예시적인 서버(1700)가 도 17에 예시된다. 그러한 서버(1700)는 전형적으로, 휘발성 메모리(1702) 및 디스크 드라이브(1704)와 같은 대용량 비휘발성 메모리에 커플링된 하나 이상의 멀티코어 프로세서 조립체들(1701)을 포함한다. 도 17에 예시된 바와 같이, 멀티코어 프로세서 조립체들(1701)은 조립체의 랙들에 이들을 삽입함으로써 서버(1700)에 추가될 수 있다. 서버(1700)는 또한, 프로세서(1701)에 커플링된 플로피 디스크 드라이브, 콤팩트 디스크(CD) 또는 디지털 다기능 디스크(DVD) 디스크 드라이브(1706)를 포함할 수 있다. 서버(1700)는 또한, 다른 브로드캐스트 시스템 컴퓨터들 및 서버들에 커플링된 로컬 영역 네트워크, 인터넷, 공중 스위칭 전화 네트워크, 및/또는 셀룰러 데이터 네트워크(예컨대, CDMA, TDMA, GSM, PCS, 3G, 4G, LTE, 5G 또는 임의의 다른 유형의 셀룰러 데이터 네트워크)와 같은 네트워크(1705)와 네트워크 인터페이스 연결들을 확립하기 위해 멀티코어 프로세서 조립체들(1701)에 커플링된 네트워크 액세스 포트들(1703)을 포함할 수 있다.

[0108] 구현 예들은 다음 단락들에서 설명된다. 다음 구현 예들 중 일부는 예시적인 시스템들, 디바이스들, 또는 방법들의 관점에서 설명되지만, 추가의 예시적인 구현들은: 예시적인 시스템들 또는 디바이스들의 동작들을 실행하는 방법으로서 구현되는 다음 단락들에서 논의되는 예시적인 시스템들 또는 디바이스들, 예시적인 시스템들, 디바이스들, 또는 방법들의 동작들을 수행하기 위한 프로세싱 디바이스 실행가능 명령들로 구성된 프로세싱 디바이스를 포함하는 컴퓨팅 디바이스에 의해 구현되는 다음 단락들에서 논의되는 예시적인 시스템들, 디바이스들, 또는 방법들; 예시적인 시스템들, 디바이스들, 또는 방법들의 기능들을 수행하기 위한 수단을 포함하는 컴퓨팅 디바이스에 의해 구현되는 다음 단락들에서 논의되는 예시적인 시스템들, 디바이스들, 또는 방법들; 및 컴퓨팅 디바이스의 프로세서로 하여금 예시적인 시스템들, 디바이스들, 또는 방법들의 동작들을 수행하게 하도록 구성된 프로세서 실행가능 명령들이 저장된 비일시적 프로세서 판독가능 저장 매체로서 구현되는 다음 단락들에서 논의되는 예시적인 시스템들, 디바이스들, 또는 방법들을 포함할 수 있다.

[0109] 실시예 1. 의사 채널 기반 메모리 시스템으로서, 복수의 의사 채널들 중 하나를 제1 입력/출력(I/O)에 선택적으로 통신가능하게 연결하도록 구성된 제1 의사 채널 선택 디바이스, 및 복수의 의사 채널들 중 하나를 제2 I/O에 선택적으로 통신가능하게 연결하도록 구성된 제2 의사 채널 선택 디바이스를 포함하며, 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스는 제1 동작 모드에서 복수의 의사 채널들 중 제1 의사 채널을 제1 I/O 및 제2 I/O에 동시에 통신가능하게 연결하도록 동작가능한, 의사 채널 기반 메모리 시스템.

[0110] 실시예 2. 실시예 1에 있어서, 제1 I/O는 제1 의사 채널 데이터 버스를 포함하고 제2 I/O는 제2 의사 채널 데이터 버스를 포함하며, 의사 채널 기반 메모리 시스템은, 제1 의사 채널 데이터 버스보다 더 큰 비트 폭을 갖고 제1 의사 채널에 통신가능하게 연결된 제1 내부 데이터 버스, 제1 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 제1 내부 데이터 버스의 제1 부분과 제1 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제2 내부 데이터 버스, 및 제2 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 제1 내부 데이터 버스의 제2 부분과 제2 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제3 내부 데이터 버스를 추가로 포함하는, 의사 채널 기

반 메모리 시스템.

- [0111] 실시예 3. 실시예 2에 있어서, 제1 내부 데이터 버스는 제1 의사 채널 데이터 버스의 정수배와 동일한 비트 폭을 갖는, 의사 채널 기반 메모리 시스템.
- [0112] 실시예 4. 실시예 2 또는 실시예 3에 있어서, 제1 의사 채널 데이터 버스보다 더 큰 비트 폭을 갖고 복수의 의사 채널들 중 제2 의사 채널에 통신가능하게 연결된 제4 내부 데이터 버스, 제1 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 제4 내부 데이터 버스의 제1 부분과 제1 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제5 내부 데이터 버스, 및 제2 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 제4 내부 데이터 버스의 제2 부분과 제2 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제6 내부 데이터 버스를 추가로 포함하는, 의사 채널 기반 메모리 시스템.
- [0113] 실시예 5. 실시예 1 내지 실시예 4 중 어느 하나에 있어서, 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스는, 의사 채널 기반 메모리 시스템이 제1 의사 채널을 타겟팅하는 저 레이턴시 유형의 메모리 액세스 커맨드를 수신하는 것에 응답하여, 제1 의사 채널을 제1 IO 및 제2 IO에 동시에 통신가능하게 연결하도록 동작가능한, 의사 채널 기반 메모리 시스템.
- [0114] 실시예 6. 실시예 5에 있어서, 제1 의사 채널을 타겟팅하는 저 레이턴시 유형의 메모리 액세스 커맨드를 수신하고, 저 레이턴시 유형의 메모리 액세스 커맨드를 수신하는 것에 응답하여 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스로 하여금 제1 의사 채널을 제1 IO 및 제2 IO에 동시에 통신가능하게 연결하게 하도록 적어도 하나의 의사 채널 선택 신호를 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스로 송신하도록 구성된 메모리 제어 디바이스를 추가로 포함하는, 의사 채널 기반 메모리 시스템.
- [0115] 실시예 7. 실시예 1 내지 실시예 4 중 어느 하나에 있어서, 의사 채널 기반 메모리 시스템이 의사 채널 기반 메모리 시스템으로 하여금 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 모드 레지스터 기입 커맨드를 수신하는 것에 응답하여, 그리고 의사 채널 기반 메모리 시스템이 제1 의사 채널을 타겟팅하는 연속적인 메모리 액세스 커맨드를 수신하는 것에 응답하여, 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스는 제1 의사 채널을 제1 IO 및 제2 IO에 동시에 통신가능하게 연결하도록 동작가능한, 의사 채널 기반 메모리 시스템.
- [0116] 실시예 8. 실시예 7에 있어서, 모드 레지스터 기입 커맨드를 수신하고, 모드 레지스터 기입 커맨드를 수신하는 것에 응답하여 메모리 제어 디바이스로 하여금 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 레지스터 값을 설정하고, 제1 의사 채널을 타겟팅하는 연속적인 메모리 액세스 커맨드를 수신하고, 연속적인 메모리 액세스 커맨드를 수신하는 것에 응답하여 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스로 하여금 제1 의사 채널을 제1 IO 및 제2 IO에 동시에 통신가능하게 연결하게 하도록 적어도 하나의 의사 채널 선택 신호를 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스로 송신하도록 구성된 메모리 제어 디바이스를 추가로 포함하는, 의사 채널 기반 메모리 시스템.
- [0117] 실시예 9. 실시예 1 내지 실시예 8 중 어느 하나에 있어서, 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스는 각각 적어도 하나의 멀티플렉서를 포함하는, 의사 채널 기반 메모리 시스템.
- [0118] 실시예 10. 실시예 1 내지 실시예 9 중 어느 하나에 있어서, 제2 동작 모드에서 제1 의사 채널 선택 디바이스는 제1 의사 채널을 제1 IO에 통신가능하게 연결하도록 동작가능하고, 제2 의사 채널 선택 디바이스는 복수의 의사 채널들 중 제2 의사 채널을 제2 IO에 통신가능하게 연결하도록 동작가능한, 의사 채널 기반 메모리 시스템.
- [0119] 실시예 11. 의사 채널 기반 메모리 시스템에서 레이턴시를 감소시키기 위한 방법으로서, 복수의 의사 채널들 중 하나를 복수의 IO들 중 제1 입력/출력(IO)에 선택적으로 통신가능하게 연결하도록 구성된 제1 의사 채널 선택 디바이스에 의해 복수의 의사 채널들 중 제1 의사 채널을 제1 IO에 통신가능하게 연결하는 단계, 및 제1 동작 모드에서 제1 의사 채널 선택 디바이스에 의해 제1 의사 채널을 제1 IO에 통신가능하게 연결하는 것과 동시에 제2 의사 채널 선택 디바이스에 의해 제1 의사 채널을 복수의 IO들 중 제2 IO에 통신가능하게 연결하는 단계를 포함하며, 제2 의사 채널 선택 디바이스는 복수의 의사 채널들 중 하나를 제2 IO에 선택적으로 통신가능하게 연결하도록 구성되는, 방법.
- [0120] 실시예 12. 실시예 11에 있어서, 제1 IO는 제1 의사 채널 데이터 버스를 포함하고 제2 IO는 제2 의사 채널 데이터 버스를 포함하며, 본 방법은, 제1 의사 채널 데이터 버스보다 더 큰 비트 폭을 갖고 제1 의사 채널에 통신가능하게 연결된 제1 내부 데이터 버스, 및 제1 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 제1 내부 데이

터 버스의 제1 부분과 제1 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제2 내부 데이터 버스를 통해 제1 의사 채널 데이터 버스와 제1 의사 채널 사이에서 데이터를 송신하는 단계, 및 제1 내부 데이터 버스, 및 제2 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 제1 내부 데이터 버스의 제2 부분과 제2 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제3 내부 데이터 버스를 통해 제2 의사 채널 데이터 버스와 제1 의사 채널 사이에서 데이터를 송신하는 단계를 추가로 포함하는, 방법.

[0121] 실시예 13. 실시예 12에 있어서, 제1 내부 데이터 버스는 제1 의사 채널 데이터 버스의 정수배와 동일한 비트 폭을 갖는, 방법.

[0122] 실시예 14. 실시예 12 또는 실시예 13에 있어서, 제1 의사 채널 데이터 버스보다 더 큰 비트 폭을 갖고 제2 의사 채널에 통신가능하게 연결된 제4 내부 데이터 버스, 및 제1 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 제4 내부 데이터 버스의 제1 부분과 제1 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제5 내부 데이터 버스를 통해 제1 의사 채널 데이터 버스와 복수의 의사 채널들 중 제2 의사 채널 사이에서 데이터를 송신하는 단계, 및 제4 내부 데이터 버스, 및 제2 의사 채널 데이터 버스와 동일한 비트 폭을 갖고 제4 내부 데이터 버스의 제2 부분과 제2 의사 채널 선택 디바이스 사이에 통신가능하게 연결된 제6 내부 데이터 버스를 통해 제2 의사 채널 데이터 버스와 제2 의사 채널 사이에서 데이터를 송신하는 단계를 추가로 포함하는, 방법.

[0123] 실시예 15. 실시예 11 내지 실시예 14 중 어느 하나에 있어서, 제1 의사 채널을 타겟팅하는 저 레이턴시 유형의 메모리 액세스 커맨드를 수신하는 단계를 추가로 포함하며, 제1 의사 채널 선택 디바이스에 의해 제1 의사 채널을 제1 IO에 통신가능하게 연결하는 것과 동시에 제2 의사 채널 선택 디바이스에 의해 제1 의사 채널을 제2 IO에 통신가능하게 연결하는 단계는 저 레이턴시 유형의 메모리 액세스 커맨드를 수신하는 것에 응답하여 발생하는, 방법.

[0124] 실시예 16. 실시예 15에 있어서, 저 레이턴시 유형의 메모리 액세스 커맨드를 수신하는 것에 응답하여 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스로 하여금 제1 의사 채널을 제1 IO 및 제2 IO에 동시에 통신가능하게 연결하게 하도록 적어도 하나의 의사 채널 선택 신호를 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스로 송신하는 단계를 추가로 포함하는, 방법.

[0125] 실시예 17. 실시예 11 내지 실시예 14 중 어느 하나에 있어서, 의사 채널 기반 메모리 시스템으로 하여금 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 모드 레지스터 기입 커맨드를 수신하는 단계, 및 제1 의사 채널을 타겟팅하는 연속적인 메모리 액세스 커맨드를 수신하는 단계를 추가로 포함하며, 제1 의사 채널 선택 디바이스에 의해 제1 의사 채널을 제1 IO에 통신가능하게 연결하는 것과 동시에 제2 의사 채널 선택 디바이스에 의해 제1 의사 채널을 제2 IO에 통신가능하게 연결하는 단계는 모드 레지스터 기입 커맨드를 수신하는 것에 응답하여 그리고 연속적인 메모리 액세스 커맨드를 수신하는 것에 응답하여 발생하는, 방법.

[0126] 실시예 18. 실시예 17에 있어서, 모드 레지스터 기입 커맨드를 수신하는 것에 응답하여 의사 채널 기반 메모리 시스템으로 하여금 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 레지스터 값을 설정하는 단계, 및 연속적인 메모리 액세스 커맨드를 수신하는 것에 응답하여 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스로 하여금 제1 의사 채널을 제1 IO 및 제2 IO에 동시에 통신가능하게 연결하게 하도록 적어도 하나의 의사 채널 선택 신호를 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스로 송신하는 단계를 추가로 포함하는, 방법.

[0127] 실시예 19. 실시예 11 내지 실시예 18 중 어느 하나에 있어서, 제1 의사 채널 선택 디바이스 및 제2 의사 채널 선택 디바이스는 각각 적어도 하나의 멀티플렉서를 포함하는, 방법.

[0128] 실시예 20. 실시예 11 내지 실시예 19 중 어느 하나에 있어서, 제2 동작 모드에서 제2 의사 채널 선택 디바이스에 의해 복수의 의사 채널들 중 제2 의사 채널을 복수의 IO들 중 제2 IO에 통신가능하게 연결하는 단계를 추가로 포함하는, 방법.

[0129] 실시예 21. 제1 의사 채널을 포함하는 복수의 의사 채널들을 포함하는 의사 채널 기반 메모리 시스템으로서, 의사 채널 기반 메모리 시스템은 제1 의사 채널을 타겟팅하는 메모리 액세스 커맨드를 수신하고, 메모리 액세스 커맨드를 구현하기 위해 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 사용하도록 구성되는, 의사 채널 기반 메모리 시스템.

[0130] 실시예 22. 실시예 21에 있어서, 메모리 액세스 커맨드는 판독 메모리 액세스 커맨드이고, 의사 채널 기반 메모리 시스템은, 메모리 액세스 커맨드를 구현하기 위해 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버

스를 사용하는 것이 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 통해 동시에 관독 메모리 액세스 커맨드에 응답하여 제1 의사 채널로부터 데이터를 출력하는 것을 포함하도록 구성되는, 의사 채널 기반 메모리 시스템.

[0131] 실시예 23. 실시예 21 또는 실시예 22에 있어서, 메모리 액세스 커맨드는 기입 메모리 액세스 커맨드이고, 의사 채널 기반 메모리 시스템은, 메모리 액세스 커맨드를 구현하기 위해 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 사용하는 것이 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 통해 동시에 제1 의사 채널에 대한 기입 메모리 액세스 커맨드의 데이터를 수신하는 것을 포함하도록 구성되는, 의사 채널 기반 메모리 시스템.

[0132] 실시예 24. 실시예 21 내지 실시예 23 중 어느 하나에 있어서, 메모리 액세스 커맨드는, 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스 커맨드임을 의사 채널 기반 메모리 시스템에 나타내도록 구성되는, 의사 채널 기반 메모리 시스템.

[0133] 실시예 25. 실시예 21 내지 실시예 23 중 어느 하나에 있어서, 의사 채널 기반 메모리 시스템은 의사 채널 기반 메모리 시스템으로 하여금 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 모드 레지스터 기입 커맨드를 수신하도록 추가로 구성되고, 제1 의사 채널을 타겟팅하는 메모리 액세스 커맨드는 모드 레지스터 기입 커맨드에 대한 연속적인 메모리 액세스 커맨드인, 의사 채널 기반 메모리 시스템.

[0134] 실시예 26. 제1 의사 채널을 포함하는 복수의 의사 채널들을 포함하는 의사 채널 기반 메모리 시스템에서 레이턴시를 감소시키기 위한 방법으로서, 본 방법은, 제1 의사 채널을 타겟팅하는 메모리 액세스 커맨드를 수신하는 단계, 및 메모리 액세스 커맨드를 구현하기 위해 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 사용하는 단계를 포함하는, 방법.

[0135] 실시예 27. 실시예 26에 있어서, 메모리 액세스 커맨드는 관독 메모리 액세스 커맨드이고, 메모리 액세스 커맨드를 구현하기 위해 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 사용하는 단계는 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 통해 동시에 관독 메모리 액세스 커맨드에 응답하여 제1 의사 채널로부터 데이터를 출력하는 단계를 포함하는, 방법.

[0136] 실시예 28. 실시예 26 또는 실시예 27에 있어서, 메모리 액세스 커맨드는 기입 메모리 액세스 커맨드이고, 메모리 액세스 커맨드를 구현하기 위해 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 사용하는 단계는 제1 의사 채널 데이터 버스 및 제2 의사 채널 데이터 버스를 통해 동시에 제1 의사 채널에 대한 기입 메모리 액세스 커맨드의 데이터를 수신하는 단계를 포함하는, 방법.

[0137] 실시예 29. 실시예 26 내지 실시예 28 중 어느 하나에 있어서, 메모리 액세스 커맨드는 메모리 액세스 커맨드가 저 레이턴시 유형의 메모리 액세스 커맨드임을 의사 채널 기반 메모리 시스템에 나타내도록 구성되는, 방법.

[0138] 실시예 30. 실시예 26 내지 실시예 28 중 어느 하나에 있어서, 의사 채널 기반 메모리 시스템으로 하여금 연속적인 메모리 액세스 커맨드를 저 레이턴시 유형의 메모리 액세스 커맨드로서 처리하게 하도록 구성된 모드 레지스터 기입 커맨드를 수신하는 단계를 추가로 포함하며, 제1 의사 채널을 타겟팅하는 메모리 액세스 커맨드는 모드 레지스터 기입 커맨드에 대한 연속적인 메모리 액세스 커맨드인, 방법.

[0139] 다양한 실시형태들의 동작들을 수행하기 위해 프로그래밍가능 프로세서 상에서 실행하기 위한 컴퓨터 프로그램 코드 또는 "프로그램 코드"는 C, C++, C#, Smalltalk, Java, JavaScript, Visual Basic, Structured Query Language(예를 들어, Transact-SQL), Perl과 같은 하이 레벨 프로그래밍 언어로, 또는 다양한 다른 프로그래밍 언어들로 기입될 수 있다. 본 출원에서 사용된 바와 같이 프로그램 코드 또는 컴퓨터 관독 가능 저장 매체 상에 저장된 프로그램들은 포맷이 프로세서에 의해 이해가능한 (객체 코드와 같은) 머신 언어 코드를 지칭할 수 있다.

[0140] 전술한 방법 설명들 및 프로세스 플로우 다이어그램들은 단지 예시적인 예들로서 제공될 뿐이고, 다양한 실시형태들의 동작들이 제시된 순서로 수행되어야 함을 요구 또는 의미하도록 의도되지 않는다. 당업자에 의해 이해될 바와 같이, 전술한 실시형태들에서의 동작들의 순서는 임의의 순서로 수행될 수 있다. "그 이후", "이어서", "다음으로" 등과 같은 단어들은 동작들의 순서를 제한하도록 의도되지 않고; 이러한 단어들은 단순히, 방법들의 설명을 통해 독자를 가이드하기 위해 사용된다. 게다가, 예를 들어, 관사들 "a", "an" 또는 "the"를 사용하여 단수로의 청구항 엘리먼트들에 대한 임의의 언급은 그 엘리먼트를 단수로 한정하는 것으로 해석되지는

않는다.

[0141] 다양한 실시형태들과 관련하여 설명된 다양한 예시적인 논리 블록들, 모듈들, 회로들, 및 알고리즘 동작들은 전자 하드웨어, 컴퓨터 소프트웨어, 또는 이들 양자의 조합으로서 구현될 수도 있다. 하드웨어와 소프트웨어의 이러한 상호교환가능성을 명확하게 예시하기 위해, 다양한 예시적인 컴포넌트들, 블록들, 모듈들, 회로들, 및 동작들이 일반적으로 그들의 기능성의 관점에서 위에서 설명되었다. 이러한 기능성이 하드웨어로 구현되는지, 또는 소프트웨어로 구현되는지 여부는 특정 애플리케이션 및 전체 시스템에 대해 부과된 설계 제한들에 의존한다. 당업자들은 설명된 기능을 각각의 특정한 애플리케이션을 위한 다양한 방법들로 구현할 수도 있지만, 이러한 구현 관점들은 청구항들의 범위로부터의 이탈을 야기시키는 것으로 해석되지 않아야 한다.

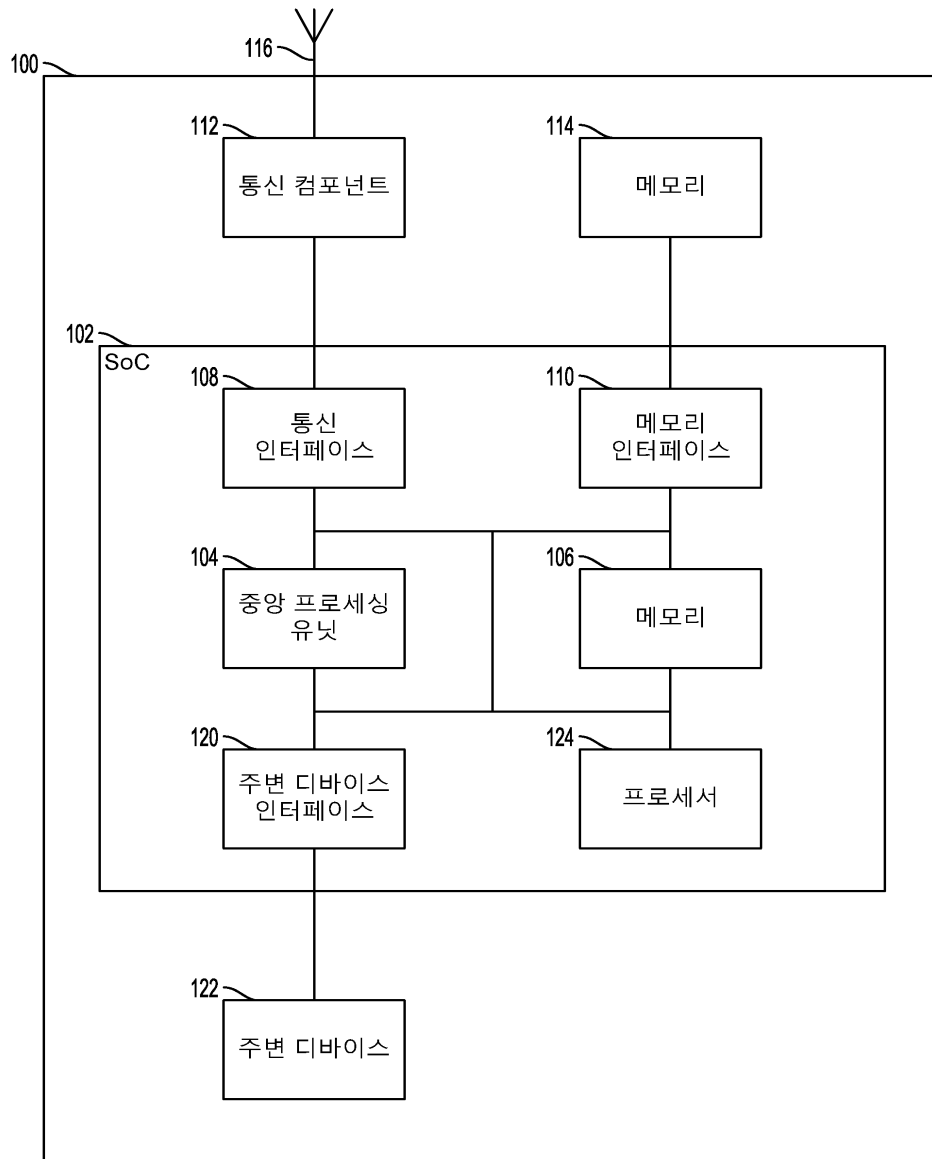
[0142] 본 명세서에 개시된 실시형태들과 관련하여 설명된 다양한 예시적인 로직들, 논리 블록들, 모듈들, 및 회로들을 구현하는데 사용되는 하드웨어는 범용 프로세서, 디지털 신호 프로세서(DSP), 주문형 집적 회로(ASIC), 필드 프로그래밍가능 게이트 어레이(FPGA) 또는 다른 프로그래밍가능 로직 디바이스, 이산 게이트 또는 트랜지스터 로직, 이산 하드웨어 컴포넌트들, 또는 본 명세서에서 설명된 기능들을 수행하도록 설계되는 이들의 임의의 조합으로 구현 또는 수행될 수 있다. 범용 프로세서는 마이크로프로세서일 수 있지만, 대안적으로, 프로세서는 임의의 종래의 프로세서, 제어기, 마이크로제어기, 또는 상태 머신일 수 있다. 프로세서는 또한 컴퓨팅 디바이스들의 조합, 예컨대, DSP와 마이크로프로세서의 조합, 복수의 마이크로프로세서들, DSP 코어와 조합된 하나 이상의 마이크로프로세서들, 또는 임의의 다른 그러한 구성으로서 구현될 수 있다. 대안적으로, 일부 동작들 또는 방법들은 주어진 기능에 특정된 회로부에 의해 수행될 수 있다.

[0143] 하나 이상의 실시형태들에서, 설명된 기능들은 하드웨어, 소프트웨어, 펌웨어, 또는 이들의 임의의 조합에서 구현될 수 있다. 소프트웨어에서 구현된다면, 그 기능들은 하나 이상의 명령들 또는 코드로서 비일시적 컴퓨터 판독가능 매체 또는 비일시적 프로세서 판독가능 매체 상에 저장될 수도 있다. 본 명세서에 개시된 방법 또는 알고리즘의 동작들은, 비일시적 컴퓨터 판독가능 또는 프로세서 판독가능 저장 매체 상에 상주할 수도 있는 프로세서 실행가능 소프트웨어 모듈에서 구현될 수도 있다. 비일시적 컴퓨터 판독가능 또는 프로세서 판독가능 저장 매체들은 컴퓨터 또는 프로세서에 의해 액세스될 수 있는 임의의 저장 매체들일 수 있다. 제한이 아닌 예로서, 그러한 비일시적 컴퓨터 판독가능 또는 프로세서 판독가능 매체들은 RAM, ROM, EEPROM, 플래시 메모리, CD-ROM 또는 다른 광학 디스크 저장, 자기 디스크 저장 또는 다른 자기 저장 디바이스들, 또는 원하는 프로그램 코드를 명령들 또는 데이터 구조들의 형태로 저장하는데 사용될 수 있고 컴퓨터에 의해 액세스될 수 있는 임의의 다른 매체를 포함할 수 있다. 본 명세서에서 사용된 디스크(disk) 및 디스크(disc)는 CD(compact disc), 레이저 디스크(disc), 광학 디스크(disc), DVD(digital versatile disc), 플로피 디스크(disk) 및 블루-레이 디스크(disc)를 포함하며, 여기서 디스크(disk)들은 일반적으로 데이터를 자기적으로 재생하지만, 디스크(disc)들은 레이저를 이용하여 광학적으로 데이터를 재생한다. 상기의 것들의 조합들이 또한 비일시적 컴퓨터 판독가능 및 프로세서 판독가능 매체들의 범위 내에 포함된다. 추가적으로, 방법 또는 알고리즘의 동작들은 컴퓨터 프로그램 제품에 통합될 수 있는, 비일시적 프로세서 판독가능 매체 및/또는 컴퓨터 판독가능 매체 상에 코드들 및/또는 명령들 중의 하나 또는 임의의 조합 또는 세트로서 상주할 수 있다.

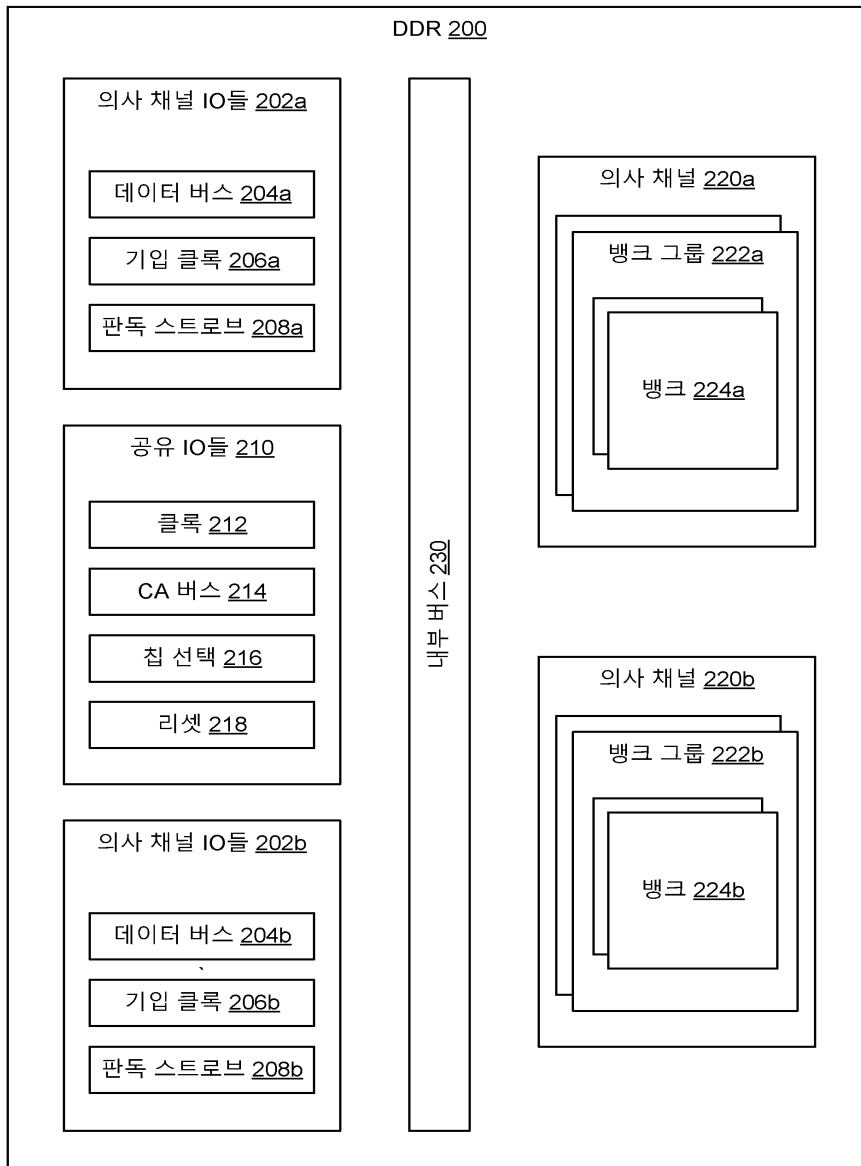
[0144] 개시된 실시형태들의 전술한 설명은 당업자로 하여금 청구항들을 작성 또는 이용하게 할 수 있도록 제공된다. 이들 실시형태들에 대한 다양한 수정들은 당업자에게 용이하게 자명할 것이며, 본 명세서에서 정의된 일반적 원리들은 청구항들의 범위로부터 이탈함없이 다른 실시형태들 및 구현들에 적용될 수도 있다. 따라서, 본 개시는 본 명세서에서 설명된 실시형태들 및 구현들로 제한되도록 의도되지 않으며, 본 명세서에 개시된 원리들 및 신규한 특징들 및 다음의 청구항들과 부합하는 최광의 범위를 부여받아야 한다.

도면

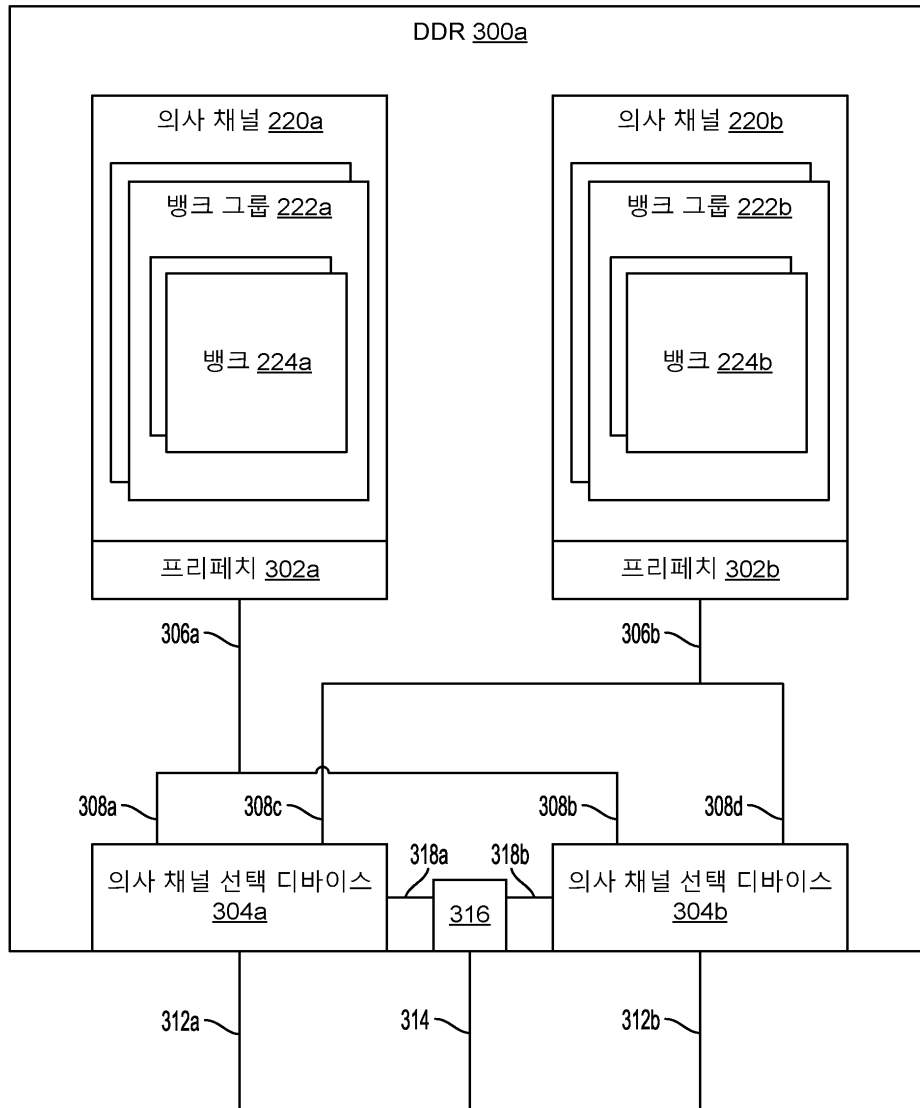
도면1



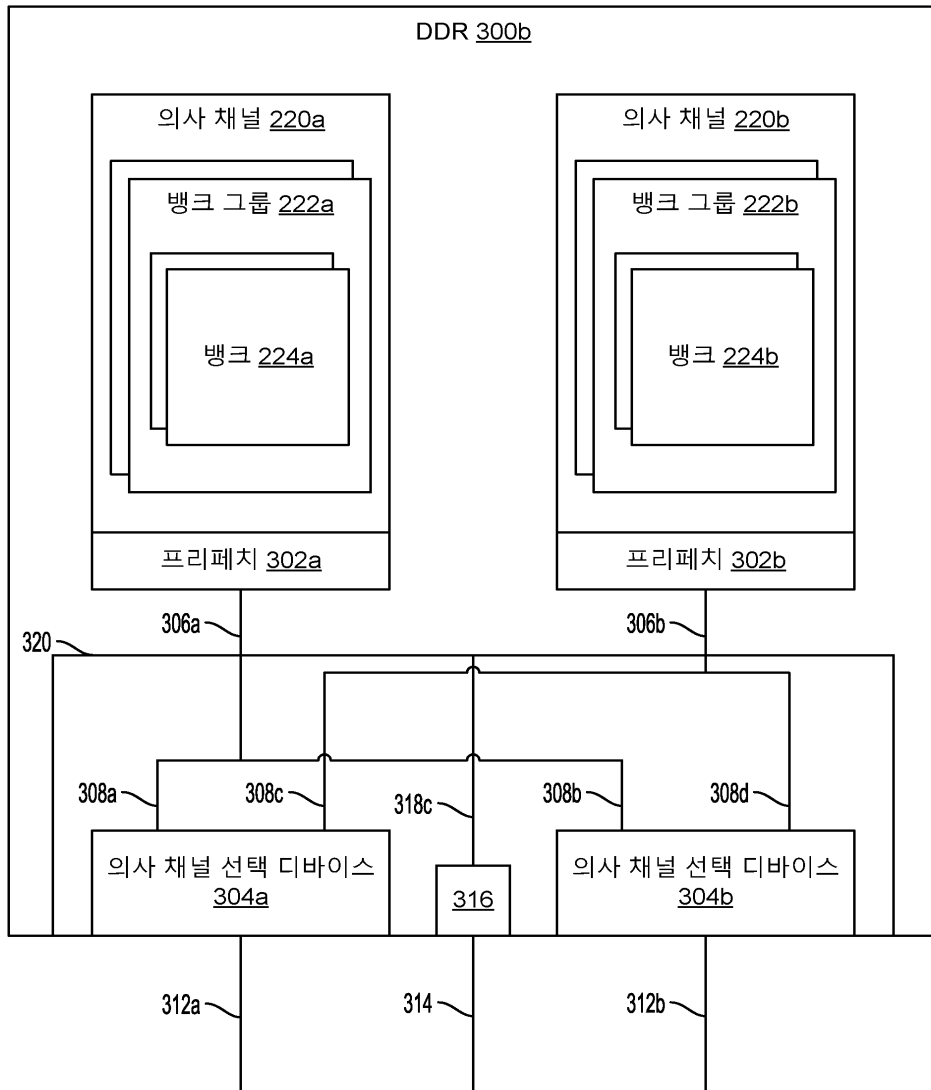
도면2



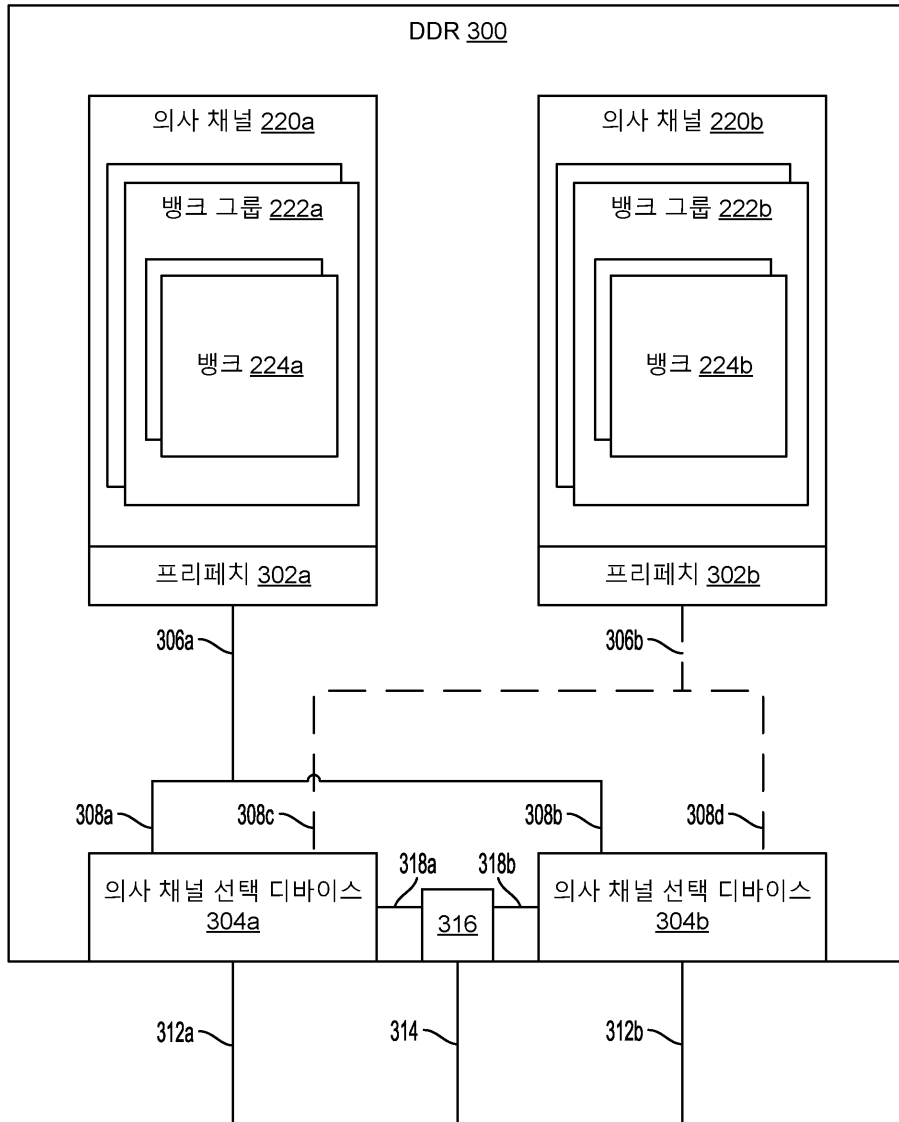
도면3a



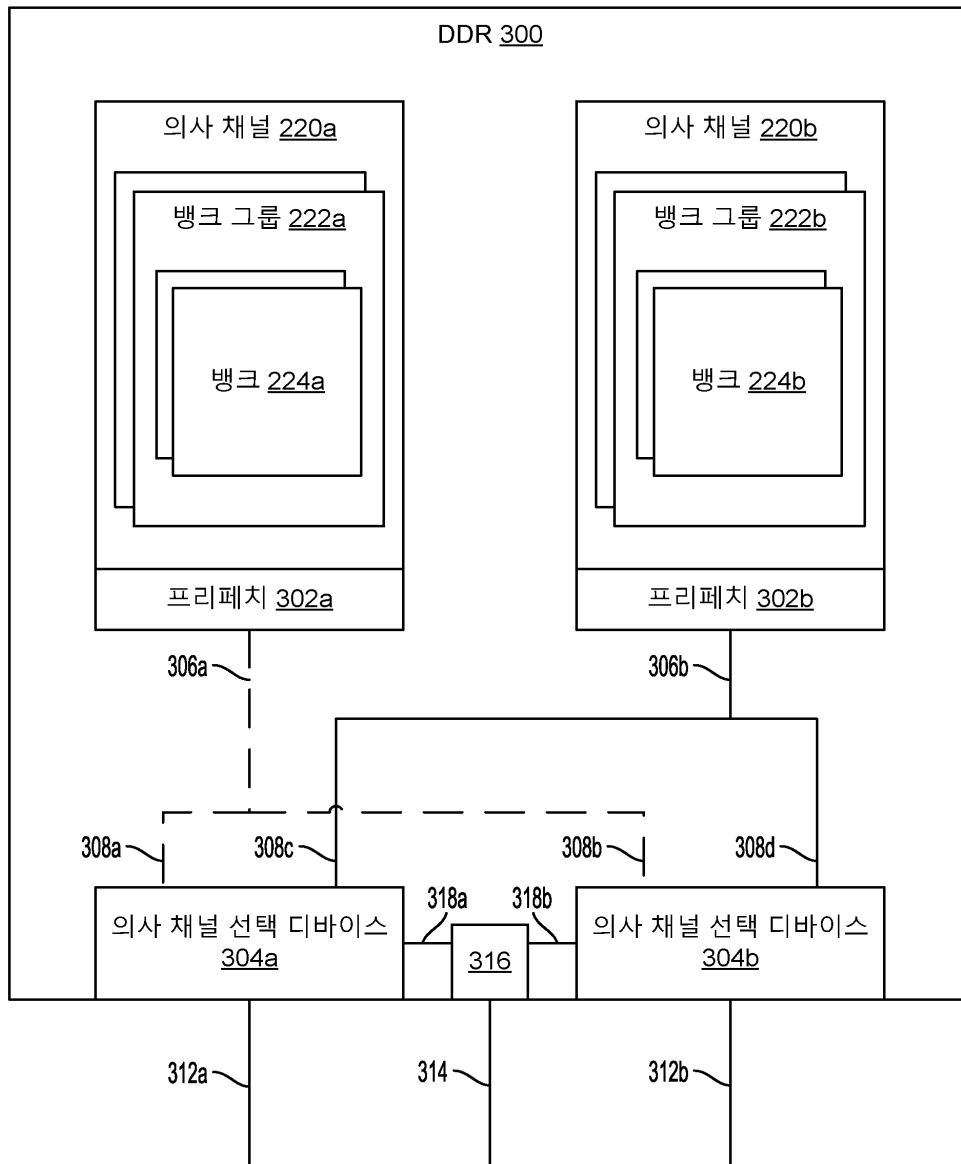
도면 3b



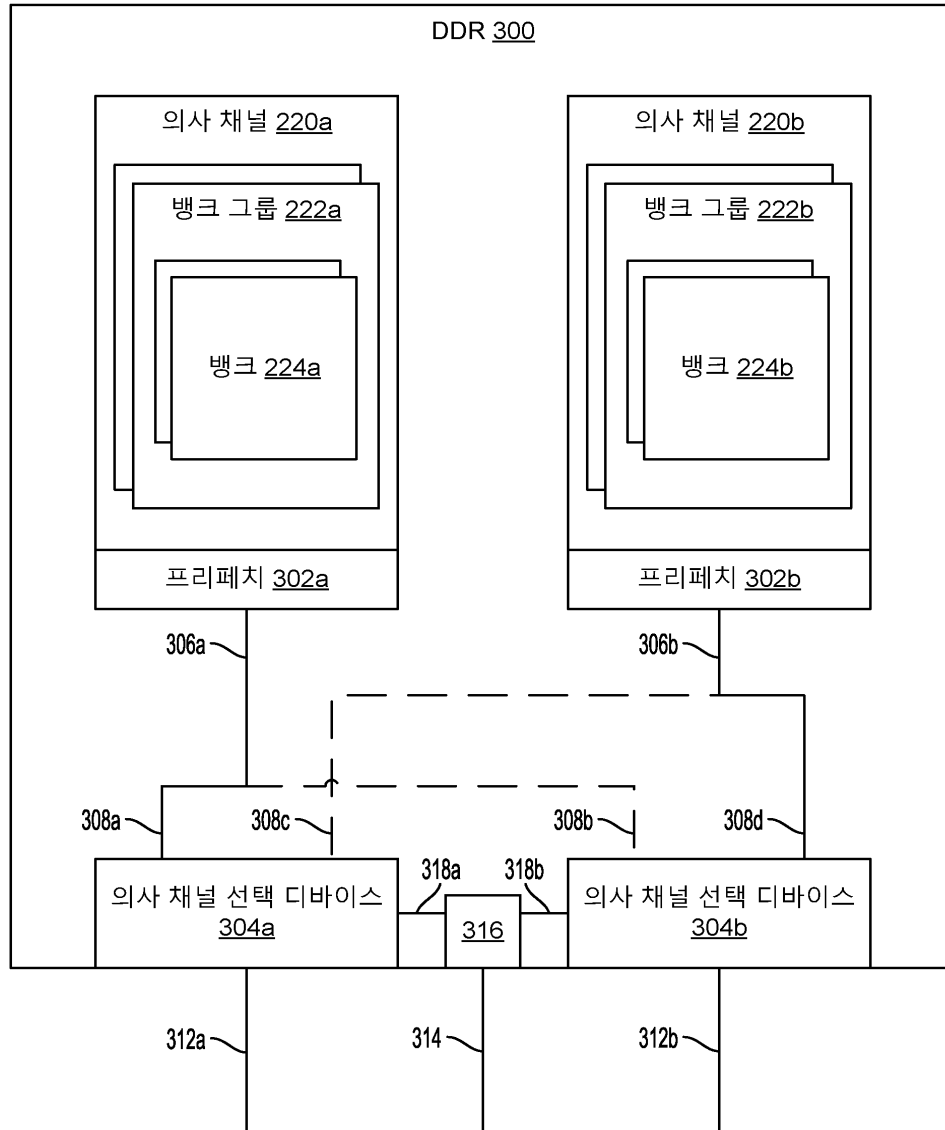
도면4a



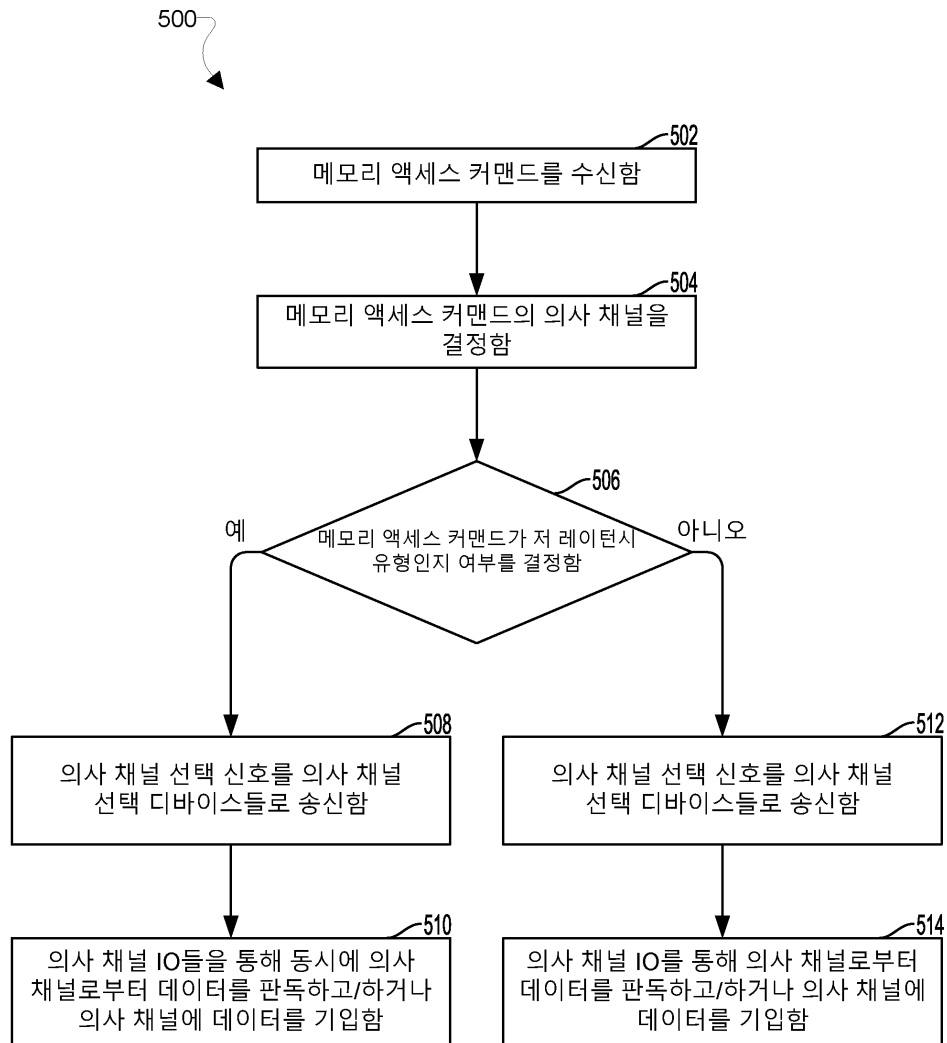
도면4b



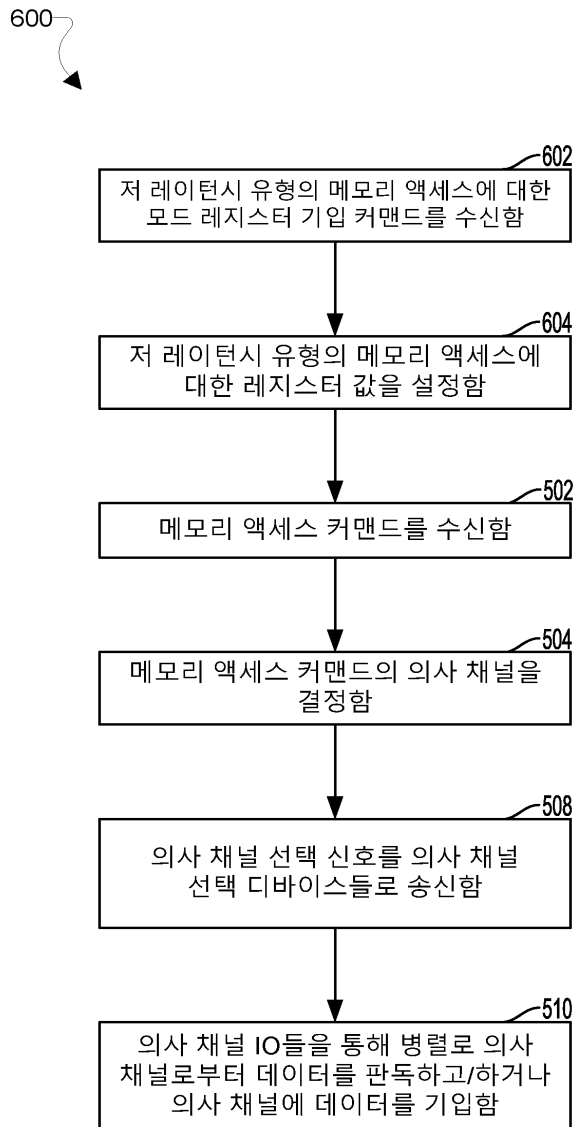
도면4c



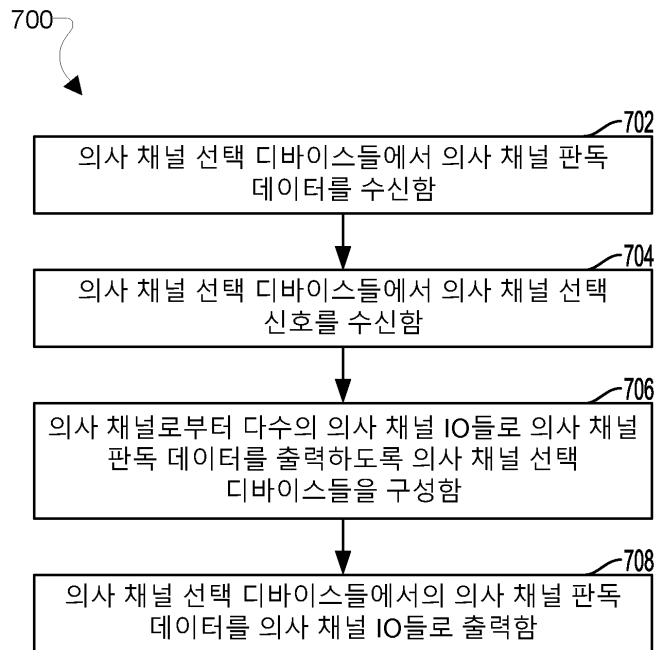
도면5



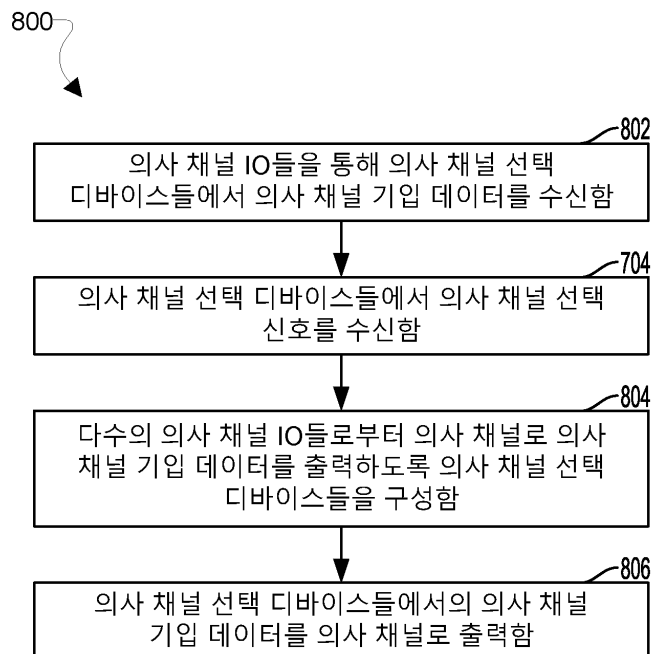
도면6



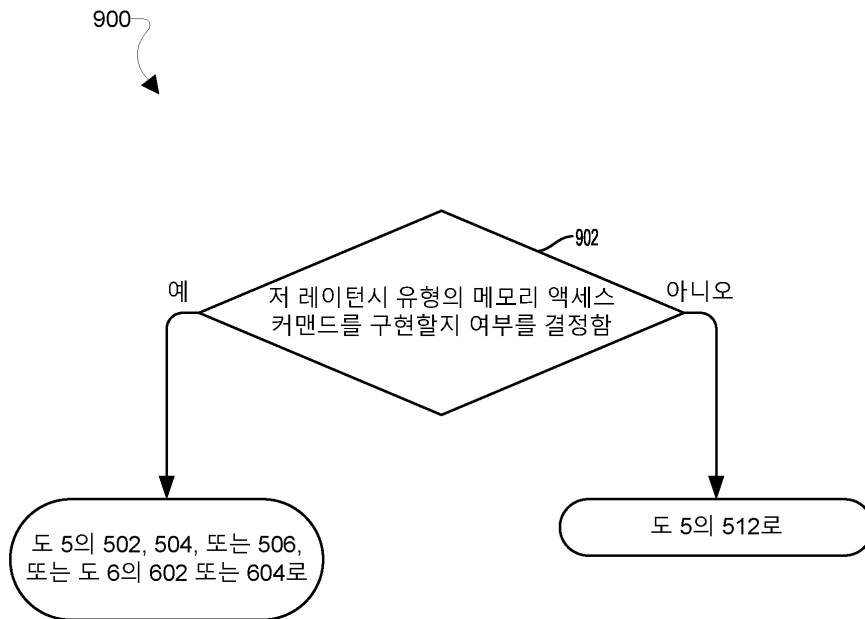
도면7



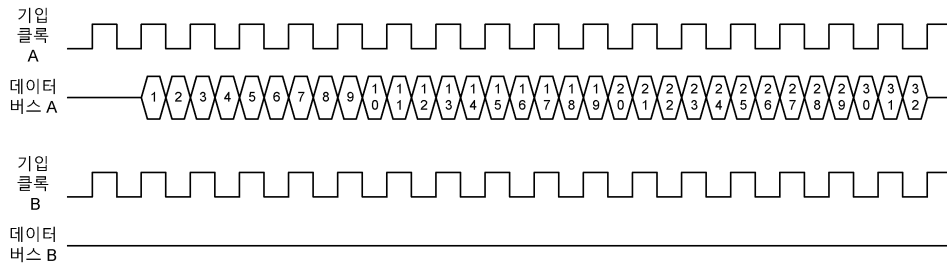
도면8



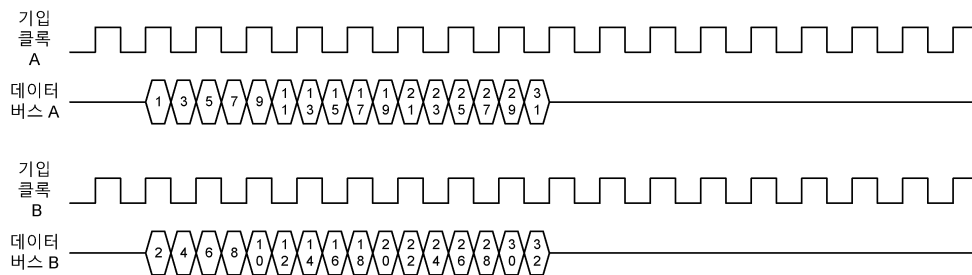
도면9



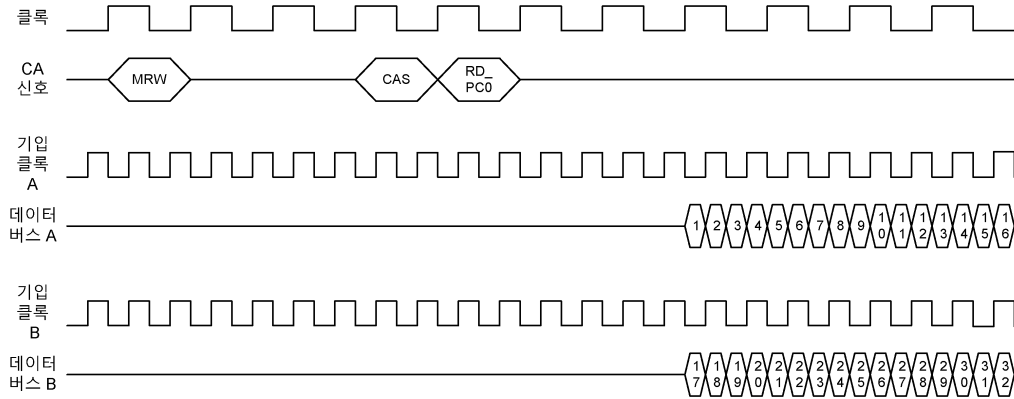
도면10a



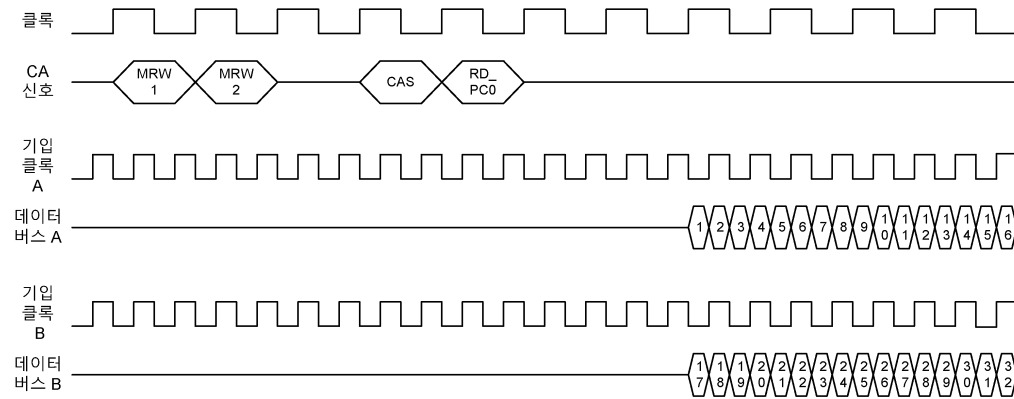
도면10b



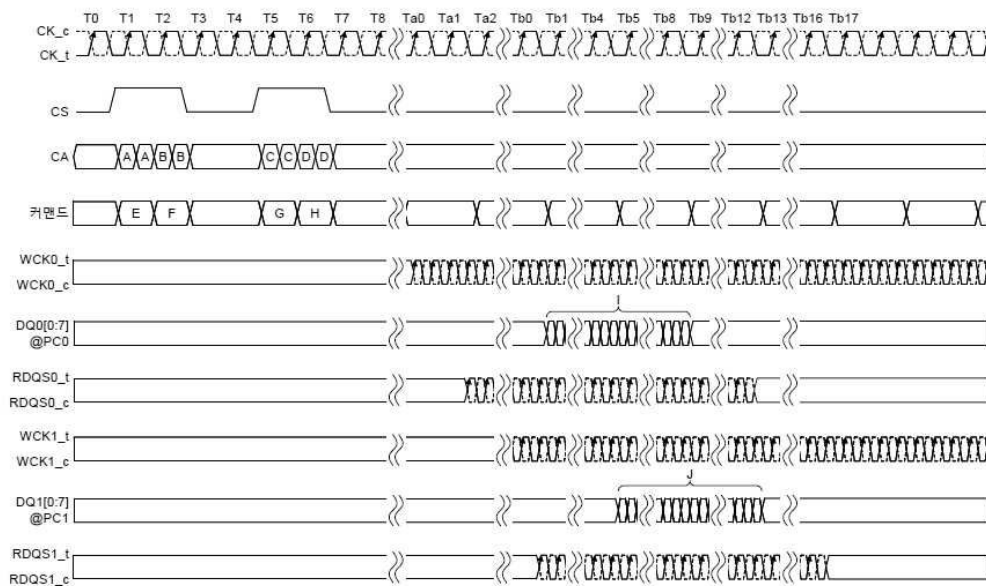
도면13a



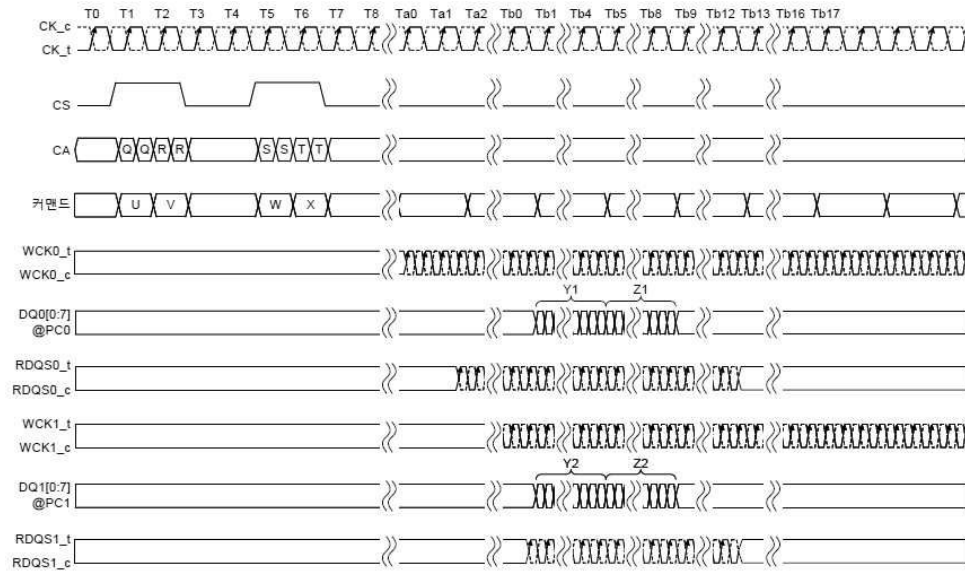
도면13b



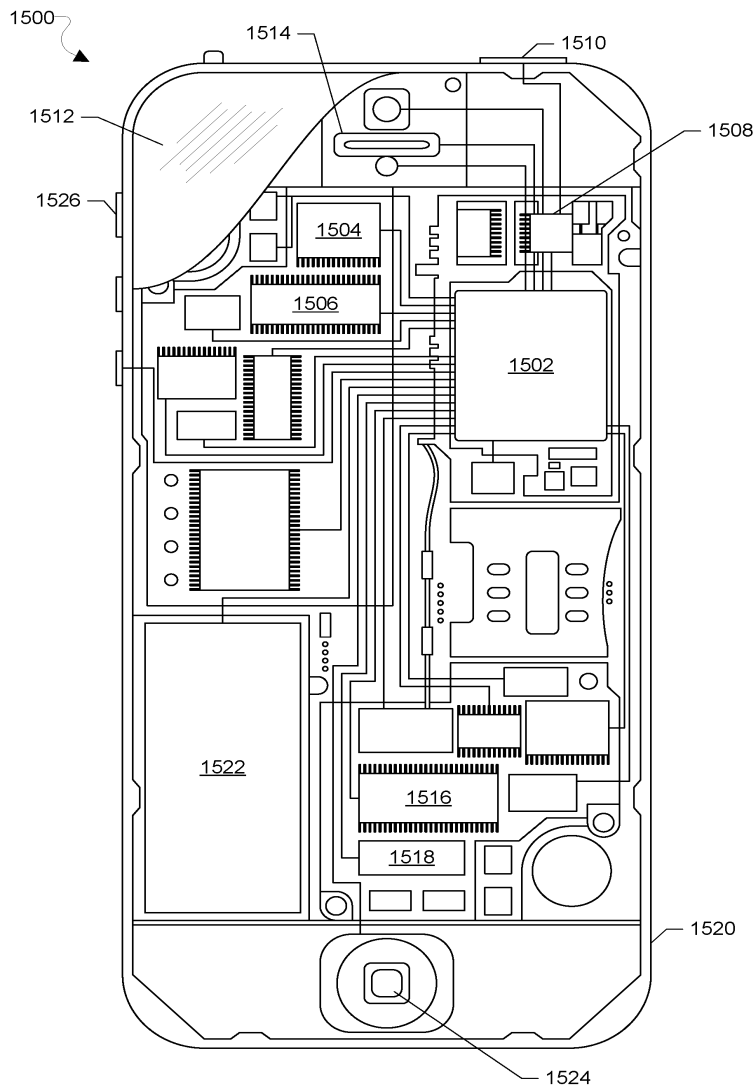
도면14a



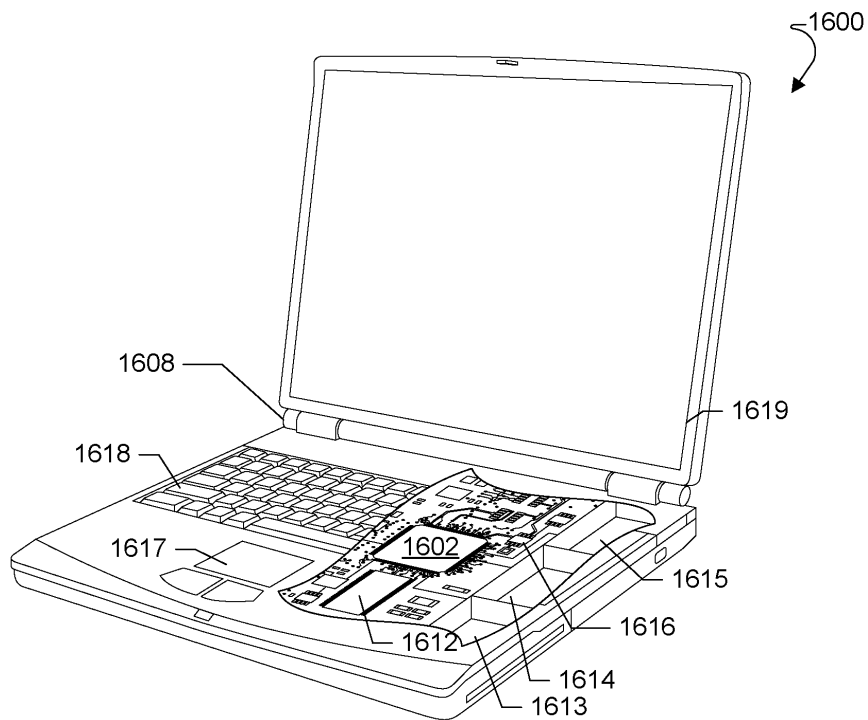
도면14b



도면15



도면16



도면17

