

(19)日本国特許庁(JP)

(12)特許公報(B2)

(11)特許番号  
特許第7577671号  
(P7577671)

(45)発行日 令和6年11月5日(2024.11.5)

(24)登録日 令和6年10月25日(2024.10.25)

(51)国際特許分類 F I  
 G 0 6 F 12/00 (2006.01) G 0 6 F 12/00 5 6 0 F  
 G 0 6 N 3/063(2023.01) G 0 6 N 3/063  
 G 1 1 C 11/54 (2006.01) G 1 1 C 11/54

請求項の数 3 (全66頁)

(21)出願番号	特願2021-546060(P2021-546060)	(73)特許権者	000153878 株式会社半導体エネルギー研究所 神奈川県厚木市長谷398番地
(86)(22)出願日	令和2年9月8日(2020.9.8)	(72)発明者	青木 健 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(86)国際出願番号	PCT/IB2020/058318	(72)発明者	上妻 宗広 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(87)国際公開番号	WO2021/053453	(72)発明者	藤田 雅史 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
(87)国際公開日	令和3年3月25日(2021.3.25)	(72)発明者	石津 貴彦 神奈川県厚木市長谷398番地 株式会 社半導体エネルギー研究所内
審査請求日	令和5年8月22日(2023.8.22)		
(31)優先権主張番号	特願2019-172147(P2019-172147)		
(32)優先日	令和1年9月20日(2019.9.20)		
(33)優先権主張国・地域又は機関	日本国(JP)		

最終頁に続く

(54)【発明の名称】 半導体装置

(57)【特許請求の範囲】

【請求項1】

メモリセルアレイと、マルチプレクサ回路と、演算回路と、を有する半導体装置であつて、

前記メモリセルアレイは、行列状に配置された $m \times n$ 個 ( $m$ 、 $n$ は2以上の整数)のメモリセルと、 $n$ 本のビット線と、を有し、

前記マルチプレクサ回路は、 $n$ 本の前記ビット線の中から $s$ 本 ( $s$ は2以上 $n$ 以下の整数)の前記ビット線を選択する機能と、 $s$ 本の前記ビット線を介して前記メモリセルアレイから出力された $s$ ビットの重み係数のデータを、前記演算回路に供給する機能と、を有し、

前記演算回路は、 $t$ 個 ( $t$ は1以上 $s$ 未満の整数)の積和演算器を有し、

前記演算回路は、 $t$ 個の前記積和演算器のそれぞれに、 $s$ ビットの前記重み係数のデータから $u$ ビット ( $u$ は2以上の整数、 $t \times u$ は $s$ 以下の整数)ずつ前記重み係数のデータを入力する機能を有し、

$t$ 個の前記積和演算器のそれぞれには、前記半導体装置の外部から入力された $u$ ビットの第2のデータが入力され、

$t$ 個の前記積和演算器のそれぞれにおいて、 $u$ ビットの前記重み係数のデータと、 $u$ ビットの前記第2のデータとを用いた演算処理が行われる、

半導体装置。

【請求項2】

請求項 1 において、  
前記メモリセルは、トランジスタを有し、  
前記トランジスタは、チャンネル形成領域に金属酸化物を有する、  
半導体装置。

【請求項 3】

請求項 2 において、  
前記金属酸化物は、インジウム及び亜鉛の少なくとも一方を含む、  
半導体装置。

【発明の詳細な説明】

【技術分野】

10

【0001】

本発明は、半導体装置に関する。特に、半導体特性を利用した記憶装置、および積和演算に関する。

【0002】

本明細書等において、半導体装置とは、半導体特性を利用した装置のことであり、例えば、半導体素子（トランジスタ、ダイオード、フォトダイオード等）、半導体素子を含む回路（半導体回路）、同回路を有する装置等のことである。また、例えば、半導体素子を含む集積回路、集積回路を備えたチップ、パッケージにチップを収納した電子部品、集積回路を備えた電子機器は、半導体装置の一例であり、演算装置、記憶装置、表示装置、撮像装置等は、半導体装置であると言える場合がある。

20

【0003】

なお、本発明の一形態は、上記の技術分野に限定されない。本明細書等で開示する発明の技術分野は、物、方法、または、製造方法に関するものである。または、本発明の一形態は、プロセス、マシン、マニファクチャ、または、組成物（コンポジション・オブ・マター）に関するものである。

【背景技術】

【0004】

近年、人工知能（Artificial Intelligence：AI）の普及が進んでいる。人工知能は、人間の知的ふるまいの一部を、ソフトウェア（またはハードウェア）を用いて人工的に再現しようとしたものであり、「機械学習」、「ディープラーニング」といった学習方法を用いて、大量のデータからものの特徴や概念を学習することができる。人工知能は、例えば、画像認識、病院での診断補助、言語処理、自動運転、道路や橋などインフラの劣化や損傷の検出、また囲碁やチェスなどのゲームにも用いられる。

30

【0005】

人工知能を実現するための技術として、ニューロンとシナプスで構成される神経回路網をモデルとしたニューラルネットワークが知られている。ニューラルネットワークでは、それぞれのニューロンに複数のデータが入力され、それぞれのデータは結合の強度を表す「重み係数」と掛け合わされ、その結果が足しあわされる。このように積和演算が行われ、得られた結果が閾値を超えたとき、ニューロンはハイレベルの信号を出力する。この現象は「発火」と呼ばれている。

40

【0006】

人工知能の普及が進んだ要因の一つとして、CPU（Central Processing Unit）やGPU（Graphics Processing Unit）などの演算装置、記憶装置等が高性能化し、大量のデータを高速に処理できるようになったことが挙げられる。半導体特性を利用した演算装置、記憶装置（メモリ、ともいう）、または演算装置と記憶装置が一体化したもの等を、本明細書等では半導体装置と呼ぶ。これら半導体装置の高性能化に関する技術開発が活発である。

【0007】

一方、トランジスタのチャンネル形成領域に酸化物半導体または金属酸化物を有するトランジスタ（酸化物半導体トランジスタ、OS（Oxide Semiconductor）

50

トランジスタ、ともいう)が注目されている。OSトランジスタは、トランジスタがオフ状態にあるときのドレイン電流(オフ電流、ともいう)が非常に小さい(例えば、非特許文献1、2、参照)特性を有し、例えば、OSトランジスタをDRAM(Dynamic Random Access Memory)のメモリセルに用いることで、容量素子に蓄積した電荷を長時間保持することができる。

【0008】

DRAMのメモリセルを、2個のトランジスタと1個の容量素子で構成してもよい。蓄積した電荷を近くのトランジスタで増幅することで、容量素子の容量が小さい場合でもメモリとしての動作を行うことができる(以後、ゲインセル型のメモリセルという)。また、OSトランジスタは薄膜法などの手法を用いて形成できるため、積層して設けることができる。例えば、単結晶シリコン基板に形成されたSiトランジスタを用いて第1の回路を構成し、その上方にOSトランジスタを用いて第2の回路を構成することができる。

10

【0009】

特許文献1には、周辺回路を構成した半導体基板上に、OSトランジスタを用いた複数のメモリセルを有する半導体装置の例が開示されている。特許文献2には、OSトランジスタとOSトランジスタ以外のトランジスタ(例えば、Siトランジスタ)を、ゲインセル型のメモリセル(容量素子は省略してもよい)に用いた例が開示されている。なお、本明細書等では、OSトランジスタを用いたゲインセル型のメモリセルを有する記憶装置または半導体装置を、NOSRAM(登録商標、Nonvolatile Oxide Semiconductor Random Access Memory)と呼ぶ。

20

【0010】

また、酸化物半導体では、単結晶でも非晶質でもないCAAC(c-axis aligned crystalline)構造、およびnc(nanocrystalline)構造が見出されている(非特許文献1及び非特許文献3、参照)。非特許文献1及び非特許文献3では、CAAC構造を有する酸化物半導体を用いてトランジスタを作製する技術が開示されている。

【先行技術文献】

【特許文献】

【0011】

【文献】特開2012-256820号公報

30

【文献】特開2012-256400号公報

【非特許文献】

【0012】

【文献】S. Yamazaki et al., "Properties of crystalline In-Ga-Zn-oxide semiconductor and its transistor characteristics," Jpn. J. Appl. Phys., vol. 53, 04ED18 (2014).

【文献】K. Kato et al., "Evaluation of Off-State Current Characteristics of Transistor Using Oxide Semiconductor Material, Indium-Gallium-Zinc Oxide," Jpn. J. Appl. Phys., vol. 51, 021201 (2012).

40

【文献】S. Yamazaki et al., "SID Symposium Digest of Technical Papers", 2012, volume 43, issue 1, p. 183 - 186

【発明の概要】

【発明が解決しようとする課題】

【0013】

人工知能の計算では、それぞれのニューロンに入力される複数のデータ、それぞれのデータが掛け合わされる「重み係数」など大量のデータを高速に扱う必要があり、演算装置と

50

メモリ間のデータ転送、およびデータ転送に要するエネルギーが課題の一つとなっていた。例えば、演算装置とメモリをなるべく近い距離で接続した半導体装置、演算装置とメモリ間を転送されるデータ量を削減した半導体装置、または演算装置が有する演算機能の一部をメモリ内に有する半導体装置等が望まれている。

【0014】

本発明の一形態は、演算装置とメモリを近い距離で接続した半導体装置を提供することを課題の一つとする。または、本発明の一形態は、演算装置とメモリ間を転送されるデータ量を削減した半導体装置を提供することを課題の一つとする。または、本発明の一形態は、演算装置とメモリ間のデータ転送に要するエネルギーを削減した半導体装置を提供することを課題の一つとする。または、本発明の一形態は、演算装置が有する演算機能の一部をメモリ内に有する半導体装置を提供することを課題の一つとする。

10

【0015】

なお、本発明の一形態は、必ずしも上記の課題の全てを解決する必要はなく、少なくとも一つの課題を解決できるものであればよい。また、上記の課題の記載は、他の課題の存在を妨げるものではない。これら以外の課題は、明細書、特許請求の範囲、図面などの記載から自ずと明らかになるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の課題を抽出することが可能である。

【課題を解決するための手段】

【0016】

本発明の一形態は、メモリセルアレイと、センスアンプ回路と、演算回路とを有する半導体装置である。メモリセルアレイは、 $m \times n$ 個 ( $m$ 、 $n$ は2以上の整数)のメモリセルと、少なくとも $n$ 本の配線とを有し、 $m \times n$ 個のメモリセルは、行列状に配置される。センスアンプ回路は、少なくとも $n$ 個の第1回路を有し、 $n$ 本の配線のそれぞれは、 $m$ 個のメモリセルと電氣的に接続され、 $n$ 本の配線は、 $n$ 個の第1回路とそれぞれ電氣的に接続される。演算回路は、 $s$ 個 ( $s$ は1以上 $n$ 以下の整数)の第2回路を有し、第2回路は、 $t$ 個 ( $t$ は1以上の整数、 $s \times t$ は $n$ 以下の整数)の第1回路とそれぞれ電氣的に接続され、第2回路は、第1回路が出力する信号を用いて演算を行う。

20

【0017】

本発明の一形態は、メモリセルアレイと、センスアンプ回路と、演算回路とを有する半導体装置である。半導体装置には第1信号が入力され、メモリセルアレイは、 $m \times n$ 個 ( $m$ 、 $n$ は2以上の整数)のメモリセルと、少なくとも $n$ 本の配線とを有し、 $m \times n$ 個のメモリセルは、行列状に配置される。センスアンプ回路は、少なくとも $n$ 個の第1回路を有し、 $n$ 本の配線のそれぞれは、 $m$ 個のメモリセルと電氣的に接続され、 $n$ 本の配線は、 $n$ 個の第1回路とそれぞれ電氣的に接続される。演算回路は、 $s$ 個 ( $s$ は1以上 $n$ 以下の整数)の第2回路を有し、第2回路は、 $t$ 個 ( $t$ は1以上の整数、 $s \times t$ は $n$ 以下の整数)の第1回路とそれぞれ電氣的に接続され、第2回路のそれぞれには、第1回路から第2信号が入力され、第2回路は、第1信号および第2信号を用いて演算を行う。

30

【0018】

また、上記形態において、 $s$ 個の第2回路は、並列演算を行う。

【0019】

また、上記形態において、メモリセルはトランジスタを有し、トランジスタは、チャンネル形成領域に金属酸化物を有する。

40

【0020】

また、上記形態において、第1回路および第2回路は、半導体基板に形成されたトランジスタを有し、メモリセルは、素子層に形成されたトランジスタを有し、素子層は半導体基板の上方に積層して設けられる。

【0021】

また、上記形態において、メモリセルが有するトランジスタは、チャンネル形成領域に金属酸化物を有する。

【0022】

50

また、本発明の一形態は、メモリセルアレイと、センスアンプ回路と、マルチプレクサ回路と、演算回路とを有する半導体装置である。メモリセルアレイは、 $m \times n$ 個 ( $m$ 、 $n$ は2以上の整数)のメモリセルと、少なくとも $n$ 本の配線とを有し、 $m \times n$ 個のメモリセルは、行列状に配置される。センスアンプ回路は、少なくとも $n$ 個の第1回路を有し、 $n$ 本の配線のそれぞれは、 $m$ 個のメモリセルと電氣的に接続され、 $n$ 本の配線は、 $n$ 個の第1回路とそれぞれ電氣的に接続される。マルチプレクサ回路は、 $n$ 本の配線の中から $s$ 本 ( $s$ は1以上 $n$ 以下の整数)の配線を選択し、 $s$ 本の配線と電氣的に接続された第1回路と、演算回路とを電氣的に接続する機能を有する。演算回路は、 $t$ 個 ( $t$ は1以上 $s$ 以下の整数)の第2回路を有し、第2回路は、 $u$ 個 ( $u$ は1以上の整数、 $t \times u$ は $s$ 以下の整数)の第1回路とそれぞれ電氣的に接続され、第2回路は、第1回路が出力する信号を用いて演算を行う。

10

【0023】

また、上記形態において、メモリセルはトランジスタを有し、トランジスタは、チャンネル形成領域に金属酸化物を有する。

【0024】

また、上記形態において、第1回路、マルチプレクサ回路、および第2回路は、半導体基板に形成されたトランジスタを有し、メモリセルは、素子層に形成されたトランジスタを有し、素子層は半導体基板の上方に積層して設けられる。

【0025】

また、上記形態において、メモリセルが有するトランジスタは、チャンネル形成領域に金属酸化物を有する。

20

【0026】

また、上記形態において、第2回路は積和演算を行う。

【発明の効果】

【0027】

本発明の一形態により、演算装置とメモリを近い距離で接続した半導体装置を提供することができる。または、本発明の一形態により、演算装置とメモリ間を転送されるデータ量を削減した半導体装置を提供することができる。または、本発明の一形態により、演算装置とメモリ間のデータ転送に要するエネルギーを削減した半導体装置を提供することができる。または、本発明の一形態により、演算装置が有する演算機能の一部をメモリ内に有する半導体装置を提供することができる。

30

【0028】

なお、これらの効果の記載は、他の効果の存在を妨げるものではない。また、本発明の一形態は、必ずしも、これらの効果の全てを有する必要はない。これら以外の効果は、明細書、特許請求の範囲、図面などの記載から自ずと明らかになるものであり、明細書、特許請求の範囲、図面などの記載から、これら以外の効果を抽出することが可能である。

【図面の簡単な説明】

【0029】

図1は、半導体装置の構成例を示す斜視概略図である。

図2は、半導体装置の構成例を示すブロック図である。

40

図3Aは、メモリセルアレイの構成例を示すブロック図である。図3B、図3Cは、メモリセルの構成例を示す回路図である。

図4は、回路147の構成例を示す回路図である。

図5は、メモリセルの動作例を説明するタイミングチャートである。

図6は、階層型ニューラルネットワークの構成例を示す模式図である。

図7は、ビット線プロセッサの構成例を示す回路図である。

図8は、半導体装置の構成例を示す断面図である。

図9A乃至図9Cは、トランジスタの構造例を示す断面図である。

図10Aは、トランジスタの構造例を示す上面図である。図10B、図10Cは、トランジスタの構造例を示す断面図である。

50

図 1 1 A は、トランジスタの構造例を示す上面図である。図 1 1 B、図 1 1 C は、トランジスタの構造例を示す断面図である。

図 1 2 A は、トランジスタの構造例を示す上面図である。図 1 2 B、図 1 2 C は、トランジスタの構造例を示す断面図である。

図 1 3 A は、トランジスタの構造例を示す上面図である。図 1 3 B、図 1 3 C は、トランジスタの構造例を示す断面図である。

図 1 4 A は、トランジスタの構造例を示す上面図である。図 1 4 B、図 1 4 C は、トランジスタの構造例を示す断面図である。

図 1 5 A は、トランジスタの構造例を示す上面図である。図 1 5 B、図 1 5 C は、トランジスタの構造例を示す断面図である。

10

図 1 6 A、図 1 6 B は、トランジスタの構造例を示す断面図である。

図 1 7 は、半導体装置の構成例を示す断面図である。

図 1 8 A、図 1 8 B は、トランジスタの構造例を示す断面図である。

図 1 9 A は、IGZO の結晶構造の分類を説明する図である。図 1 9 B は、CAAC - IGZO 膜の XRD スペクトルを説明する図である。図 1 9 C は、CAAC - IGZO 膜の極微電子線回折パターンを説明する図である。

【発明を実施するための形態】

【0030】

以下、実施の形態について図面を参照しながら説明する。但し、実施の形態は多くの異なる形態で実施することが可能であり、趣旨及びその範囲から逸脱することなくその形態及び詳細を様々に変更し得ることは、当業者であれば容易に理解される。従って、本発明は、以下の実施の形態の記載内容に限定して解釈されるものではない。

20

【0031】

また、以下に示される複数の実施の形態は、適宜組み合わせることが可能である。また、1つの実施の形態の中に複数の構成例が示される場合は、互いに構成例を適宜組み合わせることが可能である。

【0032】

なお、本明細書に添付した図面では、構成要素を機能ごとに分類し、互いに独立したブロックとしてブロック図を示しているが、実際の構成要素は機能ごとに完全に切り分けることが難しく、一つの構成要素が複数の機能に係わることもあり得る。

30

【0033】

また、図面等において、大きさ、層の厚さ、領域等は、明瞭化のため誇張されている場合がある。よって、必ずしもそのスケールに限定されない。図面は、理想的な例を模式的に示したものであり、図面に示す形状または値などに限定されない。

【0034】

また、図面等において、同一の要素または同様な機能を有する要素、同一の材質の要素、あるいは同時に形成される要素等には同一の符号を付す場合があり、その繰り返しの説明は省略する場合がある。

【0035】

また、本明細書等において、「膜」という用語と、「層」という用語とは、互いに入れ替えることが可能である。例えば、「導電層」という用語を、「導電膜」という用語に変更することが可能な場合がある。または、例えば、「絶縁膜」という用語を、「絶縁層」という用語に変更することが可能な場合がある。

40

【0036】

また、本明細書等において、「上」や「下」などの配置を示す用語は、構成要素の位置関係が、「直上」または「直下」であることを限定するものではない。例えば、「ゲート絶縁層上のゲート電極」の表現であれば、ゲート絶縁層とゲート電極との間に他の構成要素を含むものを除外しない。

【0037】

また、本明細書等において、「第 1」、「第 2」、「第 3」などの序数詞は、構成要素の

50

混同を避けるために付したものであり、数的に限定するものではない。

【 0 0 3 8 】

また、本明細書等において、複数の要素に同じ符号を用いる場合、特にそれらを区別する必要があるときは、符号に、「\_ 1」、「\_ 2」、「[ n ]」、「[ m , n ]」等、識別用の符号を付して記載する場合がある。例えば、2番目の配線 G L を、配線 G L [ 2 ] と記載する。

【 0 0 3 9 】

また、本明細書等において、「電氣的に接続」とは、「何らかの電氣的作用を有するもの」を介して接続されている場合が含まれる。ここで、「何らかの電氣的作用を有するもの」は、接続対象間での電気信号の授受を可能とするものであれば、特に制限を受けない。例えば、「何らかの電氣的作用を有するもの」には、電極や配線をはじめ、トランジスタなどのスイッチング素子、抵抗素子、インダクタ、容量素子、その他の各種機能を有する素子などが含まれる。また、「電氣的に接続」と表現される場合であっても、実際の回路において、物理的な接続部分がなく、配線が延在しているだけの場合もある。

10

【 0 0 4 0 】

また、本明細書等において、「電極」や「配線」の用語は、これらの構成要素を機能的に限定するものではない。例えば、「電極」は「配線」の一部として用いられることがあり、その逆も同様である。

【 0 0 4 1 】

また、本明細書等において、電気回路における「端子」とは、電流または電位の入力（または、出力）や、信号の受信（または、送信）が行なわれる部位を言う。よって、配線または電極の一部が端子として機能する場合がある。

20

【 0 0 4 2 】

一般に、「容量素子」は、2つの電極が絶縁体（誘電体）を介して向かい合う構成を有する。また、本明細書等において、「容量素子」は、2つの電極が絶縁体を介して向かい合う構成を有したものの他に、2本の配線が絶縁体を介して向かい合う構成を有したものの、または、2本の配線が絶縁体を介して配置されたもの、である場合が含まれる。

【 0 0 4 3 】

また、本明細書等において、「電圧」とは、ある電位と基準の電位（例えば、グラウンド電位）との電位差のことを示す場合が多い。よって、電圧と電位差とは言い換えることができる。

30

【 0 0 4 4 】

また、本明細書等において、トランジスタとは、ソースと、ドレインと、ゲートとを含む、少なくとも三つの端子を有する素子である。そして、ソース（ソース端子、ソース領域、または、ソース電極）とドレイン（ドレイン端子、ドレイン領域、または、ドレイン電極）の間にチャンネル形成領域を有しており、チャンネル形成領域を介して、ソースとドレインとの間に電流を流すことができるものである。なお、本明細書等において、チャンネル形成領域とは、電流が主として流れる領域をいう。

【 0 0 4 5 】

また、ソースやドレインの機能は、異なる極性のトランジスタを用いる場合や、回路動作において電流の方向が変化する場合などには入れ替わることがある。このため、本明細書等において、ソースやドレインの用語は、入れ替えて用いることができるものとする。

40

【 0 0 4 6 】

また、本明細書等において、特に断りがない場合、オフ電流とは、トランジスタがオフ状態（非導通状態、遮断状態、ともいう）にあるときのドレイン電流をいう。オフ状態とは、特に断りがない場合、nチャンネル型のトランジスタでは、ソースに対するゲートの電圧  $V_{gs}$  がしきい値電圧  $V_{th}$  よりも低い状態、pチャンネル型のトランジスタでは、ソースに対するゲートの電圧  $V_{gs}$  がしきい値電圧  $V_{th}$  よりも高い状態をいう。つまり、nチャンネル型のトランジスタのオフ電流とは、ソースに対するゲートの電圧  $V_{gs}$  がしきい値電圧  $V_{th}$  よりも低いときのドレイン電流、という場合がある。

50

## 【 0 0 4 7 】

上記オフ電流の説明において、ドレインをソースと読み替えてもよい。つまり、オフ電流は、トランジスタがオフ状態にあるときのソース電流をいう場合がある。また、オフ電流と同じ意味で、リーク電流という場合がある。また、本明細書等において、オフ電流とは、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

## 【 0 0 4 8 】

また、本明細書等において、オン電流とは、トランジスタがオン状態（導通状態、ともいう）にあるときに、ソースとドレインとの間に流れる電流を指す場合がある。

## 【 0 0 4 9 】

また、本明細書等において、金属酸化物（metal oxide）とは、広い意味での金属の酸化物である。金属酸化物は、酸化物絶縁体、酸化物導電体（透明酸化物導電体、を含む）、酸化物半導体などに分類される。

## 【 0 0 5 0 】

例えば、トランジスタのチャンネル形成領域に金属酸化物を用いた場合、当該金属酸化物を酸化物半導体と呼称する場合がある。つまり、金属酸化物が増幅作用、整流作用、およびスイッチング作用の少なくとも1つを有する場合、当該金属酸化物を、金属酸化物半導体（metal oxide semiconductor）と呼ぶことができる。すなわち、チャンネル形成領域に金属酸化物を有するトランジスタを、「酸化物半導体トランジスタ」、「OSTランジスタ」と呼ぶことができる。同様に、「酸化物半導体を用いたトランジスタ」も、チャンネル形成領域に金属酸化物を有するトランジスタである。

## 【 0 0 5 1 】

また、本明細書等において、窒素を有する金属酸化物も金属酸化物（metal oxide）と呼称する場合がある。また、窒素を有する金属酸化物を、金属酸窒化物（metal oxynitride）と呼称してもよい。金属酸化物の詳細については後述する。

## 【 0 0 5 2 】

## （実施の形態1）

本実施の形態では、本発明の一形態に係わる半導体装置の構成例および動作例について説明する。本発明の一形態に係わる半導体装置は、半導体特性を利用した記憶装置としての機能を有する。半導体特性を利用した記憶装置は、メモリとも呼ばれている。また、本発明の一形態に係わる半導体装置は、演算装置が有する演算機能の一部を有し、読み出したデータを用いて積和演算を行うことができる。

## 【 0 0 5 3 】

## &lt;半導体装置の斜視概略図&gt;

図1は、本発明の一形態に係わる半導体装置100の構成例を示す斜視概略図である。

## 【 0 0 5 4 】

半導体装置100は、層101および層102を有し、層101の上方に層102が積層して設けられた構造を有する。層101および層102には、それぞれ、半導体特性を利用することで機能し得る回路が設けられており、層101には周辺回路110が設けられ、層102にはメモリセルアレイ120が設けられている。なお、本明細書等で説明する図面においては、主な信号の流れを矢印または線で示しており、電源線等は省略する場合がある。

## 【 0 0 5 5 】

周辺回路110は、ローデコーダ131、ワード線ドライバ回路132、カラムデコーダ141、ビット線ドライバ回路142、演算回路150、および、コントロールロジック回路160を有する。なお、周辺回路110は、メモリセルアレイ120の駆動回路および制御回路としての機能と、演算機能とを有する。

## 【 0 0 5 6 】

周辺回路110は、半導体基板SUBに形成されたトランジスタを用いて構成できる。半導体基板SUBは、トランジスタのチャンネル領域を形成することが可能であれば、特に限

10

20

30

40

50

定されない。例えば、単結晶シリコン基板、単結晶ゲルマニウム基板、化合物半導体基板（SiC基板、GaN基板など）、SOI（Silicon on Insulator）基板などを用いることができる。

【0057】

SOI基板としては、例えば、鏡面研磨ウエハに酸素イオンを注入した後、高温加熱することにより、表面から一定の深さに酸化層を形成させるとともに、表面層に生じた欠陥を消滅させて形成されたSIMOX（Separation by Implanted Oxygen）基板や、水素イオン注入により形成された微小ボイドの熱処理による成長を利用して半導体基板を劈開するスマートカット法、ELTRAN法（登録商標：Epitaxial Layer Transfer）などを用いて形成されたSOI基板を用いることができる。単結晶基板を用いて形成されたトランジスタは、チャンネル形成領域に単結晶半導体を有する。

10

【0058】

また、周辺回路110を構成するトランジスタを、歪みシリコンを用いた基板に形成してもよい。歪みシリコンは、例えば、ゲルマニウムを添加したシリコン上にシリコン結晶層を形成し、前記シリコン結晶層におけるシリコン原子同士の間隔を広げることで、電子の移動度が高い特性を有する。

【0059】

本実施の形態では、半導体基板SUBに単結晶シリコン基板を用いた例について説明する。単結晶シリコン基板に形成されたトランジスタを、「Siトランジスタ」と呼ぶ。Siトランジスタを用いて構成された周辺回路110は、高速な動作が可能である。

20

【0060】

メモリセルアレイ120は複数のメモリセル121を有し、メモリセル121は、例えば、OSTランジスタを用いて構成できる。OSTランジスタは薄膜法などの手法を用いて形成できるため、メモリセルアレイ120は、半導体基板SUB上に積層して設けることができる。また、酸化半導体のバンドギャップは2.5eV以上、好ましくは3.0eV以上であるため、OSTランジスタは熱励起によるリーク電流が小さく、オフ電流が非常に小さい特性を有する。なお、オフ電流とは、トランジスタがオフ状態にあるときに、ソースとドレインとの間に流れる電流をいう。

【0061】

OSTランジスタのチャンネル形成領域に用いられる金属酸化物は、インジウム（In）および亜鉛（Zn）の少なくとも一方を含む酸化半導体であることが好ましい。このような酸化半導体としては、In-M-Zn酸化物（元素Mは、例えば、Al、Ga、Y、およびSnから選ばれる一つまたは複数）が代表的である。電子供与体（ドナー）となる水分、水素などの不純物を低減し、かつ酸素欠損も低減することで、酸化半導体をi型（真性）、または実質的にi型にすることができる。このような酸化半導体は、高純度化された酸化半導体と呼ぶことができる。OSTランジスタの詳細については、実施の形態2および実施の形態3で説明する。

30

【0062】

メモリセル121は、電荷を蓄積し保持することで、データを記憶する機能を有する。メモリセル121は、2値（ハイレベルまたはローレベル）のデータを記憶する機能を有していてもよいし、4値以上のデータを記憶する機能を有していてもよい。または、アナログデータを記憶する機能を有していてもよい。

40

【0063】

OSTランジスタは、オフ電流が非常に小さいため、メモリセル121に用いるトランジスタとして好適である。OSTランジスタは、例えば、ソースとドレインとの間の電圧が10Vの状態、チャンネル幅1μmあたりに規格化されたオフ電流を $10 \times 10^{-21} \text{ A}$ （10zeptoA）以下とすることが可能である。OSTランジスタをメモリセル121に用いることにより、メモリセル121に記憶したデータを長時間に渡って保持することができる。

50

## 【 0 0 6 4 】

OSトランジスタは、高温下でもオフ電流が増加しにくいいため、周辺回路110の発熱による高温下においても、メモリセル121に記憶したデータの消失が生じにくい。OSトランジスタを用いることで、半導体装置100の信頼性を高めることができる。また、OSトランジスタは、チャンネル形成領域にシリコンを有するトランジスタと同様の製造装置を用いて作製できるため、低コストでの作製が可能である。

## 【 0 0 6 5 】

図1に示すように、メモリセルアレイ120において、メモリセル121は行列状(マトリクス状、ともいう)に配置され、各メモリセル121は、配線WLおよび配線BLと電気的に接続されている。メモリセル121は、配線WLに印加される電位によって選択され、配線BLを介して選択されたメモリセル121にデータが書き込まれる。または、メモリセル121は、配線WLに印加される電位によって選択され、配線BLを介して選択されたメモリセル121からデータが読み出される。

10

## 【 0 0 6 6 】

すなわち、配線WLはメモリセル121のワード線としての機能を有し、配線BLはメモリセル121のビット線としての機能を有する。なお、図1には示されていないが、配線WLは、ワード線ww1およびワード線rw1から構成され、配線BLは、ビット線wb1およびビット線rb1から構成される(図2、図3A、参照)。

## 【 0 0 6 7 】

<半導体装置のブロック図>

20

図2は、半導体装置100の構成例を示すブロック図である。

## 【 0 0 6 8 】

半導体装置100は、周辺回路110およびメモリセルアレイ120を有する。周辺回路110は、ローデコーダ131、ワード線ドライバ回路132、カラムデコーダ141、ビット線ドライバ回路142、演算回路150、および、コントロールロジック回路160を有する。メモリセルアレイ120は、メモリセル121、ワード線ww1、ワード線rw1、ビット線wb1、およびビット線rb1を有する。

## 【 0 0 6 9 】

半導体装置100には、電位Vss、電位Vdd、電位Vdh、およびレファレンス電位Vrefが入力される。電位Vdhは、ワード線ww1の高電源電位である。

30

## 【 0 0 7 0 】

半導体装置100には、クロック信号CLK、チップイネーブル信号CE、グローバル書き込みイネーブル信号GW、バイト書き込みイネーブル信号BW、アドレス信号ADDR、データ信号WDATA、および信号Aが入力され、半導体装置100は、データ信号RDATAを出力する。なお、これらの信号は、ハイレベルまたはローレベル(HighまたはLow、HまたはL、1または0等で表される場合がある)で表されるデジタル信号である。バイト書き込みイネーブル信号BW、アドレス信号ADDR、データ信号WDATA、データ信号RDATA、および信号Aは、複数ビットを有する信号である。

## 【 0 0 7 1 】

本明細書等では、複数ビットを有する信号に対して、例えば、バイト書き込みイネーブル信号BWが4ビットを有する場合、バイト書き込みイネーブル信号BW[3:0]と表記する。これは、バイト書き込みイネーブル信号がBW[0]乃至BW[3]を有することを意味し、1つのビットを特定する必要がある場合、例えば、バイト書き込みイネーブル信号BW[0]と表記する。また、バイト書き込みイネーブル信号BWと表記した場合、任意のビットを指している。

40

## 【 0 0 7 2 】

例えば、バイト書き込みイネーブル信号BWを4ビット、データ信号WDATAおよびデータ信号RDATAを32ビットとすることができる。すなわち、バイト書き込みイネーブル信号BW、データ信号WDATA、およびデータ信号RDATAは、それぞれ、バイト書き込みイネーブル信号BW[3:0]、データ信号WDATA[31:0]、データ

50

信号 R D A T A [ 3 1 : 0 ] と表記される。

【 0 0 7 3 】

なお、半導体装置 1 0 0 において、上述の各回路、各電位、および各信号は、必要に応じて取捨することができる。あるいは、他の回路、他の電位、または他の信号を追加してもよい。

【 0 0 7 4 】

コントロールロジック回路 1 6 0 は、チップイネーブル信号 C E、グローバル書き込みイネーブル信号 G W を処理して、ローデコーダ 1 3 1、カラムデコーダ 1 4 1 の制御信号を生成する。例えば、チップイネーブル信号 C E がハイレベル、グローバル書き込みイネーブル信号 G W がローレベルの場合、ローデコーダ 1 3 1 およびカラムデコーダ 1 4 1 は読み出し動作を行い、チップイネーブル信号 C E がハイレベル、グローバル書き込みイネーブル信号 G W がハイレベルの場合、ローデコーダ 1 3 1 およびカラムデコーダ 1 4 1 は書き込み動作を行い、チップイネーブル信号 C E がローレベルの場合、グローバル書き込みイネーブル信号 G W のハイレベル、ローレベルにかかわらず、ローデコーダ 1 3 1 およびカラムデコーダ 1 4 1 はスタンバイ動作とすることができる。コントロールロジック回路 1 6 0 が処理する信号は、これに限定されるものではなく、必要に応じて他の信号を入力してもよい。

【 0 0 7 5 】

また、コントロールロジック回路 1 6 0 は、バイト書き込みイネーブル信号 B W [ 3 : 0 ] を処理して、書き込み動作を制御する。具体的には、バイト書き込みイネーブル信号 B W [ 0 ] がハイレベルの場合、ローデコーダ 1 3 1 およびカラムデコーダ 1 4 1 は、データ信号 W D A T A [ 7 : 0 ] の書き込み動作を行う。同様に、バイト書き込みイネーブル信号 B W [ 1 ] がハイレベルの場合、データ信号 W D A T A [ 1 5 : 8 ] の書き込み動作、バイト書き込みイネーブル信号 B W [ 2 ] がハイレベルの場合、データ信号 W D A T A [ 2 3 : 1 6 ] の書き込み動作、バイト書き込みイネーブル信号 B W [ 3 ] がハイレベルの場合、データ信号 W D A T A [ 3 1 : 2 4 ] の書き込み動作を行う。

【 0 0 7 6 】

ローデコーダ 1 3 1 およびカラムデコーダ 1 4 1 には、上述したコントロールロジック回路 1 6 0 が生成する制御信号に加えて、アドレス信号 A D D R が入力される。

【 0 0 7 7 】

ローデコーダ 1 3 1 は、アドレス信号 A D D R をデコードし、ワード線ドライバ回路 1 3 2 の制御信号を生成する。ワード線ドライバ回路 1 3 2 は、ワード線 w w 1、ワード線 r w 1 を駆動する機能を有する。ワード線ドライバ回路 1 3 2 は、ローデコーダ 1 3 1 の制御信号に基づき、アクセス対象行のワード線 w w 1 またはワード線 r w 1 を選択する。また、メモリセルアレイ 1 2 0 が、複数のブロックに分割されている場合、プレデコーダ 1 3 3 を設けてもよい。プレデコーダ 1 3 3 は、アドレス信号 A D D R をデコードし、アクセスされるブロックを決定する機能を有する。

【 0 0 7 8 】

カラムデコーダ 1 4 1 およびビット線ドライバ回路 1 4 2 は、データ信号 W D A T A により入力されたデータをメモリセルアレイ 1 2 0 に書き込む機能、メモリセルアレイ 1 2 0 からデータを読み出す機能、および読み出したデータを増幅し演算回路 1 5 0 に出力する機能等を有する。

【 0 0 7 9 】

演算回路 1 5 0 は、メモリセルアレイ 1 2 0 から読み出されたデータを、データ信号 R D A T A として半導体装置 1 0 0 から出力する機能、および信号 A により入力されたデータとメモリセルアレイ 1 2 0 から読み出されたデータを用いて積和演算を行い、その結果をデータ信号 R D A T A として出力する機能等を有する。演算回路 1 5 0 については後述する。

【 0 0 8 0 】

また、ビット線ドライバ回路 1 4 2 は、プリチャージ回路 1 4 3、センスアンプ回路 1 4

10

20

30

40

50

4、出力M U X (マルチプレクサ)回路145、および書き込みドライバ回路146を有する。プリチャージ回路143、センスアンプ回路144、出力M U X回路145、および書き込みドライバ回路146については後述する。

【0081】

<メモリセルアレイ、メモリセル>

図3Aは、メモリセルアレイ120の構成例を示すブロック図である。メモリセルアレイ120は、一列に $m$  ( $m$ は2以上の整数)個、一行に $n$  ( $n$ は2以上の整数)個、合計 $m \times n$ 個のメモリセル121を有する。メモリセル121は行列状に配置されている。

【0082】

図3Aに示す、 $[1, 1]$ 、 $[i, 1]$ 、 $[m, 1]$ 、 $[1, j]$ 、 $[i, j]$ 、 $[m, j]$ 、 $[1, n]$ 、 $[i, n]$ 、 $[m, n]$  ( $i$ は1以上 $m$ 以下の整数、 $j$ は1以上 $n$ 以下の整数)は、メモリセル121のアドレスである。例えば、 $[i, j]$ と表記されたメモリセル121は、 $i$ 行 $j$ 列目のメモリセル121である。

10

【0083】

また、メモリセルアレイ120は、 $n$ 本のビット線 $w b l$  ( $w b l(1)$ 乃至 $w b l(n)$ )、 $n$ 本のビット線 $r b l$  ( $r b l(1)$ 乃至 $r b l(n)$ )、 $m$ 本のワード線 $w w l$  ( $w w l(1)$ 乃至 $w w l(m)$ )、および $m$ 本のワード線 $r w l$  ( $r w l(1)$ 乃至 $r w l(m)$ )を有する。

【0084】

個々のメモリセル121は、ビット線 $w b l$ 、ビット線 $r b l$ 、ワード線 $w w l$ 、およびワード線 $r w l$ と電氣的に接続されている。例えば、アドレスが $[i, j]$ のメモリセル121は、ワード線 $w w l(i)$ およびワード線 $r w l(i)$ を介してワード線ドライバ回路132と電氣的に接続され、ビット線 $w b l(j)$ およびビット線 $r b l(j)$ を介してビット線ドライバ回路142と電氣的に接続される。

20

【0085】

図3Bは、メモリセル121の構成例を示す回路図である。

【0086】

メモリセル121は、トランジスタ $M 1 1$ と、トランジスタ $M 1 2$ を有する。トランジスタ $M 1 1$ のソースまたはドレインの一方は、トランジスタ $M 1 2$ のゲートと電氣的に接続され、トランジスタ $M 1 1$ のソースまたはドレインの他方は、ビット線 $w b l$ と電氣的に接続され、トランジスタ $M 1 1$ のゲートは、ワード線 $w w l$ と電氣的に接続される。また、トランジスタ $M 1 2$ のソースまたはドレインの一方は、ビット線 $r b l$ と電氣的に接続され、トランジスタ $M 1 2$ のソースまたはドレインの他方は、ワード線 $r w l$ と電氣的に接続される。ここで、トランジスタ $M 1 1$ のソースまたはドレインの一方と、トランジスタ $M 1 2$ のゲートが電氣的に接続された接続部をノード $N 1 1$ と呼称する。

30

【0087】

また、メモリセル121は、容量素子 $C 1 1$ を有していてもよい。メモリセル121が容量素子 $C 1 1$ を有する場合の構成例を、図3Cに示す。容量素子 $C 1 1$ の一方の端子は、ノード $N 1 1$ と電氣的に接続され、容量素子 $C 1 1$ の他方の端子は、配線 $C A L$ と電氣的に接続される。配線 $C A L$ は、容量素子 $C 1 1$ の他方の端子に所定の電位を印加するための配線として機能する。

40

【0088】

なお、本明細書等において、構成要素間の信号や電位の入出力を説明するために、「端子」といった表現を用いているが、実際の回路において「端子」といった物理的な接続部分は存在せず、配線または電極等によって電氣的に接続されているだけの場合がある。

【0089】

メモリセル121において、ビット線 $w b l$ は書き込みビット線として機能し、ビット線 $r b l$ は読み出しビット線として機能し、ワード線 $w w l$ は書き込みワード線として機能し、ワード線 $r w l$ は読み出しワード線として機能する。トランジスタ $M 1 1$ は、ノード $N 1 1$ とビット線 $w b l$ とを、導通または非導通とするスイッチとしての機能を有する。

50

## 【 0 0 9 0 】

データの書き込みは、ワード線  $w w 1$  にハイレベルの電位を印加してトランジスタ  $M 1 1$  を導通状態とし、ノード  $N 1 1$  とビット線  $w b 1$  とを電氣的に接続することによって行われる。具体的には、トランジスタ  $M 1 1$  が導通状態のとき、ビット線  $w b 1$  に書き込むデータに対応する電位を印加し、ノード  $N 1 1$  に該電位を書き込む。その後、ワード線  $w w 1$  にローレベルの電位を印加し、トランジスタ  $M 1 1$  を非導通状態とすることによって、ノード  $N 1 1$  の電位を保持する。

## 【 0 0 9 1 】

データの読み出しは、ビット線  $r b 1$  に所定の電位を印加し、その後、ビット線  $r b 1$  を電氣的に浮遊（フローティング）状態とし、かつワード線  $r w 1$  にローレベルの電位を印加することによって行われる。以後、ビット線  $r b 1$  に所定の電位を印加し、その後、ビット線  $r b 1$  をフローティング状態とすることを、ビット線  $r b 1$  をプリチャージする、と表現する。

## 【 0 0 9 2 】

例えば、ビット線  $r b 1$  に電位  $V d d$  をプリチャージすることで、トランジスタ  $M 1 2$  はソースとドレインとの間に電位差を有し、トランジスタ  $M 1 2$  のソースとドレインとの間に流れる電流は、ノード  $N 1 1$  に保持されている電位によって決められる。そのため、ビット線  $r b 1$  がフローティング状態のときの、ビット線  $r b 1$  の電位変化を読み出すことによって、ノード  $N 1 1$  に保持されている電位を読み出すことができる。

## 【 0 0 9 3 】

データを書き込むメモリセル  $1 2 1$  が配置されている行は、ワード線  $w w 1$  にハイレベルの電位を印加することによって選択され、データを読み出すメモリセル  $1 2 1$  が配置されている行は、ワード線  $r w 1$  にローレベルの電位を印加することによって選択される。逆に、データを書き込まないメモリセル  $1 2 1$  が配置されている行は、ワード線  $w w 1$  にローレベルの電位を印加し、データを読み出さないメモリセル  $1 2 1$  が配置されている行は、ワード線  $r w 1$  にビット線  $r b 1$  をプリチャージする電位と同じ電位を印加することで、非選択とすることができる。

## 【 0 0 9 4 】

トランジスタ  $M 1 1$  およびトランジスタ  $M 1 2$  には、 $O S$  トランジスタを用いることができる。 $O S$  トランジスタはオフ電流が非常に小さいため、トランジスタ  $M 1 1$  に  $O S$  トランジスタを用いることで、ノード  $N 1 1$  に書き込んだ電位を長時間保持することができる。つまり、メモリセル  $1 2 1$  に書き込んだデータを長時間保持することができる。

## 【 0 0 9 5 】

または、トランジスタ  $M 1 1$  に  $O S$  トランジスタを用いることで、メモリセル  $1 2 1$  は、容量素子  $C 1 1$  の容量を小さくすることができる。または、トランジスタ  $M 1 1$  に  $O S$  トランジスタを用いることで、メモリセル  $1 2 1$  は、容量素子  $C 1 1$  を有さない構成とすることができる（図 3 B、参照）。メモリセル  $1 2 1$  が容量素子  $C 1 1$  を有さない場合、ノード  $N 1 1$  に書き込まれた電位は、トランジスタ  $M 1 2$  のゲート容量等によって保持される。

## 【 0 0 9 6 】

トランジスタ  $M 1 2$  に用いるトランジスタは、特に限定されない。トランジスタ  $M 1 2$  に  $O S$  トランジスタ、 $S i$  トランジスタ、またはその他のトランジスタを用いてもよいが、トランジスタ  $M 1 1$  およびトランジスタ  $M 1 2$  に  $O S$  トランジスタを用いることで、メモリセルアレイ  $1 2 0$  は、周辺回路  $1 1 0$  に積層して設けることができる。

## 【 0 0 9 7 】

トランジスタ  $M 1 1$  およびトランジスタ  $M 1 2$  は、バックゲート（第 2 のゲート、ボトムゲート、ともいう）を有していてもよい。例えば、トランジスタ  $M 1 1$  がバックゲートを有する場合、トランジスタ  $M 1 1$  のバックゲートに所定の電位を印加することで、トランジスタ  $M 1 1$  のしきい値電圧を増減することができる。または、トランジスタ  $M 1 1$  のバックゲートを、トランジスタ  $M 1 1$  のゲート（バックゲートに対して、第 1 のゲート、ト

10

20

30

40

50

ップゲート、フロントゲート、ともいう)と電氣的に接続することで、トランジスタM11のオン電流を大きくすることができる。

【0098】

具体的には、トランジスタM11およびトランジスタM12のバックゲートに印加する電位を高くすることで、しきい値電圧はマイナスにシフトし、トランジスタM11およびトランジスタM12のバックゲートに印加する電位を低くすることで、しきい値電圧はプラスにシフトする。しきい値電圧をマイナスにシフトすることで、トランジスタのオン電流を増加することができ、メモリセル121は高速動作を行うことができる。しきい値電圧をプラスにシフトすることで、トランジスタのオフ電流を低減することができ、メモリセル121はデータを長時間保持することができる。または、トランジスタM11およびトランジスタM12のバックゲートに異なる電位を印加してもよい。例えば、トランジスタM11のバックゲートに印加する電位を低くし、トランジスタM12のバックゲートに印加する電位を高くしてもよい。

10

【0099】

もしくは、トランジスタM11およびトランジスタM12に、OSトランジスタ以外のトランジスタを用いてもよい。トランジスタM11およびトランジスタM12には、オフ電流が小さなトランジスタが好ましく、例えば、チャンネル形成領域にバンドギャップが大きい半導体を有するトランジスタを用いることができる。バンドギャップが大きい半導体とは、バンドギャップが2.2 eV以上の半導体を指す場合があり、例えば、炭化ケイ素、窒化ガリウム、ダイヤモンドなどが挙げられる。

20

【0100】

メモリセル121は2トランジスタ、または、2トランジスタ1容量素子で構成されるゲインセル型のメモリセルである。ゲインセル型のメモリセルは、電荷を蓄積する容量が小さい場合でも、蓄積した電荷を直近のトランジスタで増幅することで、メモリとしての動作を行うことができる。メモリセル121は、上述したNOSRAMである。NOSRAMは、保持しているデータを破壊することなく読み出しすること(非破壊読み出し)が可能のため、データの読み出し動作を大量に繰り返す、ニューラルネットワークの積和演算に適している。

【0101】

<ビット線ドライバ回路の構成例>

30

ビット線ドライバ回路142には、列ごとに、図4に示す回路147が設けられている。図4は、回路147の構成例を示す回路図である。なお、本実施の形態では、メモリセルアレイ120は、一行に128個のメモリセル121を有するものとする( $n = 128$ )。

【0102】

回路147は、トランジスタM21乃至トランジスタM26、センスアンプ31、AND回路32、アナログスイッチ33、およびアナログスイッチ34を有する。

【0103】

回路147は、信号SEN[3:0]、信号SEP[3:0]、信号PRE、信号RSEL[3:0]、信号WSEL、信号GRSEL[3:0]、信号GWSEL[15:0]に従い、動作する。なお、1つの回路147には、4ビットの信号SEN[3:0]のうち、何れか1ビットの信号が入力される。複数のビットを有する他の信号(SEP[3:0]等)についても同様である。

40

【0104】

ビット線ドライバ回路142によって、データDIN[31:0]がメモリセルアレイ120に書き込まれ、データDOU[31:0]がメモリセルアレイ120から読み出される。1つの回路147は、32ビットのデータDIN[31:0]のうち、何れか1ビットのデータをメモリセルアレイ120に書き込み、32ビットのデータDOU[31:0]のうち、何れか1ビットのデータをメモリセルアレイ120から読み出す機能を有する。なお、データDIN[31:0]およびデータDOU[31:0]は内部信号であり、それぞれ、データ信号WDATAおよびデータ信号RDATAに対応する。

50

## 【0105】

トランジスタM21は、プリチャージ回路143を構成する。トランジスタM21によって、ビット線rblは、電位Vddにプリチャージされる。信号PREはプリチャージ信号であり、信号PREによって、トランジスタM21の導通状態が制御される。

## 【0106】

センスアンプ31は、センスアンプ回路144を構成する。センスアンプ31は、読み出し動作時には、ビット線rblに入力されたデータのハイレベルまたはローレベルを判定する。また、センスアンプ31は、書き込み動作時には、書き込みドライバ回路146から入力されたデータDINを一時的に保持するラッチ回路として機能する。

## 【0107】

図4に示すセンスアンプ31は、ラッチ型センスアンプである。センスアンプ31は、2個のインバータ回路を有し、一方のインバータ回路の入力ノードが他方のインバータ回路の出力ノードと接続される。一方のインバータ回路の入力ノードをノードNS、出力ノードをノードNSBとすると、ノードNSおよびノードNSBにおいて相補データが保持される。

## 【0108】

信号SENおよび信号SEPは、センスアンプ31を活性化するためのセンスアンプイネーブル信号であり、レファレンス電位Vrefは、読み出し判定電位である。センスアンプ31は、レファレンス電位Vrefを基準に、活性化された時点のノードNSBの電位が、ハイレベルであるか、ローレベルであるかを判定する。

## 【0109】

AND回路32は、ノードNSと、ビット線wblとの導通状態を制御する。また、アナログスイッチ33は、ノードNSBと、ビット線rblとの導通状態を制御し、アナログスイッチ34は、ノードNSと、レファレンス電位Vrefを供給する配線との導通状態を制御する。

## 【0110】

信号WSELは、書き込み選択信号であり、AND回路32を制御する。信号RSEL[3:0]は、読み出し選択信号であり、アナログスイッチ33およびアナログスイッチ34を制御する。

## 【0111】

トランジスタM22およびトランジスタM23は、出力MUX回路145を構成する。信号GRSEL[3:0]は、グローバル読み出し選択信号であり、出力MUX回路145を制御する。出力MUX回路145は、128本のビット線rblから、データを読み出す32本のビット線rblを選択する機能を有する。出力MUX回路145は、128入力32出力のマルチプレクサとして機能する。出力MUX回路145は、センスアンプ回路144から、データDOUT[31:0]を読み出し、演算回路150に出力する。

## 【0112】

なお、出力MUX回路145がデータを読み出すビット線rblの本数は、32本に限定されない。例えば、16本であってもよいし、64本であってもよい。また、ビット線ドライバ回路142が出力MUX回路145を有さない構成としてもよい。その場合、128本のビット線rblから読み出されたデータが、センスアンプ回路144から演算回路150に出力される。出力MUX回路145がデータを読み出すビット線rblの本数、または出力MUX回路145の有無は、後述する演算回路150の構成、ビット線プロセッサ151が処理できる信号のビット数、またはデータ信号RDATAのビット数等に応じて調整することができる。

## 【0113】

トランジスタM24乃至トランジスタM26は、書き込みドライバ回路146を構成する。信号GWSEL[15:0]は、グローバル書き込み選択信号であり、書き込みドライバ回路146を制御する。書き込みドライバ回路146は、データDIN[31:0]をセンスアンプ回路144に書き込む機能を有する。

10

20

30

40

50

## 【0114】

書き込みドライバ回路146は、データDIN[31:0]を書き込む列を選択する機能を有する。書き込みドライバ回路146は、信号GWSEL[15:0]に従い、バイト単位、ハーフワード単位、または1ワード単位のデータ書き込みを行う。

## 【0115】

回路147は、4列ごとに、データDIN[k]（kは0以上31以下の整数）と電気的に接続される。また、回路147は、4列ごとに、データDOUT[k]と電気的に接続される。

## 【0116】

<メモリセルの動作例>

図5は、メモリセル121の動作例を説明するタイミングチャートである。図5では、メモリセル121の書き込み動作および読み出し動作における、ワード線ww1、ワード線rw1、ビット線wb1、およびビット線rb1の電位関係について説明する。

## 【0117】

図5において、期間Twriteは、書き込み動作を行う期間であり、期間Treadは、読み出し動作を行う期間である。また、ワード線rw1、ビット線wb1、およびビット線rb1のハイレベルは電位Vddであり、ローレベルは電位Vssである。ワード線ww1のハイレベルは電位Vdhであり、ワード線ww1のローレベルは電位Vssである。

## 【0118】

期間Twriteにおいて、ビット線wb1には、書き込むデータに対応する電位Vdataが印加される。ビット線wb1に書き込むデータに対応する電位Vdataが印加された状態で、データを書き込むメモリセル121が配置されている行のワード線ww1に電位Vdhが印加されると、トランジスタM11が導通状態となり、書き込むデータに対応する電位VdataがノードN11に書き込まれる。

## 【0119】

また、期間Twriteにおいて、ビット線rb1およびワード線rw1には、電位Vdが印加される。

## 【0120】

期間Treadにおいて、ビット線rb1には、電位Vddがプリチャージされている。ビット線rb1がフローティングの状態、データを読み出すメモリセル121が配置されている行のワード線rw1に電位Vssが印加されると、ノードN11に書き込まれたデータがハイレベルの場合、トランジスタM12が導通状態となり、ビット線rb1の電位が下がり始める。ビット線rb1の電位がV1下がり、レファレンス電位Vrefより低くなると、センスアンプ31は、ビット線rb1はローレベルであると判定する。

## 【0121】

また、ビット線rb1がフローティングの状態、データを読み出すメモリセル121が配置されている行のワード線rw1に電位Vssが印加されても、ノードN11に書き込まれたデータがローレベルの場合、トランジスタM12が導通状態とならないため、ビット線rb1の電位は変化しない。この場合、センスアンプ31は、ビット線rb1はハイレベルであると判定する。

## 【0122】

期間Treadにおいて、ビット線wb1およびワード線ww1には、電位Vssが印加される。

## 【0123】

<ニューラルネットワーク>

次に、パターン認識などに用いられる階層型ニューラルネットワークを例に挙げ、階層型ニューラルネットワークと積和演算の関係について説明する。図6は、階層型ニューラルネットワークの構成例を示す模式図である。

## 【0124】

10

20

30

40

50

図6において各層のニューロンは丸で示され、図6に示す階層型ニューラルネットワークは、入力層としての機能を有する第 $(l-1)$ 層と、中間層(隠れ層)としての機能を有する第1層と、出力層としての機能を有する第 $(l+1)$ 層の3層に分けられたニューロン(形式ニューロン)を有する( $l$ は2以上の整数)。

【0125】

そして、第 $(l-1)$ 層は $P$ 個( $P$ は2以上の整数)のニューロンを有し、第1層は $Q$ 個( $Q$ は2以上の整数)のニューロンを有し、第 $(l+1)$ 層は $R$ 個( $R$ は2以上の整数)のニューロンを有する。なお、図6では、第 $(l-1)$ 層が有するニューロンのうち5つのニューロンを図示し、第1層が有するニューロンのうち4つのニューロンを図示し、第 $(l+1)$ 層が有するニューロンのうち3つのニューロンを図示している。

10

【0126】

図6では、中間層が一層で構成されている階層型ニューラルネットワークの構成例を示しているが、中間層が複数の層で構成されていても良い。例えば、 $L$ 層( $L$ は3以上の整数)で構成される階層型ニューラルネットワークの場合、第1層が入力層に相当し、第2層乃至第 $(L-1)$ 層が中間層に相当し、第 $L$ 層が出力層に相当する。

【0127】

図6において、第 $(l-1)$ 層の第 $p$ ニューロン( $p$ は1以上 $P$ 以下の整数)の出力 $a_p^{(l-1)}$ が、第1層の第 $q$ ニューロン( $q$ は1以上 $Q$ 以下の整数)に入力され、第 $q$ ニューロンの出力 $a_q^{(1)}$ が、第 $(l+1)$ 層の第 $r$ ニューロン( $r$ は1以上 $R$ 以下の整数)に入力されるものとし、第 $r$ ニューロンの出力を $a_r^{(l+1)}$ とする。また、第1層の第 $q$ ニューロンの重み係数を $w_{qp}^{(1)}$ 、第 $(l+1)$ 層の第 $r$ ニューロンの重み係数を $w_{rq}^{(l+1)}$ とする。

20

【0128】

すると、第1層の第 $q$ ニューロンへの入力の総和(ネット値)は、以下の式a1で表される。

【0129】

$$u_q^{(1)} = \sum_p w_{qp}^{(1)} \cdot a_p^{(l-1)} \quad (a1)$$

【0130】

式a1の演算処理は、積和演算である。

【0131】

また、第1層の第 $q$ ニューロンの出力 $a_q^{(1)}$ は、以下の式a2で表される。

【0132】

$$a_q^{(1)} = f(u_q^{(1)}) \quad (a2)$$

【0133】

ここで、 $f$ はニューロンの出力関数である。ニューロンの出力関数 $f$ として、ステップ関数、線形ランプ関数、シグモイド関数などを用いることができる。

【0134】

同様に、第 $(l+1)$ 層の第 $r$ ニューロンへの入力の総和(ネット値)は、以下の式a3で表される。

【0135】

$$u_r^{(l+1)} = \sum_q w_{rq}^{(l+1)} \cdot a_q^{(1)} \quad (a3)$$

40

【0136】

式a3の演算処理は、積和演算である。

【0137】

また、第 $(l+1)$ 層の第 $r$ ニューロンの出力 $a_r^{(l+1)}$ は、以下の式a4で表される。

【0138】

$$a_r^{(l+1)} = f(u_r^{(l+1)}) \quad (a4)$$

【0139】

上記の構成により、第 $r$ ニューロンの出力 $a_r^{(l+1)}$ を得ることができる。

50

## 【 0 1 4 0 】

ここで、式 a 1 の演算処理に着目し、式 a 1 から階層型ニューラルネットワークの層を表す ( 1 - 1 )、1 をとり、 $w_{q p}$  を  $W [ q , p ]$  で表し、 $a_p$  を  $A [ p ]$  で表し、 $u_q$  を  $U [ q ]$  で表すと、式 a 1 は以下の式 a 5 で表される。

$$U [ q ] = \sum_p \{ W [ q , p ] \times A [ p ] \} \quad ( a 5 )$$

## 【 0 1 4 1 】

式 a 5 は、 $U [ q ] = W [ q , 1 ] \times A [ 1 ] + W [ q , 2 ] \times A [ 2 ] + ( \text{途中省略} ) + W [ q , P ] \times A [ P ]$  であり、 $U [ 1 ]$  乃至  $U [ Q ]$  を求める (  $q$  を 1 から  $Q$  について計算する ) 必要がある。

## 【 0 1 4 2 】

< 演算回路の構成例 >

演算回路 1 5 0 は、4 個のビット線プロセッサ 1 5 1 を有し、式 a 5 の積和演算を行う機能を有する。図 7 は、ビット線プロセッサ 1 5 1 の構成例を示す回路図である。

## 【 0 1 4 3 】

図 7 に示すビット線プロセッサ 1 5 1 は、Binary Neural Network ( BNN ) のアーキテクチャに基づく演算処理を行うための回路である。BNN は、人工知能を実現するために必要な、膨大な計算量とパラメータ数を低減するためのアーキテクチャであり、回路規模縮小および低消費電力化に対して有効である。例えば、BNN では、もともと 3 2 ビットもしくは 1 6 ビット精度で表現されたデータを、2 値に圧縮することで、計算量とパラメータ数を大幅に削減できる。

## 【 0 1 4 4 】

図 7 に示すビット線プロセッサ 1 5 1 は、8 ビットの信号 (  $A [ 0 ]$  乃至  $A [ 7 ]$ 、 $W [ 0 ]$  乃至  $W [ 7 ]$  ) に対して積和演算を行い、1 ビットの出力信号  $Q$ 、1 1 ビットの出力信号 (  $account [ 1 0 : 0 ]$  ) を出力する構成を一例として示している。なお、信号  $A [ 0 ]$  乃至  $A [ 7 ]$  は、ニューラルネットワークの各層に入力されるデータであり、半導体装置 1 0 0 の外部から供給される ( 図 2、参照 )。信号  $W [ 0 ]$  乃至  $W [ 7 ]$  は重み係数であり、ビット線ドライバ回路 1 4 2 から供給される。

## 【 0 1 4 5 】

なお、ビット線ドライバ回路 1 4 2 は、出力 MUX 回路 1 4 5 を介して、3 2 ビットのデータ  $DOUT [ 3 1 : 0 ]$  を演算回路 1 5 0 に出力する。演算回路 1 5 0 は 4 個のビット線プロセッサ 1 5 1 を有し、3 2 ビットのデータ  $DOUT [ 3 1 : 0 ]$  は、ビット線プロセッサ 1 5 1 のそれぞれに、8 ビットの信号  $W [ 0 ]$  乃至  $W [ 7 ]$  として入力される。

## 【 0 1 4 6 】

ビット線プロセッサ 1 5 1 は、ビット積和演算器 4 2、アキュムレータ 4 3、およびラッチ回路 4 4 を有する。

## 【 0 1 4 7 】

図 7 において、ビット積和演算器 4 2 は、8 ビットの信号 (  $A [ 0 ]$  乃至  $A [ 7 ]$ 、 $W [ 0 ]$  乃至  $W [ 7 ]$  ) が入力される積算器および当該積算器で得られた値が入力される加算器を有する。図 7 に示すように、8 並列で演算される 1 ビットの信号の積を  $WA 0$  乃至  $WA 7$ 、さらにその和を  $WA 1 0$ 、 $WA 3 2$ 、 $WA 5 4$ 、 $WA 7 6$ 、さらにその和を  $WA 3 2 1 0$ 、 $WA 7 6 5 4$  として図示している。

## 【 0 1 4 8 】

図 7 において、加算器として機能するアキュムレータ 4 3 は、ビット積和演算器 4 2 の信号とラッチ回路 4 4 の出力信号との和をラッチ回路 4 4 に出力する。なお、アキュムレータ 4 3 は、制御信号  $T \times D\_EN$  に応じて加算器に入力する信号が切り替えられる。制御信号  $T \times D\_EN$  が 0 (  $T \times D\_EN = 0$  ) で、ビット積和演算器 4 2 の信号とラッチ回路 4 4 の出力信号との和をラッチ回路 4 4 に出力する。制御信号  $T \times D\_EN$  が 1 (  $T \times D\_EN = 1$  ) で、ロジック回路 4 7 の信号 (  $1 \text{ bit selector}$  ) とラッチ回路 4 4 の出力信号との和をラッチ回路 4 4 に出力する。

## 【 0 1 4 9 】

10

20

30

40

50

なお、AND回路で構成されるロジック回路47は、信号A[0]乃至A[7]と信号W[0]乃至W[7]の積和演算が完了した後、バッチノーマライゼーションのためのデータ、具体的には切り替え信号(thselect[10:0])で切り替えながら、信号W[7]を足し合わせる。ここで、バッチノーマライゼーションとは、ニューラルネットワークにおける各層の出力データの分布が一定に収まるように調整するための動作である。また、バッチノーマライゼーションのためのデータは、例えば信号W[7]以外の信号W[0]乃至W[6]からも同時に読み出して選択する構成としてもよい。

#### 【0150】

ラッチ回路44は、アキュムレータ43の出力信号(account[10:0])を保持する。バッチノーマライゼーションによって次のニューラルネットワークにおける層(NN層)に渡す2値データはラッチ回路44が保持する積和演算結果の最上位ビットとなる。出力信号(account[10:0])において、最上位のビットの信号(account10)は、2の補数で演算されたラッチデータの符号を表し、そのプラスデータを1、マイナスデータを0として次のNN層に渡すため、符号化回路として機能するインバータ回路46で反転され、出力信号Qとして出力される。

10

#### 【0151】

なお、図7に示すビット線プロセッサ151は、8ビットの信号(A[0]乃至A[7]、W[0]乃至W[7])に対する積和演算を1クロックで行うことができる。ビット線プロセッサ151は、積和演算を並列に行うことで、積和演算の効率を上げることができる。さらに、信号W[0]乃至信号W[7]は、同じ行のメモリセル121に保持されていることが好ましい。信号W[0]乃至信号W[7]が同じ行のメモリセル121に保持されていることで、信号W[0]乃至信号W[7]をビット線ドライバ回路142から同時に供給することができる。

20

#### 【0152】

例えば、回路147が4列ごとにデータDOU T[k]と電気的に接続されるため、信号W[0]はメモリセル121[1,1]、信号W[1]はメモリセル121[1,5]、信号W[2]はメモリセル121[1,9]、信号W[3]はメモリセル121[1,13]、信号W[4]はメモリセル121[1,17]、信号W[5]はメモリセル121[1,21]、信号W[6]はメモリセル121[1,25]、信号W[7]はメモリセル121[1,29]に保持されていることが好ましい。ワード線rw1(1)を一回選択することで、信号W[0]乃至信号W[7]をビット線ドライバ回路142から供給することができる。

30

#### 【0153】

また、ビット線プロセッサ151が、8ビットの信号(A[0]乃至A[7]、W[0]乃至W[7])に対する積和演算を1クロックで行うことができるため、式a5で表される計算は、qの値1つに対して、P/8クロックで行うことができる。もしくは、演算回路150は4個のビット線プロセッサ151を有するため、4個のビット線プロセッサ151に異なるqの値に対する信号W[0]乃至信号W[7]を与えることで、qの値4つに対する並列演算を行うことができる。

#### 【0154】

例えば、信号W[0]乃至信号W[7]として、1つ目のビット線プロセッサ151にはW[1,1]乃至W[1,7]を、2つ目のビット線プロセッサ151にはW[2,1]乃至W[2,7]を、3つ目のビット線プロセッサ151にはW[3,1]乃至W[3,7]を、4つ目のビット線プロセッサ151にはW[4,1]乃至W[4,7]を与えることで、式a5で表される計算をqの値が1から4に対して並列に行うことができる。

40

#### 【0155】

また、本実施の形態では、演算回路150が4個のビット線プロセッサ151を有し、ビット線ドライバ回路142は32ビットのデータDOU T[31:0]を演算回路150に出力する構成例を示したが、この限りではない。例えば、演算回路150が16個のビット線プロセッサ151を有し、ビット線ドライバ回路142は出力MUX回路145を

50

介さず、センスアンプ回路 144 から 128 ビットのデータ DOUT [ 127 : 0 ] を演算回路 150 に出力する構成としてもよい。演算回路 150 が有するビット線プロセッサ 151 の個数を増やすことで、積和演算を行う並列度を上げることができる。

【 0 1 5 6 】

または、ビット線プロセッサ 151 を、32 ビットの信号 ( A [ 0 ] 乃至 A [ 31 ] 、 W [ 0 ] 乃至 W [ 31 ] ) に対して積和演算を行うことができる構成としてもよい。その場合、演算回路 150 が 1 個のビット線プロセッサ 151 を有し、ビット線ドライバ回路 142 は 32 ビットのデータ DOUT [ 31 : 0 ] を演算回路 150 に出力する構成、または、演算回路 150 が 4 個のビット線プロセッサ 151 を有し、ビット線ドライバ回路 142 は 128 ビットのデータ DOUT [ 127 : 0 ] を演算回路 150 に出力する構成等とすることができる。ビット線プロセッサ 151 が積和演算を行うことができるビット数を増やすことで、積和演算を行う並列度を上げることができる。

10

【 0 1 5 7 】

< 半導体装置 >

本発明の一形態に係わる半導体装置は、例えば、8 ビットの重み係数を同じ行のメモリセル 121 に保持し、重み係数をビット線ドライバ回路 142 から同時にビット線プロセッサ 151 に供給することができる。ビット線プロセッサ 151 は、積和演算を並列に行う機能を有し、半導体装置 100 は積和演算を行った結果を、別の半導体装置 ( 演算装置等 ) に出力することができる。

【 0 1 5 8 】

20

半導体装置 100 は、重み係数の読み出しとビット線プロセッサ 151 への供給、および積和演算を効率よく行うことができる。また、半導体装置 100 から別の半導体装置へのデータ転送は、積和演算を行った結果を出力することができるため、転送されるデータ量を削減することができる。そのため、半導体装置 100 を用いることで、演算装置とメモリ間のデータ転送に要するエネルギーを削減することができる。半導体装置 100 は、人工知能の計算に用いられる大量のデータを効率よく扱うことができる。

【 0 1 5 9 】

なお、本実施の形態は、本明細書に記載する他の実施の形態と適宜組み合わせる実施することができる。

【 0 1 6 0 】

30

( 実施の形態 2 )

本実施の形態では、上記実施の形態で説明した半導体装置 100 を構成する、トランジスタの構成例について説明する。本実施の形態では、単結晶シリコン基板に形成された Si トランジスタを有する層の上方に、OS トランジスタを有する層が積層して設けられた構造を有する。

【 0 1 6 1 】

< 半導体装置の構成例 >

図 8 に示す半導体装置は、トランジスタ 300、トランジスタ 500、および容量素子 600 を有する。図 9 A はトランジスタ 500 のチャンネル長方向の断面図であり、図 9 B はトランジスタ 500 のチャンネル幅方向の断面図であり、図 9 C はトランジスタ 300 のチャンネル幅方向の断面図である。

40

【 0 1 6 2 】

トランジスタ 500 は、例えば、上記実施の形態に示したトランジスタ M11 に相当し、トランジスタ 500 は第 1 のゲート ( トップゲート、フロントゲート、または単に、ゲート、ともいう ) に加えて、第 2 のゲート ( ボトムゲート、バックゲート、ともいう ) を有する。また、トランジスタ 300 は、AND 回路 32 を構成する Si トランジスタに相当し、容量素子 600 は、例えば、容量素子 C11 に相当する。

【 0 1 6 3 】

トランジスタ 500 は、チャンネル形成領域に金属酸化物を有するトランジスタ ( OS トランジスタ ) である。トランジスタ 500 は、オフ電流が非常に小さい特性を有するため、

50

上記実施の形態では、これをトランジスタ M 1 1 に用いることにより、半導体装置 1 0 0 は、メモリセル 1 2 1 に書き込んだデータを長時間保持することができる。

【 0 1 6 4 】

図 8 に示すように、本実施の形態で説明する半導体装置において、トランジスタ 5 0 0 はトランジスタ 3 0 0 の上方に設けられ、容量素子 6 0 0 は、トランジスタ 3 0 0 およびトランジスタ 5 0 0 の上方に設けられている。

【 0 1 6 5 】

トランジスタ 3 0 0 は、基板 3 1 1 上に設けられ、導電体 3 1 6、絶縁体 3 1 5、基板 3 1 1 の一部からなる半導体領域 3 1 3、ソース領域またはドレイン領域として機能する低抵抗領域 3 1 4 a、および低抵抗領域 3 1 4 b を有する。

10

【 0 1 6 6 】

トランジスタ 3 0 0 は、図 9 C に示すように、半導体領域 3 1 3 の上面およびチャンネル幅方向の側面が絶縁体 3 1 5 を介して導電体 3 1 6 に覆われている。このように、トランジスタ 3 0 0 を F i n 型とすることにより、実効上のチャンネル幅が増大することによりトランジスタ 3 0 0 のオン特性を向上させることができる。また、ゲート電極の電界の寄与を高くすることができるため、トランジスタ 3 0 0 のオフ特性を向上させることができる。

【 0 1 6 7 】

なお、トランジスタ 3 0 0 は、p チャンネル型、あるいは n チャンネル型のいずれでもよい。

【 0 1 6 8 】

半導体領域 3 1 3 のチャンネルが形成される領域、その近傍の領域、ソース領域、またはドレイン領域となる低抵抗領域 3 1 4 a、および低抵抗領域 3 1 4 b などにおいて、シリコン系半導体などの半導体を含むことが好ましく、単結晶シリコンを含むことが好ましい。または、G e (ゲルマニウム)、S i G e (シリコンゲルマニウム)、G a A s (ガリウムヒ素)、G a A l A s (ガリウムアルミニウムヒ素)などを有する材料で形成してもよい。結晶格子に応力を与え、格子間隔を変化させることで有効質量を制御したシリコンを用いた構成としてもよい。または G a A s と G a A l A s 等を用いることで、トランジスタ 3 0 0 を H E M T ( H i g h E l e c t r o n M o b i l i t y T r a n s i s t o r ) としてもよい。

20

【 0 1 6 9 】

低抵抗領域 3 1 4 a、および低抵抗領域 3 1 4 b は、半導体領域 3 1 3 に適用される半導体材料に加え、ヒ素、リンなどの n 型の導電性を付与する元素、またはホウ素などの p 型の導電性を付与する元素を含む。

30

【 0 1 7 0 】

ゲート電極として機能する導電体 3 1 6 は、ヒ素、リンなどの n 型の導電性を付与する元素、もしくはホウ素などの p 型の導電性を付与する元素を含むシリコンなどの半導体材料、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。

【 0 1 7 1 】

なお、導電体の材料により、仕事関数が定まるため、導電体の材料を変更することで、トランジスタの  $V_{th}$  を調整することができる。具体的には、導電体に窒化チタンや窒化タンタルなどの材料を用いることが好ましい。さらに導電性と埋め込み性を両立するために導電体にタングステンやアルミニウムなどの金属材料を積層して用いることが好ましく、特にタングステンをを用いることが耐熱性の点で好ましい。

40

【 0 1 7 2 】

なお、図 8 に示すトランジスタ 3 0 0 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【 0 1 7 3 】

トランジスタ 3 0 0 を覆って、絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 が順に積層して設けられている。

【 0 1 7 4 】

絶縁体 3 2 0、絶縁体 3 2 2、絶縁体 3 2 4、および絶縁体 3 2 6 として、例えば、酸化

50

シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウムなどを用いればよい。

【0175】

絶縁体322は、その下方に設けられるトランジスタ300などによって生じる段差を平坦化する平坦化膜としての機能を有していてもよい。例えば、絶縁体322の上面は、平坦性を高めるために化学機械研磨(CMP(Chemical Mechanical Polishing))法等を用いた平坦化処理により平坦化されていてもよい。

【0176】

また、絶縁体324には、基板311、またはトランジスタ300などから、トランジスタ500が設けられる領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。

10

【0177】

水素に対するバリア性を有する膜の一例として、例えば、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ500等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ500と、トランジスタ300との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0178】

水素の脱離量は、例えば、昇温脱離ガス分析(TDS(Thermal Desorption Spectroscopy)分析)法などを用いて分析することができる。例えば、絶縁体324の水素の脱離量は、TDS分析において、膜の表面温度が50から500の範囲において、水素原子に換算した脱離量が、絶縁体324の面積当たりに換算して、 $10 \times 10^{15} \text{ atoms/cm}^2$ 以下、好ましくは $5 \times 10^{15} \text{ atoms/cm}^2$ 以下であればよい。

20

【0179】

なお、絶縁体326は、絶縁体324よりも誘電率が低いことが好ましい。例えば、絶縁体326の比誘電率は4未満が好ましく、3未満がより好ましい。また例えば、絶縁体326の比誘電率は、絶縁体324の比誘電率の0.7倍以下が好ましく、0.6倍以下がより好ましい。比誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

30

【0180】

また、絶縁体320、絶縁体322、絶縁体324、および絶縁体326には容量素子600、またはトランジスタ500と接続する導電体328、および導電体330等が埋め込まれている。なお、導電体328、および導電体330は、プラグまたは配線としての機能を有する。また、プラグまたは配線としての機能を有する導電体は、複数の構造をまとめて同一の符号を付与する場合がある。また、本明細書等において、配線と、配線と接続するプラグとが一体物であってもよい。すなわち、導電体の一部が配線として機能する場合、および導電体の一部がプラグとして機能する場合もある。

【0181】

各プラグ、および配線(導電体328、および導電体330等)の材料としては、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、タングステンを用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

40

【0182】

絶縁体326、および導電体330上に、配線層を設けてもよい。例えば、図8において、絶縁体350、絶縁体352、および絶縁体354が順に積層して設けられている。また、絶縁体350、絶縁体352、および絶縁体354には、導電体356が形成されて

50

いる。導電体 356 は、トランジスタ 300 と接続するプラグ、または配線としての機能を有する。なお導電体 356 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

【0183】

なお、例えば、絶縁体 350 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 356 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 350 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

10

【0184】

なお、水素に対するバリア性を有する導電体としては、例えば、窒化タンタル等を用いるとよい。また、窒化タンタルと導電性が高いタングステンを積層することで、配線としての導電性を保持したまま、トランジスタ 300 からの水素の拡散を抑制することができる。この場合、水素に対するバリア性を有する窒化タンタル層が、水素に対するバリア性を有する絶縁体 350 と接する構造であることが好ましい。

【0185】

絶縁体 354、および導電体 356 上に、配線層を設けてもよい。例えば、図 8 において、絶縁体 360、絶縁体 362、および絶縁体 364 が順に積層して設けられている。また、絶縁体 360、絶縁体 362、および絶縁体 364 には、導電体 366 が形成されている。導電体 366 は、プラグまたは配線としての機能を有する。なお導電体 366 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

20

【0186】

なお、例えば、絶縁体 360 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 366 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 360 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

【0187】

絶縁体 364、および導電体 366 上に、配線層を設けてもよい。例えば、図 8 において、絶縁体 370、絶縁体 372、および絶縁体 374 が順に積層して設けられている。また、絶縁体 370、絶縁体 372、および絶縁体 374 には、導電体 376 が形成されている。導電体 376 は、プラグまたは配線としての機能を有する。なお導電体 376 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

30

【0188】

なお、例えば、絶縁体 370 は、絶縁体 324 と同様に、水素に対するバリア性を有する絶縁体を用いることが好ましい。また、導電体 376 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 370 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

40

【0189】

絶縁体 374、および導電体 376 上に、配線層を設けてもよい。例えば、図 8 において、絶縁体 380、絶縁体 382、および絶縁体 384 が順に積層して設けられている。また、絶縁体 380、絶縁体 382、および絶縁体 384 には、導電体 386 が形成されている。導電体 386 は、プラグまたは配線としての機能を有する。なお導電体 386 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

【0190】

なお、例えば、絶縁体 380 は、絶縁体 324 と同様に、水素に対するバリア性を有する

50

絶縁体を用いることが好ましい。また、導電体 386 は、水素に対するバリア性を有する導電体を含むことが好ましい。特に、水素に対するバリア性を有する絶縁体 380 が有する開口部に、水素に対するバリア性を有する導電体が形成される。当該構成により、トランジスタ 300 とトランジスタ 500 とは、バリア層により分離することができ、トランジスタ 300 からトランジスタ 500 への水素の拡散を抑制することができる。

【0191】

上記において、導電体 356 を含む配線層、導電体 366 を含む配線層、導電体 376 を含む配線層、および導電体 386 を含む配線層、について説明したが、本実施の形態に係る半導体装置はこれに限られるものではない。導電体 356 を含む配線層と同様の配線層を 3 層以下にしてもよいし、導電体 356 を含む配線層と同様の配線層を 5 層以上にしてもよい。

10

【0192】

絶縁体 384 上には絶縁体 510、絶縁体 512、絶縁体 514、および絶縁体 516 が、順に積層して設けられている。絶縁体 510、絶縁体 512、絶縁体 514、および絶縁体 516 のいずれかは、酸素や水素に対してバリア性のある物質を用いることが好ましい。

【0193】

例えば、絶縁体 510、および絶縁体 514 には、例えば、基板 311、またはトランジスタ 300 を設ける領域などから、トランジスタ 500 を設ける領域に、水素や不純物が拡散しないようなバリア性を有する膜を用いることが好ましい。したがって、絶縁体 324 と同様の材料を用いることができる。

20

【0194】

水素に対するバリア性を有する膜の一例として、CVD法で形成した窒化シリコンを用いることができる。ここで、トランジスタ 500 等の酸化物半導体を有する半導体素子に、水素が拡散することで、当該半導体素子の特性が低下する場合がある。したがって、トランジスタ 500 と、トランジスタ 300 との間に、水素の拡散を抑制する膜を用いることが好ましい。水素の拡散を抑制する膜とは、具体的には、水素の脱離量が少ない膜とする。

【0195】

また、水素に対するバリア性を有する膜として、例えば、絶縁体 510、および絶縁体 514 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

30

【0196】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 500 への混入を防止することができる。また、トランジスタ 500 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 500 に対する保護膜として用いることに適している。

【0197】

また、例えば、絶縁体 512、および絶縁体 516 には、絶縁体 320 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 512、および絶縁体 516 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

40

【0198】

また、絶縁体 510、絶縁体 512、絶縁体 514、および絶縁体 516 には、導電体 518、およびトランジスタ 500 を構成する導電体（導電体 503）等が埋め込まれている。なお、導電体 518 は、容量素子 600、またはトランジスタ 300 と接続するプラグ、または配線としての機能を有する。導電体 518 は、導電体 328、および導電体 330 と同様の材料を用いて設けることができる。

【0199】

50

特に、絶縁体 5 1 0、および絶縁体 5 1 4 と接する領域の導電体 5 1 8 は、酸素、水素、および水に対するバリア性を有する導電体であることが好ましい。当該構成により、トランジスタ 3 0 0 とトランジスタ 5 0 0 とは、酸素、水素、および水に対するバリア性を有する層で、分離することができ、トランジスタ 3 0 0 からトランジスタ 5 0 0 への水素の拡散を抑制することができる。

【 0 2 0 0 】

絶縁体 5 1 6 の上方には、トランジスタ 5 0 0 が設けられている。

【 0 2 0 1 】

図 9 A、図 9 B に示すように、トランジスタ 5 0 0 は、絶縁体 5 1 4 および絶縁体 5 1 6 に埋め込まれるように配置された導電体 5 0 3 と、絶縁体 5 1 6 と導電体 5 0 3 の上に配置された絶縁体 5 2 0 と、絶縁体 5 2 0 の上に配置された絶縁体 5 2 2 と、絶縁体 5 2 2 の上に配置された絶縁体 5 2 4 と、絶縁体 5 2 4 の上に配置された酸化物 5 3 0 a と、酸化物 5 3 0 a の上に配置された酸化物 5 3 0 b と、酸化物 5 3 0 b 上に、互いに離して配置された導電体 5 4 2 a、および導電体 5 4 2 b と、導電体 5 4 2 a および導電体 5 4 2 b 上に配置され、導電体 5 4 2 a と導電体 5 4 2 b の間に重畳して開口が形成された絶縁体 5 8 0 と、開口の中に配置された導電体 5 6 0 と、酸化物 5 3 0 b、導電体 5 4 2 a、導電体 5 4 2 b、および絶縁体 5 8 0 と、導電体 5 6 0 と、の間に配置された絶縁体 5 5 0 と、酸化物 5 3 0 b、導電体 5 4 2 a、導電体 5 4 2 b、および絶縁体 5 8 0 と、絶縁体 5 5 0 と、の間に配置された酸化物 5 3 0 c と、を有する。

【 0 2 0 2 】

また、図 9 A、図 9 B に示すように、酸化物 5 3 0 a、酸化物 5 3 0 b、導電体 5 4 2 a、および導電体 5 4 2 b と、絶縁体 5 8 0 の間に絶縁体 5 4 4 が配置されることが好ましい。また、図 9 A、図 9 B に示すように、導電体 5 6 0 は、絶縁体 5 5 0 の内側に設けられた導電体 5 6 0 a と、導電体 5 6 0 a の内側に埋め込まれるように設けられた導電体 5 6 0 b と、を有することが好ましい。また、図 9 A、図 9 B に示すように、絶縁体 5 8 0、導電体 5 6 0、および絶縁体 5 5 0 の上に絶縁体 5 7 4 が配置されることが好ましい。

【 0 2 0 3 】

なお、以下において、酸化物 5 3 0 a、酸化物 5 3 0 b、および酸化物 5 3 0 c をまとめて酸化物 5 3 0 という場合がある。また、導電体 5 4 2 a および導電体 5 4 2 b をまとめて導電体 5 4 2 という場合がある。

【 0 2 0 4 】

なお、トランジスタ 5 0 0 では、チャネルが形成される領域と、その近傍において、酸化物 5 3 0 a、酸化物 5 3 0 b、および酸化物 5 3 0 c の 3 層を積層する構成について示しているが、本発明はこれに限られるものではない。例えば、酸化物 5 3 0 b の単層、酸化物 5 3 0 b と酸化物 5 3 0 a の 2 層構造、酸化物 5 3 0 b と酸化物 5 3 0 c の 2 層構造、または 4 層以上の積層構造を設ける構成にしてもよい。また、トランジスタ 5 0 0 では、導電体 5 6 0 を 2 層の積層構造として示しているが、本発明はこれに限られるものではない。例えば、導電体 5 6 0 が、単層構造であってもよいし、3 層以上の積層構造であってもよい。また、図 8、及び図 9 A、図 9 B に示すトランジスタ 5 0 0 は一例であり、その構造に限定されず、回路構成や駆動方法に応じて適切なトランジスタを用いればよい。

【 0 2 0 5 】

ここで、導電体 5 6 0 は、トランジスタのゲート電極として機能し、導電体 5 4 2 a および導電体 5 4 2 b は、それぞれソース電極またはドレイン電極として機能する。上記のように、導電体 5 6 0 は、絶縁体 5 8 0 の開口、および導電体 5 4 2 a と導電体 5 4 2 b に挟まれた領域に埋め込まれるように形成される。導電体 5 6 0、導電体 5 4 2 a および導電体 5 4 2 b の配置は、絶縁体 5 8 0 の開口に対して、自己整合的に選択される。つまり、トランジスタ 5 0 0 において、ゲート電極を、ソース電極とドレイン電極の間に、自己整合的に配置させることができる。よって、導電体 5 6 0 を位置合わせのマージンを設けることなく形成することができるので、トランジスタ 5 0 0 の占有面積の縮小を図ることができる。これにより、半導体装置の微細化、高集積化を図ることができる。

## 【0206】

さらに、導電体560が、導電体542aと導電体542bの間の領域に自己整合的に形成されるので、導電体560は、導電体542aまたは導電体542bと重畳する領域を有さない。これにより、導電体560と導電体542aおよび導電体542bとの間に形成される寄生容量を低減することができる。よって、トランジスタ500のスイッチング速度を向上させ、高い周波数特性を有せしめることができる。

## 【0207】

導電体560は、第1のゲート電極として機能する場合がある。また、導電体503は、第2のゲート電極として機能する場合がある。その場合、導電体503に印加する電位を、導電体560に印加する電位と連動させず、独立して変化させることで、トランジスタ500の $V_{th}$ を制御することができる。特に、導電体503に負の電位を印加することにより、トランジスタ500の $V_{th}$ を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体503に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

10

## 【0208】

導電体503は、酸化物530、および導電体560と、重なるように配置する。これにより、導電体560、および導電体503に電位を印加した場合、導電体560から生じる電界と、導電体503から生じる電界とがつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。本明細書等において、第1のゲート電極、および第2のゲート電極の電界によって、チャネル形成領域を電気的に取り囲むトランジスタの構造を、*surrounded channel (S-channel)*構造とよぶ。

20

## 【0209】

また、本明細書等において、*S-channel*構造は、ソース電極およびドレイン電極として機能する導電体542aおよび導電体542bに接する酸化物530の側面及び周辺が、チャネル形成領域と同じくI型であるといった特徴を有する。また、導電体542aおよび導電体542bに接する酸化物530の側面及び周辺は、絶縁体544と接しているため、チャネル形成領域と同様にI型となりうる。なお、本明細書等において、I型とは後述する、高純度真性と同様として扱うことができる。また、本明細書等で開示する*S-channel*構造は、*Fin*型構造及びプレーナ型構造とは異なる。*S-channel*構造を採用することで、短チャネル効果に対する耐性を高める、別言すると短チャネル効果が発生し難いトランジスタとすることができる。

30

## 【0210】

また、導電体503は、導電体518と同様の構成であり、絶縁体514および絶縁体516の開口の内壁に接して導電体503aが形成され、さらに内側に導電体503bが形成されている。

## 【0211】

絶縁体520、絶縁体522、絶縁体524、および絶縁体550は、ゲート絶縁膜としての機能を有する。

## 【0212】

ここで、酸化物530と接する絶縁体524は、化学量論的組成を満たす酸素よりも多くの酸素を含む絶縁体を用いることが好ましい。つまり、絶縁体524には、過剰酸素領域が形成されていることが好ましい。このような過剰酸素を含む絶縁体を酸化物530に接して設けることにより、酸化物530中の酸素欠損を低減し、トランジスタ500の信頼性を向上させることができる。

40

## 【0213】

過剰酸素領域を有する絶縁体として、具体的には、加熱により一部の酸素が脱離する酸化物材料を用いることが好ましい。加熱により酸素を脱離する酸化物とは、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である

50

。なお、上記TDS分析時における膜の表面温度としては100以上700以下、または100以上400以下の範囲が好ましい。

【0214】

また、絶縁体524が、過剰酸素領域を有する場合、絶縁体522は、酸素（例えば、酸素原子、酸素分子など）の拡散を抑制する機能を有する（上記酸素が透過しにくい）ことが好ましい。

【0215】

絶縁体522が、酸素や不純物の拡散を抑制する機能を有することで、酸化物530が有する酸素は、絶縁体520側へ拡散することがなく、好ましい。また、導電体503が、絶縁体524や、酸化物530が有する酸素と反応することを抑制することができる。

10

【0216】

絶縁体522は、例えば、酸化アルミニウム、酸化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（SrTiO<sub>3</sub>）または（Ba,Sr）TiO<sub>3</sub>（BST）などを含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体にhigh-k材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

【0217】

特に、不純物、および酸素などの拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料であるアルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体を用いるとよい。アルミニウムおよびハフニウム的一方または双方の酸化物を含む絶縁体として、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。このような材料を用いて絶縁体522を形成した場合、絶縁体522は、酸化物530からの酸素の放出や、トランジスタ500の周辺部から酸化物530への水素等の不純物の混入を抑制する層として機能する。

20

【0218】

または、これらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タングステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

30

【0219】

また、絶縁体520は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、high-k材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体520を得ることができる。

【0220】

なお、絶縁体520、絶縁体522、および絶縁体524が、2層以上の積層構造を有していてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

40

【0221】

トランジスタ500は、チャンネル形成領域を含む酸化物530に、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物530として、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、銅、バナジウム、ベリリウム、ホウ素、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジム、ハフニウム、タンタル、タングステン、またはマグネシウムなどから選ばれた一種、または複数種）等の金属酸化物を用いるとよい。また、酸化物530として、In-Ga酸化物、In-Zn酸化物を用いてもよい。

【0222】

50

なお、酸化物半導体として機能する金属酸化物の形成は、スパッタリング法で行なってもよいし、原子層堆積 (Atomic Layer Deposition: ALD) 法で行なってもよいし、また有機金属化学気相成長 (Metal Organic Chemical Vapor Deposition: MOCVD) 法などの化学気相成長 (Chemical Vapor Deposition: CVD) 法で行なってもよい。酸化物半導体として機能する金属酸化物については、他の実施の形態で説明する。

【0223】

また、トランジスタ500には、キャリア密度の低い金属酸化物を用いることが好ましい。金属酸化物のキャリア密度を低くする場合には、金属酸化物中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性または実質的に高純度真性という。なお、金属酸化物中の不純物としては、例えば、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

10

【0224】

特に、金属酸化物に含まれる水素は、金属原子と結合する酸素と反応して水になるため、金属酸化物中に酸素欠損を形成する場合がある。金属酸化物中のチャネル形成領域に酸素欠損が含まれていると、トランジスタはノーマリーオン特性となる場合がある。さらに、酸素欠損に水素が入った欠陥はドナーとして機能し、キャリアである電子が生成されることがある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成する場合がある。従って、水素が多く含まれている金属酸化物を用いたトランジスタは、ノーマリーオン特性となりやすい。

20

【0225】

酸素欠損に水素が入った欠陥は、金属酸化物のドナーとして機能しうる。しかしながら、当該欠陥を定量的に評価することは困難である。そこで、金属酸化物においては、ドナー濃度ではなく、キャリア密度で評価される場合がある。よって、本明細書等では、金属酸化物のパラメータとして、ドナー濃度ではなく、電界が印加されない状態を想定したキャリア密度を用いる場合がある。つまり、本明細書等に記載の「キャリア密度」は、「ドナー濃度」と言い換えることができる場合がある。

【0226】

よって、金属酸化物を酸化物530に用いる場合、金属酸化物中の水素はできる限り低減されていることが好ましい。具体的には、金属酸化物において、二次イオン質量分析法 (SIMS: Secondary Ion Mass Spectrometry) により得られる水素濃度を、 $1 \times 10^{20} \text{ atoms/cm}^3$  未満、好ましくは  $1 \times 10^{19} \text{ atoms/cm}^3$  未満、より好ましくは  $5 \times 10^{18} \text{ atoms/cm}^3$  未満、さらに好ましくは  $1 \times 10^{18} \text{ atoms/cm}^3$  未満とする。水素などの不純物が十分に低減された金属酸化物をトランジスタのチャネル形成領域に用いることで、安定した電気特性を付与することができる。

30

【0227】

また、酸化物530に金属酸化物を用いる場合、チャネル形成領域の金属酸化物のキャリア密度は、 $1 \times 10^{18} \text{ cm}^{-3}$  以下であることが好ましく、 $1 \times 10^{17} \text{ cm}^{-3}$  未満であることがより好ましく、 $1 \times 10^{16} \text{ cm}^{-3}$  未満であることがさらに好ましく、 $1 \times 10^{13} \text{ cm}^{-3}$  未満であることがさらに好ましく、 $1 \times 10^{12} \text{ cm}^{-3}$  未満であることがさらに好ましい。なお、チャネル形成領域の金属酸化物のキャリア密度の下限値については、特に限定は無いが、例えば、 $1 \times 10^{-9} \text{ cm}^{-3}$  とすることができる。

40

【0228】

また、酸化物530に金属酸化物を用いる場合、導電体542 (導電体542a、および導電体542b) と酸化物530とが接することで、酸化物530中の酸素が導電体542へ拡散し、導電体542が酸化する場合がある。導電体542が酸化することで、導電体542の導電率が低下する蓋然性が高い。なお、酸化物530中の酸素が導電体542へ拡散することを、導電体542が酸化物530中の酸素を吸収する、と言い換えること

50

ができる。

【0229】

また、酸化物530中の酸素が導電体542（導電体542a、および導電体542b）へ拡散することで、導電体542aと酸化物530bとの間、および、導電体542bと酸化物530bとの間に異層が形成される場合がある。当該異層は、導電体542よりも酸素を多く含むため、当該異層は絶縁性を有すると推定される。このとき、導電体542と、当該異層と、酸化物530bとの3層構造は、金属-絶縁体-半導体からなる3層構造とみなすことができ、MIS（Metal-Insulator-Semiconductor）構造、またはMIS構造を主としたダイオード接合構造と呼ぶ場合がある。

【0230】

なお、上記異層は、導電体542と酸化物530bとの間に形成されることに限られず、例えば、異層が、導電体542と酸化物530cとの間に形成される場合や、導電体542と酸化物530bとの間、および導電体542と酸化物530cとの間に形成される場合がある。

【0231】

また、酸化物530においてチャネル形成領域として機能する金属酸化物は、バンドギャップが2eV以上、好ましくは2.5eV以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。

【0232】

その他、酸化物530に用いることができる半導体材料は、上述の金属酸化物に限られない。酸化物530として、バンドギャップを有する半導体材料（ゼロギャップ半導体ではない半導体材料）を用いてもよい。例えば、シリコンなどの単体元素の半導体、ヒ化ガリウムなどの化合物半導体、半導体として機能する層状物質（原子層物質、2次元材料などともいう）などを半導体材料に用いることが好ましい。特に、半導体として機能する層状物質を半導体材料に用いると好適である。

【0233】

ここで、本明細書等において、層状物質とは、層状の結晶構造を有する材料群の総称である。層状の結晶構造は、共有結合やイオン結合によって形成される層が、ファンデルワールス力のような、共有結合やイオン結合よりも弱い結合を介して積層している構造である。層状物質は、単位層内における電気伝導性が高く、つまり、2次元電気伝導性が高い。半導体として機能し、かつ、2次元電気伝導性の高い材料をチャネル形成領域に用いることで、オン電流の大きいトランジスタを提供することができる。

【0234】

層状物質として、グラフェン、シリセン、カルコゲン化物などがある。カルコゲン化物は、カルコゲンを含む化合物である。また、カルコゲンは、第16族に属する元素の総称であり、酸素、硫黄、セレン、テルル、ポロニウム、リバモリウムが含まれる。また、カルコゲン化物として、遷移金属カルコゲナイド、13族カルコゲナイドなどが挙げられる。

【0235】

酸化物530として、例えば、半導体として機能する遷移金属カルコゲナイドを用いることが好ましい。酸化物530として適用可能な遷移金属カルコゲナイドとして、具体的には、硫化モリブデン（代表的には $\text{MoS}_2$ ）、セレン化モリブデン（代表的には $\text{MoSe}_2$ ）、モリブデンテルル（代表的には $\text{MoTe}_2$ ）、硫化タングステン（代表的には $\text{WS}_2$ ）、セレン化タングステン（代表的には $\text{WSe}_2$ ）、タングステンテルル（代表的には $\text{WTe}_2$ ）、硫化ハフニウム（代表的には $\text{HfS}_2$ ）、セレン化ハフニウム（代表的には $\text{HfSe}_2$ ）、硫化ジルコニウム（代表的には $\text{ZrS}_2$ ）、セレン化ジルコニウム（代表的には $\text{ZrSe}_2$ ）などが挙げられる。

【0236】

酸化物530は、酸化物530b下に酸化物530aを有することで、酸化物530aよりも下方に形成された構造物から、酸化物530bへの不純物の拡散を抑制することがで

10

20

30

40

50

きる。また、酸化物 5 3 0 b 上に酸化物 5 3 0 c を有することで、酸化物 5 3 0 c よりも上方に形成された構造物から、酸化物 5 3 0 b への不純物の拡散を抑制することができる。

【 0 2 3 7 】

なお、酸化物 5 3 0 は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物 5 3 0 a に用いる金属酸化物において、構成元素中の元素 M の原子数比が、酸化物 5 3 0 b に用いる金属酸化物における、構成元素中の元素 M の原子数比より、大きいことが好ましい。また、酸化物 5 3 0 a に用いる金属酸化物において、 $I_n$  に対する元素 M の原子数比が、酸化物 5 3 0 b に用いる金属酸化物における、 $I_n$  に対する元素 M の原子数比より大きいことが好ましい。また、酸化物 5 3 0 b に用いる金属酸化物において、元素 M に対する  $I_n$  の原子数比が、酸化物 5 3 0 a に用いる金属酸化物における、元素 M に対する  $I_n$  の原子数比より大きいことが好ましい。また、酸化物 5 3 0 c は、酸化物 5 3 0 a または酸化物 5 3 0 b に用いることができる金属酸化物を、用いることができる。

10

【 0 2 3 8 】

また、酸化物 5 3 0 a および酸化物 5 3 0 c の伝導帯下端のエネルギーが、酸化物 5 3 0 b の伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物 5 3 0 a および酸化物 5 3 0 c の電子親和力が、酸化物 5 3 0 b の電子親和力より小さいことが好ましい。

【 0 2 3 9 】

ここで、酸化物 5 3 0 a、酸化物 5 3 0 b、および酸化物 5 3 0 c の接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物 5 3 0 a、酸化物 5 3 0 b、および酸化物 5 3 0 c の接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物 5 3 0 a と酸化物 5 3 0 b との界面、および酸化物 5 3 0 b と酸化物 5 3 0 c との界面において形成される混合層の欠陥準位密度を低くするとよい。

20

【 0 2 4 0 】

具体的には、酸化物 5 3 0 a と酸化物 5 3 0 b、酸化物 5 3 0 b と酸化物 5 3 0 c が、酸素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物 5 3 0 b が  $I_n - Ga - Zn$  酸化物の場合、酸化物 5 3 0 a および酸化物 5 3 0 c として、 $I_n - Ga - Zn$  酸化物、 $Ga - Zn$  酸化物、酸化ガリウムなどを用いるとよい。

30

【 0 2 4 1 】

このとき、キャリアの主たる経路は酸化物 5 3 0 b となる。酸化物 5 3 0 a、酸化物 5 3 0 c を上述の構成とすることで、酸化物 5 3 0 a と酸化物 5 3 0 b との界面、および酸化物 5 3 0 b と酸化物 5 3 0 c との界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ 5 0 0 は高いオン電流を得られる。

【 0 2 4 2 】

酸化物 5 3 0 b 上には、ソース電極、およびドレイン電極として機能する導電体 5 4 2（導電体 5 4 2 a、および導電体 5 4 2 b）が設けられる。導電体 5 4 2 としては、アルミニウム、クロム、銅、銀、金、白金、タンタル、ニッケル、チタン、モリブデン、タングステン、ハフニウム、バナジウム、ニオブ、マンガン、マグネシウム、ジルコニウム、ベリリウム、インジウム、ルテニウム、イリジウム、ストロンチウム、ランタンから選ばれた金属元素、または上述した金属元素を成分とする合金か、上述した金属元素を組み合わせた合金等を用いることが好ましい。例えば、窒化タンタル、窒化チタン、タングステン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む酸化物などを用いることが好ましい。また、窒化タンタル、窒化チタン、チタンとアルミニウムを含む窒化物、タンタルとアルミニウムを含む窒化物、酸化ルテニウム、窒化ルテニウム、ストロンチウムとルテニウムを含む酸化物、ランタンとニッケルを含む

40

50

酸化物は、酸化しにくい導電性材料、または、酸素を吸収しても導電性を維持する材料であるため、好ましい。

【0243】

また、図9Aに示すように、酸化物530の、導電体542との界面とその近傍には、低抵抗領域として、領域543（領域543a、および領域543b）が形成される場合がある。このとき、領域543aはソース領域またはドレイン領域の一方として機能し、領域543bはソース領域またはドレイン領域の他方として機能する。また、領域543aと領域543bに挟まれる領域にチャンネル形成領域が形成される。

【0244】

酸化物530と接するように上記導電体542を設けることで、領域543の酸素濃度が低減する場合がある。また、領域543に導電体542に含まれる金属と、酸化物530の成分とを含む金属化合物層が形成される場合がある。このような場合、領域543のキャリア密度が増加し、領域543は、低抵抗領域となる。

10

【0245】

絶縁体544は、導電体542を覆うように設けられ、導電体542の酸化を抑制する。このとき、絶縁体544は、酸化物530の側面を覆い、絶縁体524と接するように設けられてもよい。

【0246】

絶縁体544として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

20

【0247】

特に、絶縁体544として、アルミニウム、またはハフニウムの一方または双方の酸化物を含む絶縁体である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいいため好ましい。なお、導電体542が耐酸化性を有する材料、または、酸素を吸収しても著しく導電性が低下しない場合、絶縁体544は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

【0248】

絶縁体550は、ゲート絶縁膜として機能する。絶縁体550は、酸化物530cの内側（上面および側面）に接して配置することが好ましい。絶縁体550は、加熱により酸素が放出される絶縁体を用いて形成することが好ましい。例えば、TDS分析にて、酸素原子に換算しての酸素の脱離量が $1.0 \times 10^{18} \text{ atoms/cm}^3$ 以上、好ましくは $1.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、さらに好ましくは $2.0 \times 10^{19} \text{ atoms/cm}^3$ 以上、または $3.0 \times 10^{20} \text{ atoms/cm}^3$ 以上である酸化物膜である。なお、上記TDS分析時における膜の表面温度としては100 以上700 以下の範囲が好ましい。

30

【0249】

具体的には、過剰酸素を有する酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコンを用いることができる。特に、酸化シリコン、および酸化窒化シリコンは熱に対し安定であるため好ましい。

40

【0250】

加熱により酸素が放出される絶縁体を、絶縁体550として、酸化物530cの上面に接して設けることにより、絶縁体550から、酸化物530cを通じて、酸化物530bのチャンネル形成領域に効果的に酸素を供給することができる。また、絶縁体524と同様に、絶縁体550中の水または水素などの不純物濃度が低減されていることが好ましい。絶縁体550の膜厚は、1nm以上20nm以下とするのが好ましい。

【0251】

50

また、絶縁体 550 が有する過剰酸素を、効率的に酸化物 530 へ供給するために、絶縁体 550 と導電体 560 との間に金属酸化物を設けてもよい。当該金属酸化物は、絶縁体 550 から導電体 560 への酸素拡散を抑制することが好ましい。酸素の拡散を抑制する金属酸化物を設けることで、絶縁体 550 から導電体 560 への過剰酸素の拡散が抑制される。つまり、酸化物 530 へ供給する過剰酸素量の減少を抑制することができる。また、過剰酸素による導電体 560 の酸化を抑制することができる。当該金属酸化物としては、絶縁体 544 に用いることができる材料を用いればよい。

#### 【0252】

第1のゲート電極として機能する導電体 560 は、図9A、図9Bでは2層構造として示しているが、単層構造でもよいし、3層以上の積層構造であってもよい。

10

#### 【0253】

導電体 560 a は、水素原子、水素分子、水分子、窒素原子、窒素分子、酸化窒素分子 ( $N_2O$ 、 $NO$ 、 $NO_2$  など)、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一つ)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。導電体 560 a が酸素の拡散を抑制する機能を持つことにより、絶縁体 550 に含まれる酸素により、導電体 560 b が酸化して導電率が低下することを抑制することができる。酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウム、または酸化ルテニウムなどを用いることが好ましい。

#### 【0254】

また、導電体 560 b は、タンゲステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体 560 b は、配線としても機能するため、導電性が高い導電体を用いることが好ましい。例えば、タンゲステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体 560 b は積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層構造としてもよい。

20

#### 【0255】

絶縁体 580 は、絶縁体 544 を介して、導電体 542 上に設けられる。絶縁体 580 は、過剰酸素領域を有することが好ましい。例えば、絶縁体 580 として、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などを有することが好ましい。特に、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。特に、酸化シリコン、空孔を有する酸化シリコンは、後の工程で、容易に過剰酸素領域を形成することができるため好ましい。

30

#### 【0256】

また、加熱により酸素が放出される絶縁体 580 を、酸化物 530 c と接して設けることで、絶縁体 580 中の酸素を、酸化物 530 c を通じて、酸化物 530 へと効率良く供給することができる。なお、絶縁体 580 中の水または水素などの不純物濃度が低減されていることが好ましい。

#### 【0257】

絶縁体 580 の開口は、導電体 542 a と導電体 542 b の間の領域に重畳して形成される。これにより、導電体 560 は、絶縁体 580 の開口、および導電体 542 a と導電体 542 b に挟まれた領域に、埋め込まれるように形成される。

40

#### 【0258】

半導体装置を微細化するに当たり、ゲート長を短くすることが求められるが、導電体 560 の導電性が下がらないようにする必要がある。そのために導電体 560 の膜厚を大きくすると、導電体 560 はアスペクト比が高い形状となりうる。本実施の形態では、導電体 560 を絶縁体 580 の開口に埋め込むように設けるため、導電体 560 をアスペクト比の高い形状にしても、工程中に導電体 560 を倒壊させることなく、形成することができる。

50

## 【 0 2 5 9 】

絶縁体 5 7 4 は、絶縁体 5 8 0 の上面、導電体 5 6 0 の上面、および絶縁体 5 5 0 の上面に接して設けられることが好ましい。絶縁体 5 7 4 をスパッタリング法で成膜することで、絶縁体 5 5 0 および絶縁体 5 8 0 へ過剰酸素領域を設けることができる。これにより、当該過剰酸素領域から、酸化物 5 3 0 中に酸素を供給することができる。

## 【 0 2 6 0 】

例えば、絶縁体 5 7 4 として、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タンタル、ニッケル、ゲルマニウム、またはマグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

10

## 【 0 2 6 1 】

特に、酸化アルミニウムはバリア性が高く、0.5 nm 以上 3.0 nm 以下の薄膜であっても、水素、および窒素の拡散を抑制することができる。したがって、スパッタリング法で成膜した酸化アルミニウムは、酸素供給源であるとともに、水素などの不純物のバリア膜としての機能も有することができる。

## 【 0 2 6 2 】

また、絶縁体 5 7 4 の上に、層間膜として機能する絶縁体 5 8 1 を設けることが好ましい。絶縁体 5 8 1 は、絶縁体 5 2 4 などと同様に、膜中の水または水素などの不純物濃度が低減されていることが好ましい。

## 【 0 2 6 3 】

また、絶縁体 5 8 1、絶縁体 5 7 4、絶縁体 5 8 0、および絶縁体 5 4 4 に形成された開口に、導電体 5 4 0 a および導電体 5 4 0 b を配置する。導電体 5 4 0 a および導電体 5 4 0 b は、導電体 5 6 0 を挟んで対向して設ける。導電体 5 4 0 a および導電体 5 4 0 b は、後述する導電体 5 4 6 および導電体 5 4 8 と同様の構成である。

20

## 【 0 2 6 4 】

絶縁体 5 8 1 上には、絶縁体 5 8 2 が設けられている。絶縁体 5 8 2 は、酸素や水素に対してバリア性のある物質を用いることが好ましい。したがって、絶縁体 5 8 2 には、絶縁体 5 1 4 と同様の材料を用いることができる。例えば、絶縁体 5 8 2 には、酸化アルミニウム、酸化ハフニウム、酸化タンタルなどの金属酸化物を用いることが好ましい。

## 【 0 2 6 5 】

特に、酸化アルミニウムは、酸素、およびトランジスタの電気特性の変動要因となる水素、水分などの不純物、の両方に対して膜を透過させない遮断効果が高い。したがって、酸化アルミニウムは、トランジスタの作製工程中および作製後において、水素、水分などの不純物のトランジスタ 5 0 0 への混入を防止することができる。また、トランジスタ 5 0 0 を構成する酸化物からの酸素の放出を抑制することができる。そのため、トランジスタ 5 0 0 に対する保護膜として用いることに適している。

30

## 【 0 2 6 6 】

また、絶縁体 5 8 2 上には、絶縁体 5 8 6 が設けられている。絶縁体 5 8 6 は、絶縁体 3 2 0 と同様の材料を用いることができる。また、比較的誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。例えば、絶縁体 5 8 6 として、酸化シリコン膜や酸化窒化シリコン膜などを用いることができる。

40

## 【 0 2 6 7 】

また、絶縁体 5 2 0、絶縁体 5 2 2、絶縁体 5 2 4、絶縁体 5 4 4、絶縁体 5 8 0、絶縁体 5 7 4、絶縁体 5 8 1、絶縁体 5 8 2、および絶縁体 5 8 6 には、導電体 5 4 6、および導電体 5 4 8 等が埋め込まれている。

## 【 0 2 6 8 】

導電体 5 4 6、および導電体 5 4 8 は、容量素子 6 0 0、トランジスタ 5 0 0、またはトランジスタ 3 0 0 と接続するプラグ、または配線としての機能を有する。導電体 5 4 6、および導電体 5 4 8 は、導電体 3 2 8、および導電体 3 3 0 と同様の材料を用いて設けることができる。

50

## 【 0 2 6 9 】

続いて、トランジスタ 5 0 0 の上方には、容量素子 6 0 0 が設けられている。容量素子 6 0 0 は、導電体 6 1 0 と、導電体 6 2 0、絶縁体 6 3 0 とを有する。

## 【 0 2 7 0 】

また、導電体 5 4 6、および導電体 5 4 8 上に、導電体 6 1 2 を設けてもよい。導電体 6 1 2 は、トランジスタ 5 0 0 と接続するプラグ、または配線としての機能を有する。導電体 6 1 0 は、容量素子 6 0 0 の電極としての機能を有する。なお、導電体 6 1 2、および導電体 6 1 0 は、同時に形成することができる。

## 【 0 2 7 1 】

導電体 6 1 2、および導電体 6 1 0 には、モリブデン、チタン、タンタル、タングステン、アルミニウム、銅、クロム、ネオジウム、スカンジウムから選ばれた元素を含む金属膜、または上述した元素を成分とする金属窒化物膜（窒化タンタル膜、窒化チタン膜、窒化モリブデン膜、窒化タングステン膜）等を用いることができる。または、インジウム錫酸化物、酸化タングステンを含むインジウム酸化物、酸化タングステンを含むインジウム亜鉛酸化物、酸化チタンを含むインジウム酸化物、酸化チタンを含むインジウム錫酸化物、インジウム亜鉛酸化物、酸化ケイ素を添加したインジウム錫酸化物などの導電性材料を適用することもできる。

10

## 【 0 2 7 2 】

図 8 では、導電体 6 1 2、および導電体 6 1 0 は単層構造として示しているが、当該構成に限定されず、2 層以上の積層構造でもよい。例えば、バリア性を有する導電体と導電性が高い導電体との間に、バリア性を有する導電体、および導電性が高い導電体に対して密着性が高い導電体を形成してもよい。

20

## 【 0 2 7 3 】

絶縁体 6 3 0 を介して、導電体 6 1 0 と重畳するように、導電体 6 2 0 を設ける。なお、導電体 6 2 0 は、金属材料、合金材料、または金属酸化物材料などの導電性材料を用いることができる。耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましく、特にタングステンを用いることが好ましい。また、導電体などの他の構造と同時に形成する場合は、低抵抗金属材料である Cu（銅）や Al（アルミニウム）等を用いればよい。

## 【 0 2 7 4 】

導電体 6 2 0、および絶縁体 6 3 0 上には、絶縁体 6 5 0 が設けられている。絶縁体 6 5 0 は、絶縁体 3 2 0 と同様の材料を用いて設けることができる。また、絶縁体 6 5 0 は、その下方の凹凸形状を被覆する平坦化膜として機能してもよい。

30

## 【 0 2 7 5 】

本構造を用いることで、OS トランジスタを有する半導体装置において、電気特性の変動を抑制するとともに、信頼性を向上させることができる。または、オン電流が大きい OS トランジスタを提供することができる。または、オフ電流が小さい OS トランジスタを提供することができる。または、データを長時間保持することができる半導体装置を提供することができる。または、OS トランジスタを有する半導体装置において、微細化または高集積化を図ることができる。

40

## 【 0 2 7 6 】

< トランジスタの構造例 >

なお、本実施の形態に示す半導体装置のトランジスタ 5 0 0 は、上記の構造に限られるものではない。以下、トランジスタ 5 0 0 に用いることができる構造例について説明する。

## 【 0 2 7 7 】

< トランジスタの構造例 1 >

図 1 0 A、図 1 0 B および図 1 0 C を用いてトランジスタ 5 1 0 A の構造例を説明する。図 1 0 A はトランジスタ 5 1 0 A の上面図である。図 1 0 B は、図 1 0 A に一点鎖線 L 1 - L 2 で示す部位の断面図である。図 1 0 C は、図 1 0 A に一点鎖線 W 1 - W 2 で示す部位の断面図である。なお、図 1 0 A の上面図では、図の明瞭化のために一部の要素を省い

50

て図示している。

【0278】

図10A、図10Bおよび図10Cでは、トランジスタ510Aと、層間膜として機能する絶縁体511、絶縁体512、絶縁体514、絶縁体516、絶縁体580、絶縁体582、および絶縁体584を示している。また、トランジスタ510Aと電氣的に接続し、コンタクトプラグとして機能する導電体546（導電体546a、および導電体546b）と、配線として機能する導電体503と、を示している。

【0279】

トランジスタ510Aは、第1のゲート電極として機能する導電体560（導電体560a、および導電体560b）と、第2のゲート電極として機能する導電体505（導電体505a、および導電体505b）と、第1のゲート絶縁膜として機能する絶縁体550と、第2のゲート絶縁膜として機能する絶縁体521、絶縁体522、および絶縁体524と、チャンネルが形成される領域を有する酸化物530（酸化物530a、酸化物530b、および酸化物530c）と、ソースまたはドレインの一方として機能する導電体542aと、ソースまたはドレインの他方として機能する導電体542bと、絶縁体574とを有する。

【0280】

また、図10Bに示すように、トランジスタ510Aでは、酸化物530c、絶縁体550、および導電体560が、絶縁体580に設けられた開口部内に、絶縁体574を介して配置される。また、酸化物530c、絶縁体550、および導電体560は、導電体542a、および導電体542bとの間に配置される。

【0281】

絶縁体511、および絶縁体512は、層間膜として機能する。

【0282】

層間膜としては、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、酸化アルミニウム、酸化窒化アルミニウム、窒化酸化アルミニウム、窒化アルミニウム、酸化ハフニウム、酸化窒化ハフニウム、窒化酸化ハフニウム、窒化ハフニウム、酸化タンタル、酸化ジルコニウム、チタン酸ジルコニウム酸鉛（PZT）、チタン酸ストロンチウム（ $\text{SrTiO}_3$ ）または（ $\text{Ba, Sr}$ ） $\text{TiO}_3$ （BST）などの絶縁体を単層または積層で用いることができる。またはこれらの絶縁体に、例えば、酸化アルミニウム、酸化ビスマス、酸化ゲルマニウム、酸化ニオブ、酸化シリコン、酸化チタン、酸化タンゲステン、酸化イットリウム、酸化ジルコニウムを添加してもよい。またはこれらの絶縁体を窒化処理してもよい。上記の絶縁体に酸化シリコン、酸化窒化シリコンまたは窒化シリコンを積層して用いてもよい。

【0283】

例えば、絶縁体511は、水または水素などの不純物が、基板側からトランジスタ510Aに混入するのを抑制するバリア膜として機能することが好ましい。したがって、絶縁体511は、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する（上記不純物が透過しにくい）絶縁性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する（上記酸素が透過しにくい）絶縁性材料を用いることが好ましい。また、例えば、絶縁体511として酸化アルミニウムや窒化シリコンなどを用いてもよい。当該構成により、水素、水などの不純物が絶縁体511よりも基板側からトランジスタ510A側に拡散するのを抑制することができる。

【0284】

例えば、絶縁体512は、絶縁体511よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

【0285】

導電体503は、絶縁体512に埋め込まれるように形成される。ここで、導電体503の上面の高さと、絶縁体512の上面の高さは同程度にできる。なお導電体503は、単

10

20

30

40

50

層とする構成について示しているが、本発明はこれに限られるものではない。例えば、導電体503を2層以上の多層膜構造としてもよい。なお、導電体503は、タングステン、銅、またはアルミニウムを主成分とする導電性が高い導電性材料を用いることが好ましい。

【0286】

トランジスタ510Aにおいて、導電体560は、第1のゲート電極として機能する場合がある。また、導電体505は、第2のゲート電極として機能する場合がある。その場合、導電体505に印加する電位を、導電体560に印加する電位と連動させず、独立して変化させることで、トランジスタ510Aのしきい値電圧を制御することができる。特に、導電体505に負の電位を印加することにより、トランジスタ510Aのしきい値電圧を0Vより大きくし、オフ電流を低減することが可能となる。したがって、導電体505に負の電位を印加したほうが、印加しない場合よりも、導電体560に印加する電位が0Vのときのドレイン電流を小さくすることができる。

10

【0287】

また、例えば、導電体505と、導電体560とを重畳して設けることで、導電体560、および導電体505に電位を印加した場合、導電体560から生じる電界と、導電体505から生じる電界と、がつながり、酸化物530に形成されるチャネル形成領域を覆うことができる。

【0288】

つまり、第1のゲート電極としての機能を有する導電体560の電界と、第2のゲート電極としての機能を有する導電体505の電界によって、チャネル形成領域を電気的に取り囲むことができる。すなわち、先に記載のトランジスタ500と同様に、surrounded channel (S-channel) 構造である。

20

【0289】

絶縁体514、および絶縁体516は、絶縁体511または絶縁体512と同様に、層間膜として機能する。例えば、絶縁体514は、水または水素などの不純物が、基板側からトランジスタ510Aに混入するのを抑制するバリア膜として機能することが好ましい。当該構成により、水素、水などの不純物が絶縁体514よりも基板側からトランジスタ510A側に拡散するのを抑制することができる。また、例えば、絶縁体516は、絶縁体514よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

30

【0290】

第2のゲートとして機能する導電体505は、絶縁体514および絶縁体516の開口の内壁に接して導電体505aが形成され、さらに内側に導電体505bが形成されている。ここで、導電体505aおよび導電体505bの上面の高さ、絶縁体516の上面の高さは同程度にできる。なお、トランジスタ510Aでは、導電体505aおよび導電体505bを積層する構成について示しているが、本発明はこれに限られるものではない。例えば、導電体505は、単層、または3層以上の積層構造として設ける構成にしてもよい。

【0291】

ここで、導電体505aは、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する(上記不純物が透過しにくい)導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一つ)の拡散を抑制する機能を有する(上記酸素が透過しにくい)導電性材料を用いることが好ましい。なお、本明細書等において、不純物、または酸素の拡散を抑制する機能とは、上記不純物、または上記酸素のいずれか一つ、または、すべての拡散を抑制する機能とする。

40

【0292】

例えば、導電体505aが酸素の拡散を抑制する機能を持つことにより、導電体505bが酸化して導電率が低下することを抑制することができる。

【0293】

50

また、導電体 5 0 5 が配線の機能を兼ねる場合、導電体 5 0 5 b は、タングステン、銅、またはアルミニウムを主成分とする、導電性が高い導電性材料を用いることが好ましい。その場合、導電体 5 0 3 は、必ずしも設けなくともよい。なお、導電体 5 0 5 b を単層で図示したが、積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。

【 0 2 9 4 】

絶縁体 5 2 1、絶縁体 5 2 2、および絶縁体 5 2 4 は、第 2 のゲート絶縁膜としての機能を有する。

【 0 2 9 5 】

また、絶縁体 5 2 2 は、バリア性を有することが好ましい。絶縁体 5 2 2 がバリア性を有することで、トランジスタ 5 1 0 A の周辺部からトランジスタ 5 1 0 A への水素等の不純物の混入を抑制する層として機能する。

10

【 0 2 9 6 】

絶縁体 5 2 2 は、例えば、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）、アルミニウムおよびハフニウムを含む酸化窒化物、酸化タンタル、酸化ジルコニウム、チタン酸ジルコン酸鉛（PZT）、チタン酸ストロンチウム（ $SrTiO_3$ ）または（ $Ba, Sr$ ） $TiO_3$ （BST）などを含む絶縁体を単層または積層で用いることが好ましい。トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。ゲート絶縁膜として機能する絶縁体に high-k 材料を用いることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。

20

【 0 2 9 7 】

また、絶縁体 5 2 1 は、熱的に安定していることが好ましい。例えば、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため、好適である。また、high-k 材料の絶縁体を酸化シリコン、または酸化窒化シリコンと組み合わせることで、熱的に安定かつ比誘電率の高い積層構造の絶縁体 5 2 1 を得ることができる。

【 0 2 9 8 】

なお、図 1 0 B、図 1 0 C には、第 2 のゲート絶縁膜として、3 層の積層構造を示したが、2 層以下、または 4 層以上の積層構造としてもよい。その場合、同じ材料からなる積層構造に限定されず、異なる材料からなる積層構造でもよい。

30

【 0 2 9 9 】

チャネル形成領域として機能する領域を有する酸化物 5 3 0 は、酸化物 5 3 0 a と、酸化物 5 3 0 a 上の酸化物 5 3 0 b と、酸化物 5 3 0 b 上の酸化物 5 3 0 c と、を有する。酸化物 5 3 0 b 下に酸化物 5 3 0 a を有することで、酸化物 5 3 0 a よりも下方に形成された構造物から、酸化物 5 3 0 b への不純物の拡散を抑制することができる。また、酸化物 5 3 0 b 上に酸化物 5 3 0 c を有することで、酸化物 5 3 0 c よりも上方に形成された構造物から、酸化物 5 3 0 b への不純物の拡散を抑制することができる。酸化物 5 3 0 として、上述した金属酸化物の一種である酸化物半導体を用いることができる。

【 0 3 0 0 】

なお、酸化物 5 3 0 c は、絶縁体 5 8 0 に設けられた開口部内に、絶縁体 5 7 4 を介して設けられることが好ましい。絶縁体 5 7 4 がバリア性を有する場合、絶縁体 5 8 0 からの不純物が酸化物 5 3 0 へと拡散することを抑制することができる。

40

【 0 3 0 1 】

導電体 5 4 2 は、一方がソース電極として機能し、他方がドレイン電極として機能する。

【 0 3 0 2 】

導電体 5 4 2 a と、導電体 5 4 2 b とは、アルミニウム、チタン、クロム、ニッケル、銅、イットリウム、ジルコニウム、モリブデン、銀、タンタル、またはタングステンなどの金属、またはこれを主成分とする合金を用いることができる。特に、窒化タンタルなどの金属窒化物膜は、水素または酸素に対するバリア性があり、また、耐酸化性が高いため、好ましい。

50

## 【0303】

また、図10Bでは単層構造を示したが、2層以上の積層構造としてもよい。例えば、窒化タンタル膜とタングステン膜を積層するとよい。また、チタン膜とアルミニウム膜を積層してもよい。また、タングステン膜上にアルミニウム膜を積層する二層構造、銅-マグネシウム-アルミニウム合金膜上に銅膜を積層する二層構造、チタン膜上に銅膜を積層する二層構造、タングステン膜上に銅膜を積層する二層構造としてもよい。

## 【0304】

また、チタン膜または窒化チタン膜と、そのチタン膜または窒化チタン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にチタン膜または窒化チタン膜を形成する三層構造、モリブデン膜または窒化モリブデン膜と、そのモリブデン膜または窒化モリブデン膜上に重ねてアルミニウム膜または銅膜を積層し、さらにその上にモリブデン膜または窒化モリブデン膜を形成する三層構造等がある。なお、酸化インジウム、酸化錫または酸化亜鉛を含む透明導電材料を用いてもよい。

10

## 【0305】

また、導電体542上に、バリア層を設けてもよい。バリア層は、酸素、または水素に対してバリア性を有する物質を用いることが好ましい。当該構成により、絶縁体574を成膜する際に、導電体542が酸化することを抑制することができる。

## 【0306】

バリア層には、例えば、金属酸化物を用いることができる。特に、酸化アルミニウム、酸化ハフニウム、酸化ガリウムなどの、酸素や水素に対してバリア性のある絶縁膜を用いることが好ましい。また、CVD法で形成した窒化シリコンを用いてもよい。

20

## 【0307】

バリア層を有することで、導電体542の材料選択の幅を広げることができる。例えば、導電体542に、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、または加工がしやすい導電体を用いることができる。

## 【0308】

絶縁体550は、第1のゲート絶縁膜として機能する。絶縁体550は、絶縁体580に設けられた開口部内に、酸化物530c、および絶縁体574を介して設けられることが好ましい。

30

## 【0309】

トランジスタの微細化、および高集積化が進むと、ゲート絶縁膜の薄膜化により、リーク電流などの問題が生じる場合がある。その場合、絶縁体550は、第2のゲート絶縁膜と同様に、積層構造としてもよい。ゲート絶縁膜として機能する絶縁体を、high-k材料と、熱的に安定している材料との積層構造とすることで、物理膜厚を保ちながら、トランジスタ動作時のゲート電位の低減が可能となる。また、熱的に安定かつ比誘電率の高い積層構造とすることができる。

## 【0310】

第1のゲート電極として機能する導電体560は、導電体560a、および導電体560a上の導電体560bを有する。導電体560aは、導電体505aと同様に、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素(例えば、酸素原子、酸素分子などの少なくとも一つ)の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

40

## 【0311】

導電体560aが酸素の拡散を抑制する機能を持つことにより、導電体560bの材料選択性を向上することができる。つまり、導電体560aを有することで、導電体560bの酸化が抑制され、導電率が低下することを防止することができる。

## 【0312】

酸素の拡散を抑制する機能を有する導電性材料としては、例えば、タンタル、窒化タンタル、ルテニウムまたは酸化ルテニウムなどを用いることが好ましい。また、導電体560

50

aとして、酸化物530として用いることができる酸化物半導体を用いることができる。その場合、導電体560bをスパッタリング法で成膜することで、導電体560aの電気抵抗値を低下させて導電体とすることができる。これをOC(Oxide Conductor)電極と呼ぶことができる。

【0313】

導電体560bは、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることが好ましい。また、導電体560は、配線として機能するため、導電体560bに導電性が高い導電体を用いることが好ましい。例えば、タングステン、銅、またはアルミニウムを主成分とする導電性材料を用いることができる。また、導電体560bは積層構造としてもよく、例えば、チタン又は窒化チタンと上記導電性材料との積層としてもよい。

10

【0314】

絶縁体580と、トランジスタ510Aとの間に絶縁体574を配置する。絶縁体574は、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

【0315】

絶縁体574を有することで、絶縁体580が有する水、および水素などの不純物が酸化物530c、絶縁体550を介して、酸化物530bに拡散することを抑制することができる。また、絶縁体580が有する過剰酸素により、導電体560が酸化するのを抑制することができる。

20

【0316】

絶縁体580、絶縁体582、および絶縁体584は、層間膜として機能する。

【0317】

絶縁体582は、絶縁体514と同様に、水または水素などの不純物が、外部からトランジスタ510Aに混入するのを抑制するバリア絶縁膜として機能することが好ましい。

【0318】

また、絶縁体580、および絶縁体584は、絶縁体516と同様に、絶縁体582よりも誘電率が低いことが好ましい。誘電率が低い材料を層間膜とすることで、配線間に生じる寄生容量を低減することができる。

30

【0319】

また、トランジスタ510Aは、絶縁体580、絶縁体582、および絶縁体584に埋め込まれた導電体546などのプラグや配線を介して、他の構造と電氣的に接続してもよい。

【0320】

また、導電体546の材料としては、導電体505と同様に、金属材料、合金材料、金属窒化物材料、または金属酸化物材料などの導電性材料を、単層または積層して用いることができる。例えば、耐熱性と導電性を両立するタングステンやモリブデンなどの高融点材料を用いることが好ましい。または、アルミニウムや銅などの低抵抗導電性材料で形成することが好ましい。低抵抗導電性材料を用いることで配線抵抗を低くすることができる。

40

【0321】

例えば、導電体546として、水素、および酸素に対してバリア性を有する導電体である窒化タンタル等と、導電性が高いタングステンとの積層構造を用いることで、配線としての導電性を保持したまま、外部からの不純物の拡散を抑制することができる。

【0322】

上記構造を有することで、オン電流が大きいOSトランジスタを提供することができる。または、オフ電流が小さいOSトランジスタを提供することができる。または、OSトランジスタを有する半導体装置において、電気特性の変動を抑制するとともに、信頼性を向

50

上させることができる。

【0323】

<トランジスタの構造例2>

図11A、図11Bおよび図11Cを用いてトランジスタ510Bの構造例を説明する。図11Aはトランジスタ510Bの上面図である。図11Bは、図11Aに一点鎖線L1-L2で示す部位の断面図である。図11Cは、図11Aに一点鎖線W1-W2で示す部位の断面図である。なお、図11Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

【0324】

トランジスタ510Bはトランジスタ510Aの変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ510Aと異なる点について説明する。

10

【0325】

トランジスタ510Bは、導電体542（導電体542a、および導電体542b）と、酸化物530c、絶縁体550、および導電体560とが重畳する領域を有する。当該構造とすることで、オン電流が高いトランジスタを提供することができる。また、制御性が高いトランジスタを提供することができる。

【0326】

第1のゲート電極として機能する導電体560は、導電体560a、および導電体560a上の導電体560bを有する。導電体560aは、導電体505aと同様に、水素原子、水素分子、水分子、銅原子などの不純物の拡散を抑制する機能を有する導電性材料を用いることが好ましい。または、酸素（例えば、酸素原子、酸素分子などの少なくとも一つ）の拡散を抑制する機能を有する導電性材料を用いることが好ましい。

20

【0327】

導電体560aが酸素の拡散を抑制する機能を持つことにより、導電体560bの材料選択性を向上することができる。つまり、導電体560aを有することで、導電体560bの酸化が抑制され、導電率が低下することを防止することができる。

【0328】

また、導電体560の上面および側面、絶縁体550の側面、および酸化物530cの側面を覆うように、絶縁体574を設けることが好ましい。なお、絶縁体574は、水または水素などの不純物、および酸素の拡散を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。また、他にも、例えば、酸化マグネシウム、酸化ガリウム、酸化ゲルマニウム、酸化イットリウム、酸化ジルコニウム、酸化ランタン、酸化ネオジムまたは酸化タンタルなどの金属酸化物、窒化酸化シリコンまたは窒化シリコンなどを用いることができる。

30

【0329】

絶縁体574を設けることで、導電体560の酸化を抑制することができる。また、絶縁体574を有することで、絶縁体580が有する水、および水素などの不純物がトランジスタ510Bへ拡散することを抑制することができる。

【0330】

また、導電体546と、絶縁体580との間に、バリア性を有する絶縁体576（絶縁体576a、および絶縁体576b）を配置してもよい。絶縁体576を設けることで、絶縁体580の酸素が導電体546と反応し、導電体546が酸化することを抑制することができる。

40

【0331】

また、バリア性を有する絶縁体576を設けることで、プラグや配線に用いられる導電体の材料選択の幅を広げることができる。例えば、導電体546に、酸素を吸収する性質を持つ一方で、導電性が高い金属材料を用いることで、低消費電力の半導体装置を提供することができる。具体的には、タングステンや、アルミニウムなどの耐酸化性が低い一方で導電性が高い材料を用いることができる。また、例えば、成膜、または加工がしやすい導電体を用いることができる。

50

## 【 0 3 3 2 】

<トランジスタの構造例 3 >

図 1 2 A、図 1 2 B および 図 1 2 C を用いてトランジスタ 5 1 0 C の構造例を説明する。図 1 2 A はトランジスタ 5 1 0 C の上面図である。図 1 2 B は、図 1 2 A に一点鎖線 L 1 - L 2 で示す部位の断面図である。図 1 2 C は、図 1 2 A に一点鎖線 W 1 - W 2 で示す部位の断面図である。なお、図 1 2 A の上面図では、図の明瞭化のために一部の要素を省いて図示している。

## 【 0 3 3 3 】

トランジスタ 5 1 0 C はトランジスタ 5 1 0 A の変形例である。よって、説明の繰り返しを防ぐため、主にトランジスタ 5 1 0 A と異なる点について説明する。

10

## 【 0 3 3 4 】

図 1 2 A、図 1 2 B および 図 1 2 C に示すトランジスタ 5 1 0 C は、導電体 5 4 2 a と酸化物 5 3 0 b の間に導電体 5 4 7 a が配置され、導電体 5 4 2 b と酸化物 5 3 0 b の間に導電体 5 4 7 b が配置されている。ここで、導電体 5 4 2 a (導電体 5 4 2 b) は、導電体 5 4 7 a (導電体 5 4 7 b) の上面および導電体 5 6 0 側の側面を越えて延在し、酸化物 5 3 0 b の上面に接する領域を有する。ここで、導電体 5 4 7 は、導電体 5 4 2 に用いることができる導電体を用いればよい。さらに、導電体 5 4 7 の膜厚は、少なくとも導電体 5 4 2 より厚いことが好ましい。

## 【 0 3 3 5 】

図 1 2 A、図 1 2 B および 図 1 2 C に示すトランジスタ 5 1 0 C は、上記のような構成を有することにより、トランジスタ 5 1 0 A よりも、導電体 5 4 2 を導電体 5 6 0 に近づけることができる。または、導電体 5 4 2 a の端部および導電体 5 4 2 b の端部と、導電体 5 6 0 を重ねることができる。これにより、トランジスタ 5 1 0 C の実質的なチャンネル長を短くし、オン電流および周波数特性の向上を図ることができる。

20

## 【 0 3 3 6 】

また、導電体 5 4 7 a (導電体 5 4 7 b) は、導電体 5 4 2 a (導電体 5 4 2 b) と重畳して設けられることが好ましい。このような構成にすることで、導電体 5 4 6 a (導電体 5 4 6 b) を埋め込む開口を形成するエッチングにおいて、導電体 5 4 7 a (導電体 5 4 7 b) がストップとして機能し、酸化物 5 3 0 b がオーバーエッチングされるのを防ぐことができる。

30

## 【 0 3 3 7 】

また、図 1 2 A、図 1 2 B および 図 1 2 C に示すトランジスタ 5 1 0 C は、絶縁体 5 4 4 の上に接して絶縁体 5 4 5 を配置する構成にしてもよい。絶縁体 5 4 4 としては、水または水素などの不純物や、過剰な酸素が、絶縁体 5 8 0 側からトランジスタ 5 1 0 C に混入するのを抑制するバリア絶縁膜として機能することが好ましい。絶縁体 5 4 5 としては、絶縁体 5 4 4 に用いることができる絶縁体を用いることができる。また、絶縁体 5 4 4 としては、例えば、窒化アルミニウム、窒化アルミニウムチタン、窒化チタン、窒化シリコンまたは窒化酸化シリコンなどの、窒化物絶縁体を用いてもよい。

## 【 0 3 3 8 】

また、図 1 2 A、図 1 2 B および 図 1 2 C に示すトランジスタ 5 1 0 C は、図 1 0 A、図 1 0 B および 図 1 0 C に示すトランジスタ 5 1 0 A と異なり、導電体 5 0 5 を単層構造で設けてもよい。この場合、パターン形成された導電体 5 0 5 の上に絶縁体 5 1 6 となる絶縁膜を成膜し、当該絶縁膜の上部を、導電体 5 0 5 の上面が露出するまで CMP 法などを用いて除去すればよい。ここで、導電体 5 0 5 の上面の平坦性を良好にすることが好ましい。例えば、導電体 5 0 5 上面の平均面粗さ (R a) を 1 n m 以下、好ましくは 0 . 5 n m 以下、より好ましくは 0 . 3 n m 以下にすればよい。これにより、導電体 5 0 5 の上に形成される、絶縁層の平坦性を良好にし、酸化物 5 3 0 b および酸化物 5 3 0 c の結晶性の向上を図ることができる。

40

## 【 0 3 3 9 】

<トランジスタの構造例 4 >

50

図 1 3 A、図 1 3 B および 図 1 3 C を用いてトランジスタ 5 1 0 D の構造例を説明する。図 1 3 A はトランジスタ 5 1 0 D の上面図である。図 1 3 B は、図 1 3 A に一点鎖線 L 1 - L 2 で示す部位の断面図である。図 1 3 C は、図 1 3 A に一点鎖線 W 1 - W 2 で示す部位の断面図である。なお、図 1 3 A の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【 0 3 4 0 】

トランジスタ 5 1 0 D は上記トランジスタの変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

【 0 3 4 1 】

図 1 3 A、図 1 3 B および 図 1 3 C では、導電体 5 0 3 を設けずに、第 2 のゲートとしての機能を有する導電体 5 0 5 を配線としても機能させている。また、酸化物 5 3 0 c 上に絶縁体 5 5 0 を有し、絶縁体 5 5 0 上に金属酸化物 5 5 2 を有する。また、金属酸化物 5 5 2 上に導電体 5 6 0 を有し、導電体 5 6 0 上に絶縁体 5 7 0 を有する。また、絶縁体 5 7 0 上に絶縁体 5 7 1 を有する。

10

【 0 3 4 2 】

金属酸化物 5 5 2 は、酸素拡散を抑制する機能を有することが好ましい。絶縁体 5 5 0 と、導電体 5 6 0 との間に、酸素の拡散を抑制する金属酸化物 5 5 2 を設けることで、導電体 5 6 0 への酸素の拡散が抑制される。つまり、酸化物 5 3 0 へ供給する酸素量の減少を抑制することができる。また、酸素による導電体 5 6 0 の酸化を抑制することができる。

【 0 3 4 3 】

なお、金属酸化物 5 5 2 は、第 1 のゲートの一部としての機能を有してもよい。例えば、酸化物 5 3 0 として用いることができる酸化物半導体を、金属酸化物 5 5 2 として用いることができる。その場合、導電体 5 6 0 をスパッタリング法で成膜することで、金属酸化物 5 5 2 の電気抵抗値を低下させて導電層とすることができる。これを O C ( O x i d e C o n d u c t o r ) 電極と呼ぶことができる。

20

【 0 3 4 4 】

また、金属酸化物 5 5 2 は、ゲート絶縁膜の一部としての機能を有する場合がある。したがって、絶縁体 5 5 0 に酸化シリコンや酸化窒化シリコンなどを用いる場合、金属酸化物 5 5 2 は、比誘電率が高い h i g h - k 材料である金属酸化物を用いることが好ましい。当該積層構造とすることで、熱に対して安定、かつ比誘電率の高い積層構造とすることができる。したがって、物理膜厚を保持したまま、トランジスタ動作時に印加するゲート電位の低減が可能となる。また、ゲート絶縁膜として機能する絶縁層の等価酸化膜厚 ( E O T ) の薄膜化が可能となる。

30

【 0 3 4 5 】

トランジスタ 5 1 0 D において、金属酸化物 5 5 2 を単層で示したが、2 層以上の積層構造としてもよい。例えば、ゲート電極の一部として機能する金属酸化物と、ゲート絶縁膜の一部として機能する金属酸化物とを積層して設けてもよい。

【 0 3 4 6 】

金属酸化物 5 5 2 を有することで、ゲート電極として機能する場合は、導電体 5 6 0 からの電界の影響を弱めることなく、トランジスタ 5 1 0 D のオン電流の向上を図ることができる。または、ゲート絶縁膜として機能する場合は、絶縁体 5 5 0 と、金属酸化物 5 5 2 との物理的な厚みにより、導電体 5 6 0 と、酸化物 5 3 0 との間の距離を保つことで、導電体 5 6 0 と酸化物 5 3 0 との間のリーク電流を抑制することができる。従って、絶縁体 5 5 0、および金属酸化物 5 5 2 との積層構造を設けることで、導電体 5 6 0 と酸化物 5 3 0 との間の物理的な距離、および導電体 5 6 0 から酸化物 5 3 0 へかかる電界強度を、容易に適宜調整することができる。

40

【 0 3 4 7 】

具体的には、金属酸化物 5 5 2 として、酸化物 5 3 0 に用いることができる酸化物半導体を低抵抗化することで、金属酸化物 5 5 2 として用いることができる。または、ハフニウム、アルミニウム、ガリウム、イットリウム、ジルコニウム、タングステン、チタン、タ

50

ンタル、ニッケル、ゲルマニウム、または、マグネシウムなどから選ばれた一種、または二種以上が含まれた金属酸化物を用いることができる。

【0348】

特に、アルミニウム、またはハフニウム的一方または双方の酸化物を含む絶縁層である、酸化アルミニウム、酸化ハフニウム、アルミニウムおよびハフニウムを含む酸化物（ハフニウムアルミネート）などを用いることが好ましい。特に、ハフニウムアルミネートは、酸化ハフニウム膜よりも、耐熱性が高い。そのため、後の工程での熱処理において、結晶化しにくいいため好ましい。なお、金属酸化物552は、必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

【0349】

絶縁体570は、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いるとよい。例えば、酸化アルミニウムまたは酸化ハフニウムなどを用いることが好ましい。これにより、絶縁体570よりも上方からの酸素で導電体560が酸化するのを抑制することができる。また、絶縁体570よりも上方からの水または水素などの不純物が、導電体560および絶縁体550を介して、酸化物530に混入することを抑制することができる。

【0350】

絶縁体571はハードマスクとして機能する。絶縁体571を設けることで、導電体560の加工の際、導電体560の側面が概略垂直、具体的には、導電体560の側面と基板表面のなす角を、75度以上100度以下、好ましくは80度以上95度以下とすることができる。

【0351】

なお、絶縁体571に、水または水素などの不純物、および酸素の透過を抑制する機能を有する絶縁性材料を用いることで、バリア層としての機能を兼ねさせてもよい。その場合、絶縁体570は設けなくともよい。

【0352】

絶縁体571をハードマスクとして用いて、絶縁体570、導電体560、金属酸化物552、絶縁体550、および酸化物530cの一部を選択的に除去することで、これらの側面を略一致させて、かつ、酸化物530b表面の一部を露出させることができる。

【0353】

また、トランジスタ510Dは、露出した酸化物530bの一部に領域531aおよび領域531bを有する。領域531aまたは領域531bの一方はソース領域として機能し、他方はドレイン領域として機能する。

【0354】

領域531aおよび領域531bの形成は、例えば、イオン注入法、イオンドーピング法、プラズマイメージョンイオン注入法、またはプラズマ処理などを用いて、露出した酸化物530b表面からリンまたはホウ素などの不純物元素を導入することで実現できる。なお、本実施の形態などにおいて「不純物元素」とは、主成分元素以外の元素のことをいう。

【0355】

また、酸化物530b表面の一部を露出させた後に金属膜を成膜し、その後加熱処理することにより、該金属膜に含まれる元素を酸化物530bに拡散させて領域531aおよび領域531bを形成することもできる。

【0356】

酸化物530bの不純物元素が導入された領域は、電気抵抗率が低下する。このため、領域531aおよび領域531bを「不純物領域」または「低抵抗領域」という場合がある。

【0357】

絶縁体571および/または導電体560をマスクとして用いることで、領域531aおよび領域531bを自己整合（セルフアライメント）的に形成することができる。よって、領域531aおよび/または領域531bと、導電体560が重ならず、寄生容量を低減することができる。また、チャネル形成領域とソースドレイン領域（領域531aまた

10

20

30

40

50

は領域 5 3 1 b) の間にオフセット領域が形成されない。領域 5 3 1 a および領域 5 3 1 b を自己整合 (セルフアライメント) 的に形成することにより、オン電流の増加、しきい値電圧の低減、動作周波数の向上などを実現できる。

【 0 3 5 8 】

なお、オフ電流を更に低減するため、チャンネル形成領域とソースドレイン領域の間にオフセット領域を設けてもよい。オフセット領域とは、電気抵抗率が高い領域であり、前述した不純物元素の導入が行なわれない領域である。オフセット領域の形成は、絶縁体 5 7 5 の形成後に前述した不純物元素の導入を行なうことで実現できる。この場合、絶縁体 5 7 5 も絶縁体 5 7 1 などと同様にマスクとして機能する。よって、酸化物 5 3 0 b の絶縁体 5 7 5 と重なる領域に不純物元素が導入されず、該領域の電気抵抗率を高いままとすることができる。

10

【 0 3 5 9 】

また、トランジスタ 5 1 0 D は、絶縁体 5 7 0、導電体 5 6 0、金属酸化物 5 5 2、絶縁体 5 5 0、および酸化物 5 3 0 c の側面に絶縁体 5 7 5 を有する。絶縁体 5 7 5 は、比誘電率の低い絶縁体であることが好ましい。例えば、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、窒化シリコン、フッ素を添加した酸化シリコン、炭素を添加した酸化シリコン、炭素および窒素を添加した酸化シリコン、空孔を有する酸化シリコン、または樹脂などであることが好ましい。特に、酸化シリコン、酸化窒化シリコン、窒化酸化シリコン、空孔を有する酸化シリコンを絶縁体 5 7 5 に用いると、後の工程で絶縁体 5 7 5 中に過剰酸素領域を容易に形成できるため好ましい。また、酸化シリコンおよび酸化窒化シリコンは、熱的に安定であるため好ましい。また、絶縁体 5 7 5 は、酸素を拡散する機能を有することが好ましい。

20

【 0 3 6 0 】

また、トランジスタ 5 1 0 D は、絶縁体 5 7 5、酸化物 5 3 0 上に絶縁体 5 7 4 を有する。絶縁体 5 7 4 は、スパッタリング法を用いて成膜することが好ましい。スパッタリング法を用いることにより、水または水素などの不純物の少ない絶縁体を成膜することができる。例えば、絶縁体 5 7 4 として、酸化アルミニウムを用いるとよい。

【 0 3 6 1 】

なお、スパッタリング法を用いた酸化膜は、被成膜構造体から水素を引き抜く場合がある。従って、絶縁体 5 7 4 が酸化物 5 3 0 および絶縁体 5 7 5 から水素および水を吸収することで、酸化物 5 3 0 および絶縁体 5 7 5 の水素濃度を低減することができる。

30

【 0 3 6 2 】

< トランジスタの構造例 5 >

図 1 4 A、図 1 4 B および図 1 4 C を用いてトランジスタ 5 1 0 E の構造例を説明する。図 1 4 A はトランジスタ 5 1 0 E の上面図である。図 1 4 B は、図 1 4 A に一点鎖線 L 1 - L 2 で示す部位の断面図である。図 1 4 C は、図 1 4 A に一点鎖線 W 1 - W 2 で示す部位の断面図である。なお、図 1 4 A の上面図では、図の明瞭化のために一部の要素を省いて図示している。

【 0 3 6 3 】

トランジスタ 5 1 0 E は上記トランジスタの変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

40

【 0 3 6 4 】

図 1 4 A、図 1 4 B および図 1 4 C では、導電体 5 4 2 を設けずに、露出した酸化物 5 3 0 b の一部に領域 5 3 1 a および領域 5 3 1 b を有する。領域 5 3 1 a または領域 5 3 1 b の一方はソース領域として機能し、他方はドレイン領域として機能する。また、酸化物 5 3 0 b と、絶縁体 5 7 4 の間に、絶縁体 5 7 3 を有する。

【 0 3 6 5 】

図 1 4 B に示す、領域 5 3 1 (領域 5 3 1 a、および領域 5 3 1 b) は、酸化物 5 3 0 b に下記の元素が添加された領域である。領域 5 3 1 は、例えば、ダミーゲートを用いることで形成することができる。

50

## 【0366】

具体的には、酸化物530b上にダミーゲートを設け、当該ダミーゲートをマスクとして用い、上記酸化物530bを低抵抗化する元素を添加するとよい。つまり、酸化物530が、ダミーゲートと重畳していない領域に、当該元素が添加され、領域531が形成される。なお、当該元素の添加方法としては、イオン化された原料ガスを質量分離して添加するイオン注入法、イオン化された原料ガスを質量分離せずに添加するイオンドーピング法、プラズマイメージイオンインプランテーション法などを用いることができる。

## 【0367】

なお、酸化物530を低抵抗化する元素としては、代表的には、ホウ素、またはリンが挙げられる。また、水素、炭素、窒素、フッ素、硫黄、塩素、チタン、希ガス等を用いてもよい。希ガスの代表例としては、ヘリウム、ネオン、アルゴン、クリプトン、及びキセノン等がある。当該元素の濃度は、SIMSなどを用いて測定すればよい。

10

## 【0368】

特に、ホウ素およびリンは、例えば、低温ポリシリコントランジスタの製造ラインの装置を使用することができるため、好ましい。既存の設備を転用することができ、設備投資を抑制することができる。

## 【0369】

続いて、酸化物530b、およびダミーゲート上に、絶縁体573となる絶縁膜、および絶縁体574となる絶縁膜を成膜してもよい。絶縁体573となる絶縁膜、および絶縁体574となる絶縁膜を積層して設けることで、領域531と、酸化物530cおよび絶縁体550とが重畳する領域を設けることができる。

20

## 【0370】

具体的には、絶縁体574となる絶縁膜上に絶縁体580となる絶縁膜を設けた後、絶縁体580となる絶縁膜にCMP処理を行うことで、絶縁体580となる絶縁膜の一部を除去し、ダミーゲートを露出する。続いて、ダミーゲートを除去する際に、ダミーゲートと接する絶縁体573の一部も除去するとよい。従って、絶縁体580に設けられた開口部の側面には、絶縁体574、および絶縁体573が露出し、当該開口部の底面には、酸化物530bに設けられた領域531の一部が露出する。次に、当該開口部に酸化物530cとなる酸化膜、絶縁体550となる絶縁膜、および導電体560となる導電膜を順に成膜した後、絶縁体580が露出するまでCMP処理などにより、酸化物530cとなる酸化膜、絶縁体550となる絶縁膜、および導電体560となる導電膜の一部を除去することで、図14A、図14Bおよび図14Cに示すトランジスタを形成することができる。

30

## 【0371】

なお、絶縁体573、および絶縁体574は必須の構成ではない。求めるトランジスタ特性により、適宜設計すればよい。

## 【0372】

図14A、図14Bおよび図14Cに示すトランジスタは、既存の装置を転用することができ、さらに、導電体542を設けないため、コストの低減を図ることができる。

## 【0373】

<トランジスタの構造例6>

40

図15A、図15Bおよび図15Cを用いてトランジスタ510Fの構造例を説明する。図15Aはトランジスタ510Fの上面図である。図15Bは、図15Aに一点鎖線L1-L2で示す部位の断面図である。図15Cは、図15Aに一点鎖線W1-W2で示す部位の断面図である。なお、図15Aの上面図では、図の明瞭化のために一部の要素を省いて図示している。

## 【0374】

トランジスタ510Fはトランジスタ510Aの変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。

## 【0375】

トランジスタ510Aでは、絶縁体574の一部が絶縁体580に設けられた開口部内に

50

設けられ、導電体560の側面を覆うように設けられている。一方で、トランジスタ510Fでは絶縁体580と絶縁体574の一部を除去して開口が形成されている。

【0376】

また、導電体546と、絶縁体580との間に、バリア性を有する絶縁体576（絶縁体576a、および絶縁体576b）を配置してもよい。絶縁体576を設けることで、絶縁体580の酸素が導電体546と反応し、導電体546が酸化することを抑制することができる。

【0377】

なお、酸化物530として酸化物半導体を用いる場合は、各金属原子の原子数比が異なる複数の酸化物層の積層構造を有することが好ましい。具体的には、酸化物530aに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より大きいことが好ましい。また、酸化物530aに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530aに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。また、酸化物530cは、酸化物530aまたは酸化物530bに用いることができる金属酸化物を用いることができる。

10

【0378】

酸化物530a、酸化物530b、および酸化物530cは、結晶性を有することが好ましく、特に、CAAC-Osを用いることが好ましい。CAAC-Os等の結晶性を有する酸化物は、不純物や欠陥（酸素欠損等）が少なく、結晶性の高い、緻密な構造を有している。よって、ソース電極またはドレイン電極による、酸化物530bからの酸素の引き抜きを抑制することができる。これにより、熱処理を行っても、酸化物530bから酸素が引き抜かれることを低減できるので、トランジスタ510Fは、製造工程における高い温度（所謂サーマルバジェット）に対して安定である。

20

【0379】

なお、酸化物530aおよび酸化物530cの一方または双方を省略してもよい。酸化物530を酸化物530bの単層としてもよい。酸化物530を、酸化物530a、酸化物530b、および酸化物530cの積層とする場合は、酸化物530aおよび酸化物530cの伝導帯下端のエネルギーが、酸化物530bの伝導帯下端のエネルギーより高くなることが好ましい。また、言い換えると、酸化物530aおよび酸化物530cの電子親和力が、酸化物530bの電子親和力より小さいことが好ましい。この場合、酸化物530cは、酸化物530aに用いることができる金属酸化物を用いることが好ましい。具体的には、酸化物530cに用いる金属酸化物において、構成元素中の元素Mの原子数比が、酸化物530bに用いる金属酸化物における、構成元素中の元素Mの原子数比より大きいことが好ましい。また、酸化物530cに用いる金属酸化物において、Inに対する元素Mの原子数比が、酸化物530bに用いる金属酸化物における、Inに対する元素Mの原子数比より大きいことが好ましい。また、酸化物530bに用いる金属酸化物において、元素Mに対するInの原子数比が、酸化物530cに用いる金属酸化物における、元素Mに対するInの原子数比より大きいことが好ましい。

30

40

【0380】

ここで、酸化物530a、酸化物530b、および酸化物530cの接合部において、伝導帯下端のエネルギー準位はなだらかに変化する。換言すると、酸化物530a、酸化物530b、および酸化物530cの接合部における伝導帯下端のエネルギー準位は、連続的に変化または連続接合するともいうことができる。このようにするためには、酸化物530aと酸化物530bとの界面、および酸化物530bと酸化物530cとの界面において形成される混合層の欠陥準位密度を低くするとよい。

【0381】

具体的には、酸化物530aと酸化物530b、酸化物530bと酸化物530cが、酸

50

素以外に共通の元素を有する（主成分とする）ことで、欠陥準位密度が低い混合層を形成することができる。例えば、酸化物530bがIn-Ga-Zn酸化物の場合、酸化物530aおよび酸化物530cとして、In-Ga-Zn酸化物、Ga-Zn酸化物、酸化ガリウム等を用いてもよい。また、酸化物530cを積層構造としてもよい。例えば、In-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上のGa-Zn酸化物との積層構造、またはIn-Ga-Zn酸化物と、当該In-Ga-Zn酸化物上の酸化ガリウムとの積層構造を用いることができる。別言すると、In-Ga-Zn酸化物と、Inを含まない酸化物との積層構造を、酸化物530cとして用いてもよい。

#### 【0382】

具体的には、酸化物530aとして、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$  [原子数比]、または $1:1:0.5$  [原子数比]の金属酸化物を用いればよい。また、酸化物530bとして、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$  [原子数比]、または $3:1:2$  [原子数比]の金属酸化物を用いればよい。また、酸化物530cとして、 $\text{In}:\text{Ga}:\text{Zn}=1:3:4$  [原子数比]、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$  [原子数比]、 $\text{Ga}:\text{Zn}=2:1$  [原子数比]、または $\text{Ga}:\text{Zn}=2:5$  [原子数比]の金属酸化物を用いればよい。また、酸化物530cを積層構造とする場合の具体例としては、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$  [原子数比]と、 $\text{Ga}:\text{Zn}=2:1$  [原子数比]との積層構造、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$  [原子数比]と、 $\text{Ga}:\text{Zn}=2:5$  [原子数比]との積層構造、 $\text{In}:\text{Ga}:\text{Zn}=4:2:3$  [原子数比]と、酸化ガリウムとの積層構造等が挙げられる。

#### 【0383】

このとき、キャリアの主たる経路は酸化物530bとなる。酸化物530a、酸化物530cを上述の構成とすることで、酸化物530aと酸化物530bとの界面、および酸化物530bと酸化物530cとの界面における欠陥準位密度を低くすることができる。そのため、界面散乱によるキャリア伝導への影響が小さくなり、トランジスタ510Fは高いオン電流、および高い周波数特性を得ることができる。なお、酸化物530cを積層構造とした場合、上述の酸化物530bと、酸化物530cとの界面における欠陥準位密度を低くする効果に加え、酸化物530cが有する構成元素が、絶縁体550側に拡散するのを抑制することが期待される。より具体的には、酸化物530cを積層構造とし、積層構造の上方にInを含まない酸化物を位置させるため、絶縁体550側に拡散しうるInを抑制することができる。絶縁体550は、ゲート絶縁体として機能するため、Inが拡散した場合、トランジスタの特性不良となる。したがって、酸化物530cを積層構造とすることで、信頼性の高い半導体装置を提供することが可能となる。

#### 【0384】

酸化物530は、酸化物半導体として機能する金属酸化物を用いることが好ましい。例えば、酸化物530のチャンネル形成領域となる金属酸化物としては、バンドギャップが $2\text{eV}$ 以上、好ましくは $2.5\text{eV}$ 以上のものを用いることが好ましい。このように、バンドギャップの大きい金属酸化物を用いることで、トランジスタのオフ電流を低減することができる。このようなトランジスタを用いることで、低消費電力の半導体装置を提供できる。

#### 【0385】

<トランジスタの構造例7>

図16A、図16Bを用いてトランジスタ510Gの構造例を説明する。トランジスタ510Gはトランジスタ500の変形例である。よって、説明の繰り返しを防ぐため、主に上記トランジスタと異なる点について説明する。なお、図16A、図16Bに示す構成は、トランジスタ300等、本発明の一形態の半導体装置が有する他のトランジスタにも適用することができる。

#### 【0386】

図16Aは、トランジスタ510Gのチャンネル長方向の断面図であり、図16Bは、トランジスタ510Gのチャンネル幅方向の断面図である。図16A、図16Bに示すトランジスタ510Gは、絶縁体402及び絶縁体404を有する点が、図9A、図9Bに示すトランジスタ500と異なる。また、導電体540aの側面に接して絶縁体551が設けら

10

20

30

40

50

れ、導電体 540b の側面に接して絶縁体 551 が設けられる点が、図 9A、図 9B に示すトランジスタ 500 と異なる。さらに、絶縁体 520 を有さない点が、図 9A、図 9B に示すトランジスタ 500 と異なる。

【0387】

図 16A、図 16B に示すトランジスタ 510G は、絶縁体 512 上に絶縁体 402 が設けられる。また、絶縁体 574 上、及び絶縁体 402 上に絶縁体 404 が設けられる。

【0388】

図 16A、図 16B に示すトランジスタ 510G では、絶縁体 514、絶縁体 516、絶縁体 522、絶縁体 524、絶縁体 544、絶縁体 580、及び絶縁体 574 がパターンニングされており、絶縁体 404 がこれらを覆う構造になっている。つまり、絶縁体 404 は、絶縁体 574 の上面、絶縁体 574 の側面、絶縁体 580 の側面、絶縁体 544 の側面、絶縁体 524 の側面、絶縁体 522 の側面、絶縁体 516 の側面、絶縁体 514 の側面、絶縁体 402 の上面とそれぞれ接する。これにより、酸化物 530 等は、絶縁体 404 と絶縁体 402 によって外部から隔離される。

10

【0389】

絶縁体 402 及び絶縁体 404 は、水素（例えば、水素原子、水素分子などの少なくとも一つ）又は水分子の拡散を抑制する機能が高いことが好ましい。例えば、絶縁体 402 及び絶縁体 404 として、水素バリア性が高い材料である、窒化シリコン又は窒化酸化シリコンを用いることが好ましい。これにより、酸化物 530 に水素等が拡散することを抑制することができるので、トランジスタ 510G の特性が低下することを抑制することができる。よって、OS トランジスタを有する半導体装置において、信頼性を高めることができる。

20

【0390】

絶縁体 551 は、絶縁体 581、絶縁体 404、絶縁体 574、絶縁体 580、及び絶縁体 544 に接して設けられる。絶縁体 551 は、水素又は水分子の拡散を抑制する機能を有することが好ましい。たとえば、絶縁体 551 として、水素バリア性が高い材料である、窒化シリコン、酸化アルミニウム、又は窒化酸化シリコン等の絶縁体を用いることが好ましい。特に、窒化シリコンは水素バリア性が高い材料であるので、絶縁体 551 として用いると好適である。絶縁体 551 として水素バリア性が高い材料を用いることにより、水又は水素等の不純物が、絶縁体 580 等から導電体 540a 及び導電体 540b を通じて酸化物 530 に拡散することを抑制することができる。また、絶縁体 580 に含まれる酸素が導電体 540a 及び導電体 540b に吸収されることを抑制することができる。以上により、OS トランジスタを有する半導体装置の信頼性を高めることができる。

30

【0391】

図 17 は、トランジスタ 500 及びトランジスタ 300 を、図 16A、図 16B に示す構成とした場合における、半導体装置の構成例を示す断面図である。導電体 546 の側面に、絶縁体 551 が設けられている。

【0392】

図 18A、図 18B は、図 16A、図 16B に示すトランジスタの変形例である。図 18A はトランジスタのチャネル長方向の断面図であり、図 18B はトランジスタのチャネル幅方向の断面図である。図 18A、図 18B に示すトランジスタは、酸化物 530c が酸化物 530c1 及び酸化物 530c2 の 2 層構造である点が、図 16A、図 16B に示すトランジスタと異なる。

40

【0393】

酸化物 530c1 は、絶縁体 524 の上面、酸化物 530a の側面、酸化物 530b の上面及び側面、導電体 542a 及び導電体 542b の側面、絶縁体 544 の側面、及び絶縁体 580 の側面と接する。酸化物 530c2 は、絶縁体 550 と接する。

【0394】

酸化物 530c1 として、例えば、In-Zn 酸化物を用いることができる。また、酸化物 530c2 として、酸化物 530c が 1 層構造である場合に酸化物 530c に用いるこ

50

とができる材料と同様の材料を用いることができる。例えば、酸化物530c2として、 $In : Ga : Zn = 1 : 3 : 4$  [原子数比]、 $Ga : Zn = 2 : 1$  [原子数比]、または  $Ga : Zn = 2 : 5$  [原子数比] の金属酸化物を用いることができる。

【0395】

酸化物530cを酸化物530c1及び酸化物530c2の2層構造とすることにより、酸化物530cを1層構造とする場合より、トランジスタのオン電流を高めることができる。よって、トランジスタを、例えば、パワーMOSトランジスタとすることができる。なお、図9A、図9Bに示すトランジスタが有する酸化物530cも、酸化物530c1と酸化物530c2の2層構造とすることができる。

【0396】

図18A、図18Bに示すトランジスタは、例えば、トランジスタ500、トランジスタ300、または、その双方に適用することができる。

【0397】

なお、本実施の形態は、本明細書に記載する他の実施の形態と適宜組み合わせ実施することができる。

【0398】

(実施の形態3)

本実施の形態では、金属酸化物の一種である酸化物半導体について説明する。

【0399】

金属酸化物は、少なくともインジウムまたは亜鉛を含むことが好ましい。特にインジウムおよび亜鉛を含むことが好ましい。また、それらに加えて、アルミニウム、ガリウム、イットリウム、スズなどから選ばれた一種、または複数種が含まれていることが好ましい。また、ホウ素、シリコン、チタン、鉄、ニッケル、ゲルマニウム、ジルコニウム、モリブデン、ランタン、セリウム、ネオジウム、ハフニウム、タンタル、タングステン、マグネシウム、コバルトなどから選ばれた一種、または複数種が含まれていてもよい。

【0400】

<結晶構造の分類>

まず、酸化物半導体における、結晶構造の分類について、図19Aを用いて説明を行う。図19Aは、酸化物半導体、代表的にはIGZO(Inと、Gaと、Znと、を含む金属酸化物)の結晶構造の分類を説明する図である。

【0401】

図19Aに示すように、酸化物半導体は、大きく分けて「Amorphous(無定形)」と、「Crystalline(結晶性)」と、「Crystal(結晶)」と、に分類される。また、「Amorphous」の中には、completely amorphousが含まれる。また、「Crystalline」の中には、CAAC(c-axis-aligned crystalline)、nc(nanocrystalline)、及びCAC(cloud-aligned composite)が含まれる。なお、「Crystalline」の分類には、single crystal、polycrystal、及びcompletely amorphousは除かれる。また、「Crystal」の中には、single crystal、及びpolycrystalが含まれる。

【0402】

なお、図19Aに示す太枠内の構造は、「Amorphous(無定形)」と、「Crystal(結晶)」との間の中間状態であり、新しい境界領域(New crystalline phase)に属する構造である。すなわち、当該構造は、エネルギー的に不安定な「Amorphous(無定形)」や、「Crystal(結晶)」とは全く異なる構造と言い換えることができる。

【0403】

なお、膜または基板の結晶構造は、X線回折(XRD:X-Ray Diffraction)スペクトルを用いて評価することができる。ここで、「Crystalline」

10

20

30

40

50

に分類されるCAAC-IGZO膜のGIXD (Grazing-Incidence XRD) 測定で得られるXRDスペクトルを図19Bに示す。なお、GIXD法は、薄膜法またはSeemann-Bohlin法ともいう。以降、図19Bに示すGIXD測定で得られるXRDスペクトルを、単にXRDスペクトルと記す。なお、図19Bに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3 [原子数比] 近傍である。また、図19Bに示すCAAC-IGZO膜の厚さは、500nmである。

#### 【0404】

図19Bでは、横軸は $2\theta$  [deg.] であり、縦軸は強度 (Intensity) [a.u.] である。図19Bに示すように、CAAC-IGZO膜のXRDスペクトルでは、明確な結晶性を示すピークが検出される。具体的には、CAAC-IGZO膜のXRDスペクトルでは、 $2\theta = 31^\circ$  近傍に、c軸配向を示すピークが検出される。なお、図19Bに示すように、 $2\theta = 31^\circ$  近傍のピークは、ピーク強度が検出された角度を軸に左右非対称である。

10

#### 【0405】

また、膜または基板の結晶構造は、極微電子線回折法 (NBED: Nano Beam Electron Diffraction) によって観察される回折パターン (極微電子線回折パターンともいう) にて評価することができる。CAAC-IGZO膜の回折パターンを、図19Cに示す。図19Cは、電子線を基板に対して平行に入射するNBEDによって観察される回折パターンである。なお、図19Cに示すCAAC-IGZO膜の組成は、In:Ga:Zn=4:2:3 [原子数比] 近傍である。また、極微電子線回折法では、プローブ径を1nmとして電子線回折が行われる。

20

#### 【0406】

図19Cに示すように、CAAC-IGZO膜の回折パターンでは、c軸配向を示す複数のスポットが観察される。

#### 【0407】

##### << 酸化物半導体の構造 >>

なお、酸化物半導体は、結晶構造に着目した場合、図19Aとは異なる分類となる場合がある。例えば、酸化物半導体は、単結晶酸化物半導体と、それ以外の非単結晶酸化物半導体と、に分けられる。非単結晶酸化物半導体としては、例えば、上述のCAAC-OS、及びnc-OSがある。また、非単結晶酸化物半導体には、多結晶酸化物半導体、擬似非晶質酸化物半導体 (a-like OS: amorphous-like oxide semiconductor)、非晶質酸化物半導体、などが含まれる。

30

#### 【0408】

ここで、上述のCAAC-OS、nc-OS、及びa-like OSの詳細について、説明を行う。

#### 【0409】

##### [CAAC-OS]

CAAC-OSは、複数の結晶領域を有し、当該複数の結晶領域はc軸が特定の方向に配向している酸化物半導体である。なお、特定の方向とは、CAAC-OS膜の厚さ方向、CAAC-OS膜の被形成面の法線方向、またはCAAC-OS膜の表面の法線方向である。また、結晶領域とは、原子配列に周期性を有する領域である。なお、原子配列を格子配列とみなすと、結晶領域とは、格子配列の揃った領域でもある。さらに、CAAC-OSは、a-b面方向において複数の結晶領域が連結する領域を有し、当該領域は歪みを有する場合がある。なお、歪みとは、複数の結晶領域が連結する領域において、格子配列の揃った領域と、別の格子配列の揃った領域と、の間で格子配列の向きが変化している箇所を指す。つまり、CAAC-OSは、c軸配向し、a-b面方向には明らかな配向をしていない酸化物半導体である。

40

#### 【0410】

なお、上記複数の結晶領域のそれぞれは、1つまたは複数の微小な結晶 (最大径が10nm未満である結晶) で構成される。結晶領域が1つの微小な結晶で構成されている場合、

50

当該結晶領域の最大径は10nm未満となる。また、結晶領域が多数の微小な結晶で構成されている場合、当該結晶領域の大きさは、数十nm程度となる場合がある。

【0411】

また、In-M-Zn酸化物（元素Mは、アルミニウム、ガリウム、イットリウム、スズ、チタンなどから選ばれた一種、または複数種）において、CAAC-OSは、インジウム（In）、及び酸素を有する層（以下、In層）と、元素M、亜鉛（Zn）、及び酸素を有する層（以下、（M,Zn）層）とが積層した、層状の結晶構造（層状構造ともいう）を有する傾向がある。なお、インジウムと元素Mは、互いに置換可能である。よって、（M,Zn）層にはインジウムが含まれる場合がある。また、In層には元素Mが含まれる場合がある。なお、In層にはZnが含まれる場合もある。当該層状構造は、例えば、高分解能TEM像において、格子像として観察される。

10

【0412】

CAAC-OS膜に対し、例えば、XRD装置を用いて構造解析を行うと、 $2\theta$  スキャンを用いたOut-of-plane XRD測定では、c軸配向を示すピークが $2\theta = 31^\circ$  またはその近傍に検出される。なお、c軸配向を示すピークの位置（ $2\theta$  の値）は、CAAC-OSを構成する金属元素の種類、組成などにより変動する場合がある。

【0413】

また、例えば、CAAC-OS膜の電子線回折パターンにおいて、複数の輝点（スポット）が観測される。なお、あるスポットと別のスポットとは、試料を透過した入射電子線のスポット（ダイレクトスポットともいう）を対称中心として、点对称の位置に観測される。

20

【0414】

上記特定の方向から結晶領域を観察した場合、当該結晶領域内の格子配列は、六方格子を基本とするが、単位格子は正六角形とは限らず、非正六角形である場合がある。また、上記歪みにおいて、五角形、七角形などの格子配列を有する場合がある。なお、CAAC-OSにおいて、歪み近傍においても、明確な結晶粒界（グレインバウンダリー）を確認することはできない。即ち、格子配列の歪みによって、結晶粒界の形成が抑制されていることがわかる。これは、CAAC-OSが、a-b面方向において酸素原子の配列が稠密でないことや、金属原子が置換することで原子間の結合距離が変化することなどによって、歪みを許容することができるためと考えられる。

【0415】

なお、明確な結晶粒界が確認される結晶構造は、いわゆる多結晶（polycrystal）と呼ばれる。結晶粒界は、再結合中心となり、キャリアが捕獲されトランジスタのオン電流の低下、電界効果移動度の低下などを引き起こす可能性が高い。よって、明確な結晶粒界が確認されないCAAC-OSは、トランジスタの半導体層に好適な結晶構造を有する結晶性の酸化物の一つである。なお、CAAC-OSを構成するには、Znを有する構成が好ましい。例えば、In-Zn酸化物、及びIn-Ga-Zn酸化物は、In酸化物よりも結晶粒界の発生を抑制できるため好適である。

30

【0416】

CAAC-OSは、結晶性が高く、明確な結晶粒界が確認されない酸化物半導体である。よって、CAAC-OSは、結晶粒界に起因する電子移動度の低下が起こりにくいといえる。また、酸化物半導体の結晶性は不純物の混入や欠陥の生成などによって低下する場合があるため、CAAC-OSは不純物や欠陥（酸素欠損など）の少ない酸化物半導体ともいえる。従って、CAAC-OSを有する酸化物半導体は、物理的性質が安定する。そのため、CAAC-OSを有する酸化物半導体は熱に強く、信頼性が高い。また、CAAC-OSは、製造工程における高い温度（所謂サーマルバジェット）に対しても安定である。したがって、OSTランジスタにCAAC-OSを用いると、製造工程の自由度を広げることが可能となる。

40

【0417】

[nc-OS]

nc-OSは、微小な領域（例えば、1nm以上10nm以下の領域、特に1nm以上3

50

nm以下の領域)において原子配列に周期性を有する。別言すると、nc-OSは、微小な結晶を有する。なお、当該微小な結晶の大きさは、例えば、1nm以上10nm以下、特に1nm以上3nm以下であることから、当該微小な結晶をナノ結晶ともいう。また、nc-OSは、異なるナノ結晶間で結晶方位に規則性が見られない。そのため、膜全体で配向性が見られない。したがって、nc-OSは、分析方法によっては、a-like OSや非晶質酸化物半導体と区別が付かない場合がある。例えば、nc-OS膜に対し、XRD装置を用いて構造解析を行うと、 $\lambda/2$  スキャンを用いたOut-of-plane XRD測定では、結晶性を示すピークが検出されない。また、nc-OS膜に対し、ナノ結晶よりも大きいプローブ径(例えば50nm以上)の電子線を用いる電子線回折(制限視野電子線回折ともいう)を行うと、ハローパターンのような回折パターンが観測される。一方、nc-OS膜に対し、ナノ結晶の大きさと近いナノ結晶より小さいプローブ径(例えば1nm以上30nm以下)の電子線を用いる電子線回折(ナノビーム電子線回折ともいう)を行うと、ダイレクトスポットを中心とするリング状の領域内に複数のスポットが観測される電子線回折パターンが取得される場合がある。

10

【0418】

[a-like OS]

a-like OSは、nc-OSと非晶質酸化物半導体との間の構造を有する酸化物半導体である。a-like OSは、鬆又は低密度領域を有する。即ち、a-like OSは、nc-OS及びCAAC-OSと比べて、結晶性が低い。また、a-like OSは、nc-OS及びCAAC-OSと比べて、膜中の水素濃度が高い。

20

【0419】

&lt;&lt;酸化物半導体の構成&gt;&gt;

次に、上述のCAAC-OSの詳細について、説明を行う。なお、CAAC-OSは材料構成に関する。

【0420】

[CAAC-OS]

CAAC-OSとは、例えば、金属酸化物を構成する元素が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで偏在した材料の一構成である。なお、以下では、金属酸化物において、一つまたは複数の金属元素が偏在し、該金属元素を有する領域が、0.5nm以上10nm以下、好ましくは、1nm以上3nm以下、またはその近傍のサイズで混合した状態をモザイク状、またはパッチ状ともいう。

30

【0421】

さらに、CAAC-OSとは、第1の領域と、第2の領域と、に材料が分離することでモザイク状となり、当該第1の領域が、膜中に分布した構成(以下、クラウド状ともいう)である。つまり、CAAC-OSは、当該第1の領域と、当該第2の領域とが、混合している構成を有する複合金属酸化物である。

【0422】

ここで、In-Ga-Zn酸化物におけるCAAC-OSを構成する金属元素に対するIn、Ga、およびZnの原子数比のそれぞれを、[In]、[Ga]、および[Zn]と表記する。例えば、In-Ga-Zn酸化物におけるCAAC-OSにおいて、第1の領域は、[In]が、CAAC-OS膜の組成における[In]よりも大きい領域である。また、第2の領域は、[Ga]が、CAAC-OS膜の組成における[Ga]よりも大きい領域である。または、例えば、第1の領域は、[In]が、第2の領域における[In]よりも大きく、且つ、[Ga]が、第2の領域における[Ga]よりも小さい領域である。また、第2の領域は、[Ga]が、第1の領域における[Ga]よりも大きく、且つ、[In]が、第1の領域における[In]よりも小さい領域である。

40

【0423】

具体的には、上記第1の領域は、インジウム酸化物、インジウム亜鉛酸化物などが主成分である領域である。また、上記第2の領域は、ガリウム酸化物、ガリウム亜鉛酸化物などが主成分である領域である。つまり、上記第1の領域を、Inを主成分とする領域と言い

50

換えることができる。また、上記第2の領域を、Gaを主成分とする領域と言い換えることができる。

【0424】

なお、上記第1の領域と、上記第2の領域とは、明確な境界が観察できない場合がある。

【0425】

例えば、In-Ga-Zn酸化物におけるCAC-OSでは、エネルギー分散型X線分光法(EDX: Energy Dispersive X-ray spectroscopy)を用いて取得したEDXマッピングにより、Inを主成分とする領域(第1の領域)と、Gaを主成分とする領域(第2の領域)とが、偏在し、混合している構造を有することが確認できる。

10

【0426】

CAC-OSをトランジスタに用いる場合、第1の領域に起因する導電性と、第2の領域に起因する絶縁性とが、相補的に作用することにより、スイッチングさせる機能(On/Offさせる機能)をCAC-OSに付与することができる。つまり、CAC-OSとは、材料の一部では導電性の機能と、材料の一部では絶縁性の機能とを有し、材料の全体では半導体としての機能を有する。導電性の機能と絶縁性の機能とを分離させることで、双方の機能を最大限に高めることができる。よって、CAC-OSをトランジスタに用いることで、高いオン電流( $I_{on}$ )、高い電界効果移動度( $\mu$ )、および良好なスイッチング動作を実現することができる。

【0427】

酸化物半導体は、多様な構造をとり、それぞれが異なる特性を有する。本発明の一態様の酸化物半導体は、非晶質酸化物半導体、多結晶酸化物半導体、a-like OS、CAC-OS、nc-OS、CAAC-OSのうち、二種以上を有していてもよい。

20

【0428】

<酸化物半導体を有するトランジスタ>

続いて、上記酸化物半導体をトランジスタに用いる場合について説明する。

【0429】

上記酸化物半導体をトランジスタに用いることで、高い電界効果移動度のトランジスタを実現することができる。また、信頼性の高いトランジスタを実現することができる。

【0430】

トランジスタには、キャリア密度の低い酸化物半導体を用いることが好ましい(より具体的には、実施の形態2、参照)。なお、酸化物半導体膜のキャリア濃度を低くする場合には、酸化物半導体膜中の不純物濃度を低くし、欠陥準位密度を低くすればよい。本明細書等において、不純物濃度が低く、欠陥準位密度の低いことを高純度真性又は実質的に高純度真性と言う。なお、キャリア密度の低い酸化物半導体を、高純度真性又は実質的に高純度真性な酸化物半導体と呼ぶ場合がある。

30

【0431】

また、高純度真性又は実質的に高純度真性である酸化物半導体膜は、欠陥準位密度が低い場合、トラップ準位密度も低くなる場合がある。

【0432】

また、酸化物半導体のトラップ準位に捕獲された電荷は、消失するまでに要する時間が長く、あたかも固定電荷のように振る舞うことがある。そのため、トラップ準位密度の高い酸化物半導体にチャネル形成領域が形成されるトランジスタは、電気特性が不安定となる場合がある。

40

【0433】

従って、トランジスタの電気特性を安定にするためには、酸化物半導体中の不純物濃度を低減することが有効である。また、酸化物半導体中の不純物濃度を低減するためには、近接する膜中の不純物濃度も低減することが好ましい。不純物としては、水素、窒素、アルカリ金属、アルカリ土類金属、鉄、ニッケル、シリコン等がある。

【0434】

50

## &lt;不純物&gt;

ここで、酸化物半導体中における各不純物の影響について説明する。

## 【0435】

酸化物半導体において、第14族元素の一つであるシリコンや炭素が含まれると、酸化物半導体において欠陥準位が形成される。このため、酸化物半導体におけるシリコンや炭素の濃度と、酸化物半導体との界面近傍のシリコンや炭素の濃度（SIMSにより得られる濃度）を、 $2 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{17} \text{ atoms/cm}^3$ 以下とする。

## 【0436】

また、酸化物半導体にアルカリ金属又はアルカリ土類金属が含まれると、欠陥準位を形成し、キャリアを生成する場合がある。従って、アルカリ金属又はアルカリ土類金属が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、SIMSにより得られる酸化物半導体中のアルカリ金属又はアルカリ土類金属の濃度を、 $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、好ましくは $2 \times 10^{16} \text{ atoms/cm}^3$ 以下にする。

10

## 【0437】

また、酸化物半導体において、窒素が含まれると、キャリアである電子が生じ、キャリア濃度が増加し、n型化しやすい。この結果、窒素が含まれている酸化物半導体を半導体を用いたトランジスタはノーマリーオン特性となりやすい。または、酸化物半導体において、窒素が含まれると、トラップ準位が形成される場合がある。この結果、トランジスタの電気特性が不安定となる場合がある。このため、SIMSにより得られる酸化物半導体中の窒素濃度を、 $5 \times 10^{19} \text{ atoms/cm}^3$ 未満、好ましくは $5 \times 10^{18} \text{ atoms/cm}^3$ 以下、より好ましくは $1 \times 10^{18} \text{ atoms/cm}^3$ 以下、さらに好ましくは $5 \times 10^{17} \text{ atoms/cm}^3$ 以下にする。

20

## 【0438】

また、酸化物半導体に含まれる水素は、金属原子と結合する酸素と反応して水になるため、酸素欠損を形成する場合がある。該酸素欠損に水素が入ることで、キャリアである電子が生成される場合がある。また、水素の一部が金属原子と結合する酸素と結合して、キャリアである電子を生成することがある。従って、水素が含まれている酸化物半導体を用いたトランジスタはノーマリーオン特性となりやすい。このため、酸化物半導体中の水素はできる限り低減されていることが好ましい（より具体的には、実施の形態2、参照）。

30

## 【0439】

不純物が十分に低減された酸化物半導体をトランジスタのチャンネル形成領域に用いることで、安定した電気特性を付与することができる。

## 【0440】

なお、本実施の形態に示す構成、構造、方法などは、他の実施の形態などに示す構成、構造、方法などと適宜組み合わせる用いることができる。

## 【符号の説明】

## 【0441】

BL：配線、CAL：配線、C11：容量素子、M11：トランジスタ、M12：トランジスタ、M21：トランジスタ、M22：トランジスタ、M23：トランジスタ、M24：トランジスタ、M26：トランジスタ、N11：ノード、NS：ノード、NSB：ノード、rb1：ビット線、rw1：ワード線、SUB：半導体基板、wb1：ビット線、WL：配線、ww1：ワード線、31：センスアンプ、32：AND回路、33：アナログスイッチ、34：アナログスイッチ、42：ビット積和演算器、43：アキュムレータ、44：ラッチ回路、46：インバータ回路、47：ロジック回路、100：半導体装置、101：層、102：層、110：周辺回路、120：メモリセルアレイ、121：メモリセル、131：ローデコーダ、132：ワード線ドライバ回路、133：プレデコーダ、141：カラムデコーダ、142：ビット線ドライバ回路、143：プリチャージ回路、144：センスアンプ回路、145：出力MUX回路、146：書き込みドライバ回路

40

50

、 147 : 回路、 150 : 演算回路、 151 : ビット線プロセッサ、 160 : コントロ  
 ルロジック回路、 300 : トランジスタ、 311 : 基板、 313 : 半導体領域、 314 a  
 : 低抵抗領域、 314 b : 低抵抗領域、 315 : 絶縁体、 316 : 導電体、 320 : 絶縁  
 体、 322 : 絶縁体、 324 : 絶縁体、 326 : 絶縁体、 328 : 導電体、 330 : 導電  
 体、 350 : 絶縁体、 352 : 絶縁体、 354 : 絶縁体、 356 : 導電体、 360 : 絶縁  
 体、 362 : 絶縁体、 364 : 絶縁体、 366 : 導電体、 370 : 絶縁体、 372 : 絶縁  
 体、 374 : 絶縁体、 376 : 導電体、 380 : 絶縁体、 382 : 絶縁体、 384 : 絶縁  
 体、 386 : 導電体、 402 : 絶縁体、 404 : 絶縁体、 500 : トランジスタ、 503  
 : 導電体、 503 a : 導電体、 503 b : 導電体、 505 : 導電体、 505 a : 導電体、  
 505 b : 導電体、 510 : 絶縁体、 510 A : トランジスタ、 510 B : トランジスタ  
 、 510 C : トランジスタ、 510 D : トランジスタ、 510 E : トランジスタ、 510  
 F : トランジスタ、 510 G : トランジスタ、 511 : 絶縁体、 512 : 絶縁体、 514  
 : 絶縁体、 516 : 絶縁体、 518 : 導電体、 520 : 絶縁体、 521 : 絶縁体、 522  
 : 絶縁体、 524 : 絶縁体、 530 : 酸化物、 530 a : 酸化物、 530 b : 酸化物、 5  
 30 c : 酸化物、 530 c 1 : 酸化物、 530 c 2 : 酸化物、 531 : 領域、 531 a :  
 領域、 531 b : 領域、 540 a : 導電体、 540 b : 導電体、 542 : 導電体、 542  
 a : 導電体、 542 b : 導電体、 543 : 領域、 543 a : 領域、 543 b : 領域、 54  
 4 : 絶縁体、 545 : 絶縁体、 546 : 導電体、 546 a : 導電体、 546 b : 導電体、  
 547 : 導電体、 547 a : 導電体、 547 b : 導電体、 548 : 導電体、 550 : 絶縁  
 体、 551 : 絶縁体、 552 : 金属酸化物、 560 : 導電体、 560 a : 導電体、 560  
 b : 導電体、 570 : 絶縁体、 571 : 絶縁体、 573 : 絶縁体、 574 : 絶縁体、 57  
 5 : 絶縁体、 576 : 絶縁体、 576 a : 絶縁体、 576 b : 絶縁体、 580 : 絶縁体、  
 581 : 絶縁体、 582 : 絶縁体、 584 : 絶縁体、 586 : 絶縁体、 600 : 容量素子  
 、 610 : 導電体、 612 : 導電体、 620 : 導電体、 630 : 絶縁体、 650 : 絶縁体

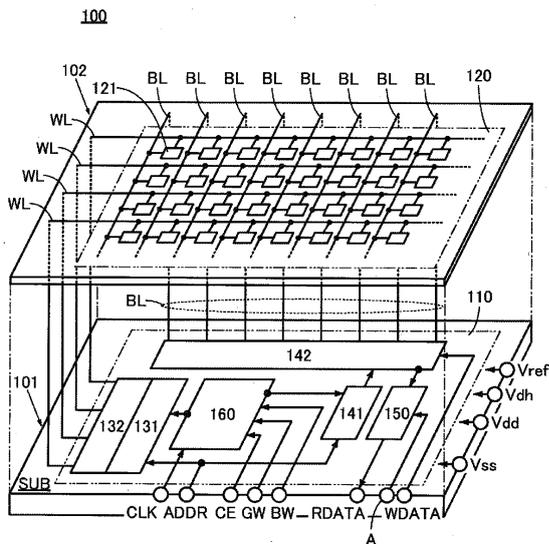
10

20

【 図面 】

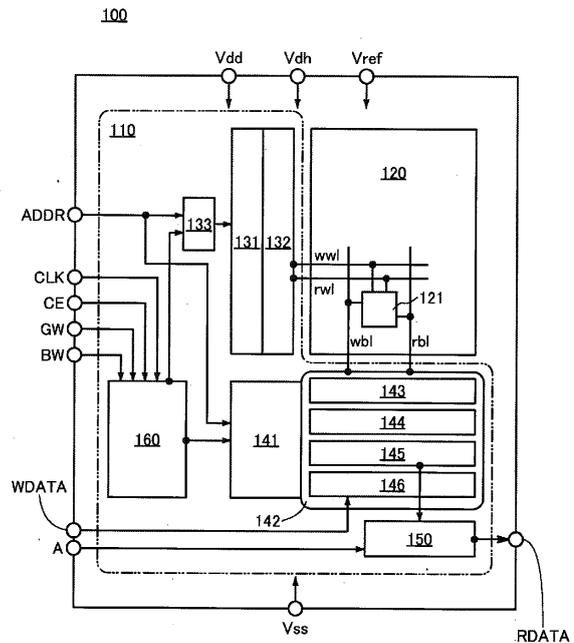
【 図 1 】

図1



【 図 2 】

図2



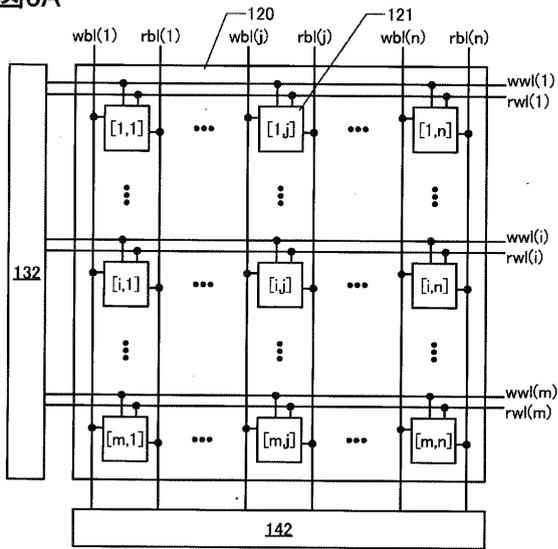
30

40

50

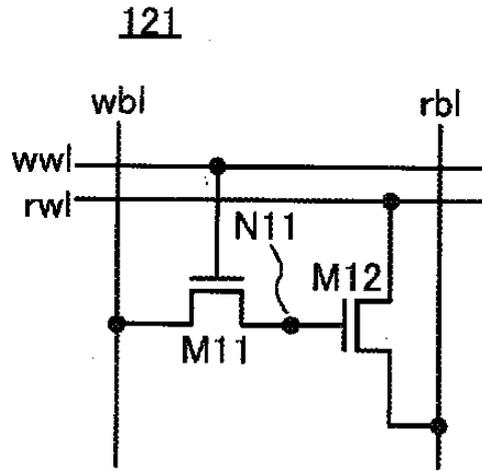
【図 3 A】

図3A



【図 3 B】

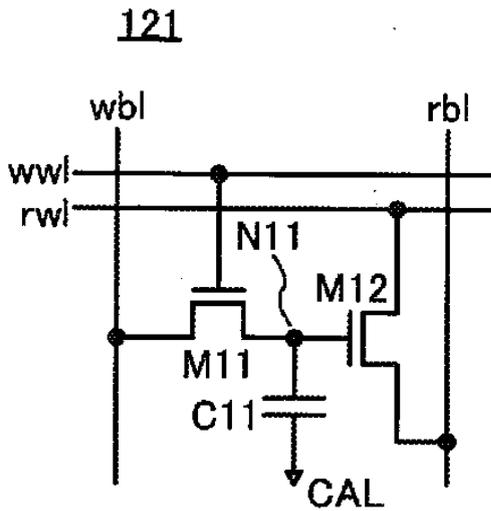
図3B



10

【図 3 C】

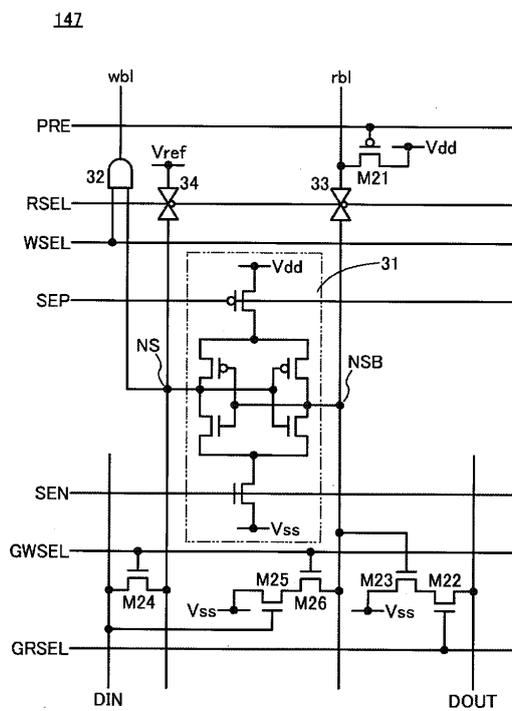
図3C



20

【図 4】

図4



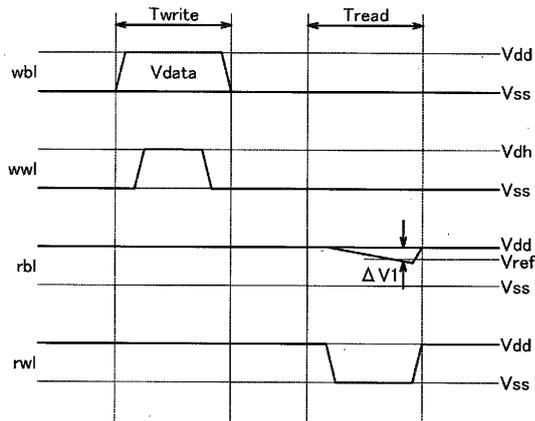
30

40

50

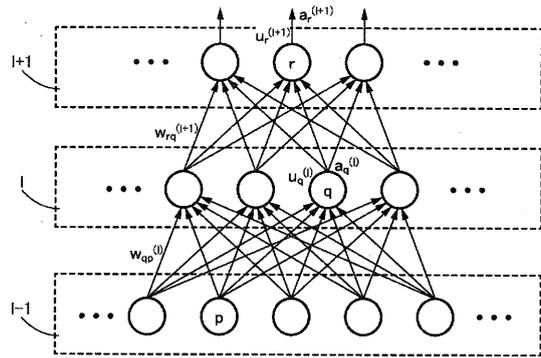
【 図 5 】

図5



【 図 6 】

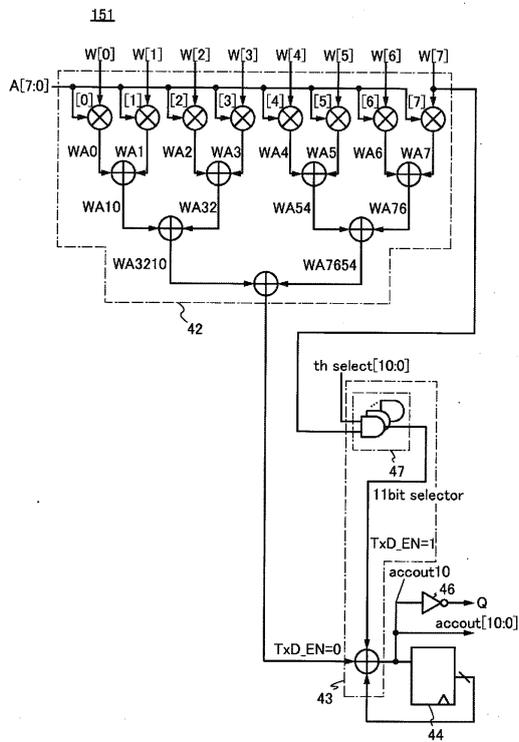
図6



10

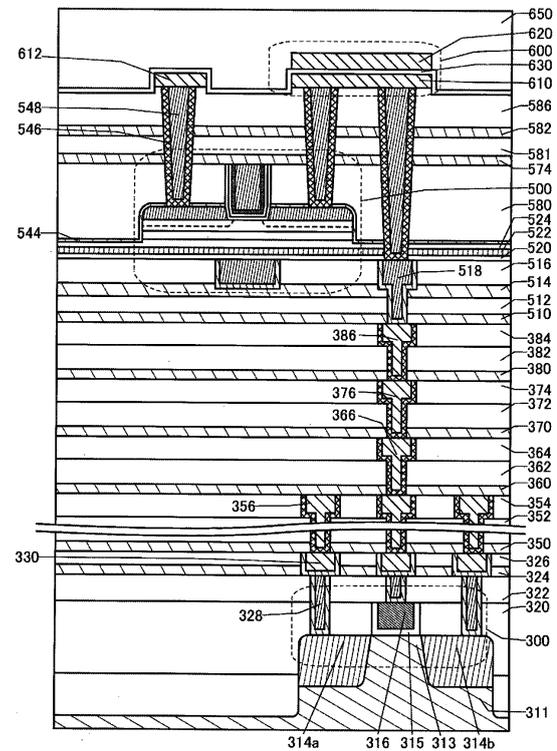
【 図 7 】

図7



【 図 8 】

図8



20

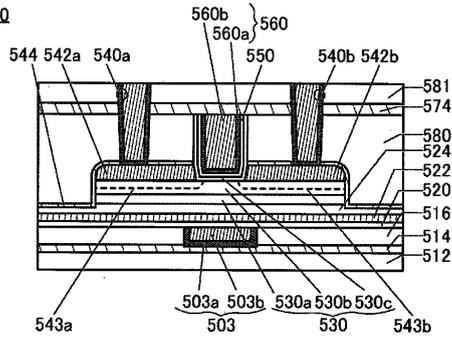
30

40

50

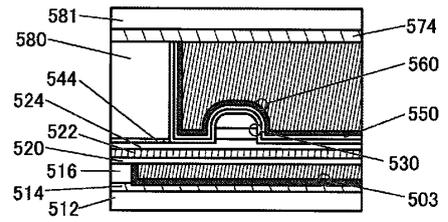
【図9A】

図9A 500



【図9B】

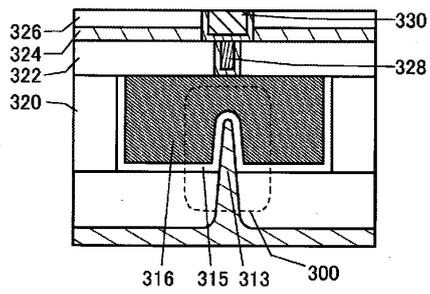
図9B 500



10

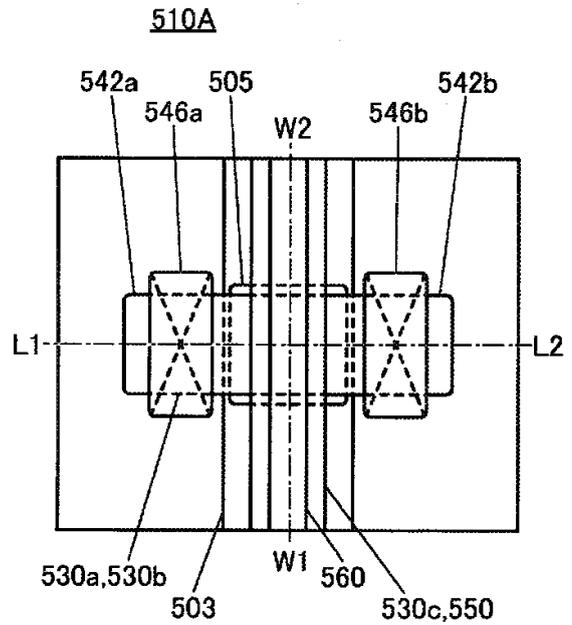
【図9C】

図9C



【図10A】

図10A



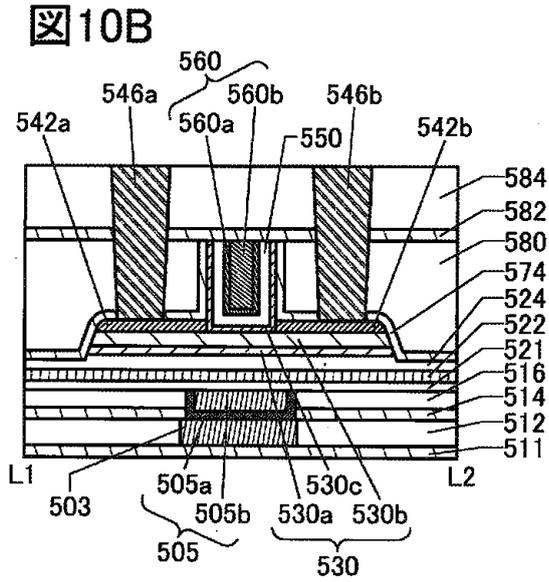
20

30

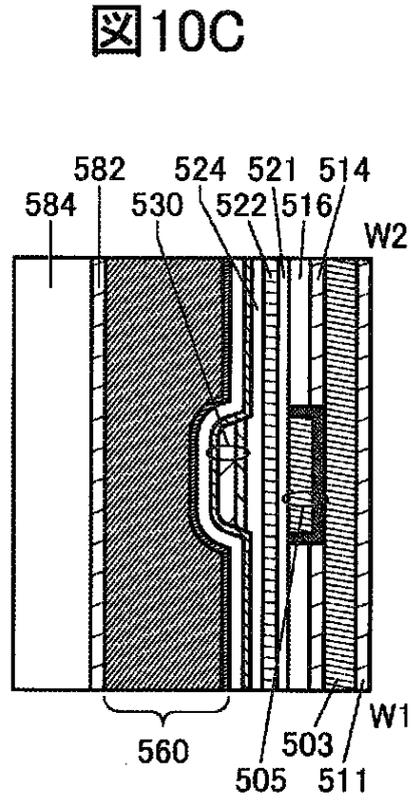
40

50

【図10B】



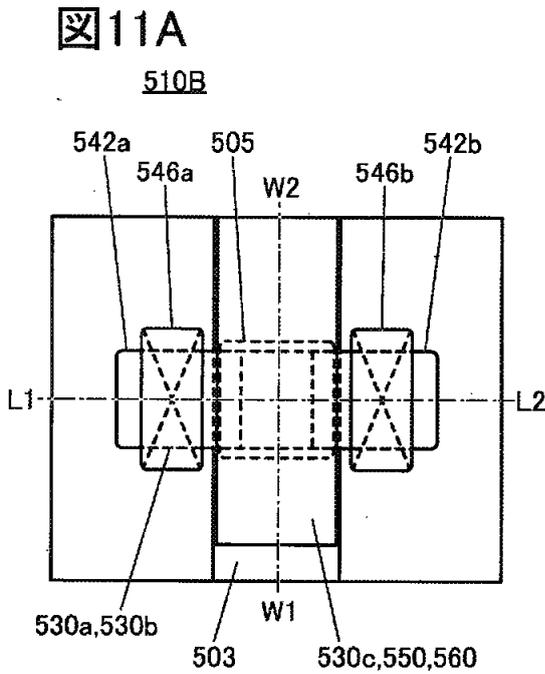
【図10C】



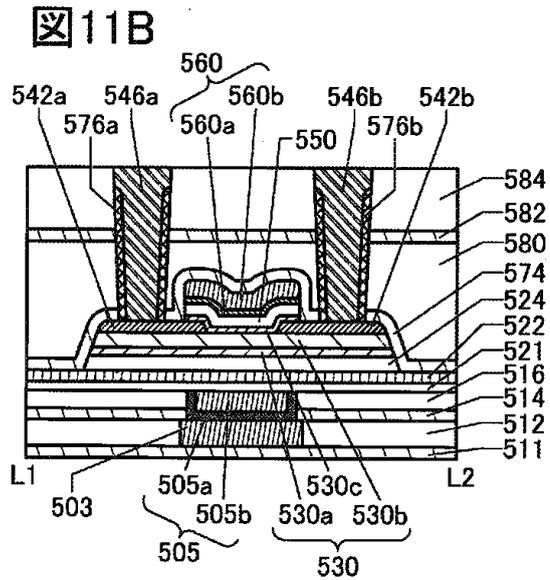
10

20

【図11A】



【図11B】



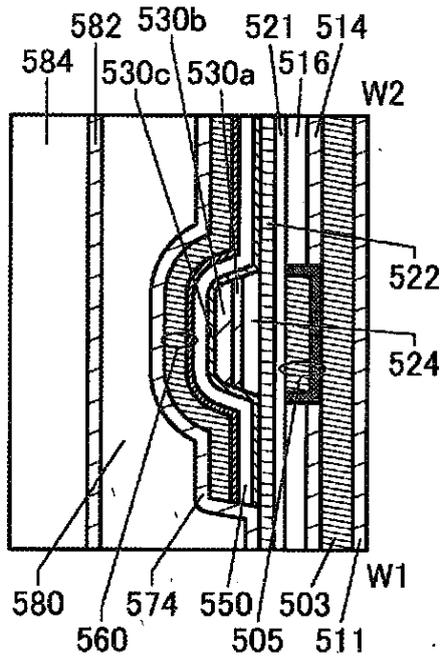
30

40

50

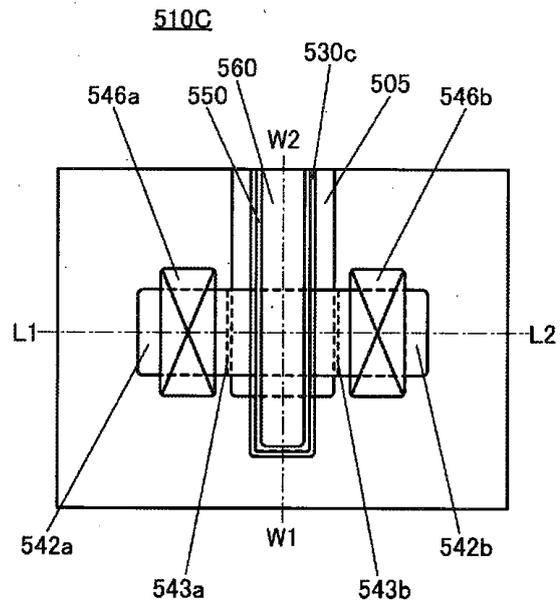
【図11C】

図11C



【図12A】

図12A

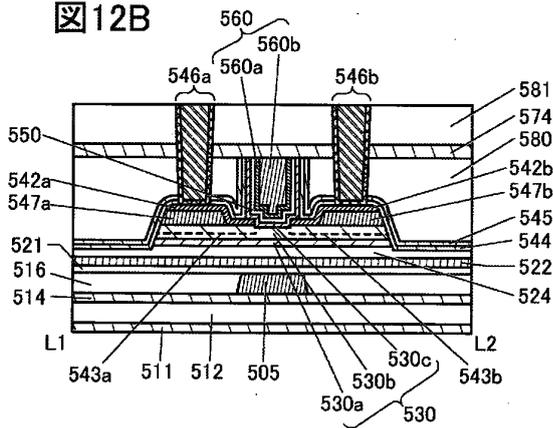


10

20

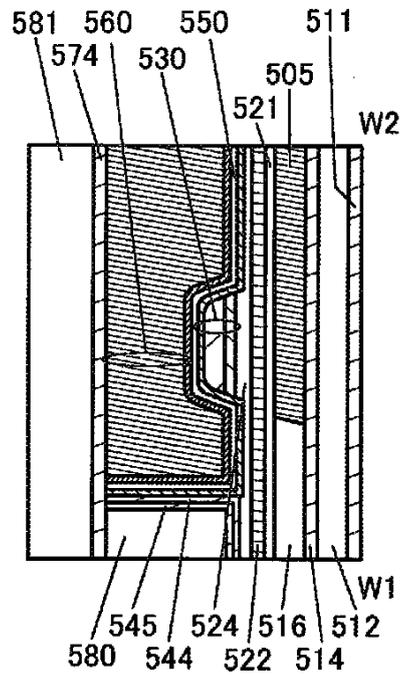
【図12B】

図12B



【図12C】

図12C

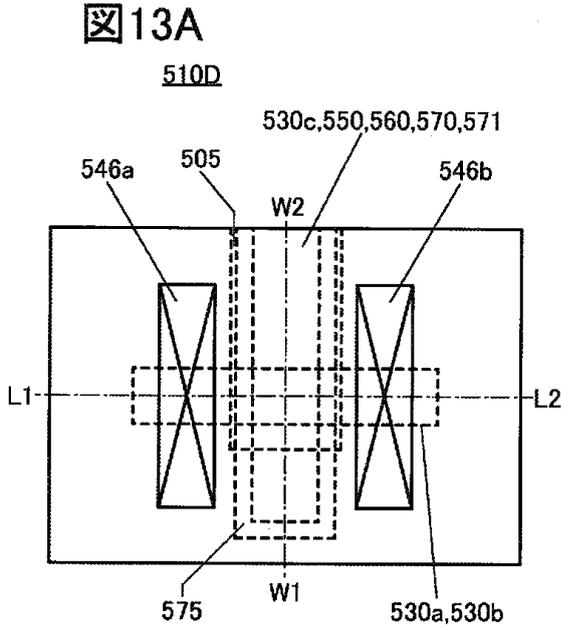


30

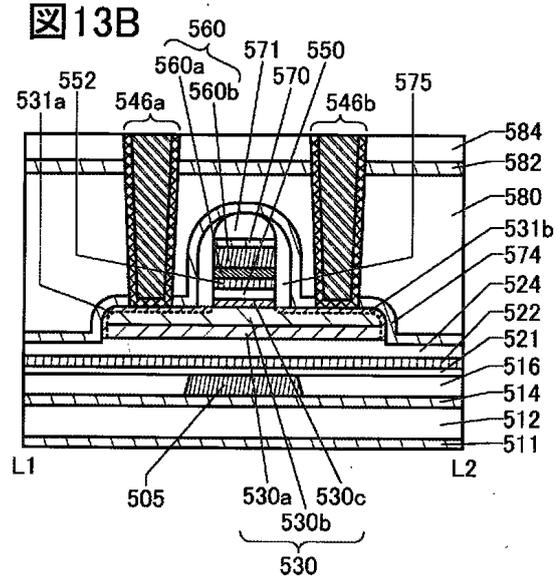
40

50

【図13A】



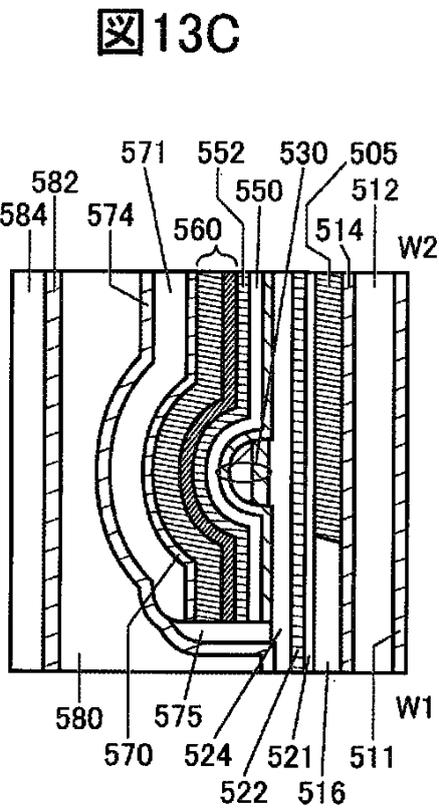
【図13B】



10

20

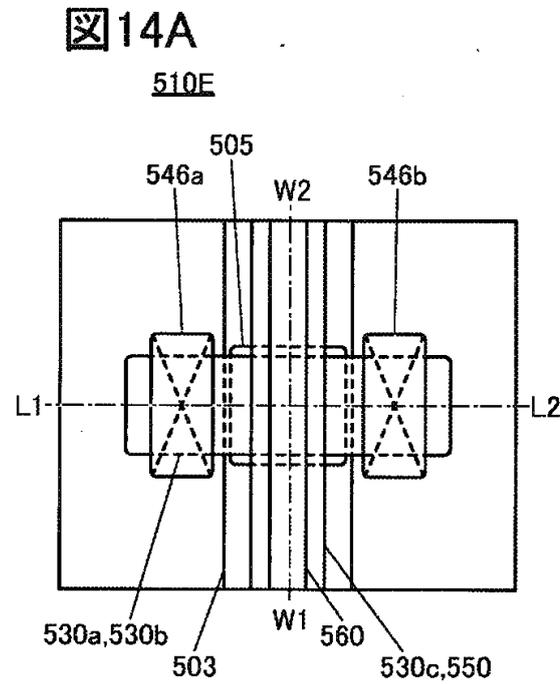
【図13C】



30

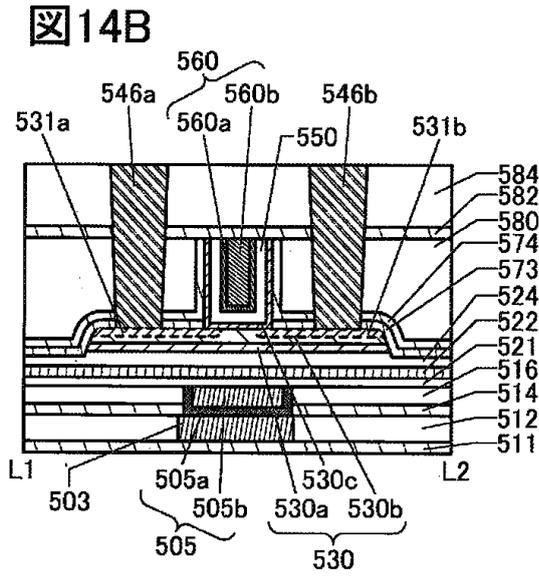
40

【図14A】

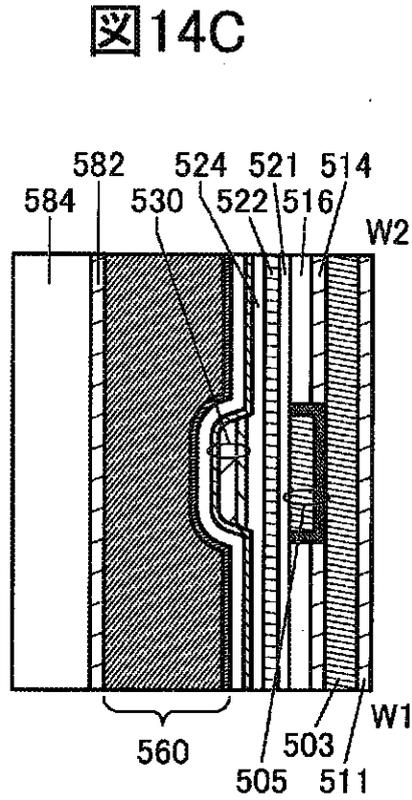


50

【図14B】



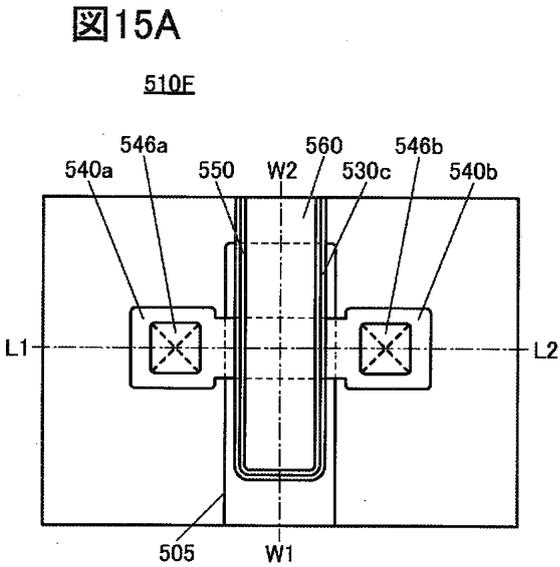
【図14C】



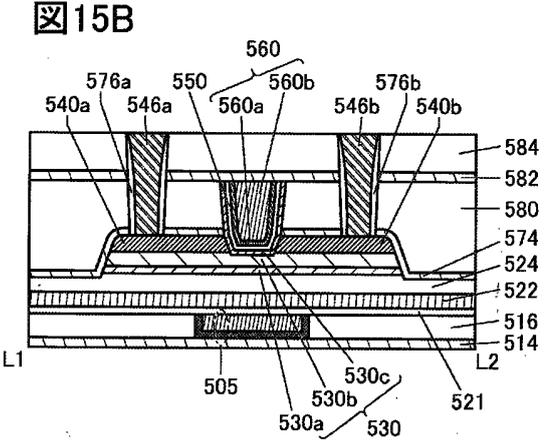
10

20

【図15A】



【図15B】



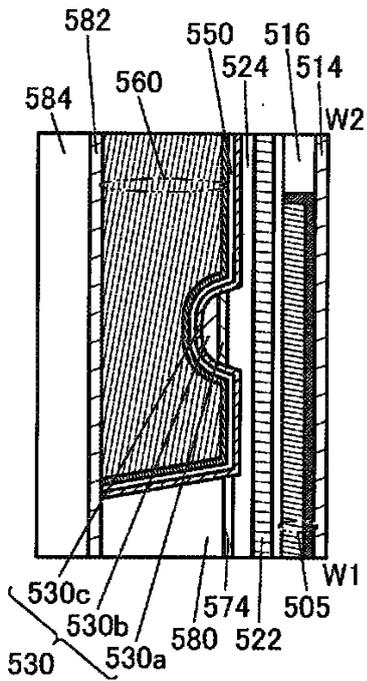
30

40

50

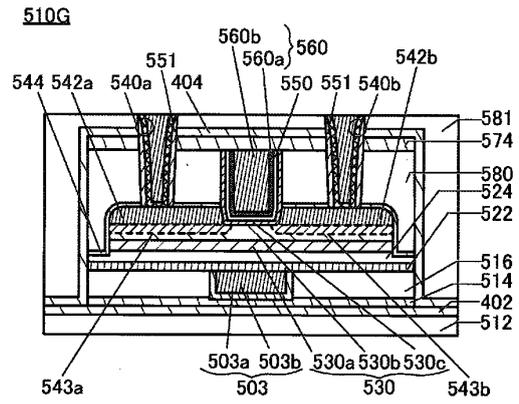
【図15C】

図15C



【図16A】

図16A

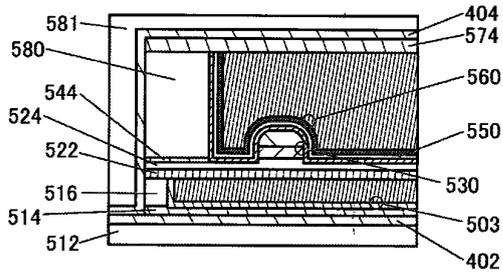


10

20

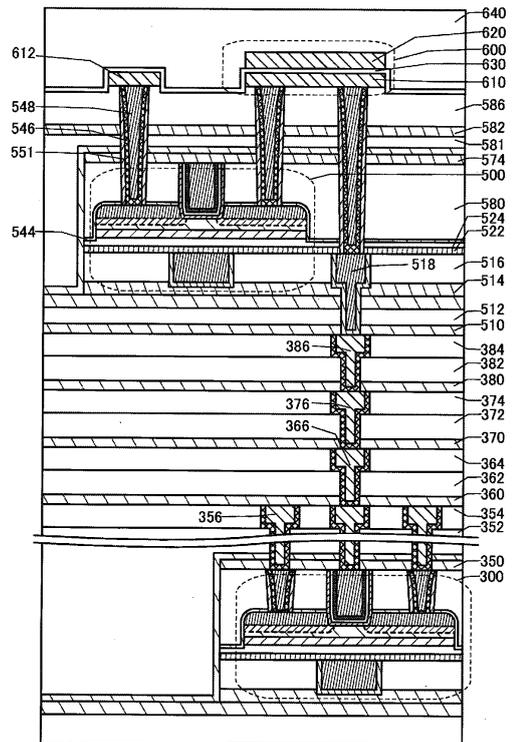
【図16B】

図16B



【図17】

図17



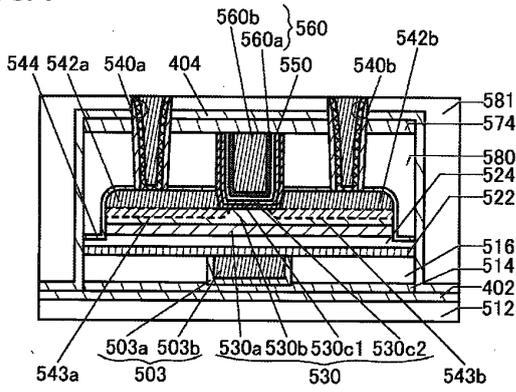
30

40

50

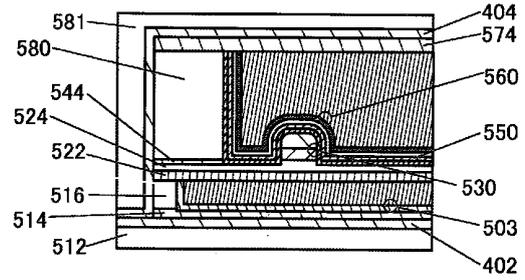
【図18A】

図18A



【図18B】

図18B



10

【図19A】

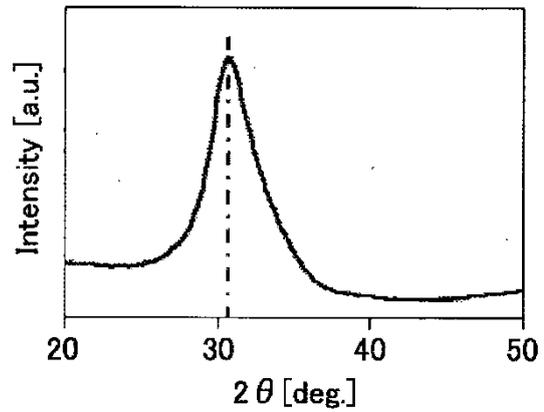
図19A

中間状態  
新しい境界領域

Amorphous (無定形)	Crystalline (結晶性)	Crystal (結晶)
• completely amorphous	• CAAC • nc • CAC	• single crystal • poly crystal

【図19B】

図19B



20

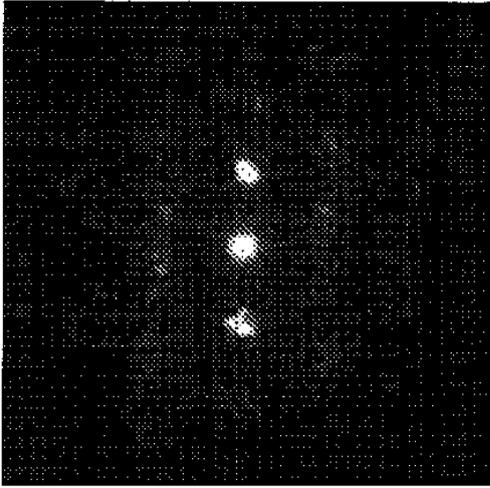
30

40

50

【 19C】

# 19C



5nm<sup>-1</sup>

10

20

30

40

50

## フロントページの続き

審査官 後藤 彰

- (56)参考文献 特開平08 - 203276 (JP, A)  
特開2019 - 057053 (JP, A)  
特開平03 - 250244 (JP, A)
- (58)調査した分野 (Int.Cl., DB名)
- |      |         |
|------|---------|
| G06F | 12 / 00 |
| G06N | 3 / 063 |
| G11C | 11 / 54 |