

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2014-17883

(P2014-17883A)

(43) 公開日 平成26年1月30日(2014.1.30)

(51) Int.Cl.
H03M 13/29 (2006.01)

F I
H03M 13/29

テーマコード(参考)
5J065

審査請求 有 請求項の数 3 O L (全 35 頁)

(21) 出願番号 特願2013-223339 (P2013-223339)
 (22) 出願日 平成25年10月28日(2013.10.28)
 (62) 分割の表示 特願2010-121336 (P2010-121336)
 の分割
 原出願日 平成15年12月3日(2003.12.3)
 (31) 優先権主張番号 60/434,232
 (32) 優先日 平成14年12月16日(2002.12.16)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 60/444,068
 (32) 優先日 平成15年1月30日(2003.1.30)
 (33) 優先権主張国 米国(US)
 (31) 優先権主張番号 60/470,921
 (32) 優先日 平成15年5月15日(2003.5.15)
 (33) 優先権主張国 米国(US)

(71) 出願人 596008622
 インターデジタル テクノロジー コー
 ポレーション
 アメリカ合衆国 19809 デラウェア
 州 ウィルミントン ベルビュー パーク
 ウェイ 200 스위트 300
 (74) 代理人 110001243
 特許業務法人 谷・阿部特許事務所
 (72) 発明者 フィリップ ジェイ. ピエトラスキー
 アメリカ合衆国 11746 ニューヨー
 ク州 ハンチントン ステーション タル
 ボット プレイス 7

最終頁に続く

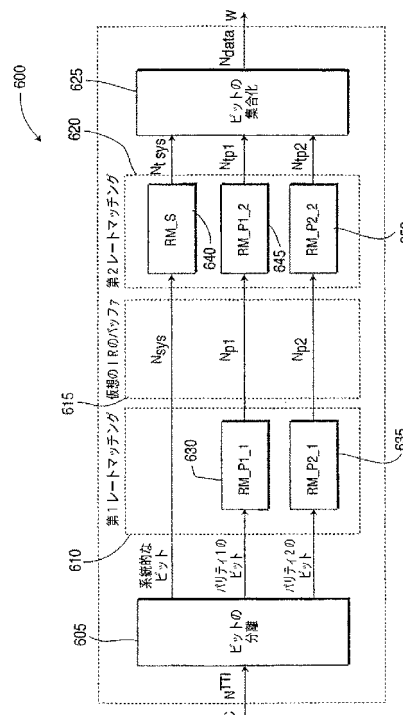
(54) 【発明の名称】 ターボ符号を実装する場合に使用するパリティビットのストリームにおける問題のあるパンクチャパターンを検出、回避および/または訂正

(57) 【要約】

【課題】パンクチャが行われたターボ符号の実装において使用される、パリティビットのストリームにおける問題のあるパンクチャパターンの検出、回避および/または訂正が、所望の符号レートを回避することなく達成される。

【解決手段】これによって、ターボ符号の比較的性能の低い領域の識別/回避が可能となる。ターボ符号化およびパンクチャリングを含む順方向誤り訂正によって、あらゆる性能尺度と、ターボ符号器(600)によって生成される低レートの符号をパリティビットのパンクチャリングと組み合わせる結果として得られる有効符号化レートとの間の、滑らかな関数の関係が達成される。一実施形態においては、ターボ符号化による劣化を訂正し/回避する方法は、レートマッチングの2つ以上の段階(610、620)が使用される場合に、パンクチャリングの相互作用によって実現される。

【選択図】図10



【特許請求の範囲】

【請求項 1】

レートマッチングの方法であって、
 系統的なビットをインタリーブするステップと、
 第 1 のパリティビットストリームをインタリーブするステップと、
 第 2 のパリティビットストリームをインタリーブするステップと、
 前記インタリーブされた系統的なビット、前記インタリーブされた第 1 のパリティビットストリーム、および前記インタリーブされた第 2 のパリティビットストリームの数が、仮想バッファより大きくないとき、前記インタリーブされた系統的なビット、前記インタリーブされた第 1 のパリティビットストリーム、および前記インタリーブされた第 2 のパリティビットストリームを、前記仮想バッファ内にバッファリングするステップと、
 前記インタリーブされた系統的なビット、前記インタリーブされた第 1 のパリティビットストリーム、および前記インタリーブされた第 2 のパリティビットストリームの数が、前記仮想バッファより大きいとき、前記インタリーブされた系統的なビット、前記インタリーブされた第 1 のパリティビットストリーム、および前記インタリーブされた第 2 のパリティビットストリームの一部を、前記仮想バッファ内にバッファリングするステップと、
 前記仮想バッファの少なくとも 1 つの出力においてレートマッチングを実行するステップと
 を具備したことを特徴とする方法。

【請求項 2】

前記バッファリングされた一部は、前記インタリーブされた系統的なビットの全てを含むことを特徴とする請求項 1 記載の方法。

【請求項 3】

前記インタリーブされた系統的なビット、前記インタリーブされた第 1 のパリティビットストリーム、および前記インタリーブされた第 2 のパリティビットストリームに関連付けられたビットを集めるステップをさらに具備したことを特徴とする請求項 1 記載の方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、一般的には、ターボ符号の使用全般に関し、より詳細には、ターボ符号器を使用して、パンクチャが行われたターボ符号における性能劣化の検出および訂正の方法に関する。

【背景技術】

【0002】

無線通信システムは当技術分野においてよく知られている。一般に、そのようなシステムは、無線通信の信号を互いの間で送信しおよび受信する通信局を含む。通常、基地局が設けられ、この基地局は、複数の加入者局との無線同時通信を実施することができる。第 3 世代パートナーシッププロジェクト (3GPP: Third Generation Partnership Project) によって規定された、符号分割多重接続 (CDMA) システムにおいて、基地局はノード B と呼ばれ、加入者局はユーザ機器 (UE: User Equipments) と呼ばれ、およびノード B と UE との間の無線インターフェースは、Uu インターフェースとして知られる。図 1 は、代表的な 3GPP の CDMA システムを例示する。

【0003】

3GPP の通信システムの Uu 無線インターフェースは、ユーザデータの転送および UE とノード B との間の信号の送受信 (signaling) に、転送チャネル (TrCH) を使用する。3GPP の時分割複信 (TDD) の通信において、TrCH のデータは、互いに排他的な物理資源によって定義される 1 つまたは複数の物理チャネルによって伝達される。TrCH のデータは、転送ブロックのセット (TBS) によって定義される転送

ブロック (TB) の一連の群において転送される。各 TBS は、複数の連続したシステム時間のフレームにまたがることのできる所与の伝送時間の間隔 (TTI: Transmission Time Interval) で伝送される。代表的なシステム時間のフレームは、10 ミリ秒であり、および TTI は、現在、1、2、4 または 8 個のそのような時間フレームにまたがって指定される。

【0004】

図 2 は、TTD モードにおける TrCH の、Coded Composite Transport Channel (CCTrCH) への、次いで 3GPP TS 25.222 v3.8.0 に準拠する 1 つまたは複数の物理チャネルのデータストリームへの処理を例示する。データの TB から開始して、巡回冗長検査 (CRC: Cyclic Redundancy Check) ビットが付加 (attach) されて、TB の連結 (TB concatenation) と符号ブロックの分割 (code block segmentation) とが実行される。次いで、畳み込み符号化 (convolution coding) またはターボ符号化が実行されるが、場合によっては、符号化は指定されない。符号化後のステップには、無線フレームの等化 (radio frame equalization)、第 1 インターリーブ化 (interleaving)、無線フレームの分割 (radio frame segmentation)、およびレートマッチング (rate matching) がある。無線フレームの分割は、指定された TTI 内のフレーム数全体にわたってデータを分割する。レートマッチングの機能は、ビット反復またはパンクチャリングによって動作して、各々の処理された TrCH に対するビット数を定義し、この処理された TrCH がその後多重化されて、CCTrCH のデータストリームを形成する。

10

20

【0005】

CCTrCH のデータストリームの処理には、ビットのスクランプリング、物理チャネルの分割、第 2 インターリーブ化および 1 つまたは複数の物理チャネルへの全マッピングが含まれる。物理チャネルの数は、物理チャネルの分割に対応する。UE からノード B へのアップリンクの伝送に対して、CCTrCH の伝送のための物理チャネルの最大数は、現在、2 に指定される。ノード B から UE へのダウンリンクの伝送に対しては、CCTrCH の伝送のための物理チャネルの最大数は、現在、16 に指定される。次に、各々の物理チャネルのデータストリームが、チャンネル化符号によって拡散されて、および割り当てられた周波数での空中の伝送のために変調される。

30

【0006】

TrCH のデータの受信 / 復号においては、処理が、受信局によって本質的に逆転される。したがって、TrCH の UE およびノード B での物理チャネルの受信は、TBS のデータを再構築するために、TrCH の処理のパラメータの知識を必要とする。各 TrCH に対して、あらかじめ定められた数の転送フォーマット (TF) を含む、転送フォーマットのセット (TFS) が指定される。各 TF は、TB および TBS のサイズを含む、様々な動的なパラメータ、および TTI、符号化タイプ、符号化レート (coding rate)、レートマッチングのパラメータおよび CRC 長を含む、様々な半静的なパラメータを指定する。特定のフレームについての CCTrCH の TrCH に対する TFS のあらかじめ定められた集合化 (collection) は、転送フォーマットの結合 (TFC) として表す。

40

【0007】

受信局の処理は、CCTrCH に対する、転送フォーマットの結合表示 (TFCI) の伝送によって促進される。3GPP は、任意選択で、受信局による「転送フォーマットのブラインド検出」を提供し、この場合には、受信局は、可能性のある有効な TFCI を考慮する。有効な TFCI がただ 1 つの場合には、その TFCI がいずれの場合にも使用される。

【0008】

3GPP においては、タイムスロットの伝送は、あらかじめ定義されたバースト (pr

50

defined bursts) において行われ、この場合に伝送される物理チャネルのデータは、タイムスロットの始まる部分とタイムスロットの終わりの部分とに分割される。選択されるミッドアンプル (midamble) が、2つの物理チャネルのデータ部分の間に含まれる。TFCIは、現在、ミッドアンプルの両側の2つの部分において、および2つの物理チャネルのデータ部分の間で、伝送されるとして指定される。3GPP TR 25.944 V3.5.0からの2つの例を、図3および図4にそれぞれ例示し、これらの場合には、MAとラベル付けしたブロックは、ミッドアンプルを表し、およびTとラベル付けしたブロックは、TFCIの部分を表す。図4において、CCTrCHは、2つの物理チャネルにマッピングしてあるが、1つの物理チャネルだけがTFCIを含む。

10

【0009】

図5A、5B、および6は、チャネル符号化の図であり、および3GPPの周波数分割複信 (FDD) の規格に準拠する多重化の例である。

【0010】

通信システムに実装される様々な符号化のステップは、無線の電気通信システムの性能と容量との両方において重要な役割を果たす。特に、無線伝送用に処理されるデータのターボ符号化は、3GPPのシステムにおけるTDDとFDDとの両方の通信に対して重要な役割を果たす。

【0011】

ターボ符号化の原理は、情報理論において広範な用途が見出されており、一部には、電気通信の理論および実行の主流に進出している。これらの原理は、誤り制御、検出、障害抑制 (interference suppression)、等化 (equalization)、およびその他の通信関係分野において使用される。ターボ符号は、並列の再帰的系統的畳み込み符号 (recursive systematic convolution codes) の形式であり、これは異なるチャネルを介するデジタルデータの伝送において発生する可能性のある誤りを検出しおよび訂正するために、チャネルの符号化および復号化に使用することができる。ターボ符号は、ある条件下で、データ伝送速度がシャノンの法則の理論的な限界に近づくことが可能であるデータ伝送に対して特に有用である。これらの好適な条件には、一般に、大型のブロックサイズの伝送が含まれ、これは特に移動通信において有用である。

20

30

【0012】

図7は、パンクチャリングによって生成される特定の符号が、いかにして予測を下回る性能を示すかを示すものである。4dB程度の損失を、臨界の信号対雑音比 (SNR) 値において計測することができる。

【0013】

通常、高レートのターボ符号は、所望の符号レート (code rate) が達成されるまで低レートの符号のパリティビットにパンクチャリング (すなわち、消去) を行うことによって生成される。パンクチャリングによって生成される特定の符号は、パンクチャリングが行われた、あるビットパターンのために、予測を下回る性能を示す。ターボ符号器における再帰的な符号化ブロックは、無限インパルス応答を有するので、各系統的なビット (systematic bit) についての情報は、パリティビットの多数にわたって分布する。

40

【0014】

パンクチャリングを利用するあらゆる誤り制御の符号化法において、パンクチャリングされるビットの位置は、性能に対して影響を与える。これは、パンクチャを行う連続するビット列は、復号器によってバースト誤りとみなすことができるからである。すべての誤り制御機構は、ある閾値より下のバースト誤りを訂正することだけが可能である。したがって、パンクチャの構成を設計する場合に、符号のバースト誤り訂正能力を考慮することが重要である。誤り制御の符号化法の具体的な知識がない場合には、パンクチャが行われる最大のビット列を最小化するのが良い。高い符号化レート (coding rate)

50

に対しては、このことは、パンクチャが行われない (non-punctured) ビットを伝送ブロックにわたって均一に分布させることに対応する。パンクチャが行われないビットを均一に分布させるパンクチャの構成は、ある誤り制御符号との有害な相互作用をして、復号器の性能の劣化を招く。

【0015】

ターボ符号器における再帰的な符号化ブロックは、無限インパルス応答を有するので、各系統的なビットについての情報は、パリティビットの多数にわたって分布する。パリティビットにおける、ある周期的なパンクチャがない (non-puncture) パターンの影響は、どの程度の情報が残存するパリティビットに残留するかを考慮することによって定性的に説明することができる。

10

【0016】

パンクチャが行われたターボ符号の性能が劣化する領域は、パンクチャパターンが、ターボ符号器の再帰的な符号化ブロックの半周期性 (semi-periodic) のインパルス応答の周期に関係する周期とどの程度密接な周期性があるかを計測することによって判定することができる。

【0017】

3GPPのターボ符号器に対して、構成する再帰的な符号器は、正の時間に対して7シボルの周期で周期性がある (半周期性の) インパルス応答を有する。このことは、符号器をM系列発生器として解釈すること、すなわちシフトレジスタが0の状態において開始して、および $t = 0$ においてのみ1が適用されると、符号器は、関連する次数3の原始多項式 (3rd order primitive polynomial) と初期状態 {100} とを有する、線形フィードバックシフトレジスタ (LFSR) であり、周期 $2^3 - 1 = 7$ のM系列が正の時間に生成されることがすぐにわかる。

20

【0018】

符号器は、2進数体 (binary field) の線形時間不変 (LTI: Linear Time Invariant) システムである。したがって、符号器の出力は、符号器のインパルス応答をシフトさせたものの和であり、各々のシフトさせたインパルス応答はTBにおける1の位置に対応する。 $t > T$ に対して、すべて0である入力を見ると、構成する再帰的な符号化ブロックの出力もまた、 $t > T$ に対して半周期性となる。

【0019】

パンクチャが行われていない (non-puncturing)、ある周期は、パリティビットの集合にわたる小さな群のビットについて、分散情報の損失が生じる可能性がある。例えば、TBが7ビットと後続の多数の0から構成されるとする。ここで、大量にパンクチャが行われた後の1つの符号器の出力の観察によって、7ビットを決定しようとする問題を考える。出力における各観察は、7ビットの部分集合の和であり、部分集合はパンクチャがない周期と再帰的な符号化ブロックのインパルス応答とから決定される。ほとんどパンクチャがないパターン (半周期性のインパルス応答の周期と互いに素 (relatively prime) である周期を有するもの) に対して、7つの異なる部分集合に対する和を最終的に観察することができる。したがって、7つの未知数で、7つの方程式系を形成することができる。それらが、線形独立であることを仮定すると、7ビットの値を決定することができる。しかしながら、パンクチャがない周期は、単一 (simple) であり (周期毎に1つの残存パリティビットがある)、および再帰的な符号化ブロックの周期の7と同じである場合を考える。そうすれば、 $t > 6$ に対してすべての観察は、7ビットの同一の部分集合の和であり、したがって新規な情報は取得されない。すなわち、階数1の方程式系が形成されて、固有解は存在しない。これは、信号の周期的な性質によるものである。パンクチャがない周期が、再帰的な符号化ブロックの周期と、互いに素である場合には、パリティビットの一連の観察によって、最終的に階数が7の方程式系が形成される。7ビット群に対して、これはビットを一意的に決定するのに十分である、すなわち、ビットを決定するのに十分な情報が、残存するパリティビットの全域にわたって分布する。周期が互いに素ではない場合には、系の階数は L/K となり、ここでL

30

40

50

は再帰的な符号化ブロックの周期であり、およびKはLとNとの最大公約数 (G C D : G r e a t e s t C o m m o n D i v i d e r) であり、Nはパンクチャがないパターンの周期である。

【 0 0 2 0 】

上記の引例において、小さなビット群の後の長い0の列はわかり易くするためである。しかしながら、追加のビット群を第1の群に追従させることは、より早い群についての分散情報に追加をしない。このことはシステムの因果関係からわかる。

【 0 0 2 1 】

いくらかの分散情報は、単一ではない周期に対しても失われる可能性がある。例えば、パンクチャがないパターンは、単一周期が3と4との間で変動する場合を考える。これは、周期が7のパンクチャがないパターンであるが、周期毎に2つの残存するパリティビットを有する結果となる。上記の同一の議論で、階数が2の7つの方程式系となり、この方程式系はビット群を一意的に決定するにはまだ不十分であるが、それらが及ぶ空間の次元を減少させる。明らかに、小さいビット群についてのいくらかの情報は、パンクチャがないパターンに対して失われる。

【 0 0 2 2 】

適当な性能を得るためには、符号レート (c o d e r a t e) を回避する必要なしに、パリティビットのストリーム中の問題のあるパンクチャパターンを検出、回避および/または訂正することが必要である。通常、問題のある相互作用は、レートマッチング段階におけるターボ符号の出力とパンクチャリングとの間で発生する。

【 発明の概要 】

【 発明が解決しようとする課題 】

【 0 0 2 3 】

パンクチャパターンを修正することによって問題のある相互作用を回避する、高レートのターボ符号を生成する方法を有することが望ましい。

【 課題を解決するための手段 】

【 0 0 2 4 】

本発明によれば、パンクチャが行われた誤り訂正符号化の伝送品質における劣化が識別されて、および符号伝送はそれに応じて修正される。特定の符号レートに近いパンクチャパターンが識別されて、および予期される劣化に対する値が、パンクチャパターンと特定の符号レートとのマッチングのとおり調節される。

【 0 0 2 5 】

F D D と T D D との両方に対して、2段階のレートマッチングのおよび2つのパンクチャリング動作が含まれるが、これはインクリメンタルな冗長 (i n c r e m e n t a l r e d u n d a n c y) と呼ばれるある技法が理由で行われるものであり、この技法は、無線送受信ユニット (W T R U : W i r e l e s s T r a n s m i t / r e c e i v e u n i t) が基地局から同一のT Bの多重伝送を受信して、ソフト結合 (s o f t c o m b i n e) することを可能にする。1回目に伝送に失敗すると、2回目に成功する通信を得ようとして、より多くのデータを含めて、信号が再伝送される。それを行うために、パンクチャリングの2つの異なる段階が使用される。なぜならば、W T R U はある能力、それがサポートすることのできるあるバッファサイズを有し、および結合されてバッファに入れられる再伝送に適合させるために、パンクチャリングの2つの段階があるからである。レートマッチングの第1段階では、残存するビットがバッファに収まるよう十分なビットにパンクチャが行われ、パンクチャリング (または反復) の第2段階では、所望の全体の符号レートが達成される。2段階のレートマッチングが結合される場合には、符号化レートの問題のある領域のプロットは、多次元のプロットである。したがって、このときには2つのレートが関係し、それら2つレートは第1段階のパンクチャリングのレート、および第2段階のパンクチャリングのレートである。

【 0 0 2 6 】

本発明の第1の実施形態によれば、レートマッチングの単一の段階に対する P 1 / P 2

パンクチャリングのバイアスは、パンクチャが行われた誤り訂正符号化の伝送を使用して実施される。

【0027】

第2の実施形態によれば、R5のHigh Speed Downlink Packet Access (HSDPA)においてHigh Speed Downlink Shared Channel (HS-DSCH)上のパンクチャが行われたターボ符号における性能を検出しおよび訂正するために、レートマッチングの各段階において2つ以上の段階を利用することができる。

【0028】

本発明のより詳細な理解は、添付の図面と合わせて理解すべき好ましい実施形態についての以下の説明から得られるであろう。

10

【図面の簡単な説明】

【0029】

【図1】現行の3GPP規格に準拠する代表的なCDMAシステムの概略を例示する図である。

【図2】3GPPのTDD規格に準拠する、CCTrCH用のTrCHのデータの処理を例示する図である。

【図3】3GPPのTDD規格に準拠する、チャンネル符号化および多重化の例を例示する図である。

【図4】3GPPのTDD規格に準拠する、チャンネル符号化および多重化の例を例示する図である。

20

【図5A】3GPPのFDD規格に準拠する、チャンネル符号化および多重化の例を例示する図である。

【図5B】3GPPのFDD規格に準拠する、チャンネル符号化および多重化の例を例示する図である。

【図6】3GPPのFDD規格に準拠する、チャンネル符号化および多重化の例を例示する図である。

【図7】臨界のSNR値において4dB程度の損失を計測することのできる、パンクチャリングによって生成される特定の符号の典型的な結果を示す図である。

【図8】P1/P2のバイアスが適用される場合の、高確率でデータブロックを有効に復号するのに必要なSNR(臨界SNR)を、符号レートに対して示すグラフの図である。

30

【図9】それぞれレートマッチングの第1段階および第2段階においてパリティストリームにパンクチャを行うレートである、順序付けられたペア(r_1, r_2)に関する問題のある領域をプロットした図である。

【図10】ターボ符号化のHS-DSCHを使用する、HSDPAのための3GPPのレートマッチング用の回路を示す概略のブロック図である。

【図11】ある有効な符号化レートを有するHS-DSCHの転送ブロックに対する初期のブロック誤り率(BLER)を示すグラフの図である。

【発明を実施するための形態】

【0030】

本発明によれば、符号レートを回避する必要なしに、パリティビットのストリーム中の問題のあるパンクチャパターンを検出、回避および/または訂正するための、いくつかの方法および実施形態が開示される。

40

【0031】

本発明は、FDD、CDMA2000およびTDDのユニバーサル移動電話システム(UTMS: Universal Mobile Telecommunications System)の伝送モードにおける、同様に他の伝送モードにおけるレイヤ1およびレイヤ2に応用できる可能性がある。さらに、劣化したターボ符号の性能を復元するように、パンクチャパターンを修正するための方法を以下に説明する。

【0032】

50

本発明によれば、本明細書において開示する方法を、無線送受信ユニット(WTRU)および/または基地局に実装することができる。以後において、WTRUには、限定はしないが、UE、移動局、固定または移動加入者ユニット、ページャ、または無線環境において動作可能なあらゆる他の種類の装置が含まれる。以後に参照する場合には、基地局には、限定はしないが、基地局、ノードB、サイトコントローラ、アクセスポイントまたは無線環境における他のインターフェース装置が含まれる。

【0033】

図8は、パリティビットP1/P2のバイアスを適用する場合に、符号レートに対する、高い確率のデータブロックを首尾よく復号するのに必要なSNR(臨界のSNR)をグラフに表した図である。図7に示すように、レート1/3の3GPPのターボ符号をパンクチャリングすることによって生成される特定の符号は、図中のピークからわかるように、予想以下の性能を示すことがわかっている。

10

【0034】

図9は、それぞれ、レートマッチングの第1段階および第2段階でのパリティストリームをパンクチャリングするレートである、順序対(ordered pair)(r1, r2)についての問題のある領域のプロットである。ここでわかるように、レートの組合せが特に問題となるようなパリティストリームのパンクチャリングのレートが存在する特定の領域がある。

【0035】

一実施形態においては、パリティビットP1およびP2に対するパンクチャのバイアスは、1つの段階のレートマッチングに対して実施される。図10は、ターボ符号化されたHS-DSCHを使用する、HSDPA用の3GPPのレートマッチングのための回路600を示す図式的なブロック図である。回路600は、HSDPA用の3GPPのレートマッチング法を実現する。回路600は、ビットの分離回路605、第1レートマッチング段階610、仮想のインクリメンタル冗長(IR)のバッファ615、第2レートマッチング段階620およびビットの集合化回路625を含む。第1レートマッチング段階610は、パリティ1(P1)のビットのレートマッチング回路630およびパリティ2(P2)のビットのレートマッチング回路635を含む。第2レートマッチング段階620は、系統的なビットのレートマッチング回路640、第2レートマッチングのためのパリティ1(P1)のビットのレートマッチング回路645、および第2レートマッチングのためのパリティ2(P2)のビットのレートマッチング回路650を含む。動作においては、系統的なビット、パリティ1(P1)およびパリティ2(P2)のビットは、第1レートマッチング段階610、仮想のIRのバッファ615、第2レートマッチング段階620およびビットの集合化回路625を介して処理される。パリティ1(P1)およびパリティ2(P2)のビットは個別に処理されることに留意されたい。系統的なビット、パリティ1(P1)およびパリティ2(P2)のビットは、ビットの集合化回路625において結合されて、単一のデータ出力N_{data}が得られる。符号化のビット数が仮想のIRのバッファ615のサイズ以下の場合には、第1レートマッチング段階630は透過的(transparent)である。透過的な第1段階の場合およびRel-4のレートマッチングについて考察する。

20

30

40

【0036】

その実際の実装においては、マイクロプロセッサ回路などの共通回路によって、およびプログラム命令のとおり、異なる回路機能が実行されることが予期される。本発明を実施するために使用する具体的な回路機能は、したがって、レートマッチング回路600内部の回路を構成する機能の選択の問題である。

【0037】

レートマッチングのアルゴリズムは、全体の符号レートが1/3より大きい場合にはパンクチャリングを、および符号レートが1/3より小さい場合には反復を実行する。現在、1/3より大きい符号レートは、P1とP2との両方のビットに(1ビット内に)、異なるパンクチャパターンの位相を有するが、同一のパンクチャリングレートを適用するこ

50

とによって達成することができる。ターボ符号の性能を劣化させることがわかっている、パンクチャを行わない周期性を回避するために、P 1 および P 2 に対するパンクチャリングレートに、独立にバイアスをかける。例えば、P 1 のビット数を

【 0 0 3 8 】

【 数 1 】

Δ

【 0 0 3 9 】

だけ低減し、および P 2 のビット数を

【 0 0 4 0 】

【 数 2 】

Δ

【 0 0 4 1 】

だけ増加させると、全体の符号レートは不変であるが、問題のあるパンクチャを行わない周期は回避することができる。問題のある符号レートを回避するためのこのアプローチを仮定して、必要なバイアスに対する解析学的な式が導かれた。

【 0 0 4 2 】

パンクチャパターンを修正する簡単で効率的な方法は、一方に追加のパンクチャリングを加え、他方からそれを除去することによって、P 1 および P 2 におけるパンクチャリングされたビット数にバイアスを与えることである。バイアスの量は、ある周期性を回避するのに必要な量と同じ量しかすべきではない。P 1 および P 2 のビットのパンクチャリングレートにバイアスをかける際には、2つの制約条件を満たさなくてはならない。

【 0 0 4 3 】

周期が

【 0 0 4 4 】

【 数 3 】

$$7\hat{N}/2(\hat{N}=1,2,3\dots)$$

【 0 0 4 5 】

のパンクチャを行わないパターンを使用すると、性能における劣化が結果として生ずる。これらの周期は、P 1 または P 2 のビットのパンクチャを行わない平均周期が、

それぞれ偶数および奇数の

【 0 0 4 6 】

【 数 4 】

\hat{N}

【 0 0 4 7 】

に対して、

【 0 0 4 8 】

【 数 5 】

$$7\hat{N}/2$$

【 0 0 4 9 】

の ± 1 または $\pm 1/2$ の範囲内である場合にはいつでも使用される。

【 0 0 5 0 】

P 1 および P 2 のレートのマッチングブロックのパンクチャを行わない平均レートは、 $I/(P/2)$ である。ここで、I はレートマッチングの各ブランチへの入力におけるビット数であり、P はレートマッチングの出力における (P 1 および P 2 の) パリティビットの合計数である。したがって、所望の符号レートは、

10

20

30

40

50

【 0 0 5 1 】

【 数 6 】

$$\hat{N} > 0$$

【 0 0 5 2 】

に対して、

【 0 0 5 3 】

【 数 7 】

$$\left| \frac{I}{(P/2)} - \frac{7\hat{N}}{2} \right| < 1 - \frac{\hat{N}}{2} + \left\lfloor \frac{\hat{N}}{2} \right\rfloor \tag{10}$$

式1

【 0 0 5 4 】

ここで、

【 0 0 5 5 】

【 数 8 】

$$\hat{N} = \left\lfloor \frac{4I}{7P} + \frac{1}{2} \right\rfloor \tag{20}$$

式2

【 0 0 5 6 】

であれば、問題のあるパンクチャパターンに導く。

【 0 0 5 7 】

パリティビットのストリーム 1 および 2 のパンクチャリングレート、 P 1 および P 2 にバイアスを与える際には、 2 つの制約条件を満たさなくてはならない。

【 0 0 5 8 】

第 1 に、パリティビットのストリーム 1 内の残存するビット数は、問題のあるパンクチャパターンを回避するために、量 だけ十分に増加させなければならない。第 2 に、パリティビットのストリーム 2 内の残存するビット数は、やはり問題のあるパンクチャパターンを回避するのに十分な、等しい量 だけ低減させなければならない。

30

【 0 0 5 9 】

これらの 2 つの制約条件を結合して、 に対して次の式

【 0 0 6 0 】

【 数 9 】

$$\Delta = \left[\max \left\{ \left\lfloor \frac{I}{\frac{7\hat{N}-1}{2}} - \frac{P}{2} \right\rfloor, \left\lfloor \frac{I}{\frac{7\hat{N}+1}{2}} - \frac{P}{2} \right\rfloor \right\} \right] \tag{40}$$

式3

【 0 0 6 1 】

とすることができる。

【 0 0 6 2 】

あるいはまた、パンクチャが行われていないビットを、 P 2 において増加させて、および P 1 において減少させてもよい。必要な P 1 / P 2 のバイアスを決定し適用する処理は、次のとおりである。

【 0 0 6 3 】

ステップ 1) 式 2 を使用して

【 0 0 6 4 】

50

【数 1 0】

\hat{N}

【 0 0 6 5】

を計算する。

【 0 0 6 6】

ステップ 2) 式 1 を使用して所望の符号レートが問題のあるパンクチャパターンになるかどうかを決定する。そうである場合には、ステップ 3 に続き、そうではない場合には、

【 0 0 6 7】

【数 1 1】

$$\Delta = 0 \left(\left| \frac{I}{(P/2)} - \frac{7\hat{N}}{2} \right| \geq 1 - \frac{\hat{N}}{2} + \left\lfloor \frac{\hat{N}}{2} \right\rfloor \text{ の場合} \right)$$

【 0 0 6 8】

に設定する。

【 0 0 6 9】

ステップ 3) 式 3 を使用してバイアス を計算する。

【 0 0 7 0】

ステップ 4) TS 25.212 / 22.2 におけるテーブルを修正することによってレートマッチングのパラメータを計算する。

【 0 0 7 1】

ターボ符号の性能を劣化させるパンクチャパターンを回避するために、パンクチャが行われるビットの全体数を一定に保ちながら、パリティビットのストリーム 1 および 2 にそれぞれ適用するパンクチャリングの量は、わずかに異なるようにすることができる。

【 0 0 7 2】

パリティビットのストリーム 1 のパンクチャが行われるビット数を だけ減少させるとともに、相応して、パリティビットのストリーム 2 のパンクチャが行われるビット数を だけ増加させる場合には、全体の符号レートは不変であるが、問題のあるパンクチャパターンは回避することができる。ここで、ビットの集合化およびビットの逆集合化 (d e - c o l l e c t i o n) の段階は、この場合に対応して調整が必要であることに留意されたい。個々の劣化性能の領域は、小さくなりがちであるので、性能劣化した符号レートの使用を単に回避するのが有利なことがある。性能劣化した符号レートは、上記の式を使用して識別することができるので、それらを回避するのは簡単なことである。

【 0 0 7 3】

3 G P P において展開されている H A R Q (H y b r i d A u t o m a t i c R e p e a t r e Q u e s t) に対しては、2 段階のレートマッチングを使用することが必要となる可能性がある。これは、インクリメンタルな冗長 (I R) が使用され、およびレートマッチングのアルゴリズムに入力されるビット数が、仮想の I R のバッファよりも大きい場合には、いつでも発生する。ここで、H A R Q のチェース (C h a s e) コンバイニングを使用する場合には、専用の I R のバッファが必要ではなく、受信されるビットのバッファで十分である。(配列の再配置が使用されない場合には、受信シンボルのバッファで十分である。) I R がチェース (C h a s e) コンバイニングに対して小さな改善だけをもたらすと決定される場合には、標準からの I R の除去を推奨することができる。

【 0 0 7 4】

より高いデータレートを得るために、3 G P P は、リンクアダプテーション (l i n k a d a p t a t i o n) が実施される、H S D P A オプションを導入している。リンクアダプテーションの 1 つの構成要素は、A M C (A d a p t i v e M o d u l a t i o n a n d C o d i n g) である。A M C では、チャンネル品質の評価を用いて、変調タイプおよび最大スループットを達成する符号レートを選択する。チャンネル品質が高い場合

10

20

30

40

50

には、QAM変調および高い符号レートが選択される。高い符号レートは、レートが1/3のターボ符号にパンクチャを行うことによって得られる。チャンネル品質の表示(CQI)の表を設計する間に、ある転送ブロックのセットのサイズ(TBSS: Transport Block Set Sizes)が予想よりも低い性能を示すことがわかった。CQIの表を使用して、チャンネル品質の評価を、推奨される変調およびTBSSにマッピングする。この予測より低い性能の問題は、現在は、CQIの表を単に「手調整(hand tweak)」して問題を生ずるTBSSを回避することによって対処されている。AMCにおいては、このことは、最適な符号レートは不可避に回避されるので、最適に達しないスループットに導く。

【0075】

AMCを用いるリンクアダプテーションのサポートは、R5のHSDPAの必須の特徴である。AMCでは、HS-DSCH上の変調タイプおよび符号レートは、チャンネル状態に一致して変えることができる。HS-DSCH上の可変の符号レートは、あらかじめ定められた方法、すなわち、TBSSと利用可能な物理チャンネルのビット数との関数として、R99のターボ符号器のレートマッチング(反復またはパンクチャリング)出力を用いて達成される。R99/R4とR5との両方は、同一の符号レートが1/3のターボ符号器を使用する。レートマッチングの原理はR4とR5との両方に対して同一であるが、より高効率な符号レート($> 1/2$)の確実なおよび頻度の高い使用、レートマッチングの多段階の使用、およびインクリメンタルな冗長(IR)の可能性を与える標準によって、R99/R4とR5とが区別される。

【0076】

WG4におけるHSDPAの性能要件は、HS-DSCH上のターボ符号化およびパンクチャが行われた転送ブロックに対して、効率的な符号化レート1/2より上の範囲に対して最大数dBまでの、非常に高く、いくぶん予測不可能なSNRの性能劣化を示した。

【0077】

HS-DSCH上のターボ符号化の性能は、ベースラインレートが1/3のターボ符号器により出力されるパリティビットのストリームの不適当なパンクチャパターンによって大きな影響を受ける。元のWG4シミュレーション結果がTDDのコンテキスト(TDD-context)として提供されたが、まったく同一の劣化がFDDにおいて発生し、その理由は、(問題のある相互作用が始まる)HS-DSCH転送ブロック上のターボ符号化およびレートマッチング(TS25.212およびTS25.222)は、両方のモードに対してまったく同一の方法で行われるからである。

【0078】

あるデータレートにおける予想より低い性能は、やはり固定変調および符号化法の問題である。ユーザに問題を示す符号レートが割り当てられる場合には、符号の低い性能は、電力制御によって相殺され、したがってセル容量(cell capacity)が減少する。

【0079】

別の実施形態においては、パリティストリームのパンクチャリングに対する調整によって、MAC-hs(Medium Access Control-High Speed)が、スケジューラの決定の結果として、所望のあらゆる転送ブロックサイズを単に選択することが可能となる。TS25.212/222におけるレートマッチング段階のパンクチャパターンの生成をわずかに変更する必要があると考えられる。例えば、TS25.212に記載されている、現行のFDD標準に対する1つの実装する修正を、その修正がなぜ望ましいかについての短い解説とともに、本明細書に添付してある。

【0080】

第1レートマッチング段階が透過的である場合と、第1と第2との両方のレートマッチング段階が利用される場合との両方に対して、パリティビットのパンクチャリングに対する調整を用いて、問題のある相互作用を回避するための、多くの満足する解決策が存在する。

10

20

30

40

50

【0081】

これらの解決策のうちの一つ、例えば、単純なバイアス方法を、第1レートマッチング段階が透過的である場合の概念的な例を提供するために、以下に概説する。

【0082】

現在、パンクチャパターンの「位相」は調整される可能性があるが、ターボ符号器（図10）の出力Wにおいて、パリティビットのストリーム1と2との両方に同量のパンクチャリングを適用することによって、符号化レート $> 1/3$ が達成される。

【0083】

特定の符号レートが望ましく、それを使用すると性能劣化が生じると決定される場合、わずかに低い符号レートを選択して劣化を回避することができる。代用される符号レートに対する好適な選択は、許容し得る劣化を有すると決定された所望の符号レートよりも小さくて、最大限許される符号レートである。

10

【0084】

システムに対して利用可能な符号レートが無制限に使用されるのを許可するのが望ましい場合には、性能はパンクチャパターンの修正によって復元することができる。パンクチャが行われたターボ符号に対する性能の復元の鍵は、残存するパリティビットが、系統的なビットに関して過剰に冗長である場合を回避すること、すなわちパンクチャパターンを修正して性能を改善することである。これを達成する一つの方法は、同一の符号レートを保持する一方で、データブロックに対するパンクチャリングの均一性を過剰に破壊することなく、またはP1およびP2における残存するパリティのビット数における過剰に大きな不均衡を生成しないようにしながら、パリティビットのサンプリングを、半周期性のインパルス応答の一つの全周期に対応するすべての点が、できる限り少ないサンプルでサンプリングされるように行う方法である。

20

【0085】

またここで留意すべきことは、この軽減方法は、2より大きいパリティストリームを有するシステムにも適用することができることである。例えば、3GPPのターボ符号（CDMA2000）は、4つのパリティストリームを含む。問題のあるパンクチャパターンが発生すると、一定の全体的に有効な符号レートを保持しながら、個々のパリティストリームの各々のパンクチャリングレートを調整することによって緩和することができる。

【0086】

R99/R4においておよび多くのR5の構成において使用される、レートマッチングの単一の段階の場合には、パンクチャパターンが7の倍数に等しい残存するビット周期にとても近い周期的である領域において、およびすべての3.5パリティビットの中に平均1ビットが残存するときに、ターボ符号化の出力とパンクチャが行われ伝送された系列との間の問題のある相互作用が発生する。

30

【0087】

これらの劣化は、階数が1および階数が2のシナリオにそれぞれ対応する。この場合は、階数が1のシナリオに対応する。階数が2のシナリオは、階数が1のシナリオよりも、SNRの劣化に対する影響が小さい。より高い階数（ > 2 ）のシナリオは性能劣化に大きく寄与しないので、階数が1および階数が2のシナリオ以外の階数はここでは考慮しない。

40

【0088】

これらの領域の中心における符号レートは、次式で求められる。

【0089】

【数12】

$$CR = \frac{1}{1 + \frac{2}{3.5N}} = \frac{3.5N}{3.5N + 2} \quad N = 1, 2, \dots$$

【 0 0 9 0 】

限界の符号レート (CR (critical code rate)) は、N が偶数の場合には階数が 1 のシナリオに対応し、および N が奇数の場合には階数が 2 に対応する。階数が 1 に対しては、限界の符号レートは $CR = 7/9$ 、 $7/8$ 、 $21/23$. . . となり、および階数が 2 に対しては、 $CR = 7/11$ 、 $21/25$. . . となる。

【 0 0 9 1 】

パリティビットのストリーム 1 または 2 のいずれかにおける、系統的なビットの数とパリティビットの数との比は、「パリティバンクチャリングレート」として考えることができる。 $7N/2$ ($N = 1, 2, 3, \dots$) に近いまたは等しいパリティのバンクチャリングレートを有する残存するビットパターンを使用する場合には、性能の劣化が生じる。パリティビットのストリーム 1 または 2 の残存するビットの平均周期が、それぞれ偶数および奇数の N に対して $7N/2$ の ± 1 または $\pm 1/2$ の範囲内にあるときにはいつでも、ある量のターボ符号化およびバンクチャリングの相互作用も発生することになる。

【 0 0 9 2 】

2 (またはそれ以上の) 段階のレートマッチングを使用する場合には、問題のあるバンクチャパターンが、あらゆる段階によって、またはレートマッチング段階間の相互作用によって生成される可能性がある。

【 0 0 9 3 】

性能劣化を予測する、リリース 5 の 3 G P P のターボ符号器 / レートマッチング用の閉形式が開発されている。この式は、入力として、トリプレット { レートマッチングの第 1 段階前のビット、第 1 レートマッチング後の最大ビット、第 2 レートマッチング後のビット } またはペア { パリティビットに関する第 1 段階のレートマッチングのレート、パリティビットに関する第 2 段階のレートマッチングのレート } のいずれかをとり、以下の式 5 に示すように、出力は有理数であり、この有理数は、許容性能をもたらす / もたらさないとして、構成を許容 / 拒絶するための閾値と比較することができる。パラメータ r_1 および r_2 は、パリティビットのストリームに関するレートマッチングの第 1 および第 2 の段階に関連付けられたレートを表す。複雑ではあるが、式 5 は、 r_1 、 r_2 において区分線形および連続関数であり、したがって値を求めるのは簡単である。

【 0 0 9 4 】

【 数 1 3 】

$$\lambda(r_1, r_2) = \sum_{n=1}^{L-1} \alpha_n \left[\left(1 - \left\lfloor \frac{1}{L} \lceil r_1 \lceil nr_2 \rceil \rceil - \left\lfloor \frac{1}{L} \lceil r_1 \lceil nr_2 \rceil \rceil \right\rfloor \right) (nr_2 - \lfloor r_2 \rfloor) (\lceil r_1 \lceil nr_2 \rceil \rceil - \lfloor r_1 \lceil nr_2 \rceil \rfloor) + \right. \\ \left. \left(1 - \left\lfloor \frac{1}{L} \lfloor r_1 \lfloor nr_2 \rfloor \rfloor - \left\lfloor \frac{1}{L} \lfloor r_1 \lfloor nr_2 \rfloor \rfloor \right\rfloor \right) (nr_2 - \lfloor nr_2 \rfloor) (-\lceil r_1 \lfloor nr_2 \rfloor \rceil - \lfloor r_1 \lfloor nr_2 \rfloor \rfloor + 1) + \right. \\ \left. \left(1 - \left\lfloor \frac{1}{L} \lceil r_1 \lfloor nr_2 \rfloor \rceil - \left\lfloor \frac{1}{L} \lceil r_1 \lfloor nr_2 \rfloor \rceil \right\rfloor \right) (-nr_2 + \lfloor nr_2 \rfloor + 1) (\lceil r_1 \lfloor nr_2 \rfloor \rceil - \lfloor r_1 \lfloor nr_2 \rfloor \rfloor) + \right. \\ \left. \left(1 - \left\lfloor \frac{1}{L} \lfloor r_1 \lceil nr_2 \rceil \rfloor - \left\lfloor \frac{1}{L} \lfloor r_1 \lceil nr_2 \rceil \rfloor \right\rfloor \right) (-nr_2 + \lfloor nr_2 \rfloor + 1) (-\lceil r_1 \lceil nr_2 \rceil \rceil + \lfloor r_1 \lceil nr_2 \rceil \rfloor + 1) \right) \right]$$

式5

【 0 0 9 5 】

次いで、閾値の比較をこの式に基づいて行い、符号レートのペアが適切に機能するかどうかを検証することができる。同様な意味で、トリプル { データブロックサイズ、第 1 段階のレートマッチング後のサイズ、第 2 段階のレートマッチング後のサイズ } を使用することもできるのは、このトリプルが符号レートペア中に直接マッピングされるからである。

【 0 0 9 6 】

パンクチャパターンの周期性の影響は、レートマッチングを行う前に、パリティビットにインターリーブを行うことによって軽減することもできる。この方法によって、レートマッチングにおいて周期的サンプリングが行われる場合でも、逆インターリーブ後に、パリティビットの周期的サンプリングが回避される。

【0097】

チャンネルインターリーブの機能は、レートマッチングのブロックインターリーブ中に組み入れることができる。これは、インターリーブを設計する場合に、追加の制約をレートマッチングのブロックインターリーブ（チャンネルインターリーブによって定義されるもの）に加えることによって達成することができる。しかしながら、これには系統的なビットに対する追加のインターリーブが必要となる。

10

【0098】

ここで、パンクチャリングが行われないビットの再配列は、ターボ符号器の再帰的な符号化ブロックの半周期性のインパルス応答の周期に等しい範囲で行う必要があるだけであることに留意されたい。したがって、小規模の時間可変なインターリーブをパリティビットのストリームに追加することによって、問題となるパンクチャパターンを防止することができる。これは、必要とするメモリが少ないこと、およびパンクチャリングの均一性の歪みを最小にするのを助けるという利点がある。

【0099】

あるパラメータは、時間（またはビットインデックス）の関数として変化させることによって、性能劣化を軽減させるパンクチャパターンを生成することができる。3GPPに対するそのような例としては、レートマッチングの実行の間中、レートマッチングのパラメータ X_i 、パラメータ e_{minus} および e_{plus} を修正する方法がある。この方法では、パンクチャパターンに影響するパラメータを、パンクチャが行われるビットのブロックの1つまたは複数の場所において変えることができる。パラメータの変化を可能にすることによって、同一の全体の符号レートを引き続き保持しながら、瞬時の符号レートを所望の全体の符号レートと異なるようにする（それによってパンクチャリングの相互作用を回避する）ことができる。例えば、1) パンクチャリングの実行中に、 e_{plus} および e_{minus} を頻繁に変化させて、それによって有害なパンクチャリングが長く続く可能性を崩壊させる。2) 符号レートが符号ブロックのある部分において高く、および他の部分では低くなるように符号レートが変化するように、パラメータを変化させることができる。

20

30

【0100】

上記の方法は、特定の符号レートを生成するのに使用されるパンクチャパターンに対する修正の例である。すべてのそのような方法は、特殊な場合であり、およびパンクチャパターンの順列（*permutation*）のより汎用的な概念の特定の実現であると考えられることができる。パンクチャパターンを変更する、すなわち、元のパンクチャパターンの一部の順列を生成するあらゆる方法は、全体としての符号性能を変化させる可能性がある。

【0101】

各段階において実行されるパンクチャリングの量を調整することによって、問題のあるパンクチャパターンを回避しながら、所望の全体の符号レートを達成することができる。この方法は、3GPPのHSDPAのターボ符号/レートマッチングのアルゴリズムという状況において配置される場合には、仮想のインクリメンタル冗長（IR）のバッファのサイズの意図的な低減に導く。一般に、このアプローチは、所望の全体のパンクチャパターンが生じるように、各段階の個々のパンクチャリングレートを修正することを意味する。

40

【0102】

段階のレートのバイアス（*Stage Rate Biasing*）は、処理するポイント（ r_1 、 r_2 のペア）を、性能劣化が許容される一定の符号レートの（すなわち、積 $r_1 \cdot r_2$ が変化しない）曲線上のあるポイントに変更することによって、容易に達成す

50

ることができる。

【0103】

段階のパンクチャリングレートを、同様に2つのパリティストリームにおける相対的なレートを調整することを組み合わせることによっても、パンクチャパターンとターボ符号の性能との間の問題のある相互作用を軽減することができる。

【0104】

これは、処理するポイントを2つのポイントに分割することとして考えることができる。1つ目のポイントは、第1のパリティビットのストリームのための第1および第2段階のレートマッチングのレートに対応し、2つ目のポイントは、第2のパリティビットのストリームのために対応する。全体の符号レートは変わらないが、両方のポイントが許容できる性能の領域にあり、およびレートマッチングの第1段階後の残存するビットの合計数がIRのバッファなどの課せられた限界を超えないように、2つのポイントを選択しなくてはならない。

10

【0105】

本発明は、パリティビットのストリーム内の問題のあるパンクチャパターンを、所望の符号レートを回避する必要なしに、検出し、回避しおよび/または訂正する、いくつかの簡単で効率的な技法を提供する。本発明によれば、特定の符号レートに近いパンクチャパターンを識別し、およびそのパンクチャパターンと特定の符号レートとのマッチングのとおりに予期される劣化に対する値を調整することによって、パンクチャリングが行われた誤り訂正符号化の伝送における劣化を低減することができる。

20

【0106】

パンクチャリングを介して高レートの符号を生成する場合には、パンクチャが行われるビットを、できる限り均一に分布させるのが望ましい。このガイドラインを使用すると、ある符号レートが、結果として得られるパンクチャが行われないビットパターンの効率を下げるのを要することは不可避である。そのような例の1つは、パンクチャが行われていないビットパターンが周期性の場合に、ターボ符号器の再帰的な符号化ブロックの半周期性のインパルス応答の周期に等しい周期で起こる。アルゴリズムを使用して、劣化性能を伴うすべてのパンクチャパターンを識別することができる。

【0107】

本発明の特定の実施形態においては、WTRUによってサポートされるバッファサイズを含めて、WTRUの容量が決定される。パンクチャリングを使用して、バッファに収まるようにビット数を低減し、全体の符号レートが、十分な誤り訂正能力を提供するように調整される。これによって、パンクチャリングの第1段階における第1のレート、およびパンクチャリングの第2段階における第2のレートを提供する。

30

【0108】

本発明によれば、パリティビットのストリームおよびパンクチャが行われたターボ符号における問題のあるパンクチャパターンの検出、回避および/または訂正が、所望の符号レートを回避する必要なく達成される。これは、制限なしに、FDD、TDDおよび他の伝送モードに適用可能であり、および従来技術のビットのパンクチャリングの構成によって生じる可能性のある、比較的ターボ符号性能の低い領域の識別/回避を可能にする。本発明は、あらゆる性能尺度と、ターボ符号器によって生成される低レートの符号をパリティビットのパンクチャリングに組み合わせることから生ずる有効な符号化レートとの間に、滑らかな関数の関係を達成する、ターボ符号化およびパンクチャリングを含む、順方向誤り訂正(forward error correction)を提供する。性能尺度の例としては、BLER、ビット誤り率(BER)、要求される信号対干渉比(SIR(signal-to-interference ratio))、または要求されるSNRがある。

40

【0109】

パンクチャパターンは、符号化された伝送を特定のデータレートで生成し、および符号化されたビットの一部を排除することによって生成される。受信端では、0または他の「

50

充填」ビットがパンクチャが行われたビットの代わりに配置されて、および復号する処理は失われたビットを有する受信信号に基づく。本発明によれば、特定のパンクチャパターンの下で発生する劣化を解消するために、パンクチャパターンが修正される。特に、パンクチャパターンが規則的または周期特性を有する場合に、信号劣化を生じる可能性が高い。劣化を解消することによって、所望の符号レートを達成することが可能となる。

【0110】

本発明は、特に3GPPの符号化に有用であり、およびローチップレートのTDDと、ハイチップレートのTDDと、FDDとに使用することができる。

【0111】

そのような周期性の例の1つは、パンクチャが行われていないビットパターンが、ターボ符号器の再帰的な符号化ブロックの半周期性のインパルス応答の周期に等しい周期を有して周期的である場合に発生する。劣化性能を伴うすべてのパンクチャパターンを識別するアルゴリズムが提供される。さらに、パンクチャパターンの修正は、ターボ符号の性能が復元されるように実行される。

10

【0112】

パンクチャリングに対する修正を使用することによって、ターボ性能を復元する。システムに対して利用可能な符号レートの無制限の使用を許可するのが望ましい場合には、パンクチャパターンの修正によって性能を復元することができる。したがって、システムに対して利用可能な符号レートの無制限な使用を許可することが望ましいと考えられる場合には、パンクチャパターンの修正によって性能を復元することができる。

20

【0113】

適応符号化 (adaptive coding) とは、進行中に、チャネル品質を表示するWTRUからの情報が得られることを意味する。情報に基づいて、送信器は、他のパラメータの中でWTRUの符号レートを調整する。受信が悪い場合には、大量の冗長が追加され、したがって非常に低い符号レートとなるが、これは要求されたブロック誤り率でのデータ転送を可能にする。

【0114】

チャネル品質の評価過程では、問題のあるパンクチャリングが使用された可能性があることを本来的には考慮はしないし、考慮する必要もない。チャネル品質は、通常、信号電力および雑音電力に基づくが、それは、符号器が問題のある方法でパンクチャが行われている可能性があるということも考慮せず、したがってAMCは問題のある符号レートを回避するのには役立たない。良好なチャネル品質では、符号化はほとんど必要ではなく、およびより高次の変調を使用することができる。チャネル品質が悪い場合には、符号レートは低減される。したがって、低減されたデータレートを使用することによって、所望の誤り性能を提供する。チャネル品質の表示は、チャネル品質を監視するのに使用され、さらにデータレートコントローラに inputs を供給する。

30

【0115】

容量は、サポートされる全ユーザに対する結合されたデータレートを決定することによって測定される。セル内の1人または複数のユーザが、問題のある符号レートに同調されると、それらのユーザは、より大きな電力、したがって低減された容量を必要とすることが想定される。多くの場合に、問題のある符号レートは、既知であるか、または本発明によって決定することが可能であり、したがってこれらのレートを回避することができる。

40

【0116】

本発明は、何らかの解析手段によって問題レートを前もって識別し、およびこれらのレートを動的または静的に回避することによってこの情報に回答する能力を提供する。これは、問題のあるパターンを検出するか、または回避すべきレートの公式または表を使用するかによって達成される。伝送が問題レートの1つを必要とする場合には、わずかに異なるレートにおいて実際の伝送を提供する。結果として、問題のレートが回避される。

【0117】

これらは、TDDおよびFDDモードの伝送におけるレイヤ1およびレイヤ2に適用可

50

能な、特定の符号レートを生成するのに使用される、本発明による、パンクチャパターンに対する修正の代表例である。説明した例に対する変形形態が考えられる。そのようなすべての変形形態は、パンクチャパターンの順列のより一般的な概念の特殊な場合および特定の実装であると考えられることができる。パンクチャパターンを変更する、すなわち、元のパンクチャパターンの一部の順列を生成するあらゆる方法は、全体の符号性能を変える可能性があり、したがって順列および考えられるパンクチャパターンのそのような順列を生成する方法は、本発明に含めることを意図するものである。本明細書で上述した本発明の基本概念に対するすべての修正および改善は、本発明の範囲内であると考えられる。

【0118】

図11は、それぞれ4454、4705および4858ビットの増大するサイズの、3つの異なるHS-DSCCHの転送ブロックのBLERの性能を示す。これらのすべては、レートが1/3でターボ符号化され、次いでHigh Speed Physical Downlink Shared Channel (HS-PDSCH)にマッピングされる6072ビットまでパンクチャが行われる。結果として、3つの増大する転送ブロックのサイズに対して、0.75(7/9 - とラベル付け)、0.77(7/9 とラベル付け)および0.80(7/9 + とラベル付け)の有効な符号レートを生成される。

10

【0119】

HS-DSCCH上でターボ符号化された転送ブロックの有効な符号レートを増加させる(または同等にパンクチャリングレートを増加させる)と、BLERの性能は、より高くなる有効な符号レートに対して、比例して劣化すること、すなわちますます悪化することを予想すべきである。このことは、残念ながら常には起こらず、およびこの例においては、約10%の同じBLERを達成するのに、レートが0.77(7/9)で符号化された転送ブロックは、レートが0.80で符号化された転送ブロックよりも3dB程度大きいSNRを必要とすることがわかる。

20

【0120】

観察された劣化の理由は、構成する再帰的な畳み込み符号器のインパルス応答によって与えられる、2つのターボ符号器のパリティビットのストリームの出力における周期性(周期=7)が、多くの場合に、第2および/または第1のレートマッチング段階によって適用されるパンクチャパターンの周期性と有害に相互作用するためである。この影響は、より高くなるパンクチャリングレートに対して、頻度がより高くなる。

30

【0121】

以下の分析においては、単一のR99のレートマッチングのブロックを仮定する。しかしながら、この概念は、より一般的にR4およびR5に、インクリメンタルな冗長がありまたはなしで適用される。両方の場合に対する主な結論は、SNRの劣化につながる限界のパンクチャリングレートは原理的に予測可能であるが、むしろ複雑なパラメータセットを考慮に入れることが必要になることである。

【0122】

限界のパンクチャリングレートの設定は、ノードBにおけるMAC-hsにおいて回避され、これには、現行の標準における変更を必要とせず、およびベンダ固有な実装に詳細を公開することができるという具体的な利点がある。このアプローチは好ましいが、使用される参照の表は複雑であるとともに、可能なMAC-hsのスケジューラの決定に対する制約が課せられる。

40

【0123】

あるいはまた、TS25.212/222におけるHS-DSCCHのための現行のレートマッチング段階によって生成されるパンクチャパターンに対してわずかな修正をほどこす。これらの修正は、TS25.212/222においてレートマッチングのパラメータ、例えば、HARQの第2レートマッチングのためのパラメータが生成される方法における小さな変更だけで構成され、およびより重要なこととして追加の信号方式を必要としない。

【0124】

50

第2の選択肢(ターボ符号化されたパリティビットのストリーム上でのパンクチャパターンの生成のわずかな修正)の明白な簡潔性およびMAC-hsスケジューラに対する透過性(スケジューラの決定の結果として望まれるいかなる転送ブロックのサイズでも単に選択すること)のために、TS25.212/222において対応する変更を行いこの問題を矯正する。

【0125】

TS25.212/222によるターボ符号器における構成する再帰的な畳み込み符号器は、正の時間に対して周期が7の周期性のある無限インパルス応答を有する。パリティビットのストリーム中に残存する(パンクチャが行われていない)ビットの、あるパターンの影響は、これらの残存するパリティビットの中にどれだけの情報が残留するかを考慮することによって定性的に説明することができる。

10

【0126】

ターボ符号器は、3つのビットストリーム、すなわち入力系列に対応する系統的なビット、パリティビットのストリーム1(第1構成の符号器の出力)およびパリティビットのストリーム2(第2構成の符号器の出力)を生成する。

【0127】

ここで、構成する再帰的な畳み込み符号器はGF₂上のLTIシステムであることに留意されたい。したがって、符号器の出力は、符号器のインパルス応答のシフトされた変形の和である。インパルス応答の各シフトされた変形は、TBにおける1の位置に対応する。

20

【0128】

あるパンクチャパターンは、パリティビットのストリームのうちの1つにおけるビット集合にわたる小さなビット群についての分布情報の損失を生じる可能性がある。例えば、TBが、多数のゼロの続く7ビットで構成されるとする。多量のパンクチャリングの後の1つの符号器の出力を観察することによって、7ビットの決定を試みる問題を考える。出力においてなされる各観察は、前記7ビットの部分集合の合計である。各々の特定の観察に対する部分集合は、残存するビットの周期および再帰的な符号化ブロックのインパルス応答によって決定される。

【0129】

ほとんどのパンクチャパターンに対して、7ビットの7つの異なる部分集合についての和を最終的に観察することができる。したがって、7つの未知数を有する7つの方程式系を形成することができる。それらが線形独立であると仮定して、7ビットの値を決定することができる。

30

【0130】

しかしながら、残存するビットの周期性が単一(周期毎に1つの残存するパリティビット)であり、および再帰的な符号化ブロックの周期である7と同一である場合には、信号の周期性のために、 $t > 6$ に対するすべての観察は、7ビットの同一の部分集合の和であり、そのために、後続の観察により新しい情報は得られない。したがって、階数が1の方程式系が形成され、および固有解は存在しない。

【0131】

残存するビットの周期性が7の倍数ではない場合には、パリティビットの観察をすることによって、いくつかの観察の後に、最終的には階数が7の方程式系を形成することになる。考慮している7ビット群に対して、これはビットを一意的に決定するのに十分であり、すなわちビットを決定するのに十分な情報が残存するパリティビットにわたって分布する。

40

【0132】

一部の分布された情報が、単一ではない周期に対しても失われる可能性もあり、例えば、パンクチャのないパターンが3と4との単一周期(周期=7の条件で、周期毎に2つの残存するパリティビット)の間で変動する場合が考えられる。

【0133】

50

結果として、周期毎に2つの残存するパリティビットを有する、周期が7のバンクチャのないパターンが得られる。上述と同一の議論によって、階数が2の7つの方程式系に導く。これは、ビット群を一意的に決定するにはなお不十分であるが、それらが及ぶ空間の次元を低減する。明らかに、TBについての一部の情報も、単一ではない残存するビットパターンに対して失われる可能性もある。

【0134】

ターボ符号器出力とレートマッチング段階でのバンクチャリングとの間の問題のある相互作用を回避するのに、少なくとも2つの代替的なアプローチがある。

【0135】

問題のあるバンクチャパターンを回避することは、SNRの劣化に導くバンクチャパターンの使用を回避することをMAC-hsに要求し、および入力された転送ブロックのサイズをHS-PDSCHsにマッピングするための、ある組合せを使用しないアプローチである。

10

【0136】

回避には、問題となる構成を識別する参照の表を構築すること、またはMAC-hsのスケジューラにおいて先に述べた予測される劣化の式(predicted degradation expression)から数値を求めることのいずれかが必要である。

【0137】

参照の表によるアプローチの利点は、現行の標準における変更が必要ではないこと、およびあらゆる特定の実装をベンダ固有のままにすることができることである。

20

【0138】

回避によるアプローチの欠点は、特定の構成が劣化を起こすかどうかの決定において役割を果たす、問題に対するいくつかの次元(dimensions)があるということによって、複雑になることである。MAC-hsのスケジューラがさらに考慮する必要のあるパラメータには、

- (1) HS-DSCHの伝送についての転送ブロックのセットのサイズ、
- (2) HARQのためにWTRUにおいて記憶されるソフト情報のビット数、

および

- (3) HS-PDSCHsに割り当てられる物理チャネルのビット数

が含まれる。

30

【0139】

FDDに対しては、これらのパラメータは、チャンネル化符号の数と変調フォーマット i ($1 < i < 29$)との組合せの表示(combination indicator)、およびTS25.321における転送ブロックのサイズ k_i ($0 < k_i < 62$)によって暗黙的に示される。

【0140】

以下の説明は、先に説明した技法の組合せを含む、本発明の一実施形態である。

【0141】

ハイブリッドARQの機能は、チャンネル符号器の出力におけるビット数を、HS-DSCHがマッピングされるHS-PDSCHのセットの全ビット数に合わせる。ハイブリッドARQの機能は、冗長型(RV)のパラメータによって制御される。ハイブリッドARQの機能の出力における正確な(exact)ビットセットは、入力ビット数、出力ビット数、およびRVのパラメータに依存する。

40

【0142】

ハイブリッドARQの機能は、2つのレートマッチング段階と仮想バッファとから構成される。

【0143】

第1レートマッチング段階は、入力ビット数を仮想のIRのバッファに合わせて、それについての情報が高位レイヤによって供給される。ここで、入力ビット数が仮想のIRのバッファ能力を超えない場合には、第1レートマッチング段階は透過的であることに留意

50

されたい。

【0144】

第2レートマッチング段階は、第1レートマッチング段階後のビット数を、TTIにおけるHS-PSCHのセットにおいて利用可能な物理チャネルのビット数に合わせる。

【0145】

使用する表記の定義は次のとおりである。

【0146】

N^{TTI} : レートマッチング前の伝送時間間隔におけるビット数

N_i : 中間計算の変数

【0147】

【数14】

$$\Delta N_{i,j}^{TTI}$$

【0148】

: 正の場合には、転送フォーマット1を有するTrCHi上の各伝送時間間隔において反復されるビット数

負の場合には、転送フォーマット1を有するTrCHi上の各伝送時間間隔においてパングチャが行われるビット数

N_{PARITY} : HARQにおける第1段階レートマッチングによるパリティストリームの長さを調節するためのビット数

N_{data} : TTIにおけるHS-DSCHに対して利用可能な全ビット数

e_{ini} : レートマッチングのパターンの決定アルゴリズムにおける変数eの初期値

e_{plus} : レートマッチングのパターンの決定アルゴリズムにおける変数eの増分

e_{minus} : レートマッチングのパターンの決定アルゴリズムにおける変数eの減分

b : 系統的なビットおよびパリティビットの表示

b = 1 : 系統的なビット、 x_k

b = 2 : (上位のターボ構成符号器からの) 第1パリティビット、 z_k

b = 3 : (下位のターボ構成符号器からの) 第2のパリティビット、 z'_k

HARQのビット分離機能は、ターボ符号化されたTrCHsのためのビット分離と同じ方法で実行するものとする。

【0149】

HS-DSCHの転送チャネルのためのHARQの第1段階レートマッチングは、以下の特定のパラメータを有する、以下に説明する方法を用いて実行するものとする。

【0150】

仮想のIRのバッファにおいて利用可能なソフトビットの最大数は、 N_{IR} であり、これは、各HARQのプロセスに対して、高位レイヤから信号で伝えられる。レートマッチング前のTTIにおける符号化されるビット数は N^{TTI} であり、これは、高位レイヤから信号で伝えられる情報と、各TTIに対するHigh Speed Synchronization Control Channel (HS-SCCH)から信号で伝えられるパラメータとから推定される。ここで、HARQの処理および物理レイヤの格納は、現在起動中の各HARQのプロセスに対して独立に行われることに留意されたい。

【0151】

N_{IR} が N^{TTI} 以上である(すなわち、対応するTTIのすべての符号化されるビットを格納することができる)場合には、第1レートマッチング段階は透過的となる。これは、例えば、 $e_{minus} = 0$ と設定することによって達成することができる。反復が実行されないことに留意されたい。

【0152】

N_{IR} が N^{TTI} より小さい場合には、パリティビットのストリームは、レートマッチングのパラメータを

【0153】

10

20

30

40

50

【数 1 5】

$$\Delta N_i^{\text{TH}} = N_{\text{IR}} - N^{\text{TH}}$$

【0 1 5 4】

に設定することによってパンクチャが行われる。ただし、添え字の i および l は、参照されるサブクローズ (s u b - c l a u s e) における、転送チャネルおよび転送フォーマットを意味する。ここで、レートマッチングがパンクチャリングを実行する場合には、負の値が予測されることに留意されたい。パンクチャリングのために選択されたビットはとなるが、これは破棄され、および仮想の I R のバッファを通過するストリームについては合計には数えない。

10

【0 1 5 5】

第 1 段階パンクチャリングを実行する場合には、以下の処理手順を適用することとする。指標 b を使用することによって、系統的なビット ($b = 1$)、第 1 パリティビット ($b = 2$)、および第 2 パリティビット ($b = 3$) を表示する。パラメータ N_{PARITY} は、問題のあるパンクチャリングレートを迂回するためのパリティストリームへの長さの変更である。第 1 段階レートマッチングのデルタは、以下のように計算される。

【0 1 5 6】

パンクチャリングを実行する場合には、以下のとおりである。

【0 1 5 7】

【数 1 6】

$$X_i = \lfloor N_{TTI} / 3 \rfloor, \quad PR = \frac{\lfloor -\Delta N_{TTI} / 2 \rfloor}{X_i}, \quad \Delta N_{PARITY} = 0; \quad \delta_{PR} = 49; \quad \alpha = 1$$

while($\alpha \leq 4$)

$$round = \frac{\lfloor 7 \cdot \alpha \cdot PR + \frac{1}{2} \rfloor}{7 \cdot \alpha}$$

$$\lambda = PR - round$$

if $\left(|\lambda| > \frac{1}{\delta_{PR}} \right)$ or $\left(PR > \frac{48}{49} \right)$ or $\left(PR < \frac{1}{49} \right)$ then

$$\alpha = \alpha + 1$$

$$\delta_{PR} = 98$$

else if ($\lambda > 0$) then

$$\Delta N_{PARITY} = \left\lfloor \left\lfloor -\Delta N_{TTI} / 2 \right\rfloor - X_i \cdot \left(round - \frac{1}{\delta_{PR}} \right) \right\rfloor$$

$$\alpha = 5$$

else

$$\Delta N_{PARITY} = \left\lfloor \left\lfloor -\Delta N_{TTI} / 2 \right\rfloor - X_i \cdot \left(round + \frac{1}{\delta_{PR}} \right) \right\rfloor$$

$$\alpha = 5$$

else if

end while

$$\Delta N_i = \begin{cases} \left\lfloor \left\lfloor -\Delta N_{TTI} / 2 \right\rfloor - \Delta N_{PARITY}, b = 2 \\ \left\lfloor \left\lfloor -\Delta N_{TTI} / 2 \right\rfloor + \Delta N_{PARITY}, b = 3 \end{cases}$$

 $\alpha = 2$ when $b = 2$ $\alpha = 1$ when $b = 3$

【0 1 5 8】

$b = 2$ または $b = 3$ に対して N_i が 0 と計算される場合には、対応するパリティビットのストリームに対しては、以下の処理手順およびレートマッチングのアルゴリズムを実行しないこととする。

【0 1 5 9】

各無線フレームに対して、以下のレートマッチングのパターンを計算する。ただし、 X_i は上記のとおりとする。

【0 1 6 0】

$$e_{ini} = X_i$$

$$e_{plus} = a \times X_i$$

$$e_{minus} = a \times |N_i|$$

HS - D SCH の転送チャネルに対する、HARQ の第 2 段階レートマッチングは、2 つの可能な方法のうちの一つを使用して行うこととする。

10

20

30

40

50

【0161】

第2段階のパンクチャリングを実行する場合には、以下の式を使用して計算される、パリティストリームの1つの合成パンクチャリングレート(Composite Puncturing Rate)が間隔[91/128, 92/128]、[217/256, 222/256]、[231/256, 232/256]、[237/256, 238/256]または[487/512, 488/512]のいずれかに入る場合には、そのパリティストリームのパンクチャリングを実行することとする。ここで、パンクチャリングは2つのパリティストリームの一方または両方について実行するか、あるいはいずれについても実行しなくてもよいが、系統的なパリティストリームについては実行しないことに留意されたい。

10

【0162】

合成パンクチャリング比、

【0163】

【数17】

$$CPR = \begin{cases} \frac{\lfloor N^{TTI}/3 \rfloor - N_{t,p1}}{N^{TTI}/3}, b=2 \\ \frac{\lfloor N^{TTI}/3 \rfloor - N_{t,p2}}{N^{TTI}/3}, b=3 \end{cases}$$

20

【0164】

そうでない場合には、HS-DSCCHの転送チャンネルのための第2段階のレートマッチングは、以下の特定のパラメータで実行する。となるパンクチャリングのために選択されるビットは、廃棄しおよびビットの集合化に向かうストリーム内には入れないものとする。

【0165】

第2レートマッチング段階のパラメータは、RVのパラメータsおよびrの値に依存する。パラメータsは、0または1の値をとり、系統的なビット(s=1)に優先順位をつける伝送と系統的ではないビット(s=0)に優先順位をつける伝送とを区別することができる。パラメータr(範囲0~r_{max}-1)は、パンクチャリングの場合には初期誤り変数e_{ini}を変更する。反復する場合には、両方のパラメータrおよびsが、初期誤り変数e_{ini}を変更する。パラメータX_i、e_{plus}およびe_{minus}は、以下の表1のとおりに計算される。

30

【0166】

第2レートマッチング前のビット数を、系統的なビットに対してはN_{sys}、パリティ1のビットに対してはN_{p1}、パリティ2のビットに対してはN_{p2}でそれぞれ表す。HS-DSCCHに使用される物理チャンネルの数をPで表す。N_{data}は、1つのTTIにおけるHS-DSCCHに対して利用可能なビット数であり、N_{data}=P×3×N_{data1}と定義する。レートマッチングのパラメータは以下のとおりに求められる。

40

【0167】

N_{data}、N_{sys}+N_{p1}+N_{p2}に対して、パンクチャリングは第2レートマッチング段階で実行される。伝送において伝送される系統的なビットの数は、系統的なビットを優先する伝送に対しては、N_{t,sys}=min{N_{sys}, N_{data}}であり、系統的ではないビットを優先させる伝送に対しては、N_{t,sys}=max{N_{data}-(N_{p1}+N_{p2}), 0}である。

【0168】

N_{data}>N_{sys}+N_{p1}+N_{p2}に対して、第2レートマッチング段階において反復が行われる。すべてのビットストリームにおける同様の反復レートが、伝送される系統的なビットの数を、

50

【 0 1 6 9 】

【 数 1 8 】

$$N_{t,sys} = \left\lfloor N_{sys} \cdot \frac{N_{data}}{N_{sys} + 2N_{p1}} \right\rfloor$$

【 0 1 7 0 】

に設定することによって達成される。

【 0 1 7 1 】

伝送内のパリティビット数は、パリティ 1 およびパリティ 2 のビットに対して、それぞれ

【 0 1 7 2 】

【 数 1 9 】

$$N_{t,p1} = \max \left(\left\lfloor \frac{N_{data} - N_{t,sys}}{2} \right\rfloor - \Delta N_{PARITY}, 0 \right)$$

【 0 1 7 3 】

および $N_{t,p2} = N_{data} - (N_{t,sys} + N_{t,p1})$ である。

【 0 1 7 4 】

【 表 1 】

	X_i	e_{plus}	e_{minus}
系統的 RMS	N_{sys}	N_{sys}	$ N_{sys} - N_{t,sys} $
パリティ 1 RMP1_2	N_{p1}	$2 \cdot N_{p1}$	$2 \cdot N_{p1} - N_{t,p1} $
パリティ 2 RMP2_2	N_{p2}	N_{p2}	$ N_{p2} - N_{t,p2} $

表 1 : HARQ の第 2 レート
マッチングのためのパラメータ

【 0 1 7 5 】

上記の表 1 は、第 2 レートマッチング段階のためのパラメータ選択の結果の要約である。レートマッチングのパラメータ e_{ini} は、RV のパラメータ r および s に応じて、各ビットストリームに対して、

バンクチャリング、すなわち、 $N_{data} > N_{sys} + N_{p1} + N_{p2}$ の場合には、

【 0 1 7 6 】

【 数 2 0 】

$$e_{ini}(r) = \left\{ \left(X_i - \left\lfloor \frac{r \cdot e_{plus}}{r_{max}} \right\rfloor - 1 \right) \bmod e_{plus} \right\} + 1$$

【 0 1 7 7 】

を使用して計算し、および反復、すなわち、 $N_{data} > N_{sys} + N_{p1} + N_{p2}$ の場合には、

【 0 1 7 8 】

【 数 2 1 】

$$e_{ini}(r) = \left\{ \left(X_i - \left\lfloor \frac{(s + 2 \cdot r) \cdot e_{plus}}{(2 \cdot r_{max})} \right\rfloor - 1 \right) \bmod e_{plus} \right\} + 1$$

【 0 1 7 9 】

を使用して計算する。ただし、 $r \in \{0, 1, L, r_{max} - 1\}$ であり、および r_{max} は r を変化させることによって可能となる冗長型の合計数である。ここで、 r_{max} は変調モードに応じて変化すること、すなわち 16 QAM に対しては $r_{max} = 2$ および QPSK に対しては $r_{max} = 4$ であることに留意されたい。

【0180】

注：モジュロ演算 (modulo operation) に対して、以下の説明を加える。すなわち、 $(x \bmod y)$ の値は、厳密に $0 \sim y - 1$ の範囲にある (すなわち、 $-1 \bmod 10 = 9$)。

【0181】

H S - D S C H の転送チャンネルのための H A R Q の第 2 段階のレートマッチングは、以下に説明する方法によって行うこととし、この方法では、各ストリームを、以下で計算される特定のパラメータを有するセグメントに分離する。として示される、パンクチャリングのために選択されるビットは、廃棄しおよびビットの集合化に向かうストリーム内には入れないものとする。

【0182】

パリティストリームは、3つのセグメントにセグメント化され、第1セグメントはパリティストリームの最初の X_{seg1} ビットからなり、第2セグメントは次の X_{seg2} ビットからなり、および最終セグメントは、残りの X_{seg3} ビットからなる。

【0183】

【数22】

第1セグメントは、 $x_{i,1}, x_{i,2}, \dots, x_{i,Xseg1}$

第2セグメントは、 $x_{i,Xseg1+1}, x_{i,Xseg1+2}, \dots, x_{i,Xseg2}$

【0184】

【数23】

および最終セグメントは、 $x_{i,Xseg1+Xseg2+1}, x_{i,Xseg1+Xseg2+2}, \dots, x_{i,X_i}$

【0185】

によって表す。ただし、

【0186】

【数24】

$$X_{seg1} = 42 \cdot \lfloor X_i / 98 \rfloor, X_{seg2} = 56 \cdot \lfloor X_i / 98 \rfloor, X_{seg3} = X_i \bmod 98$$

【0187】

である。

【0188】

注： X_i が 98 未満の場合には、第3セグメントだけが存在し、および X_i が 98 の倍数の場合には、第3セグメントは空となる。特定のセグメントが空の場合に対しては、勿論のこと、その存在しないセグメントについてパンクチャリングは実行しない。

【0189】

問題のあるパンクチャリングレートに対する H A R Q の第 2 レートマッチング段階用の追加のパラメータは、

パラメータ P 、 N_{data} 、 N_{sys} 、 N_{p1} 、 N_{p2} 、 $N_{p,t1}$ 、および $N_{p,t2}$ から計算され、追加のパラメータを以下のように定義する。

【0190】

分割後の、第2レートマッチング前のパリティ1のビット数を、第1、第2および第3セグメントにおけるパリティ1のビットに対して、それぞれ $N_{p1,seg1}$ 、 $N_{p1,seg2}$ 、 $N_{p1,seg3}$ として表す。分割後の、第2レートマッチング前のパリティ2のビット数を、第1、第2および第3セグメントにおけるパリティ2のビットに対して、それぞれ $N_{p2,seg1}$ 、 $N_{p2,seg2}$ 、 $N_{p2,seg3}$ として表す。レートマッチングのパラメータを、以下のように決

10

20

30

40

50

定する。

【 0 1 9 1 】

N_{data} $N_{sys} + N_{p1} + N_{p2}$ に対して、パルクチャリングを第 2 レートマッチング段階で実行する。

【 0 1 9 2 】

分割後のパリティビット数は、

【 0 1 9 3 】

【 数 2 5 】

$$N_{pb,seg1} = 42 \cdot \lfloor N_{pb} / 98 \rfloor$$

$$N_{pb,seg2} = 56 \cdot \lfloor N_{pb} / 98 \rfloor$$

10

【 0 1 9 4 】

$$N_{pb,seg3} = N_{pb} \bmod 98$$

パリティ 1 のビット ($b = 2$) およびパリティ 2 のビット ($b = 3$) に対して、各セグメント内のパリティビット数は、

【 0 1 9 5 】

【 数 2 6 】

$$N_{t,pb,seg1} = \left\lfloor \frac{49 \cdot N_{t,pb} \cdot \lfloor N_{pb} / 98 \rfloor}{N_{pb}} + \frac{1}{2} \right\rfloor$$

20

$$N_{t,pb,seg2} = \left\lfloor \frac{49 \cdot N_{t,pb} \cdot \lfloor N_{pb} / 98 \rfloor}{N_{pb}} + \frac{1}{2} \right\rfloor$$

【 0 1 9 6 】

$$N_{1,pb,seg3} = N_{1,pb} - (N_{1,pb,seg1} + N_{1,pb,seg2})$$

となる。

【 0 1 9 7 】

パラメータ X_i 、 e_{plus} および e_{minus} は、以下の表 2 のとおりに計算する。

【 0 1 9 8 】

【表 2】

ストリーム	セグメント	X_i	e_{plus}	e_{minus}
系統的 RMS		N_{sys}	N_{sys}	$ N_{sys} - N_{t,sys} $
パリティ1 RM P1_2	1st	$N_{p1,seg1}$	$2 \cdot N_{p1,seg1}$	$2 \cdot N_{p1,seg1} - N_{t,p1,seg1} $
	2nd	$N_{p1,seg2}$	$2 \cdot N_{p1,seg2}$	$2 \cdot N_{p1,seg2} - N_{t,p1,seg2} $
	3rd	$N_{p1,seg3}$	$2 \cdot N_{p1,seg3}$	$2 \cdot N_{p1,seg3} - N_{t,p1,seg3} $
パリティ2 RM P2_2	1st	$N_{p2,seg1}$	$N_{p2,seg1}$	$ N_{p2,seg1} - N_{t,p2,seg1} $
	2nd	$N_{p2,seg2}$	$N_{p2,seg2}$	$ N_{p2,seg2} - N_{t,p2,seg2} $
	3rd	$N_{p2,seg3}$	$N_{p2,seg3}$	$ N_{p2,seg3} - N_{t,p2,seg3} $

10

20

表 2 : デザリングされた HARQ の第 2 レートマッチングに対するパラメータ

【 0 1 9 9 】

レートマッチングのパラメータ e_{ini} は、ビットストリームの各セグメントに対して、パルクチャリングの場合には、

【 0 2 0 0 】

【 数 2 7 】

$$e_{ini}(r) = \{ (X_i - \lfloor r \cdot e_{plus} / r_{max} \rfloor - 1) \bmod e_{plus} \} + 1$$

30

【 0 2 0 1 】

を使用して、RVのパラメータ r および s に従って計算される。ただし、 $r \in \{0, 1, L, r_{max} - 1\}$ であり、 r_{max} は r を変化させることによって可能になる冗長型の合計数である。ここで、 r_{max} は、変調モードに応じて変わる。例えば、16QAM に対して $r_{max} = 2$ 、QPSK に対して $r_{max} = 4$ となることに留意されたい。

【 0 2 0 2 】

注：モジュロ演算に対して、以下の説明を加える。すなわち、 $(x \bmod y)$ の値は、厳密に 0 から $y - 1$ の範囲となる（すなわち、 $-1 \bmod 10 = 9$ ）。レートマッチングのアルゴリズムは、パリティストリームの各セグメントに対して実行される。

【 0 2 0 3 】

両方のパリティストリームに対して、レートマッチングアルゴリズムが 3 つのセグメントの各々に対して実行された後に、3 つのパルクチャが行われたセグメントは、それらの元の順序で互いに連結しなくてはならない。

40

【 0 2 0 4 】

再連結されたビットストリームは、次式で表される。

【 0 2 0 5 】

【 数 2 8 】

$$X_{0,seg1,1}, X_{0,seg1,2}, \dots, X_{0,seg1,N_{i,pb,seg1}}, X_{0,seg2,1}, X_{0,seg2,2}, \dots, X_{0,seg2,N_{i,pb,seg2}}, X_{0,seg3,1}, X_{0,seg3,2}, \dots, X_{0,seg3,N_{i,pb,seg3}}$$

【 0 2 0 6 】

50

H A R Q のビットの集合化は、 $N_{row} \times N_{col}$ のサイズの矩形のインターリーバを使用し
て達成される。行および列の数は次式で求められる。

【0207】

16QAM に対して $N_{row} = 4$ 、および QPSK に対して $N_{row} = 2$

$$N_{col} = N_{data} / N_{row}$$

ただし、 N_{data} が使用される。

【0208】

データは、第 1 の列から開始して、インターリーバへ一列毎に書き込まれるとともに、
インターリーバから一列毎に読み取られる。

【0209】

$N_{t,sys}$ は、伝送された系統的なビットの数である。中間値 N_r および N_c は次式

【0210】

【数29】

$$N_r = \left\lfloor \frac{N_{t,sys}}{N_{col}} \right\rfloor$$

【0211】

および $N_c = N_{t,sys} - N_r \cdot N_{col}$

を使用して計算される。

【0212】

$N_c = 0$ および $N_r > 0$ の場合には、系統的なビットは、行 1 . . . N_r に書き込まれる

。

【0213】

そうでない場合には、系統的なビットは、最初の N_c 列において行 1 . . . $N_r + 1$ に書
き込まれ、および $N_r > 0$ であれば、残りの $N_{col} - N_c$ 列においてやはり行 1 . . . N_r に
書き込まれる。

【0214】

残りの空所は、パリティビットで充填される。パリティビットは、列に関して、それぞ
れの列の残りの行に書き込まれる。パリティ 1 のビットおよびパリティ 2 のビットは、最
低インデックス数を有する第 1 の利用可能な列におけるパリティ 2 ビットから開始して、
交互の順で書き込まれる。2 つのパリティストリームの長さが異なる場合には、パリティ
1 のビットおよびパリティ 2 のビットが、再びパリティ 2 のビットから開始して、短い方
のパリティストリームの終端まで、交互の順で書き込まれ、次いで長い方のストリームか
らの残りのパリティビットが書き込まれるようにする。

【0215】

16QAM の場合には、各列に対して、行 1、行 2、行 3、行 4 の順序でインターリー
バからビットが読み出される。QPSK の場合には、各列に対して、行 1、行 2 の順序で
、インターリーバからビットが読み出される。

【0216】

レートマッチングの問題の分析が、第 1 段階の H S - D S C H のレートマッチングが透
過的である状況に制約されていた場合には、性能劣化は、レートマッチングのパターンの
周期性と、ターボ符号器の本質的な周期性との間の相互作用から生ずることが示された。
特に、問題のある符号レートにおいて、残存する（すなわちパンクチャが行われない）ビ
ットの（パンクチャが行われないビットストリーム内での）位置は、パンクチャが行われ
ないストリームの長いセグメントに対するモジュロ 7 の周期内で同一の位置にあることが
示された。性能劣化は、第 1 段階が透過的でない場合には、まったく同じメカニズムによ
って生じることが明示された。

【0217】

以下の説明において、「パンクチャパターン」とは、元のストリームからパンクチャが
行われたビット位置のパターンであると定義する。「パンクチャリングレート」とは、元

10

20

30

40

50

のビットストリームにおける、パンクチャが行われたビット位置間の（パンクチャが行われた位置を含む）ビット数の逆数であると定義する。

【0218】

2段階のレートマッチングの場合には、劣化に導くパンクチャリングは、次の2とおりで、発生する可能性がある。

【0219】

1) 第1段階においてパンクチャが行われたビットからだけ生じるパターン、
2) 第2段階後にパンクチャが行われたビットから生じるパターンであり、およびこのパターンは、第1と第2との両方のレートマッチング段階に依存する。

【0220】

性能劣化を引き起こすこれらのパンクチャリングのメカニズムのいずれかを回避するために、以下に示す方法を適用している。

【0221】

第1段階において、パンクチャリングが問題のあるパンクチャパターンを生じるかどうかを試験する。これは、パンクチャパターンにおける周期性の長さを予測する、「潜在する持続時間 (implicit duration)」の関数の値を求めることによって達成される。第1段階のレートマッチングは、計算された潜在する持続時間が必要性を表示する場合にのみ調整される。この場合には、第1のパリティストリーム内でパンクチャが行われるビット量を、わずかに増加させるのに対して、第2のストリームにおいて数に対応してわずかに減少させる。このことは、両方のストリームにおけるパンクチャリングレートをシフトして、モジュロ7の周期性を分割しながら、一方ではパンクチャが行われるビットの全体量を同じに保持するという効果がある。ストリームの各々におけるパンクチャリングレートの調節は、十分に小さく保持して、各ストリームにおける符号化性能に影響がないようにする。

【0222】

第2段階においては、各ストリームに対する合成パンクチャリングレートは、第1段階において実行されるパンクチャリングレートに対する調節を考慮して計算される。各ストリームにおける合成パンクチャリングレートは、参照の表と比較されて、この参照の表は、モジュロ7の周期性のパターン、したがって符号化の劣化が発生するレートを予測する。ストリームの合成レートが問題のあるレートの範囲に入る場合には、「ディザリング (dithering)」のアルゴリズムが適用される。

【0223】

第1段階のパンクチャパターンが性能劣化に導くか、または第2段階のレートマッチング後の望ましくないパターンに寄与する可能性がある場合には、2つのパリティストリームに異なるパンクチャリングレートが適用される。この場合には、第1のパリティストリームにおいてパンクチャが行われるビット数を、 N_{PARITY} の量だけ減少させ、そして一方では、第2のストリームにおいてパンクチャが行われるビット数を同じ量だけ増加させる。そのような変化を起こすべきかどうかについての決定は、計算されたパラメータに基づき、このパラメータは、パンクチャが行われないストリームにおいて同一のモジュロ7の位置を保持する残存するビットのラン長の逆数の値を見積もる。この長さは、49ビット（すなわち、7つのモジュロ7の周期）よりも長くなり、次いでストリームの長さに対する調節が加えられる。

【0224】

ディザリングされたパンクチャリングのアルゴリズムは、第2段階における2つのパリティストリームの一方または両方に適用することができる。パリティストリームを処理する場合に、アルゴリズムは2つのパンクチャリングレートを使用し、1つは元のものよりも高く、および1つは低く、次いでパンクチャリングをパリティビットのストリームに適用する間に、これらの2つのパンクチャリングレート間で切り替わる。パンクチャが行われた全ビット数は、元のアルゴリズムによる場合と同一に保持される。一般に、パリティストリーム内で、2つのパンクチャリングレート間に1つまたは複数の切り替えポイント

10

20

30

40

50

を設けることができる。各レートにおいてパンクチャが行われたビットストリームの割合 (fraction) は、切り替えポイントの数とは独立であるので、ポイントの数は性能に対して決定的ではない。

【0225】

切り替えポイントの数は、1 (または2) に設定することによって、パンクチャが行われるストリームは、2つ (または3つ) のセグメントから構成され、第1のセグメントは元のパンクチャリングレートよりも低いものを使用し、第2のセグメントは、より高いパンクチャリングレートを使用することを意味する。2つのセグメントが、パリティストリームの全体に相当しない場合には、元のレートでパンクチャが行われる終端において第3のセグメントを許容することができる。第3のセグメントは、短く保たれて、および厳密な正しいビット量にパンクチャを行うことを考慮することによって、全体のパンクチャリングレートを保持する。パリティストリームを、このように少ない数のセグメントに分割することによって、元のレートマッチングのアルゴリズムを、いくつかのわずかなパラメータ変更を含めて容易に使用することができる。

10

【0226】

第1のセグメントにおける高いパンクチャリングレートと元のレートとの間の差、および第2のセグメントにおける低いパンクチャリングレートと元のレートとの間の差も、1/49に設定されている。この選択によって、すべての場合において問題のあるレートを回避することを考慮し、そして一方では、符号化レートにおける大きな変更にはならない。

20

【0227】

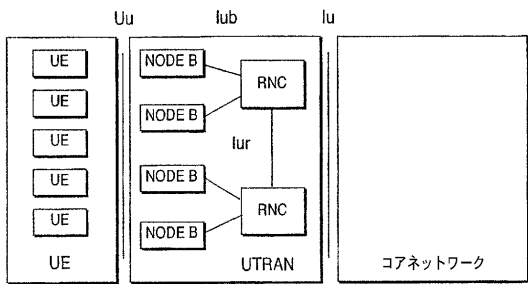
大多数の場合において、修正されたレートマッチングのアルゴリズムは、先に定義したのとまったく同じように動作する。第1または第2のレートマッチングのいずれかが性能劣化に導く少数の場合において、長さが等しくはないストリームおよび/またはディザリングが適用される。これらの修正の両方は、どんな方法によってもレートマッチングの処理手順の本体を変更するのではなく、適用されるレートマッチングパラメータを変更する。さらに、実装においては、修正は、レートマッチングのDSPソフトウェアを修正することによって、システムのあらゆる他の部分に影響を与えることなく達成することができる。

【0228】

上記は、好ましい実施形態、および問題のあるターボ符号のパンクチャパターンを検出し、回避し/訂正するための代替的解決法の説明である。好ましい実施形態を参照して本発明を具体的に示して説明したが、上述した本発明の範囲から逸脱することなく、形態および詳細における様々な変更が行うことができることを、当業者は理解するであろう。

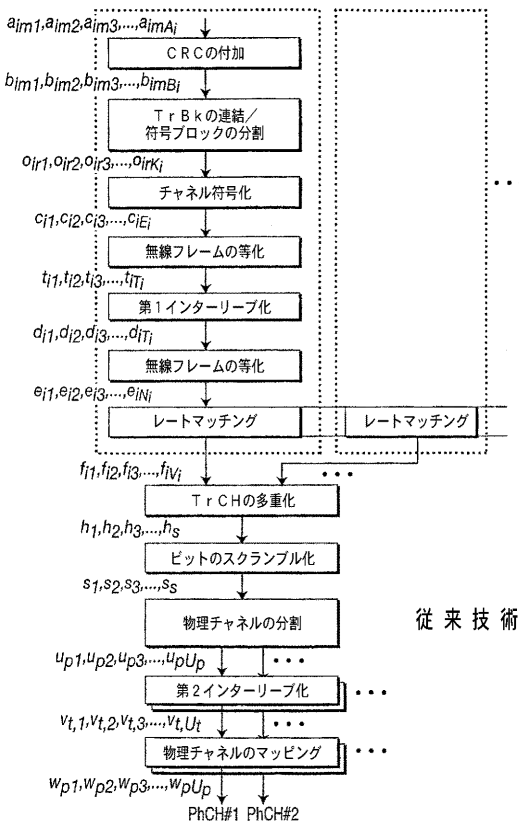
30

【 図 1 】



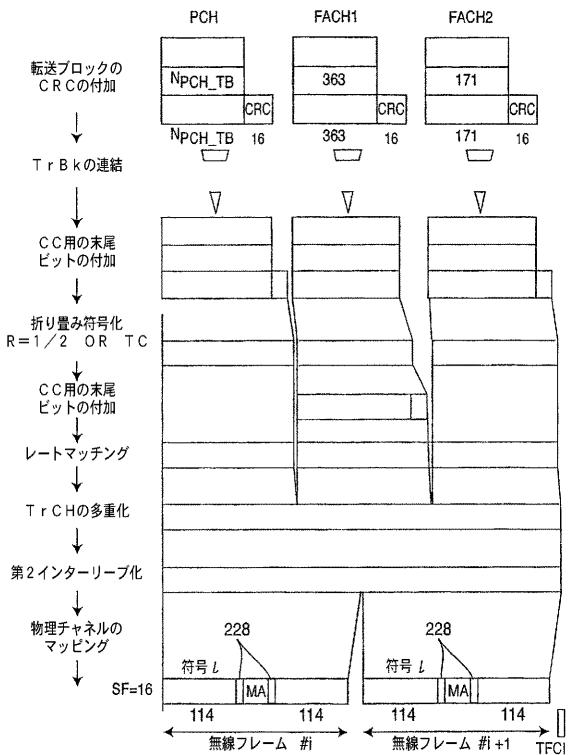
従来技術

【 図 2 】



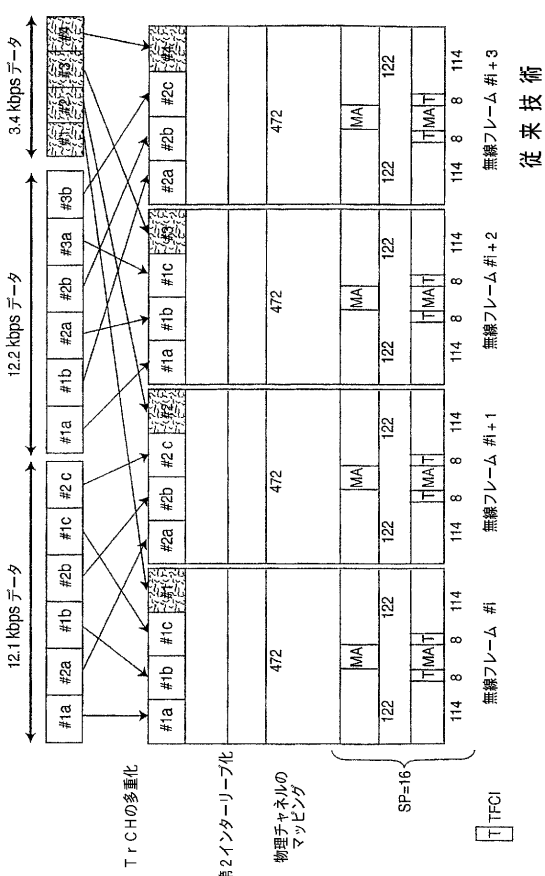
従来技術

【 図 3 】



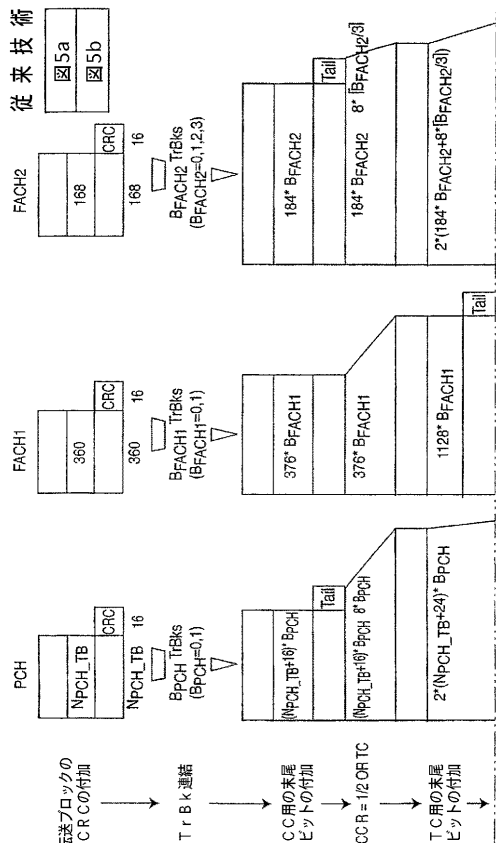
従来技術

【 図 4 】

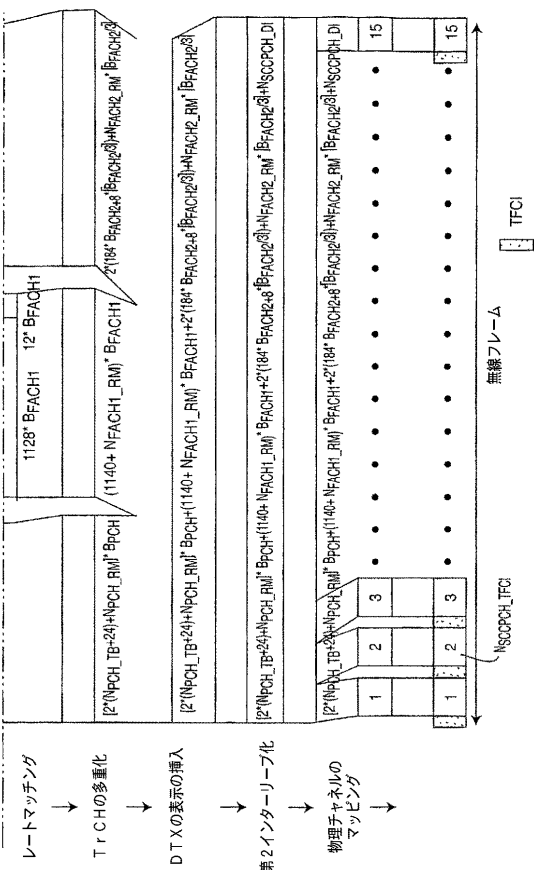


従来技術

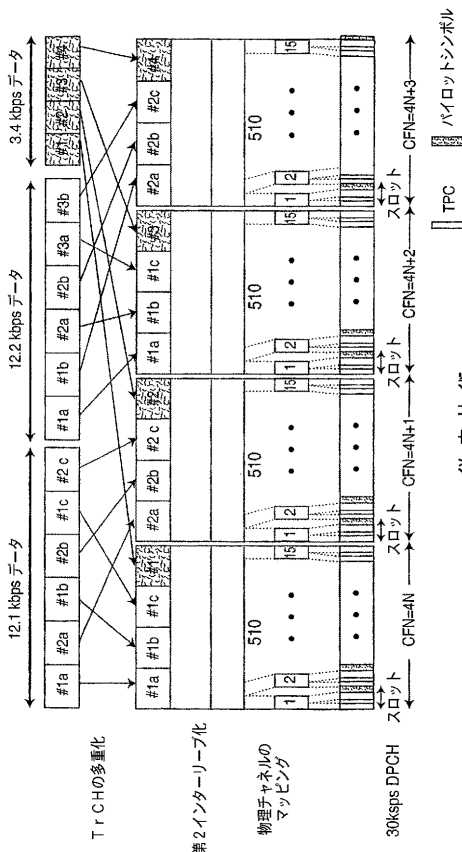
【図 5 A】



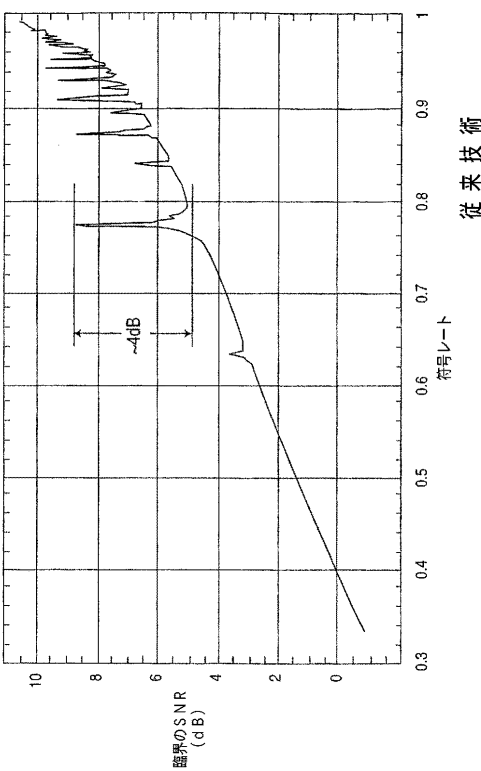
【図 5 B】



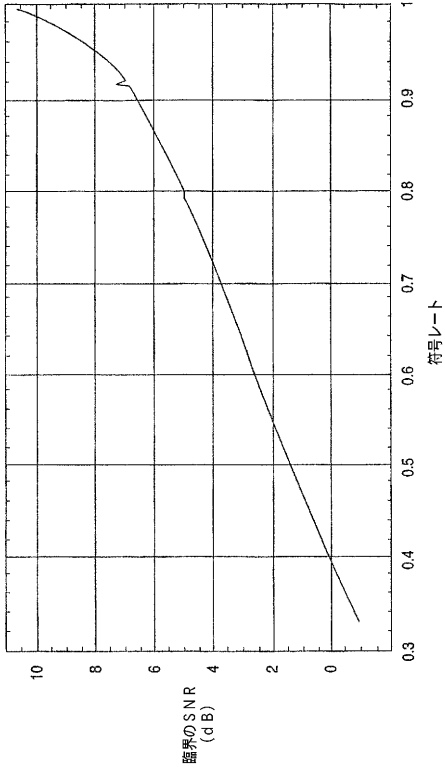
【図 6】



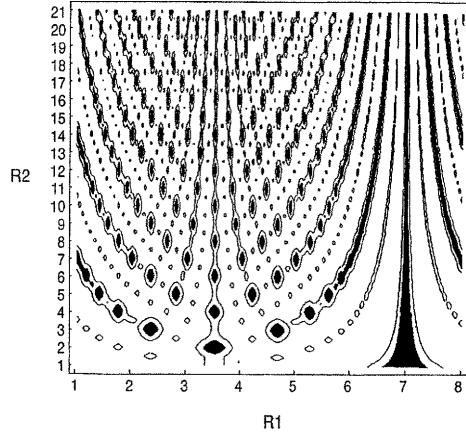
【図 7】



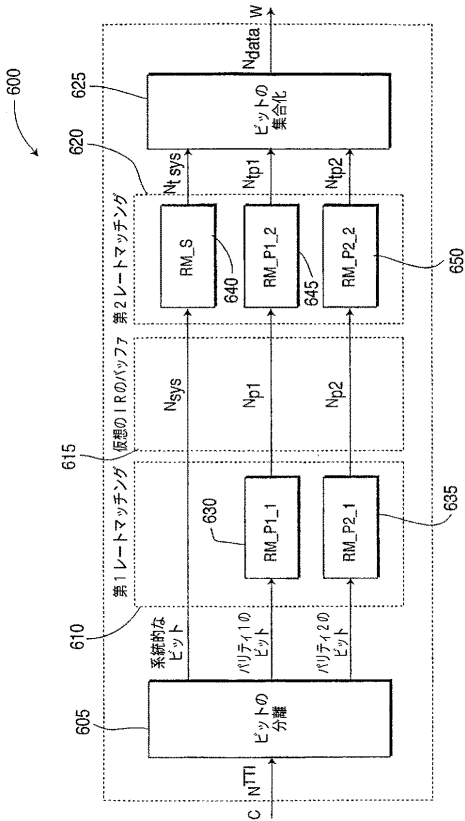
【 図 8 】



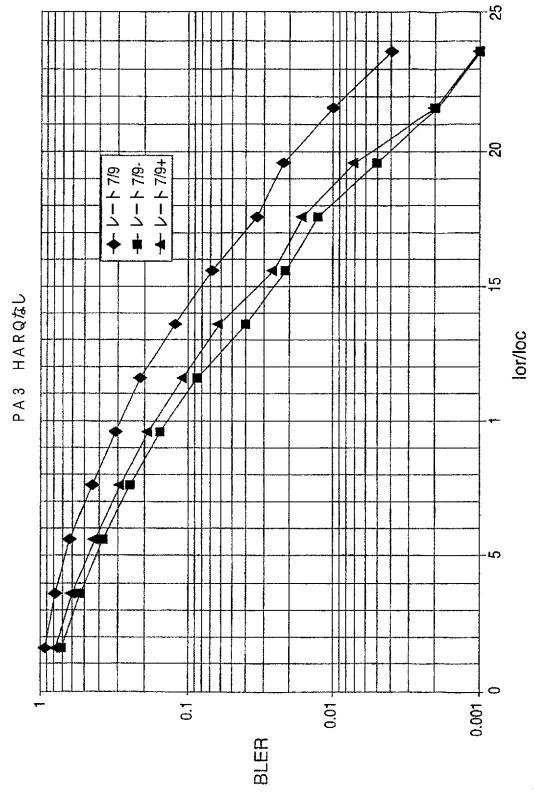
【 図 9 】



【 図 10 】



【 図 11 】



フロントページの続き

(31)優先権主張番号 60/494,404

(32)優先日 平成15年8月11日(2003.8.11)

(33)優先権主張国 米国(US)

(72)発明者 グレゴリー エス・スターンバーグ

アメリカ合衆国 08054 ニュージャージー州 マウント ローレル ブルックウッド ロード 7

Fターム(参考) 5J065 AG06 AH20