【公報種別】特許法第１７条の２の規定による補正の掲載
【部門区分】第６部門第４区分
【発行日】平成24年9月13日(2012.9.13)

【公開番号】特開2010-250921(P2010-250921A)
【公開日】平成22年11月4日(2010.11.4)
【年通号数】公開・登録公報2010-044
【出願番号】特願2009-178341(P2009-178341)
【国際特許分類】
Ｇ１１Ｃ　11/404　(2006.01)
Ｇ１１Ｃ　11/407　(2006.01)
Ｇ１１Ｃ　11/406　(2006.01)
【ＦＩ】
Ｇ１１Ｃ　11/34　３５２Ｃ
Ｇ１１Ｃ　11/34　３５４Ｄ
Ｇ１１Ｃ　11/34　３６３Ｎ

【手続補正書】
【提出日】平成24年7月26日(2012.7.26)
【手続補正１】
【補正対象書類名】特許請求の範囲
【補正対象項目名】全文
【補正方法】変更
【補正の内容】
【特許請求の範囲】
【請求項１】
ワードラインと接続するゲート、ビットラインとソースラインに連結するドレイン及びソースをそれぞれ備え、ソースラインを共有してトランジスタ対を形成する複数のＦＢＣ（Ｆｌｏａｔｉｎｇ　Ｂｏｄｙ　Ｃｅｌｌ）トランジスタからなるメモリセルブロックを含み、
リフレッシュ信号がイネーブルされれば、リフレッシュリード信号をイネーブルさせて前記メモリセルブロックに格納されたデータを読み出した後、リフレッシュライト信号をイネーブルさせて前記読み出したデータを前記メモリセルブロックに再記入するように構成されることを特徴とする半導体メモリ装置。
【請求項２】
前記リフレッシュ信号に応答してリフレッシュイネーブル信号を生成し、前記リフレッシュリード信号と前記リフレッシュライト信号を順にイネーブルさせ、前記リフレッシュリード信号と同じイネーブル区間を有するリフレッシュセンスアンプイネーブル信号を生成するように構成されるリフレッシュ制御部をさらに備えることを特徴とする請求項１に記載の半導体メモリ装置。
【請求項３】
前記リフレッシュイネーブル信号がイネーブルされれば、カウンティング動作を実行してローカウンティング信号とソースカウンティング信号を生成するローリフレッシュカウンタ；
前記ローカウンティング信号をデコーディングしてロー選択信号を生成するローアドレスデコーダ；
前記ソースカウンティング信号をデコーディングしてソース選択信号を生成するソースアドレスデコーダ；及び
前記リフレッシュイネーブル信号がイネーブルされれば、前記ロー選択信号及び前記ソース選択信号に応答して前記ワードラインと前記ソースラインに電圧を供給するロー動作

制御部；
をさらに備えることを特徴とする請求項２に記載の半導体メモリ装置。
【請求項４】
前記ロー動作制御部は、
前記リフレッシュイネーブル信号、前記リフレッシュリード信号、前記リフレッシュライト信号、及び前記ロー選択信号に応答して前記ワードラインに電圧を供給するワードラインドライバ；及び
前記リフレッシュイネーブル信号、前記リフレッシュリード信号、前記リフレッシュライト信号、及び前記ソース選択信号に応答して前記ソースラインに電圧を供給するソースラインドライバ；
を備えることを特徴とする請求項３に記載の半導体メモリ装置。
【請求項５】
前記ワードラインドライバは、前記リフレッシュイネーブル信号がイネーブルされた状態で、前記リフレッシュリード信号及び前記リフレッシュライト信号に応答してリード動作モード、ライト動作モード、及びホールド動作モードを区分し、それぞれの動作モードに応じてライトゲート電圧、リードゲート電圧、及びホールドゲート電圧のうちのいずれか１つを前記ワードラインに供給するように構成されることを特徴とする請求項４に記載の半導体メモリ装置。
【請求項６】
前記ソースラインドライバは、リフレッシュ動作時に前記リフレッシュリード信号及び前記リフレッシュライト信号に応答して、ホールド動作モードとアクティブ動作モードを区分し、それぞれの動作モードに応じてアクティブソース電圧又はホールドソース電圧を前記ソースラインに供給するように構成されることを特徴とする請求項４に記載の半導体メモリ装置。
【請求項７】
前記リフレッシュイネーブル信号がイネーブルされれば、カウンティング動作を実行してカラムカウンティング信号を生成するカラムリフレッシュカウンタ；
前記カラムカウンティング信号をデコーディングしてカラム選択信号を生成するカラムアドレスデコーダ；
前記リフレッシュイネーブル信号がイネーブルされれば、前記カラム選択信号に応答して前記ビットラインのデータを順に再記入するカラム動作制御部；及び
前記リフレッシュイネーブル信号がイネーブルされれば、前記カラム動作制御部とデータ入出力バスの連結を遮断するデータバススイッチング部；
をさらに備えることを特徴とする請求項２に記載の半導体メモリ装置。
【請求項８】
前記カラム動作制御部は、
前記リフレッシュイネーブル信号、前記リフレッシュリード信号、及び前記リフレッシュセンスアンプイネーブル信号に応答して出力データを増幅し、増幅データを出力するセンスアンプ；
前記リフレッシュイネーブル信号及び前記リフレッシュライト信号に応答し、前記増幅データを駆動して駆動データを出力するビットラインドライバ；及び
前記複数ビットのカラム選択信号に応答して前記複数のビットラインのうちのいずれか１つに前記駆動データを伝達したり、前記複数のビットラインのうちのいずれか１つが伝達するデータを前記出力データとして前記センスアンプに伝達するビットラインマックス；
を含むことを特徴とする請求項７に記載の半導体メモリ装置。
【請求項９】
前記ビットラインドライバは、リフレッシュ動作時に前記リフレッシュライト信号に応答してライト動作モードへの進入可否を区分し、ライト動作時に前記増幅データの論理値を判別して前記駆動データの出力ラインにライトドレイン電圧を供給するように構成され

ることを特徴とする請求項８に記載の半導体メモリ装置。
【請求項１０】
リフレッシュ信号に応答してリフレッシュイネーブル信号、リフレッシュリード信号、リフレッシュライト信号、及びリフレッシュセンスアンプイネーブル信号を生成するリフレッシュ制御部；
前記リフレッシュイネーブル信号がイネーブルされれば、前記リフレッシュリード信号及び前記リフレッシュライト信号に応答して、メモリセルブロックのワードラインとソースラインにそれぞれの電圧を供給するロー動作制御部；
前記リフレッシュイネーブル信号がイネーブルされれば、前記リフレッシュリード信号、前記リフレッシュセンスアンプイネーブル信号、及び前記リフレッシュライト信号に応答してメモリセルブロックのビットラインから伝達されるデータを増幅し、増幅されたデータに対応する電圧を前記ビットラインに供給するカラム動作制御部；及び
前記リフレッシュイネーブル信号がイネーブルされれば、前記増幅されたデータのデータ入出力バスへの出力を遮断するデータバススイッチング部；
を備えることを特徴とする半導体メモリ装置。
【請求項１１】
前記リフレッシュ制御部は、第１区間の間イネーブルされる前記リフレッシュイネーブル信号を生成し、前記第１区間の開始後にイネーブルされ、前記第１区間の終了前にディセーブルされる前記リフレッシュリード信号を生成し、前記リフレッシュリード信号のディセーブル時点後にイネーブルされ、前記第１区間の終了前にディセーブルされる前記リフレッシュライト信号を生成するように構成されることを特徴とする請求項１０に記載の半導体メモリ装置。
【請求項１２】
前記ワードラインと前記ソースラインは、前記メモリセルブロック内にそれぞれ複数が備えられ、
前記ロー動作制御部は、複数ビットのロー選択信号と複数ビットのソース選択信号の論理値の変化に対応して、前記複数のワードラインと前記複数のソースラインにそれぞれ順に既設定された電圧を供給するように構成されることを特徴とする請求項１０に記載の半導体メモリ装置。
【請求項１３】
前記ロー動作制御部は、
前記リフレッシュイネーブル信号、前記リフレッシュリード信号、前記リフレッシュライト信号、及び前記複数ビットのロー選択信号に応答して前記複数のワードラインにそれぞれの電圧を供給するワードラインドライバ；及び
前記リフレッシュイネーブル信号、前記リフレッシュリード信号、前記リフレッシュライト信号、及び前記複数ビットのソース選択信号に応答して前記複数のソースラインにそれぞれの電圧を供給するソースラインドライバ；
を含むことを特徴とする請求項１２に記載の半導体メモリ装置。
【請求項１４】
前記ワードラインドライバは、前記リフレッシュイネーブル信号がイネーブルされた状態で、前記リフレッシュリード信号及び前記リフレッシュライト信号に応答してリード動作モード、ライト動作モード、及びホールド動作モードを区分し、それぞれの動作モードに応じてライトゲート電圧、リードゲート電圧、及びホールドゲート電圧のうちのいずれか１つを活性化されるワードラインに供給するように構成されることを特徴とする請求項１３に記載の半導体メモリ装置。
【請求項１５】
前記ワードラインドライバは、
前記リフレッシュイネーブル信号のイネーブル時に前記複数のロー選択信号のうちの該当ロー選択信号、前記リフレッシュライト信号、及び前記リフレッシュリード信号に応答してライトモード信号、リードモード信号及びホールドモード信号を生成する動作モード

設定部；及び
前記ライトモード信号、前記リードモード信号、及び前記ホールドモード信号に応答して前記ライトゲート電圧、前記リードゲート電圧、及び前記ホールドゲート電圧のうちのいずれか１つを前記活性化されるワードラインに供給するスイッチング部；
を備えることを特徴とする請求項１４に記載の半導体メモリ装置。
【請求項１６】
前記ソースラインドライバは、リフレッシュ動作時に前記リフレッシュリード信号及び前記リフレッシュライト信号に応答してホールド動作モードとアクティブ動作モードを区分し、それぞれの動作モードに応じてアクティブソース電圧又はホールドソース電圧を活性化されるソースラインに供給するように構成されることを特徴とする請求項１３に記載の半導体メモリ装置。
【請求項１７】
前記ソースラインドライバは、
前記リフレッシュイネーブル信号のイネーブル時に前記リフレッシュライト信号及び前記リフレッシュリード信号に応答してホールドモード信号を生成する動作モード設定部；及び
前記複数ビットのソース選択信号のうちの該当ソース選択信号及び前記ホールドモード信号に応答して、前記アクティブソース電圧又は前記ホールドソース電圧を該当ソースラインに供給するスイッチング部；
を備えることを特徴とする請求項１６に記載の半導体メモリ装置。
【請求項１８】
前記ビットラインは、前記メモリセルブロック内に複数が備えられ、
前記カラム動作制御部は、複数ビットのカラム選択信号の論理値の変化に対応して前記複数のビットラインを順に活性化させるように構成されることを特徴とする請求項１０に記載の半導体メモリ装置。
【請求項１９】
前記カラム動作制御部は、
前記リフレッシュイネーブル信号、前記リフレッシュリード信号、及び前記リフレッシュセンスアンプイネーブル信号に応答して出力データを増幅して増幅データを出力するセンスアンプ；
前記リフレッシュイネーブル信号及び前記リフレッシュライト信号に応答して前記増幅データを駆動して駆動データを出力するビットラインドライバ；及び
前記複数ビットのカラム選択信号に応答して前記複数のビットラインのうちのいずれか１つに前記駆動データを伝達したり、前記複数のビットラインのうちのいずれか１つが伝達するデータを前記出力データとして前記センスアンプに伝達するビットラインマックス；
を含むことを特徴とする請求項１８に記載の半導体メモリ装置。
【請求項２０】
前記センスアンプは、
前記リフレッシュイネーブル信号のイネーブル時に前記リフレッシュリード信号に応答してリード動作モードを設定し、前記出力データを通過させる動作モード設定部；及び
前記リフレッシュイネーブル信号のイネーブル時に前記リフレッシュセンスアンプイネーブル信号に応答し、前記動作モード設定部を介して伝送される前記出力データを増幅して前記増幅データを出力する増幅部；
を備えることを特徴とする請求項１９に記載の半導体メモリ装置。
【請求項２１】
前記ビットラインドライバは、リフレッシュ動作時に前記リフレッシュライト信号に応答してライト動作モードへの進入可否を区分し、ライト動作時に前記入力データの論理値を判別して前記駆動データの出力ラインにライトドレイン電圧を供給するように構成されることを特徴とする請求項１９に記載の半導体メモリ装置。

【請求項２２】
前記ビットラインドライバは、
前記入力データに応答して第１ライトドレイン電圧又は第２ライトドレイン電圧を出力する駆動部；及び
前記リフレッシュイネーブル信号のイネーブル時に前記リフレッシュライト信号に応答してライト動作モードを設定し、前記駆動部から伝達する電圧に応答して前記駆動データを出力する動作モード設定部；
を備えることを特徴とする請求項２１に記載の半導体メモリ装置。
【請求項２３】
リフレッシュイネーブル信号がイネーブルされれば、カウンティング動作を実行してローカウンティング信号とソースカウンティング信号を生成するローリフレッシュカウンタ；
前記ローカウンティング信号をデコーディングしてロー選択信号を生成するローアドレスデコーダ；
前記ソースカウンティング信号をデコーディングしてソース選択信号を生成するソースアドレスデコーダ；
前記リフレッシュイネーブル信号がイネーブルされれば、前記ロー選択信号及び前記ソース選択信号に応答してメモリセルブロックの複数のワードラインと複数のソースラインに順に電圧を供給するロー動作制御部；
前記リフレッシュイネーブル信号がイネーブルされれば、カウンティング動作を実行してカラムカウンティング信号を生成するカラムリフレッシュカウンタ；
前記カラムカウンティング信号をデコーディングしてカラム選択信号を生成するカラムアドレスデコーダ；及び
前記リフレッシュイネーブル信号がイネーブルされれば、前記カラム選択信号に応答してメモリセルブロックの複数のビットラインのデータを順に再記入するカラム動作制御部；
を備えることを特徴とする半導体メモリ装置。
【請求項２４】
前記ローリフレッシュカウンタは、前記ローカウンティング信号に対するカウンティング動作を前記ソースカウンティング信号に対するカウンティング動作に比べて２倍早く実行し、
前記カラムリフレッシュカウンタは、前記ローリフレッシュカウンタの前記ローカウンティング信号に対するカウンティング動作に比べ、前記カラムカウンティング信号に対するカウンティング動作を前記複数のビットラインの個数だけの倍数で早く実行するように構成されることを特徴とする請求項２３に記載の半導体メモリ装置。
【請求項２５】
前記カラム動作制御部は、前記複数のワードラインのうちのいずれか１つと前記複数のソースラインのうちのいずれか１つが活性化された状態で、前記複数のビットラインそれぞれに対するリフレッシュ動作を順に実行するように構成されることを特徴とする請求項２４に記載の半導体メモリ装置。
【請求項２６】
前記ロー動作制御部は、前記カラム動作部が前記複数のビットラインそれぞれに対するリフレッシュ動作を完了したとき、前記活性化されるワードラインのみを変更したり、前記活性化されるワードラインと活性化されるソースラインを共に変更するように構成されることを特徴とする請求項２５に記載の半導体メモリ装置。
【請求項２７】
リフレッシュ信号に応答して、所定のイネーブル区間を有する前記リフレッシュイネーブル信号を生成し、前記リフレッシュイネーブル信号のイネーブル状態で順にイネーブルされるリフレッシュリード信号とリフレッシュライト信号を生成するリフレッシュ制御部をさらに含むことを特徴とする請求項２３に記載の半導体メモリ装置。

【請求項２８】
前記ロー動作制御部は、
前記リフレッシュイネーブル信号、前記リフレッシュリード信号、前記リフレッシュライト信号、及び前記ロー選択信号に応答して前記複数のワードラインにそれぞれの電圧を供給するワードラインドライバ；及び
前記リフレッシュイネーブル信号、前記リフレッシュリード信号、前記リフレッシュライト信号、及び前記ソース選択信号に応答して前記複数のソースラインにそれぞれの電圧を供給するソースラインドライバ；
を含むことを特徴とする請求項２７に記載の半導体メモリ装置。
【請求項２９】
前記ワードラインドライバは、前記リフレッシュイネーブル信号がイネーブルされた状態で、前記リフレッシュリード信号、及び前記リフレッシュライト信号に応答してリード動作モード、ライト動作モード、及びホールド動作モードを区分し、それぞれの動作モードに応じてライトゲート電圧、リードゲート電圧、及びホールドゲート電圧のうちのいずれか１つを前記複数のワードラインのうちの活性化されるワードラインに供給するように構成されることを特徴とする請求項２８に記載の半導体メモリ装置。
【請求項３０】
前記ソースラインドライバは、リフレッシュ動作時に前記リフレッシュリード信号及び前記リフレッシュライト信号に応答し、ホールド動作モードとアクティブ動作モードを区分し、それぞれの動作モードに応じてアクティブソース電圧又はホールドソース電圧を前記複数のソースラインのうちの活性化されるソースラインに供給するように構成されることを特徴とする請求項２７に記載の半導体メモリ装置。
【請求項３１】
前記リフレッシュ制御部は、前記リフレッシュリード信号と同じ波形を有するリフレッシュセンスアンプイネーブル信号をさらに生成し、
前記カラム動作制御部は、
前記リフレッシュイネーブル信号、前記リフレッシュリード信号、及び前記リフレッシュセンスアンプイネーブル信号に応答して出力データを増幅して増幅データを出力するセンスアンプ；
前記リフレッシュイネーブル信号及び前記リフレッシュライト信号に応答し、前記増幅データを駆動して駆動データを出力するビットラインドライバ；及び
前記複数ビットのカラム選択信号に応答して前記複数のビットラインのうちのいずれか１つに前記駆動データを伝達したり、前記複数のビットラインのうちのいずれか１つが伝達するデータを前記出力データとして前記センスアンプに伝達するビットラインマックス；
を備えることを特徴とする請求項２７に記載の半導体メモリ装置。
【請求項３２】
前記ビットラインドライバは、リフレッシュ動作時に前記リフレッシュライト信号に応答してライト動作モードへの進入可否を区分し、ライト動作時に前記入力データの論理値を判別して前記駆動データの出力ラインにライトドレイン電圧を供給するように構成されることを特徴とする請求項３１に記載の半導体メモリ装置。
【請求項３３】
前記リフレッシュイネーブル信号がイネーブルされれば、前記増幅データのデータ入出力バスへの出力を遮断するデータバススイッチング部をさらに備えることを特徴とする請求項３１に記載の半導体メモリ装置。
【請求項３４】
前記メモリセルブロックは、前記ワードラインに接続するゲート、前記ソースラインに接続するソース、及び前記ビットラインに接続するドレインを含むＦＢＣ（Ｆｌｏａｔｉｎｇ Ｂｏｄｙ Ｃｅｌｌ）トランジスタからなる複数のメモリセルを備えることを特徴とする請求項１０又は２３に記載の半導体メモリ装置。

【請求項３５】
ワードラインと接続するゲート、ビットラインとソースラインに連結するドレイン及びソースをそれぞれ備え、ソースラインを共有してトランジスタ対を形成する複数のＦＢＣ（Ｆｌｏａｔｉｎｇ Ｂｏｄｙ Ｃｅｌｌ）トランジスタからなるメモリセルブロックを含む半導体メモリ装置のリフレッシュ制御方法であって、
リフレッシュ信号がイネーブルされれば、リフレッシュリード信号をイネーブルさせるステップ；
前記リフレッシュリード信号に応答して、前記ワードライン、前記ソースライン、及び前記ビットラインにそれぞれの電圧を供給し、いずれか１つのメモリセルからデータを出力するステップ；
前記リフレッシュリード信号をディセーブルさせ、リフレッシュライト信号をイネーブルさせるステップ；及び
前記リフレッシュライト信号に応答して、前記メモリセルから出力されたデータの論理値に対応するレベルの電圧を前記ビットラインに供給して前記ビットラインにデータを再記入するステップ；
を含むことを特徴とする半導体メモリ装置のリフレッシュ制御方法。
【請求項３６】
前記データを出力するステップは、
ロー選択信号、ソース選択信号、及びカラム選択信号に応答して前記ワードライン、前記ソースライン、及び前記ビットラインを選択するステップ；
前記ワードラインにリードゲート電圧を供給し、前記ソースラインにアクティブソース電圧を供給するステップ；及び
前記メモリセルから前記ビットラインを介して出力されるデータを増幅するステップ；
を含むことを特徴とする請求項３５に記載の半導体メモリ装置のリフレッシュ制御方法。
【請求項３７】
前記データを出力するステップは、前記メモリセルから出力されたデータを増幅して出力し、データ入出力バスへの伝送を遮断するステップであることを特徴とする請求項３６に記載の半導体メモリ装置のリフレッシュ制御方法。
【請求項３８】
前記データを再記入するステップは、データ入出力バスからのデータ入力を遮断し、前記メモリセルから出力されたデータの論理値を判別し、前記ビットラインを第１ライトドレイン電圧又は第２ライトドレイン電圧で駆動するステップであることを特徴とする請求項３５に記載の半導体メモリ装置のリフレッシュ制御方法。
【請求項３９】
ワードラインと接続するゲート、ビットラインとソースラインに連結するドレイン及びソースをそれぞれ備え、ソースラインを共有してトランジスタ対を形成する複数のＦＢＣ（Ｆｌｏａｔｉｎｇ Ｂｏｄｙ Ｃｅｌｌ）トランジスタからなるメモリセルブロックを含む半導体メモリ装置のリフレッシュ制御方法であって、
リフレッシュイネーブル信号がイネーブルされれば、第１ワードラインと第１ソースラインにリード動作又はライト動作のための電圧をそれぞれ供給するステップ；
前記複数のビットラインに対するデータ再記入動作を順に実行するステップ；
前記第１ワードラインを非活性化させ、第２ワードラインにリード又はライト動作のための電圧を供給するステップ；
前記複数のビットラインに対するデータ再記入動作を順に再実行するステップ；及び
前記第２ワードラインと前記第１ソースラインを非活性化させ、第３ワードラインと第２ソースラインを活性化させるステップ；
を含むことを特徴とする半導体メモリ装置のリフレッシュ制御方法。
【請求項４０】
前記第１ワードラインと第１ソースラインにリード又はライト動作のための電圧をそれ

ぞれ供給するステップは、
前記第１ワードラインにリードゲート電圧を供給し、前記第１ソースラインにアクティブソース電圧を供給するステップ；
前記第１ワードラインにホールドゲート電圧を供給し、前記第１ソースラインにホールドソース電圧を供給するステップ；及び
前記第１ワードラインにライトゲート電圧を供給し、前記第１ソースラインに前記アクティブソース電圧を供給するステップ；
を含むことを特徴とする請求項３９に記載の半導体メモリ装置のリフレッシュ制御方法。
【請求項４１】
前記複数のビットラインに対するデータ再記入動作を実行するステップは、
前記複数のビットラインのうちのいずれか１つからデータを出力して増幅するステップ；
データ入出力バスからのデータ入力を遮断し、前記増幅されたデータの論理値を判別するステップ；及び
前記増幅されたデータの論理値によって、前記いずれか１つのビットラインに第１ライトドレイン電圧又は第２ライトドレイン電圧を供給するステップ；
を含むことを特徴とする請求項３９に記載の半導体メモリ装置のリフレッシュ制御方法。
【請求項４２】
前記第２ワードラインにリード又はライト動作のための電圧を供給するステップは、
前記第２ワードラインに前記リードゲート電圧を供給し、前記第１ソースラインに前記アクティブソース電圧を供給するステップ；
前記第２ワードラインに前記ホールドゲート電圧を供給し、前記第１ソースラインに前記ホールドソース電圧を供給するステップ；及び
前記第２ワードラインに前記ライトゲート電圧を供給し、前記第１ソースラインに前記アクティブソース電圧を供給するステップ；
を含むことを特徴とする請求項３９に記載の半導体メモリ装置のリフレッシュ制御方法。
【請求項４３】
前記第３ワードラインと第２ソースラインを活性化させるステップは、
前記第３ワードラインに前記リードゲート電圧を供給し、前記第２ソースラインに前記アクティブソース電圧を供給するステップ；
前記第３ワードラインに前記ホールドゲート電圧を供給し、前記第２ソースラインに前記ホールドソース電圧を供給するステップ；及び
前記第３ワードラインに前記ライトゲート電圧を供給し、前記第２ソースラインに前記アクティブソース電圧を供給するステップ；
を含むことを特徴とする請求項３９に記載の半導体メモリ装置のリフレッシュ制御方法。