



(19) 대한민국특허청(KR)

(12) 등록특허공보(B1)

(45) 공고일자 2017년11월21일

(11) 등록번호 10-1799757

(24) 등록일자 2017년11월15일

- (51) 국제특허분류(Int. Cl.)
H01L 29/786 (2006.01) *H01L 21/336* (2006.01)
- (21) 출원번호 10-2014-7012224(분할)
- (22) 출원일자(국제) 2011년03월11일
심사청구일자 2016년03월09일
- (85) 번역문제출일자 2014년05월07일
- (65) 공개번호 10-2014-0061557
- (43) 공개일자 2014년05월21일
- (62) 원출원 특허 10-2012-7027470
원출원일자(국제) 2011년03월11일
- (86) 국제출원번호 PCT/JP2011/056486
- (87) 국제공개번호 WO 2011/118509
국제공개일자 2011년09월29일

(30) 우선권주장
JP-P-2010-072532 2010년03월26일 일본(JP)

(56) 선행기술조사문헌

KR1020090126813 A*

JP2010016163 A*

*는 심사관에 의하여 인용된 문헌

전체 청구항 수 : 총 8 항

심사관 : 전한철

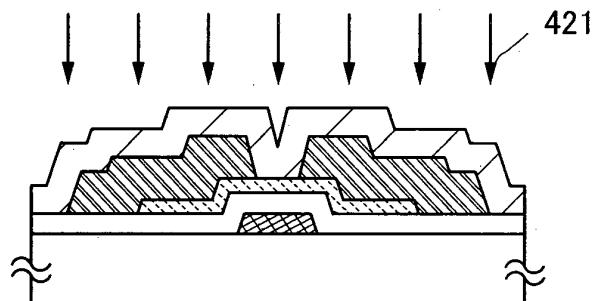
(54) 발명의 명칭 반도체 장치를 제작하는 방법

(57) 요 약

산화물 반도체막을 포함하는 트랜지스터에서, 상기 산화물 반도체막과 접하고 소스 전극 및 드레인 전극을 피복하는 대전을 방지하기 위한 금속 산화막이 형성된다. 그 후에, 산소가 상기 금속 산화막을 통해 상기 산화물을 반도체막에 도입(첨가)되고 열 처리가 수행된다. 산소 도입 및 열 처리의 이들 단계들을 통해, 수소, 습기, 수산기, 또는 수소화물과 같은 불순물들은 상기 산화물을 반도체막으로부터 의도적으로 제거되어, 상기 산화물을 반도체막이 고순도화된다. 또한, 상기 금속 산화막을 제공함에 의해 상기 산화물을 반도체막의 백 채널측 상의 기생 채널의 발생이 상기 트랜지스터에서 방지될 수 있다.

대 표 도

[도 1c]



명세서

청구범위

청구항 1

반도체 장치를 제작하는 방법에 있어서:

기판 위에 게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막을 사이에 개재시켜 상기 게이트 전극과 중첩하는 산화물 반도체막을 형성하는 단계;

상기 산화물 반도체막 위에 소스 전극 및 드레인 전극을 형성하는 단계;

상기 소스 전극 및 상기 드레인 전극 위에 갈륨을 함유하는 금속 산화막을 형성하는 단계로서, 상기 금속 산화막은 상기 산화물 반도체막과 접하는, 상기 금속 산화막 형성 단계;

상기 산화물 반도체막, 상기 금속 산화막, 및 상기 산화물 반도체막과 상기 금속 산화막 사이의 계면 중 적어도 하나에 산소를 도입하는 단계;

상기 산소 도입 단계 후에 상기 금속 산화막 위에 절연막을 형성하는 단계; 및

상기 절연막을 형성한 후에 열 처리를 수행하는 단계를 포함하는, 반도체 장치 제작 방법.

청구항 2

삭제

청구항 3

제 1 항에 있어서,

상기 금속 산화막은 0.01원자% 내지 5원자%의 인듐 또는 아연을 함유하는 산화 갈륨막인, 반도체 장치 제작 방법.

청구항 4

제 1 항에 있어서,

상기 열 처리는 450°C 내지 600°C의 온도로 수행되는, 반도체 장치 제작 방법.

청구항 5

제 1 항에 있어서,

상기 산화물 반도체막은 인듐 및 갈륨을 포함하는, 반도체 장치 제작 방법.

청구항 6

제 1 항에 있어서,

상기 산소 도입 단계는 산소 이온을 가속화함으로써 수행되는, 반도체 장치 제작 방법.

청구항 7

반도체 장치를 제작하는 방법에 있어서:

기판 위에 게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막을 사이에 개재시켜 상기 게이트 전극과 중첩하는 산화물 반도체막을 형성하는 단계로서, 상

기 산화물 반도체막은 인듐, 갈륨 및 아연을 함유하는, 상기 산화물 반도체막을 형성하는 단계;
 상기 산화물 반도체막에 전기적으로 접속하는 소스 전극 및 드레인 전극을 형성하는 단계;
 불활성 가스 분위기에서 제 1 열 처리를 수행하는 단계;
 산소 분위기에서 냉각 처리를 수행하는 단계;
 상기 소스 전극 및 상기 드레인 전극 위에 갈륨을 함유하는 금속 산화막을 형성하는 단계로서, 상기 금속 산화막은 상기 산화물 반도체막의 일부분과 접하는, 상기 금속 산화막 형성 단계; 및
 제 2 열 처리를 수행하는 단계를 포함하는, 반도체 장치 제작 방법.

청구항 8

반도체 장치를 제작하는 방법에 있어서:

기판 위에 게이트 전극을 형성하는 단계;

상기 게이트 전극 위에 게이트 절연막을 형성하는 단계;

상기 게이트 절연막을 사이에 개재시켜 상기 게이트 전극과 중첩하는 산화물 반도체막을 형성하는 단계로서, 상기 산화물 반도체막은 인듐, 갈륨 및 아연을 함유하는, 상기 산화물 반도체막을 형성하는 단계;

상기 산화물 반도체막에 전기적으로 접속하는 소스 전극 및 드레인 전극을 형성하는 단계;

불활성 가스 분위기에서 제 1 열 처리를 수행하는 단계;

산소 분위기에서 냉각 처리를 수행하는 단계;

상기 소스 전극 및 상기 드레인 전극 위에 갈륨을 함유하는 금속 산화막을 형성하는 단계로서, 상기 금속 산화막은 상기 산화물 반도체막의 일부분과 접하는, 상기 금속 산화막 형성 단계;

제 2 열 처리를 수행하는 단계; 및

갈륨을 함유하는 상기 금속 산화막 위에 절연막을 형성하는 단계를 포함하는, 반도체 장치 제작 방법.

청구항 9

제 8 항에 있어서,

상기 절연막은 산화물 절연막 또는 질화물 절연막인, 반도체 장치 제작 방법.

발명의 설명

기술 분야

[0001]

본 발명의 일 실시예는 반도체 장치 및 상기 반도체 장치를 제작하는 방법에 관한 것이다.

[0002]

이 명세서에서, 반도체 장치는 일반적으로 반도체 특성들을 이용함으로써 기능할 수 있는 장치를 의미하고, 전기-광학 장치, 반도체 회로, 및 전자 기기는 모두 반도체 장치들이다.

배경 기술

[0003]

절연 표면을 가진 기판 위에 형성된 반도체 박막을 이용하여 트랜지스터(또한 박막 트랜지스터(TFT)라고 칭해짐)를 형성하기 위한 기술이 주목받고 있다. 이러한 트랜지스터는 집적 회로(IC) 또는 화상 표시 장치(표시 장치)와 같은 광범위한 전자 기기들에 적용된다. 상기 트랜지스터에 적용 가능한 반도체 박막으로서, 실리콘 기반 반도체 재료가 널리 알려져 있다; 또한, 다른 재료로서 산화물 반도체가 주목받고 있다.

[0004]

예를 들면, 활성층이 $10^{18}/\text{cm}^3$ 미만의 전자 캐리어 농도를 가지고 인듐(In), 갈륨(Ga), 및 아연(Zn)을 함유하는 비정질 산화물을 포함하는 트랜지스터가 개시된다(특히 문헌 1 참조).

[0005]

[참조]

[0006]

[특히 문헌]

[0007] [특허 문현 1] 일본 공개 특허 출원 제2006-165528호

발명의 내용

해결하려는 과제

- [0008] 그러나, 산화물 반도체의 전기 도전성은 산소 등의 과잉 또는 부족으로 인해 화학량론적 조성으로부터의 일탈이 발생할 때, 또는 전자 공여체를 형성하는 수소 또는 습기가 박막 형성 공정 동안 상기 산화물 반도체에 혼입할 때 변화한다. 이러한 현상은 상기 산화물 반도체를 포함하는 트랜지스터의 전기적 특성들의 변동 요인이 된다.
- [0009] 상기 문제점들에 비추어, 본 발명의 목적은 산화물 반도체를 포함하는 반도체 장치를 제공하는 것이고, 이는 안정한 전기적 특성을 및 높은 신뢰도를 가진다.
- [0010] 또한, 본 발명의 목적은 산화물 반도체막의 백 채널 측 상에 기생 채널의 발생을 방지하는 것이다.

과제의 해결 수단

- [0011] 산화물 반도체막을 포함하는 트랜지스터의 전기적 특성들의 변동을 억제하기 위해, 변동을 유발하는 수소, 습기, 수산기, 또는 수소화물(또한 수소 화합물이라고 칭해짐)과 같은 불순물들이 상기 산화물 반도체막으로부터 의도적으로 제거된다. 또한, 산화물 반도체의 주성분이고 상기 불순물들을 제거하는 공정에서 감소되는 산소가 공급된다. 상기 산화물 반도체막은 이와 같이 고순도화되고 전기적으로 I형(진성)이 된다.
- [0012] I형(진성) 산화물 반도체는 상기 산화물 반도체의 주성분이 아닌 불순물들이 가능한 거의 함유되지 않도록 상기 산화물 반도체로부터, n형 불순물인, 수소를 제거함에 의해 고순도화됨으로써 I형(진성) 또는 실질적으로 I형(진성)이 되는 산화물 반도체이다. 즉, 고순도화된 I형(진성) 산화물 반도체 또는 그에 근접한 산화물 반도체는 불순물들을 첨가함에 의해서가 아닌 수소 또는 수분과 같은 불순물들을 가능한 많이 제거함으로써 획득되는 것이 특징이다. 이것은 페르미 준위(E_f)가 진성 페르미 준위(E_i)와 동일한 준위가 될 수 있게 한다.
- [0013] 상기 산화물 반도체막을 포함하는 상기 트랜지스터에서, 상기 산화물 반도체막의 백 채널측 상의 대전을 방지하기 위한 산화물층이 상기 산화물 반도체막 위에서 이와 접하여 형성되고, 산소가 상기 산화물층을 통해 도입(첨가)되고, 절연층이 상기 산화물층 위에 형성되고, 열 처리가 수행된다. 이 열 처리는 상기 절연층이 상기 산화물층 위에 형성되기 전에 수행될 수 있다.
- [0014] 대전 방지 기능을 가진 상기 산화물층은 상기 산화물 반도체막, 바람직하게, 고순도화된 산화물 반도체막의 상기 백 채널측(상기 게이트 절연막측에 반대측) 상에 제공되고, 상기 산화물층은 상기 산화물 반도체의 유전률보다 낮은 유전률을 가지는 것이 바람직하다. 예를 들면, 8 이상 20 이하의 유전률을 가진 산화물층이 이용된다.
- [0015] 상기 산화물층은 상기 산화물 반도체막보다 두껍다. 예를 들면, 상기 산화물 반도체막의 두께가 3nm 이상 30nm 이하라고 가정하면, 상기 산화물층의 두께는 10nm 초과하고 상기 산화물 반도체막의 두께 이상인 것이 바람직하다.
- [0016] 금속 산화물이 상기 산화물층에 이용될 수 있다. 상기 금속 산화물로서, 예를 들면, 산화 갈륨 또는 인듐 또는 아연이 0.01원자% 내지 5원자%로 첨가된 산화 갈륨이 이용될 수 있다.
- [0017] 상술된 상기 산소 도입 및 상기 열 처리를 통해, 수소, 습기, 수산기, 또는 수소화물(또한 수소 화합물이라고 칭해짐)과 같은 불순물들이 상기 산화물 반도체막으로부터 의도적으로 제거되고, 그에 의해 상기 산화물 반도체막은 고순도화된다. 상기 산소의 도입에 의해, 상기 산화물 반도체에 포함된 금속과 수소 사이의 결합 또는 상기 금속과 수산기 사이의 결합이 절단되고, 상기 수소 또는 상기 수산기는 물을 생성하기 위해 산소와 반응하고; 이것은 불순물인 수소 또는 수산기의 나중에 수행되는 열 처리에 의해 물의 형태로의, 제거를 용이하게 한다.
- [0018] 산소는 상기 산화물 반도체막 위에 적층된 상기 금속 산화막을 통해 상기 산화물 반도체막에 도입되어, 산소의 도입 심도(도입 영역)가 제어될 수 있고, 산소가 상기 산화물 반도체막에 효율적으로 도입될 수 있다.
- [0019] 또한, 산소를 함유하는 상기 금속 산화막 및 상기 산화물 반도체막은 서로 접한 상태에서 상기 열 처리를 받고; 따라서, 상기 산화물 반도체의 주성분들 중 하나이고 불순물들을 제거하는 공정에서 감소되는 산소가, 산소를 함유하는 상기 금속 산화막에서 상기 산화물 반도체막으로 공급될 수 있다. 따라서, 상기 산화물 반도체막은 I형(진성)이 되도록 고순도화된다.

- [0020] 상기 열 처리 후에 상기 산화물 반도체막에 습기 또는 수소와 같은 불순물들의 혼입을 방지하기 위해, 외부로부터 그 혼입을 방지하는 보호 절연층이 상기 절연층 위에 부가로 형성될 수 있다.
- [0021] 문턱 전압 및 오프-상태 전류와 같은, 상기 고순도화된 산화물 반도체막을 포함하는 상기 트랜지스터의 전기적 특성들은 거의 온도 의존성이 없다. 또한, 상기 트랜지스터 특성들은 광열화(light deterioration)로 인한 변화가 거의 없다.
- [0022] 상술된 바와 같이, 상기 고순도화되고 전기적으로 I형(진성) 산화물 반도체막을 포함하는 상기 트랜지스터의 상기 전기적 특성들의 변동이 억제되고, 상기 트랜지스터는 전기적으로 안정하다. 결과적으로, 안정한 전기적 특성을 가진, 산화물 반도체를 포함하는 매우 안정한 반도체 장치가, 제공될 수 있다.
- [0023] 상기 열 처리는 250°C 이상 650°C 이하, 450°C 이상 600°C 이하, 또는 기판의 변형점(strain point) 미만의 온도로 수행된다. 상기 열 처리는 질소, 산소, 초건조 공기(수분 함량이 20ppm 이하, 바람직하게 1ppm 이하, 더욱 바람직하게 10ppb 이하인 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기에서 수행될 수 있다.
- [0024] 이 명세서에 개시된 본 발명의 구성의 일 실시예는 반도체 장치 제작 방법으로서, 기판 위에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 피복하는 게이트 절연막을 형성하는 단계; 상기 게이트 절연막을 사이에 개재시켜 상기 게이트 전극과 중첩하는 영역에 산화물 반도체막을 형성하는 단계; 상기 산화물 반도체막 위에 소스 전극 및 드레인 전극을 형성하는 단계; 상기 산화물 반도체막과 접하고 상기 소스 전극 및 상기 드레인 전극을 피복하는 금속 산화막을 형성하는 단계; 상기 산화물 반도체막, 상기 금속 산화막, 및 상기 산화물 반도체막과 상기 금속 산화막 사이의 계면 중 적어도 하나에 산소를 도입하는 단계; 상기 금속 산화막을 피복하는 절연막을 형성하는 단계; 및 열 처리를 수행하는 단계를 포함하는, 반도체 장치 제작 방법이다.
- [0025] 이 명세서에 개시된 본 발명의 구성의 다른 실시예는 반도체 장치 제작 방법으로서, 기판 위에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 피복하는 게이트 절연막을 형성하는 단계; 상기 게이트 절연막을 사이에 개재시켜 상기 게이트 전극과 중첩하는 영역에 산화물 반도체막을 형성하는 단계; 상기 산화물 반도체막 위에 소스 전극 및 드레인 전극을 형성하는 단계; 상기 산화물 반도체막과 접하고 상기 소스 전극 및 상기 드레인 전극을 피복하는 금속 산화막을 형성하는 단계; 상기 금속 산화막을 피복하는 절연막을 형성하는 단계; 상기 산화물 반도체막, 상기 금속 산화막, 및 상기 산화물 반도체막과 상기 금속 산화막 사이의 계면 중 적어도 하나에 산소를 도입하는 단계; 및 열 처리를 수행하는 단계를 포함하는, 반도체 장치 제작 방법이다.
- [0026] 또한, 이 명세서에 개시된 본 발명의 구성의 또 다른 실시예는 반도체 장치 제작 방법으로서, 기판 위에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 피복하는 게이트 절연막을 형성하는 단계; 상기 게이트 절연막을 사이에 개재시켜 상기 게이트 전극과 중첩하는 영역에 산화물 반도체막을 형성하는 단계; 상기 산화물 반도체막에 대해 불활성 분위기에서의 가열 및 산소 분위기에서의 냉각을 포함하는 제 1 열 처리를 수행하는 단계; 상기 산화물 반도체막 위에 소스 전극 및 드레인 전극을 형성하는 단계; 상기 산화물 반도체막과 접하고 상기 소스 전극 및 상기 드레인 전극을 피복하는 금속 산화막을 형성하는 단계; 상기 산화물 반도체막, 상기 금속 산화막, 및 상기 산화물 반도체막과 상기 금속 산화막 사이의 계면 중 적어도 하나에 산소를 도입하는 단계; 상기 금속 산화막을 피복하는 절연막을 형성하는 단계; 및 제 2 열 처리를 수행하는 단계를 포함하는, 반도체 장치 제작 방법이다.
- [0027] 또한, 이 명세서에 개시된 본 발명의 구성의 또 다른 실시예는 반도체 장치 제작 방법으로서, 기판 위에 게이트 전극을 형성하는 단계; 상기 게이트 전극을 피복하는 게이트 절연막을 형성하는 단계; 상기 게이트 절연막을 사이에 개재시켜 상기 게이트 전극과 중첩하는 영역에 산화물 반도체막을 형성하는 단계; 상기 산화물 반도체막에 대해 불활성 분위기에서의 가열 및 산소 분위기에서의 냉각을 포함하는 제 1 열 처리를 수행하는 단계; 상기 산화물 반도체막 위에 소스 전극 및 드레인 전극을 형성하는 단계; 상기 산화물 반도체막과 접하고 상기 소스 전극 및 상기 드레인 전극을 피복하는 금속 산화막을 형성하는 단계; 상기 금속 산화막을 피복하는 절연막을 형성하는 단계; 상기 산화물 반도체막, 상기 금속 산화막, 및 상기 산화물 반도체막과 상기 금속 산화막 사이의 계면 중 적어도 하나에 산소를 도입하는 단계; 및 제 2 열 처리를 수행하는 단계를 포함하는, 반도체 장치 제작 방법이다.
- [0028] 상기 반도체 장치 제작 방법에 있어서, 산화 갈륨을 포함하는 막이 상기 금속 산화막으로서 형성되는 것이 바람직하다.
- [0029] 대안적으로, 상기 반도체 장치 제작 방법에 있어서, 0.01원자% 내지 5원자%의 인듐 또는 아연을 함유하는 산화 갈륨막이 상기 금속 산화막으로서 형성되는 것이 바람직하다.

- [0030] 상기 반도체 장치 제작 방법에 있어서, 상기 열 처리 온도는 450°C 내지 600°C가 바람직하다.
- [0031] 상기 반도체 장치 제작 방법에 있어서, 인듐 및 갈륨을 함유하는 막이 상기 산화물 반도체막으로서 형성되는 것이 바람직하다.
- [0032] 상기 구조에서, 산화 갈륨막은 상기 금속 산화막으로서 이용되는 것이 바람직하다. 상기 산화 갈륨막은 스퍼터링법, CVD법, 증착법 등에 의해 형성될 수 있다. 상기 산화 갈륨막은 산소 및 갈륨의 조성비에 의존하지만, 약 4.9eV의 에너지 캡을 가지고 가시광 광장 범위의 투광성을 가진다.
- [0033] 이 명세서에서, 산화 갈륨은 GaO_x ($x > 0$)로 표현되는 경우가 있다. 예를 들면, GaO_x 가 결정 구조를 가질 때, x 가 1.5인 Ga_2O_3 이 알려져 있다.
- [0034] 상기 구성들에서, 상기 금속 산화막이 상기 산화물 반도체막 위에 형성되기 전에 상기 산화물 반도체막에 대해 열 처리가 수행될 수 있다. 또한, 상기 산소의 도입은 이온 주입법 또는 이온 도핑법에 의해 수행될 수 있다.

발명의 효과

- [0035] 금속 산화막이 산화물 반도체막 위에서 이와 접하여 형성되고, 산소가 상기 금속 산화막을 통해 도입되고 그 후에, 열 처리가 수행된다. 산소 도입 및 열 처리의 이들 공정들을 통해, 수소, 습기, 수산기, 또는 수소화물과 같은 불순물들은 상기 산화물 반도체막으로부터 의도적으로 제거될 수 있고, 그에 의해 상기 산화물 반도체막은 고순도화될 수 있다. 상기 고순도화되고 전기적으로 I형(진성) 산화물 반도체막을 포함하는 트랜지스터의 상기 전기적 특성들의 변동이 억제되고, 상기 트랜지스터는 전기적으로 안정하다.
- [0036] 따라서, 본 발명의 일 실시예에 따라, 안정한 전기적 특성들을 가진 트랜지스터가 제작될 수 있다.
- [0037] 또한, 본 발명의 일 실시예에 따라, 양호한 전기적 특성들 및 높은 신뢰성을 가진, 트랜지스터를 포함하는 반도체 장치가, 제작될 수 있다.

도면의 간단한 설명

- [0038] 도 1a 내지 도 1e는 반도체 장치 및 상기 반도체 장치를 제작하는 방법의 일 실시예를 도시한 도면들.
- 도 2a 내지 도 2c는 반도체 장치의 일 실시예를 각각 도시한 도면들.
- 도 3은 반도체 장치의 일 실시예를 도시한 도면.
- 도 4는 반도체 장치의 일 실시예를 도시한 도면.
- 도 5는 반도체 장치의 일 실시예를 도시한 도면.
- 도 6a 및 도 6b는 반도체 장치의 일 실시예를 도시한 도면들.
- 도 7a 및 도 7b는 전자 기기를 도시한 도면들.
- 도 8a 내지 도 8f는 전자 기기를 각각 도시한 도면들.
- 도 9a는 유전체들의 적층 구조를 도시한 모델도이고, 도 9b는 등가 회로도.

발명을 실시하기 위한 구체적인 내용

- [0039] 이후, 본 발명의 실시예들은 첨부 도면들을 참조하여 상세히 기술될 것이다. 그러나, 본 발명은 하기의 기술에 제한되지 않고, 본 기술분야의 통상의 기술자들은 본 명세서에 개시된 모드들 및 상세들이 다양한 방식들로 변형될 수 있다는 것을 쉽게 알 것이다. 따라서, 본 발명은 하기의 실시예들의 기술에 제한되는 것으로서 해석되어서는 안 된다.
- [0040] 이 명세서에서 "제 1(first)" 및 "제 2(second)"와 같은 서수들은 편의를 위해 이용되고 공정들의 순서 및 층들의 적층 순서를 표시하지 않음을 유념한다. 또한, 이 명세서의 상기 서수들은 본 발명을 명시하는 특정 명칭들을 표시하지 않는다.
- [0041] (실시예 1)
- [0042] 이 실시예에서, 반도체 장치 및 상기 반도체 장치를 제작하는 방법의 일 실시예가 도 1a 내지 도 1e를 참조하여

기술될 것이다. 이 실시예에서, 산화물 반도체막을 포함하는 트랜지스터가 상기 반도체 장치의 예로서 기술될 것이다.

[0043] 도 1e에 도시된 바와 같이, 트랜지스터(410)는 절연 표면을 가진 기판(400) 위에, 게이트 전극(401), 게이트 절연막(402), 산화물 반도체막(403), 소스 전극(405a), 및 드레인 전극(405b)을 포함한다. 상기 산화물 반도체막(403)의 백 채널측 상의 대전 방지 기능을 가진 금속 산화막(407) 및 절연막(409)이 상기 산화물 반도체막(403) 위에 이 순서로 적층된다.

[0044] 도 1a 내지 도 1e는 상기 트랜지스터(410)를 제작하는 방법의 예를 도시한다.

[0045] 먼저, 절연 표면을 가진 상기 기판(400) 위에 도전막이 형성되고, 그 후에, 제 1 포토리소그래피 단계에 의해 상기 게이트 전극(401)이 형성된다. 레지스트 마스크는 잉크젯법에 의해 형성될 수 있음을 유념한다. 상기 레지스트 마스크의 잉크젯법에 의한 형성은 포토마스크를 필요로 하지 않고; 따라서, 제작 비용이 저감될 수 있다.

[0046] 절연 표면을 가진 상기 기판(400)으로서 이용될 수 있는 기판에 관한 특정 제한은 존재하지 않지만, 상기 기판은 적어도 나중에 수행될 열 처리에 대한 충분한 내열성을 가지는 것이 필요하다. 예를 들면, 유리 기판, 세라믹 기판, 석영 기판, 사파이어 기판 등과 같은 기판이 이용될 수 있다. 대안적으로, 실리콘, 탄화 실리콘 등의 단결정 반도체 기판 또는 다결정 반도체 기판; 실리콘 게르마늄 등의 화합물 반도체 기판; SOI 기판 등은 상기 기판이 절연 표면을 가지는 한 이용될 수 있다. 또한, 반도체 소자들은 이들 기판들 위에 제공될 수 있다.

[0047] 가요성 기판이 상기 기판(400)으로서 이용될 수 있다. 가요성 기판이 이용되는 경우, 상기 산화물 반도체막(403)을 포함하는 상기 트랜지스터(410)는 가요성 기판 위에 직접 형성될 수 있다. 대안적으로, 상기 산화물 반도체막(403)을 포함하는 상기 트랜지스터(410)는 제작 기판 위에 형성될 수 있고, 그 후에, 상기 트랜지스터(410)는 분리되어 가요성 기판으로 전치될 수 있다. 상기 제작 기판으로부터 상기 트랜지스터를 분리하고 이를 상기 가요성 기판에 전치하기 위해, 상기 제작 기판과 상기 산화물 반도체막을 포함하는 상기 트랜지스터 사이에 분리층이 제공될 수 있음을 유념한다.

[0048] 상기 기판(400)과 상기 게이트 전극(401) 사이에 기저막(base film)의 역할을 하는 절연막이 제공될 수 있다. 상기 기저막은 상기 기판(400)으로부터의 불순물 원소의 확산을 방지하는 기능을 가지고, 질화 실리콘막, 산화 실리콘막, 질화산화 실리콘막, 및 산화질화 실리콘막 중 하나 이상을 이용한 단층 구조 또는 적층 구조로 형성될 수 있다.

[0049] 상기 게이트 전극(401)은 몰리브덴, 티타늄, 탄탈, 텅스텐, 알루미늄, 구리, 네오디뮴, 또는 스칸듐과 같은 금속 재료, 또는 이들 재료들 중 어느 것을 주성분으로 함유한 합금 재료를 이용하여 단층 구조 또는 적층 구조를 가지도록 형성될 수 있다.

[0050] 다음에, 상기 게이트 절연막(402)은 상기 게이트 전극(401) 위에 형성된다. 상기 게이트 절연막(402)은 산화 실리콘층, 질화 실리콘층, 산화질화 실리콘층, 질화산화 실리콘층, 산화 알루미늄층, 질화 알루미늄층, 산화질화 알루미늄층, 질화산화 알루미늄층, 또는 산화 하프늄층을 이용하여 플라즈마 CVD법, 스퍼터링법 등에 의해 단층 구조 또는 적층 구조로 형성될 수 있다.

[0051] 이 실시예에서, 상기 산화물 반도체막(403)으로서 캐리어 공여체의 역할을 하고 상기 산화물 반도체의 주성분 이외의 물질들이 불순물들을 가능한 거의 함유하지 않도록 고순도화되고 불순물들이 제거된 진성(I형) 또는 실질적으로 진성(I형) 산화물 반도체가 이용된다.

[0052] 이러한 고순도화된 산화물 반도체는 계면 상태 또는 계면 전하에 극히 민감하고; 따라서, 상기 산화물 반도체막과 상기 게이트 절연막 사이의 계면이 중요하다. 따라서, 고순도화된 산화물 반도체와 접하는 상기 게이트 절연막은 고품질을 가져야 한다.

[0053] 상기 게이트 절연막을 제작하기 위한 방법에 대해, 형성되는 절연층이 조밀할 수 있고 높은 파괴 전압(breakdown voltage) 및 고품질을 가질 수 있기 때문에, 마이크로파들(예를 들면, 2.45GHz의 주파수를 가진)을 이용한 고밀도 플라즈마 CVD법이 이용되는 것이 바람직하다. 이것은 상기 고순도화된 산화물 반도체가 상기 고품질 게이트 절연막에 밀착될 때, 상기 계면 상태는 감소될 수 있고 상기 계면 특성들이 양호하게 될 수 있기 때문이다.

[0054] 물론, 상기 게이트 절연막으로서 고품질 절연막이 형성될 수 있는 한 스퍼터링법 또는 플라즈마 CVD법과 같은 상이한 성막 방법이 이용될 수 있다. 또한, 절연층이 이용될 수 있고, 상기 게이트 절연막으로의 막 품질 및 상기 산화물 반도체와의 계면의 특성들은 성막 후에 수행되는 열 처리에 의해 개선된다. 어느 경우든, 상기 게이

트 절연막으로서의 막 품질이 높고, 산화물 반도체와의 계면 상태 밀도가 저감되고, 양호한 계면이 형성될 수 있는 한 어떠한 게이트 절연막도 이용될 수 있다.

[0055] 수소, 수산기, 및 습기가 상기 게이트 절연막(402) 및 상기 산화물 반도체막에 가능한 거의 함유되지 않도록 하기 위해, 상기 게이트 전극(401)이 형성되는 상기 기판(400) 또는 상기 게이트 절연막(402)까지의 막들이 형성되는 상기 기판(400)이 상기 산화물 반도체막의 형성을 위한 전처리로서 스퍼터링 장치의 예비 가열 챔버에서 예비 가열되어, 상기 기판(400) 상에 흡착된 수소 및 습기와 같은 불순물들이 배기되고 제거되는 것이 바람직하다. 상기 예비 가열 챔버에 제공되는 배기 수단으로서, 크라이오펌프가 바람직하다. 이 예비 가열 처리는 생략될 수 있음을 유념한다. 유사하게, 이 예비 가열 처리는 나중 단계에서 상기 소스 전극(405a) 및 상기 드레인 전극(405b)까지의 막들이 형성된 상기 기판(400)(상기 금속 산화막(407) 형성 전)에 대해 수행될 수 있다.

[0056] 다음에, 3nm 이상 30nm 이하의 두께를 가진 산화물 반도체막이 스퍼터링법에 의해 상기 게이트 절연막(402) 위에 형성된다. 상기 산화물 반도체막의 두께가 매우 클 때(예를 들면, 상기 두께가 50nm 이상일 때) 상기 트랜지스터가 노멀리 온(normally on) 될 수 있기 때문에, 상기 범위의 두께가 바람직하다.

[0057] 상기 산화물 반도체막이 스퍼터링법에 의해 형성되기 전에, 아르곤 가스가 도입되고 플라즈마가 생성되는 역 스퍼터링에 의해 상기 게이트 절연막(402)의 표면 상에 부착된 가루 물질들(또한 입자들 또는 먼지라고 칭해짐)이 제거되는 것이 바람직함을 유념한다. 상기 역 스퍼터링은, 타겟측에의 전압의 인가 없이, RF 전원이 아르곤 분위기에서 기판측에의 전압의 인ガ를 위해 이용되어 상기 기판의 부근에 플라즈마를 생성하여 표면을 개질하는 방법을 나타낸다. 아르곤 분위기 대신에, 질소 분위기, 헬륨 분위기, 산소 분위기 등이 이용될 수 있음을 유념한다.

[0058] 상기 산화물 반도체막에 이용되는 산화물 반도체로서, 다음의 산화물 반도체들이 이용될 수 있다: In-Sn-Ga-Zn-O-계 산화물 반도체와 같은 4원계 금속 산화물; In-Ga-Zn-O-계 산화물 반도체, In-Sn-Zn-O-계 산화물 반도체, In-Al-Zn-O-계 산화물 반도체, Sn-Ga-Zn-O-계 산화물 반도체, Al-Ga-Zn-O-계 산화물 반도체, 또는 Sn-Al-Zn-O-계 산화물 반도체와 같은 3원계 금속 산화물; In-Zn-O-계 산화물 반도체, Sn-Zn-O-계 산화물 반도체, Al-Zn-O-계 산화물 반도체, Zn-Mg-O-계 산화물 반도체, Sn-Mg-O-계 산화물 반도체, In-Mg-O-계 산화물 반도체, 또는 In-Ga-O-계 산화물 반도체와 같은 2원계 금속 산화물; In-O-계 산화물 반도체; Sn-O-계 산화물 반도체; Zn-O-계 산화물 반도체 등. 또한, SiO₂가 상기 산화물 반도체에 함유될 수 있다. 여기서, 예를 들면, In-Ga-Zn-O-계 산화물 반도체는 인듐(In), 갈륨(Ga), 및 아연(Zn)을 포함하는 산화막을 의미하고 그 조성비에 대한 특정 제한은 없음을 유념한다. 상기 In-Ga-Zn-O-계 산화물 반도체는 In, Ga, 및 Zn 이외의 원소를 함유할 수 있다.

[0059] 또한, 상기 산화물 반도체막에 대해, 화학식, InMO₃(ZnO)_m(m > 0)으로 표현되는 재료의 박막이, 이용될 수 있다. 여기서, M은 Ga, Al, Mn, 및 Co로부터 선택된 하나 이상의 금속 원소를 표현한다. 예를 들면, M은 Ga, Ga 및 Al, Ga 및 Mn, Ga 및 Co 등일 수 있다.

[0060] In-Ga-Zn-O계 재료가 상기 산화물 반도체로서 이용될 때, 예를 들면, In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 1 [몰수비]의 조성비를 가진 산화물 타겟이 타겟으로서 이용될 수 있다. 상기 재료 및 상기 타겟의 성분에 대한 제한 없이, 예를 들면, In₂O₃ : Ga₂O₃ : ZnO = 1 : 1 : 2 [몰수비]의 조성비를 가진 산화물 타겟이 이용될 수 있다.

[0061] In-Zn-O계 재료가 상기 산화물 반도체로서 이용되는 경우에, 그 타겟은 원자수비가 In : Zn = 50 : 1 내지 1 : 2(몰수비가 In₂O₃ : ZnO = 25 : 1 내지 1 : 4), 바람직하게, 원자수비가 In : Zn = 20 : 1 내지 1 : 1(몰수비가 In₂O₃ : ZnO = 10 : 1 내지 1 : 2), 더욱 바람직하게, 원자수비가 In : Zn = 15 : 1 내지 1.5 : 1(몰수비가 In₂O₃ : ZnO = 15 : 2 내지 3 : 4)의 조성비를 가진다. 예를 들면, In : Zn : O = X : Y : Z의 원자수비를 가지는 In-Zn-O-계 산화물 반도체의 형성에 이용된 타겟에서, Z > 1.5X + Y의 관계가 만족된다.

[0062] 또한, 상기 타겟의 충전률은 90% 이상 100% 이하이고, 바람직하게 95% 이상 99.9% 이하이다. 높은 충전률을 가진 상기 타겟을 이용하여, 조밀한 산화물 반도체막이 형성될 수 있다.

[0063] 이 실시예에서, 상기 산화물 반도체막은 In-Ga-Zn-O-계 산화물 타겟을 이용하여 스퍼터링법에 의해 형성된다. 또한, 상기 산화물 반도체막은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스 및 산소를 함유한 혼합 분위기에서 스퍼터링법에 의해 형성될 수 있다.

[0064] 상기 산화물 반도체막이 형성될 때 이용되는 스퍼터링 가스로서 수소, 수분, 수산기, 또는 수소화물과 같은 불

순물들이 제거된 고순도화 가스를 이용하는 것이 바람직하다.

[0065]

상기 산화물 반도체막의 성막을 위해, 상기 기판(400)은 갑압하에서 성막 챔버에 배치되고, 상기 기판 온도는 바람직하게 100°C 이상 600°C 이하, 바람직하게 200°C 이상 400°C 이하로 설정된다. 상기 기판(400)이 가열되는 상태에서 성막이 수행되고, 그에 의해 상기 형성되는 산화물 반도체막에 함유된 불순물들의 농도가 저감될 수 있다. 또한, 스퍼터링에 의한 손상이 저감될 수 있다. 그 후에, 상기 성막 챔버 내의 잔여 습기가 제거되고, 수소 및 습기가 제거된 스퍼터링 가스가 도입되고, 상술된 타겟이 이용되어, 상기 산화물 반도체막이 상기 기판(400) 위에 형성된다. 상기 성막 챔버 내의 잔여 습기를 제거하기 위해, 크라이오펌프, 이온 펌프, 또는 티타늄서브리메이션 펌프와 같은 기체저장식(entrapment) 진공 펌프가 이용되는 것이 바람직하다. 또한, 배기 수단은 냉각 트랩(cold trap)이 추가된 터보 펌프일 수 있다. 상기 크라이오펌프로 배기되는 상기 성막 챔버에서, 수소 원자, 물(H₂O)과 같이, 수소 원자를 함유한 화합물, (더욱 바람직하게, 또한 탄소 원자를 함유한 화합물) 등이 제거되고, 그에 의해 상기 성막 챔버에서 형성된 상기 산화물 반도체막에 함유된 불순물들의 농도가 저감될 수 있다.

[0066]

상기 성막 조건의 일례로서, 상기 기판과 상기 타겟 사이의 거리가 100mm이고, 압력이 0.6Pa이고, 직류(DC) 전원이 0.5kW이고, 분위기가 산소 분위기(산소 유량비는 100%)이다. 성막시 생성되는 가루 물질들(또한 입자들 또는 먼지라고 칭해짐)이 경감될 수 있고 막 두께가 균일해질 수 있으므로, 펄스 직류 전원이 이용되는 것이 바람직함을 유념한다.

[0067]

다음에, 상기 산화물 반도체막은 제 2 포토리소그래피 단계를 통해 섬형상 산화물 반도체막(441)으로 가공된다 (도 1a 참조). 상기 섬형상 산화물 반도체막(441)을 형성하기 위한 레지스트 마스크는 잉크젯법에 의해 형성될 수 있다. 잉크젯법에 의한 상기 레지스트 마스크의 형성은 포토마스크를 필요로 하지 않고; 따라서, 제작 비용이 저감될 수 있다.

[0068]

여기서, 상기 산화물 반도체막의 예칭은 건식 예칭, 습식 예칭, 또는 건식 예칭과 습식 예칭 둘다일 수 있음을 유념한다. 상기 산화물 반도체막의 습식 예칭에 이용되는 예천트로서, 예를 들면, 인산, 아세트산, 및 질산의 혼합 용액 등이 이용될 수 있다. 또한, ITO-07N(KANTO CHEMICAL CO., INC.에 의해 생산됨)이 또한 이용될 수 있다.

[0069]

다음에, 소스 전극 및 드레인 전극(상기 소스 전극 및 상기 드레인 전극과 동일한 층에 형성된 배선을 포함)을 형성하기 위한 도전막이 상기 게이트 절연막(402) 및 상기 산화물 반도체막(441) 위에 형성된다. 상기 소스 전극 및 상기 드레인 전극을 형성하기 위한 상기 도전막으로서, 예를 들면, Al, Cr, Cu, Ta, Ti, Mo, 및 W로부터 선택된 원소를 함유하는 금속막, 상기 원소들 중 어느 것을 성분으로 함유하는 금속 질화막(예를 들면, 질화 티타늄막, 질화 몰리브덴막, 또는 질화 텉스텐막) 등이 이용될 수 있다. 대안적으로, Ti, Mo, 또는 W와 같은 고용점 금속막 또는 금속 질화막(예를 들면, 질화 티타늄막, 질화 몰리브덴막, 또는 질화 텉스텐막)이 Al 막 또는 Cu 막과 같은 금속막 위 및/또는 아래에 형성될 수 있다. 또한, 상기 소스 전극 및 상기 드레인 전극을 형성하기 위한 상기 도전막은 도전성 금속 산화물을 이용하여 형성될 수 있다. 도전성 금속 산화물로서, 산화 인듐(In₂O₃), 산화 주석(SnO₂), 산화 아연(ZnO), 산화 인듐-산화 주석의 합금(In₂O₃-SnO₂; ITO로 약기함), 산화 인듐-산화 아연의 합금(In₂O₃-ZnO), 또는 산화 실리콘의 합금(In₂O₃-SiO₂) 등이 이용될 수 있다.

[0070]

상기 소스 전극 및 상기 드레인 전극의 재료는 상기 산화물 반도체의 전자 친화력 및 상기 금속 산화막의 전자 친화력을 고려하여 선택되는 것이 바람직함을 유념한다. 즉, 상기 소스 전극 및 상기 드레인 전극의 상기 재료의 일함수가 W[eV]이고, 상기 산화물 반도체의 전자 친화력이 ϕ_1 [eV]이고, 상기 금속 산화막의 전자 친화력이 ϕ_2 [eV]일 때, 다음의 부등식이 만족되는 것이 바람직하다: $\phi_2 + 0.4 < W < \{\phi_1 + 0.5\}$, 바람직하게 $\{\phi_2 + 0.9\} < W < \{\phi_1 + 0.4\}$. 예를 들면, 전자 친화력이 4.5eV인 재료 및 전자 친화력이 3.5eV인 재료가 각각 상기 산화물 반도체 및 상기 금속 산화막에 이용될 때, 일함수가 3.9eV보다 크고 5.0eV보다 작을 때, 바람직하게 4.4eV 이상 4.9eV 이하인 금속 또는 금속 화합물이 상기 소스 전극 및 상기 드레인 전극의 상기 재료에 이용되는 것이 바람직하다. 따라서, 상기 트랜지스터(410)에서, 상기 소스 전극(405a) 및 상기 드레인 전극(405b)으로부터 상기 금속 산화막(407)으로 전자들이 주입되는 것이 방지될 수 있고, 누설 전류의 발생이 억제될 수 있다. 또한, 상기 산화물 반도체막과 상기 소스 및 드레인 전극들 사이의 접합에서 양호한 전기적 특성들이 획득될 수 있다. 이러한 일함수를 가진 재료에 대해, 예를 들면, 질화 몰리브덴, 질화 텉스텐 등이 주어질 수 있다. 이를 재료들

이 또한 내열성이 우수하기 때문에 이들 재료들이 바람직하다. 상기 부등식으로부터, 부등식 $\phi_2 < \{\phi_1 + 0.1\}$, 바람직하게 부등식 $\phi_2 < \{\phi_1 - 0.5\}$ 가 도출되지만, 부등식 $\phi_2 < \{\phi_1 - 0.9\}$ 가 만족되는 것이 더욱 바람직함을 유념한다.

[0071] 레지스트 마스크가 제 3 포토리소그래피 단계에 의해 상기 도전막 위에 형성된다. 예칭은 선택적으로 수행되어, 상기 소스 전극(405a) 및 상기 드레인 전극(405b)이 형성된다. 그 후에, 상기 레지스트 마스크가 제거된다(도 1b 참조).

[0072] 제 3 포토리소그래피 단계에서 상기 레지스트 마스크의 형성시의 노광은 자외선, KrF 레이저광, 또는 ArF 레이저광을 이용하여 수행될 수 있다. 나중의 단계에서 형성될 상기 트랜지스터의 각각의 채널 길이(L)는 상기 산화물 반도체막(441) 위에 서로 근접한 상기 소스 전극의 하단부와 상기 드레인 전극의 하단부 사이의 거리에 의해 결정된다. 25nm 미만의 채널 길이(L)에 대해 노광이 수행되는 경우에, 상기 제 3 포토리소그래피 단계에서의 상기 레지스트 마스크의 형성시의 노광은 수 나노미터 이상 수십 나노미터 이하의 초단파장을 가진 초자외선을 이용하여 수행될 수 있다. 초자외선을 이용한 상기 노광에서, 해상도가 높고 초점 심도가 크다. 이러한 이유들로, 나중에 형성될 상기 트랜지스터의 상기 채널 길이(L)는 10nm 이상 1000nm 이하일 수 있고, 상기 회로가 더 고속으로 동작할 수 있다.

[0073] 포토리소그래피 단계에서 이용된 포토마스크들의 수를 감소시키고 포토리소그래피 단계들의 수를 감소시키기 위해, 복수의 강도들을 가지도록 광이 투과되는 노광 마스크인 다계조 마스크(multi-tone mask)를 이용하여 예칭 단계가 수행될 수 있다. 다계조 마스크를 이용하여 형성된 레지스트 마스크는 복수의 두께들을 가지고 또한 예칭에 의해 형상이 변화될 수 있고; 따라서, 상기 레지스트 마스크가 상이한 패턴들로 가공하기 위한 복수의 예칭 단계들에서 이용될 수 있다. 결과적으로, 적어도 두 종류 이상의 상이한 패턴들에 대응하는 레지스트 마스크가 하나의 다계조 마스크에 의해 형성될 수 있다. 따라서, 노광 마스크들의 수가 감소될 수 있고 대응하는 포토리소그래피 단계들의 수도 또한 감소될 수 있고, 그에 의해 공정의 간이화가 실현될 수 있다.

[0074] 상기 도전막이 예칭될 때 상기 산화물 반도체막(441)을 예칭하여 분리하지 않도록 예칭 조건들이 최적화되는 것이 바람직함을 유념한다. 그러나, 상기 도전막만 예칭되고 상기 산화물 반도체막(441)이 전혀 예칭되지 않는 예칭 조건들을 획득하는 것은 어렵다. 일부 경우들에서, 상기 도전막이 예칭될 때, 상기 산화물 반도체막(441)의 일부만 예칭되어 홈부(함몰 부분)를 가진 산화물 반도체막이 된다.

[0075] 이 실시예에서, Ti막이 상기 도전막으로서 이용되고 In-Ga-Zn-O-계 산화물 반도체가 상기 산화물 반도체막(441)으로서 이용되기 때문에, 암모니아 과산화수소(암모니아, 물, 및 과산화수소의 혼합)가 예천트로서 이용된다.

[0076] 다음에, N₂O, N₂, 또는 Ar과 같은 가스를 이용하는 플라즈마 처리에 의해, 상기 산화물 반도체막의 노출된 부분의 표면에 흡착된 수분 등이 제거될 수 있다. 플라즈마 처리가 수행되는 경우에, 상기 산화물 반도체막(441)의 일부와 접하는 상기 금속 산화막(407)은 대기애 노출되지 않고 상기 플라즈마 처리에 이어 형성되는 것이 바람직하다.

[0077] 그 후에 상기 소스 전극(405a) 및 상기 드레인 전극(405b)을 피복하고 상기 산화물 반도체막(441)의 일부와 접하는, 상기 금속 산화막(407)이 형성된다. 상기 금속 산화막(407)의 두께는 상기 산화물 반도체막(441)의 두께보다 두꺼운 것을 유념한다. 상기 금속 산화막(407)은 상기 산화물 반도체막(441)의 상기 백 채널측과 접하며, 즉, 상기 소스 전극(405a)과 상기 드레인 전극(405b) 사이에 있는 상기 산화물 반도체막(441)의 일부와 접한다. 상기 금속 산화막(407)은 상기 산화물 반도체막(441)과의 계면에 축적되는 전하들을 제거하는 막이다.

[0078] 상기 소스 전극(405a) 또는 상기 드레인 전극(405b)에 축적된 전위(전하)로 인해 상기 소스 전극(405a) 또는 상기 드레인 전극(405b)으로부터 상기 산화물 반도체막으로 양전하가 이동되어, 상기 산화물 반도체막의 상기 백 채널 측의 상기 계면이 대전될 수 있다. 특히, 산화물 반도체막의 전기 전도성 및 상기 산화물 반도체막의 백 채널측과 접한 재료층의 전기 전도성이 서로 상이할 때, 상기 산화물 반도체막으로 전하가 흐르고, 상기 전하는 계면에서 포획되고 상기 산화물 반도체막의 수소에 결합되어 상기 계면의 도너 센터가 된다. 결과적으로, 트랜지스터의 특성들이 변화하는 문제가 존재한다. 따라서, 상기 산화물 반도체막의 수소의 저감 및 대전의 방지 둘다가 중요하다.

[0079] 상기 산화물 반도체막의 물리적 속성값과 상기 금속 산화막의 물리적 속성값 사이의 차는 작은 것이 바람직하다. 여기서, 상기 물리적 값은 일함수, 전자 친화력, 유전률, 밴드 갭 등을 의미한다. 특히, 상기 산화물 반도체막의 밴드 갭과 상기 금속 산화막의 밴드 갭 사이의 차는 3eV 미만이 바람직하다. 예를 들면, In-Ga-

Zn-0-계 산화물 반도체가 상기 산화물 반도체막으로서 이용되고 산화 실리콘 또는 산화 알루미늄이 상기 금속 산화막으로서 이용되는 경우에, 상기 In-Ga-Zn-0-계 산화물 반도체의 상기 밴드 갭이 3.15eV이고, 상기 산화 실리콘 또는 산화 알루미늄의 상기 밴드 갭이 8eV이기 때문에, 상술된 문제가 발생할 수 있다. 또한, 질화물을 함유하는 막(질화 실리콘막과 같은)이 상기 금속 산화막 대신에 이용될 때, 상기 산화물 반도체막의 상기 전기 전도성은 상기 질화물을 함유하는 막과 산화물 반도체막 사이의 접촉으로 인해 변화할 수 있다.

[0080] 상기 금속 산화막(407)은 상기 백 채널측에 양전하가 대전될 때 양전하를 즉시 제거하는 성질을 가지는 막이다. 상기 금속 산화막(407)의 재료로서, 수소 함유량이 상기 산화물 반도체막의 수소 함유량 이하이거나 수소 함유량이 상기 산화물 반도체막의 수소 함유량보다 한자릿수 이상 크지 않고, 에너지 갭이 상기 산화물 반도체막의 재료의 에너지 갭 이상인 재료가 이용되는 것이 바람직함에 유념한다.

[0081] 상술된 바와 같이, 대전 방지 기능을 가진 상기 금속 산화막(407)의 이용으로, 상기 산화물 반도체막(403)의 상기 백 채널측과 접촉하는 상기 재료층으로부터 상기 산화물 반도체막(403)으로 전하들의 흐름이 억제될 수 있다. 또한, 상기 산화물 반도체막(403)의 상기 백 채널측에 양전하가 대전될 때에도, 양전하는 상기 산화물 반도체막의 상면 위에 제공되는 상기 금속 산화막(407)으로 즉시 제거될 수 있다. 또한, 상기 금속 산화막(407)을 이용하여, 상기 산화물 반도체막(403)의 상기 백 채널측 상의 기생 채널의 발생이 방지될 수 있다. 결과적으로, 전기 전도성 및 문턱 전압과 같은, 상기 산화물 반도체막(403)의 전기적 특성들의 변동이, 억제될 수 있고, 그에 의해 상기 트랜지스터(410)의 신뢰성이 개선될 수 있다.

[0082] 이 실시예에서, 펠스 직류(DC) 전원을 이용하여 스퍼터링법에 의해 획득되는 산화 갈륨막이 상기 금속 산화막(407)으로서 이용된다. 산화 갈륨 타겟은 스퍼터링법에 이용되는 타겟으로서 이용되는 것이 바람직함을 유념한다. 상기 금속 산화막(407)의 상기 전기 전도성은 이용되는 상기 산화물 반도체막의 상기 전기 전도성에 따라, 상기 금속 산화막(407)에 In 또는 Zn을 첨가함으로써 적합하게 조정될 수 있다. 예를 들면, 0.01원자% 내지 5원자%의 인듐 또는 아연을 함유하는 막이 산화 갈륨에 인듐 또는 아연을 첨가함으로써 획득된 타겟을 이용하여 스퍼터링법에 의해 형성된다. 상기 금속 산화막(407)의 상기 전기 전도성이 개선되고 인듐 또는 아연을 첨가함으로써 상기 산화물 반도체막(403)의 상기 전기 전도성에 가깝게 될 때, 축적된 전하들이 더욱 저감될 수 있다.

[0083] 산화 갈륨의 밴드 갭은 3.0eV 내지 5.2eV(예를 들면, 4.9eV)이고, 그 유전률은 10 내지 12이고, 그 전자 친화력은 3.5eV이다. In-Ga-Zn-0-계 산화물 반도체의 상기 밴드 갭은 3.15eV이고, 그 유전률은 15이고, 그 전자 친화력은 3.5eV이다. 따라서, 상기 산화 갈륨막의 물리적 속성값과 상기 산화물 반도체막의 물리적 속성값 사이의 차가 작고, 이것이 바람직하다. 산화 갈륨이 약 4.9eV의 넓은 밴드 갭을 가지기 때문에, 가시광 광장 범위에서 투광성들을 가진다. 또한, In-Ga-Zn-0-계 산화물 반도체막과 산화 갈륨막 사이의 접촉 저항이 저감될 수 있기 때문에 상기 금속 산화막으로서 산화 갈륨이 이용되는 것이 바람직하다. 상기 금속 산화막으로서 산화 갈륨이 이용되는 경우에, In-Ga-Zn-0-계 산화물 반도체 외에도 In-Ga-O-계 산화물 반도체 또는 Ga-Zn-O-계 산화물 반도체가 상기 산화물 반도체 재료로서 이용될 수 있다.

[0084] 특히, In-Ga-Zn-0막이 상기 산화물 반도체막에 이용되는 경우에, 상기 In-Ga-Zn-0막이 상기 금속 산화막(407)으로서 이용되는 GaOx와 공용인 갈륨 원소를 함유하기 때문에, 상기 산화물 반도체막 및 상기 금속 산화막의 재료들은 서로 호환 가능하다.

[0085] 상기 금속 산화막(407)은 상기 금속 산화막(407)에 수분 및 수소와 같은 불순물들이 혼입되지 않는 방법을 이용하여 형성되는 것이 바람직하다. 수소가 상기 금속 산화막(407)에 함유될 때, 상기 산화물 반도체막으로의 수소의 혼입 또는 상기 산화물 반도체막으로부터의 수소에 의한 산소의 추출이 유발되고; 따라서, 상기 산화물 반도체막의 백 채널은 저저항화(n형 도전성) 될 수 있고 기생 채널이 형성될 수 있다. 따라서, 수소가 이용되지 않는 형성 방법이 이용되어 상기 금속 산화막(407)이 가능한 수소를 함유하지 않는 것이 중요하다.

[0086] 이 실시예에서, 상기 금속 산화막(407)으로서, 10nm 초과 및 상기 산화물 반도체막(441)의 두께 이상의 두께를 가지는 산화 갈륨막이 스퍼터링법에 의해 형성된다. 이것은 상기 금속 산화막(407)이 상기 금속 산화막(407)의 두께를 증가시킴에 의해 이러한 방식으로 효율적으로 전하를 방출할 수 있기 때문이다. 성막시의 기판 온도는 실온 이상 300°C 이하일 수 있다. 산화 갈륨막은 희가스(통상적으로, 아르곤) 분위기, 산소 분위기, 또는 희가스 및 산소를 함유한 혼합 분위기에서 스퍼터링법에 의해 형성될 수 있다.

[0087] 상기 산화물 반도체막의 성막시와 유사한 방식으로 상기 금속 산화막(407)의 성막 챔버로부터 잔여 습기를 제거하기 위해, 기체저장식 진공 펌프(크라이오펌프와 같은)가 이용되는 것이 바람직하다. 상기 금속 산화막(407)이 크라이오펌프를 이용하여 배기되는 상기 성막 챔버에서 형성될 때, 상기 금속 산화막(407)에 함유된 불순물의

농도가 저감될 수 있다. 또한, 상기 금속 산화막(407)의 상기 성막 챔버로부터의 잔여 습기를 제거하기 위한 배기 수단으로서, 냉각 트랩이 구비된 터보 펌프가 이용될 수 있다.

[0088] 상기 금속 산화막(407)이 형성될 때의 스퍼터링 가스로서 수소, 수분, 수산기, 또는 수소화물과 같은 불순물들이 제거된 고순도화 가스를 이용하는 것이 바람직하다.

[0089] 상기 금속 산화막(407)은 적어도 상기 산화물 반도체막의 상기 채널 형성 영역, 상기 소스 전극(405a), 및 상기 드레인 전극(405b)을 피복할 수 있다. 필요하다면, 상기 금속 산화막(407)은 선택적으로 제거될 수 있다. 알려진 습식 에칭 또는 알려진 전식 에칭이 이 실시예에서 이용된 상기 산화 갈륨막의 에칭에 이용될 수 있음을 유념한다. 예를 들면, 습식 에칭이 플루오르화 수소산 용액 또는 질산 용액을 이용하여 수행된다.

[0090] 다음에, 산소(421)가 상기 금속 산화막(407)을 통해, 상기 산화물 반도체막(441), 상기 금속 산화막(407), 및 상기 산화물 반도체막(441)과 상기 금속 산화막(407) 사이의 상기 계면 중 적어도 하나에 도입된다(도 1c 참조).

[0091] 상기 산소(421)를 도입하는 방법으로서, 이온 주입법, 이온 도핑법 등이 이용될 수 있다. 이온 주입법에서, 소스 가스는 플라즈마로 만들어지고, 이 플라즈마에 포함되는 이온종들은 추출되어 질량 분리되고, 미리 결정된 질량을 가진 이온종들은 가속되고 이온빔으로 피처리물에 주입된다. 이온 도핑법에서, 소스 가스는 플라즈마로 만들어지고, 미리 결정된 전계의 작용에 의해 이 플라즈마로부터 이온종들이 추출되고, 상기 추출된 이온종들은 질량 분리 없이 가속되어 이온빔으로 피처리물에 주입된다. 상기 산소의 도입이 질량-분리를 관련시키는 이온 주입법을 이용하여 수행될 때, 금속 원소와 같은 불순물이, 산소와 함께, 상기 산화물 반도체막에 첨가되는 것이 방지될 수 있다. 또한, 이온 도핑법은 이온 주입법보다 넓은 면적으로 이온-빔 조사를 가능하게 하고; 따라서, 상기 산소의 첨가가 이온 도핑법을 이용하여 수행될 때, 택트 타임(takt time)은 단축될 수 있다.

[0092] 산소가 상기 산화물 반도체막(441) 위에 적층된 상기 금속 산화막(407)을 통해 상기 산화물 반도체막(441)에 도입되기 때문에, 산소의 도입 심도(도입 영역)가 제어될 수 있고; 따라서, 산소는 상기 산화물 반도체막(441)에 효율적으로 도입될 수 있다. 산소의 상기 도입 심도는 산소가 통과하는 상기 금속 산화막(407)의 두께 또는 도스(dose) 및 가속 전압과 같은 도입 조건을 적합하게 설정함으로써 제어될 수 있다.

[0093] 후속적으로, 상기 절연막(409)이 상기 금속 산화막(407) 위에 형성된다(도 1d 참조). 상기 절연막(409)으로서, 무기 절연막이 이용되고, 산화 실리콘막, 산화질화 실리콘막, 산화 알루미늄막, 및 산화질화 알루미늄막과 같은 산화 절연막들, 또는 질화 실리콘막, 질화산화 실리콘막, 질화 알루미늄막, 및 질화산화 알루미늄막과 같은 질화 절연막들 중 하나 이상을 이용한 단층 구조 또는 적층 구조가 이용될 수 있다. 예를 들면, 산화 실리콘막 및 질화 실리콘막이 스퍼터링법에 의해 상기 금속 산화막(407) 위에 이 순서로 적층된다.

[0094] 상기 산소 도입 처리는 상기 절연막(409)이 상기 금속 산화막(407) 위에 형성된 후에 수행될 수 있음을 유념한다.

[0095] 다음에, 산소가 도입된 상기 산화물 반도체막(441)은 상기 산화물 반도체막(441)의 일부(상기 채널 형성 영역)가 상기 금속 산화막(407)과 접한 상태로 열 처리를 받는다(도 1e 참조).

[0096] 상기 열 처리는 250°C 이상 650°C 이하, 바람직하게 450°C 이상 600°C 이하, 또는 상기 기판의 변형점 미만에서 수행된다. 예를 들면, 상기 기판이 열 처리 장치의 일종인 전기로에 도입된 후에, 상기 산화물 반도체막은 질소 분위기에서 1시간 동안 450°C의 열 처리를 받는다.

[0097] 이용된 열 처리 장치는 전기로에 제한되지 않고, 저항 발열체(resistance heating element)와 같은 발열체로부터 열전도 또는 열복사에 의해 피처리물을 가열하기 위한 장치가 대안적으로 이용될 수 있음을 유념한다. 예를 들면, 가스 급속 열어닐(GRTA) 장치 또는 램프 급속 열어닐(LRTA) 장치와 같은 급속 열어닐(RTA) 장치가 이용될 수 있다. LRTA 장치는 할로겐 램프, 금속 할로겐화물 램프, 크세논 아크 램프, 카본 아크 램프, 고압 나트륨 램프, 또는 고압 수은 램프와 같은 램프로부터 방출된 광(전자파)의 복사에 의해 피처리물을 가열하기 위한 장치이다. GRTA 장치는 고온 가스를 이용하는 가열 처리를 위한 장치이다. 상기 고온 가스로서, 질소 또는 아르곤과 같은 희가스와 같이, 가열 처리에 의해 피처리물과 반응하지 않는 불활성 가스가, 이용된다. GRTA 장치가 상기 열 처리 장치로서 이용되는 경우에, 상기 기판은 열 처리 시간이 짧기 때문에 650°C 내지 700°C의 고온으로 가열된 불활성 가스로 가열될 수 있음을 유념한다.

[0098] 상기 열 처리는 질소, 산소, 초건조 공기(수분 함유량이 20ppm 이하, 바람직하게 1ppm 이하, 더욱 바람직하게 10ppb 이하인 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기에서 수행될 수 있다. 질소, 산소, 초건조 공기,

또는 희가스의 분위기에 수분, 수소 등이 함유되지 않는 것이 바람직함을 유념한다. 열 처리 장치에 도입되는 질소, 산소, 또는 희가스의 순도는 6N(99.9999%) 이상, 바람직하게 7N(99.99999%) 이상(즉, 불순물 농도는 1ppm 이하, 바람직하게 0.1ppm 이하)으로 설정되는 것이 바람직하다.

[0099] 상술된 바와 같이, 산소는 상기 산화물 반도체막(441), 상기 금속 산화막(407), 및 상기 산화물 반도체막(441)과 상기 금속 산화막(407) 사이의 상기 계면 중 적어도 하나에 도입되고 그 후에, 열 처리가 수행되고; 따라서, 상기 산화물 반도체막(441), 상기 금속 산화막(407), 또는 상기 산화물 반도체막(441)과 상기 금속 산화막(407) 사이의 상기 계면에 존재하는 댕글링 본드들(dangling bonds)은 산소에 의해 종단될 수 있다. 댕글링 본드들이 상기 산화물 반도체막(441), 상기 금속 산화막(407), 또는 상기 산화물 반도체막(441)과 상기 금속 산화막(407) 사이의 상기 계면에 존재할 때, 수소가 확산되고 결합들이 형성될 수 있다; 그러나, 상기 결합들의 형성은 산소에 의해 상기 댕글링 본드들의 종단에 의해 방지될 수 있다.

[0100] 상기 산소의 도입에 의해, 상기 산화물 반도체에 포함된 금속과 수소 사이의 결합 또는 상기 금속과 수산기 사이의 결합이 절단되고, 상기 수소 또는 상기 수산기는 물을 생성하기 위해 산소와 반응한다. 결과적으로, 불순물인 수소 또는 수산기가 상기 열 처리에 의해 물로서 용이하게 제거될 수 있다.

[0101] 이러한 방식으로, 결합들의 형성이 방지될 수 있고, 상기 산화물 반도체막은 탈수화 또는 탈수소화될 수 있고, 산화물 반도체막으로부터 수소, 습기, 수산기, 또는 수소화물과 같은 불순물들이 상기 산소 도입 및 상기 열 처리에 의해 제거될 수 있다.

[0102] 또한, 상기 산화물 반도체막 및 산소를 함유한 상기 금속 산화막(407)은 서로 접한 상태로 열 처리를 받고; 따라서, 상기 산화물 반도체의 주성분들 중 하나이고 불순물들을 제거하는 단계에서 감소되는 산소가, 산소를 함유한 상기 금속 산화막(407)에서 상기 산화물 반도체막으로 공급될 수 있다. 따라서, 상기 산화물 반도체막의 전하 포획 중심이 저감될 수 있다. 상기 단계들을 통해, 고순도화되고 전기적으로 I형(진성)으로 되는 상기 산화물 반도체막(403)이 획득될 수 있다. 또한, 불순물들이 이 열 처리에 의해 동시에 상기 금속 산화막(407)으로부터 제거되고, 상기 금속 산화막(407)이 고순도화될 수 있다.

[0103] 상기 고순도화된 산화물 반도체막(403)은 도너로부터 도출되는 극히 적은(0에 근접) 캐리어들을 포함한다. 상기 산화물 반도체막(403)의 캐리어 농도는 $1 \times 10^{14}/\text{cm}^3$ 미만, 바람직하게 $1 \times 10^{12}/\text{cm}^3$ 미만, 더욱 바람직하게 $1 \times 10^{11}/\text{cm}^3$ 미만이다.

[0104] 상기 금속 산화막(407)을 통해 산소를 첨가함으로써 상기 산화물 반도체막(441)과 상기 금속 산화막(407) 사이의 상기 계면 근방의 원자의 배치에 왜곡이 발생된다. 그 후, 상기 산화물 반도체막(403)과 상기 금속 산화막(407) 사이의 상기 계면 근방의 상기 원자들은 상기 열 처리에 의해 재배치된다. 이때, 상기 산화물 반도체막(403)과 상기 금속 산화막(407)의 원자들이 서로 결합되어, 상기 산화물 반도체막(403)의 전기 전도성 및 상기 금속 산화막(407)의 전기 전도성과 같은 상기 물리적 속성값의 차가 감소될 수 있고, 상기 산화물 반도체막의 상기 백 채널측 상의 대전이 방지될 수 있다. 결과적으로, 상기 문턱 전압과 같은 상기 산화물 반도체막의 상기 전기적 특성들의 변동이 억제될 수 있고, 그에 의해 상기 트랜지스터의 신뢰성이 개선될 수 있다.

[0105] 상기 공정들을 통해, 상기 트랜지스터(410)가 형성된다(도 1e 참조). 상기 트랜지스터(410)는 수소, 습기, 수산기, 또는 수소화물(또한 수소 화합물이라고 칭해짐)과 같은 불순물들이 의도적으로 제거되고 고순도화되는 상기 산화물 반도체막(403)을 포함하는 트랜지스터이다. 결과적으로, 상기 트랜지스터(410)의 상기 전기적 특성들의 변동이 억제되고 상기 트랜지스터(410)가 전기적으로 안정하다.

[0106] 상기 산소 도입 후에 수행되는 상기 열 처리는 상기 절연막(409)의 형성 전에 수행될 수 있음을 유념한다. 이 경우, 상기 절연막(409)은 상기 열 처리 후에 상기 금속 산화막(407) 위에 형성된다.

[0107] 상기 열 처리 외에도 다른 열 처리가 수행될 수 있다. 예를 들면, 열 처리(제 1 열 처리)는 상기 산화물 반도체막(441)이 형성된 후에 수행될 수 있고, 열 처리(제 2 열 처리)는 상기 금속 산화막(407)이 형성된 후에 부가적으로 수행될 수 있다. 이 경우, 상기 제 1 열 처리는 예를 들면, 불활성 가스 분위기에서 가열이 수행되고, 산소 분위기에서(적어도 산소를 함유한 분위기에서) 냉각이 수행되는 처리일 수 있다. 이러한 제 1 열 처리가 이용될 때, 상기 산화물 반도체막에 대해 탈수화 및 산소의 공급이 수행되는 것이 양호할 수 있다.

[0108] 도 1e의 단계 후에, 열 처리가 부가로 수행될 수 있다. 예를 들면, 열 처리는 1시간 이상 30시간 이하 동안 대기 중에서 100°C 이상 200°C 이하로 수행될 수 있다. 이 열 처리는 고정된 가열 온도로 수행될 수 있다. 대안적으로, 상기 가열 온도의 다음의 변화가 복수 회 반복적으로 행해질 수 있다: 상기 가열 온도는 실온에서 100°C

내지 200°C의 온도로 증가된 후에 다시 실온으로 감소된다.

[0109] 상기 산화물 반도체막(403)을 포함하는 상기 트랜지스터(410)의 전계 효과 이동도가 비교적 높아질 수 있어서, 고속 동작이 가능하다. 결과적으로, 상기 트랜지스터가 화소부에서 이용될 때, 고품질 화상들이 제공될 수 있다. 또한, 고순도화된 산화물 반도체막을 포함하는 상기 트랜지스터들을 포함하는 구동 회로부 및 화소부가 일 기관 위에 형성될 수 있고; 따라서, 상기 반도체 장치의 성분들의 수가 저감될 수 있다.

[0110] 상기 금속 산화막(407)을 구비한 상기 트랜지스터(410)에서, 상기 산화물 반도체막(403)의 상기 백 채널측 상의 기생 채널의 발생이 방지될 수 있다. 또한, 상기 트랜지스터(410)의 상기 산화물 반도체막(403)의 상기 백 채널측 상의 기생 채널의 상기 발생의 방지에 의해, 문턱 전압의 변동이 억제될 수 있고, 그에 의해 상기 트랜지스터의 신뢰성이 개선될 수 있다.

[0111] 도 1e에 도시된 상기 트랜지스터(410)에서, 2개의 유전체 층들, 상기 산화물 반도체막(403) 및 상기 금속 산화막(407)이 서로 접하여 제공된다. 2개의 상이한 유전체층들이 적층되는 경우에, 상기 적층된 2개의 층들은 제 1 층(상기 트랜지스터(410)의 상기 산화물 반도체막(403))의 유전률, 전기 전도성, 및 두께가 각각 ε_1 , σ_1 , 및 d_1 로 설정되고, 제 2 층(상기 트랜지스터(410)의 상기 금속 산화막(407))의 유전률, 전기 전도성, 및 두께가 각각 ε_2 , σ_2 , 및 d_2 로 설정될 때 도 9a의 모델도에서와 같이 표현될 수 있다. 도 9a에서, S는 면적을 표현함을 유념한다. 도 9a의 모델도는 도 9b의 등가 회로로 대체될 수 있다. 도면에서 C_1 , G_1 , C_2 , 및 G_2 는 상기 제 1 층의 용량값, 상기 제 1 층의 저항값, 상기 제 2 층의 용량값, 및 상기 제 2 층의 저항값을 각각 표현한다. 여기서, 전압 V가 상기 2개의 층들에 인가되는 경우에, 다음의 [수학식 1]에 의해 표현된 전하 Q는 t초 후에 상기 2개의 층들 사이의 상기 계면에서 축적되는 것으로 간주된다.

수학식 1

$$Q = \frac{C_2 G_1 - C_1 G_2}{G_1 + G_2} V \times \left\{ 1 - \exp \left(- \frac{G_1 + G_2}{C_1 + C_2} t \right) \right\}$$

[0112] 도 1e에 도시된 상기 트랜지스터(410)에서, 상기 전하 Q가 축적되는 상기 계면은 상기 산화물 반도체막(403)의 상기 백 채널측에 대응한다. 상기 백 채널측 상의 상기 계면에 축적된 상기 전하 Q는 상기 금속 산화막(407)의 상기 유전률, 상기 전기 전도성, 또는 상기 두께를 적합하게 설정함으로써 저감될 수 있다.

[0114] 여기서, [수학식 1]은 [수학식 2] 및 [수학식 3]으로 변형된다.

수학식 2

$$Q = \left(1 - \frac{\tau_1}{\tau_2} \right) C_2 V_2 \times \left\{ 1 - \exp \left(- \frac{t}{\tau_i} \right) \right\}$$

수학식 3

$$V_2 = \frac{G_1}{G_1 + G_2} V$$

$$(C_1 = \frac{\varepsilon_1}{d_1} S, \quad C_2 = \frac{\varepsilon_2}{d_2} S, \quad G_1 = \frac{\sigma_1}{d_1} S, \quad G_2 = \frac{\sigma_2}{d_2} S, \quad \tau_1 = \frac{\varepsilon_1}{\sigma_1}, \quad \tau_2 = \frac{\varepsilon_2}{\sigma_2},$$

$$\tau_i = \frac{C_1 + C_2}{G_1 + G_2} \text{ 임에 유념함}$$

[0118] [수학식 2] 및 [수학식 3]으로부터, 상기 전하 Q를 감소시키기 위해 4개의 조건들 (A) 내지 (D)가 상정된다.

[0119] 조건 (A): τ_i 은 극히 크다.

- [0120] 조건 (B): V_2 는 영에 근접하고, 즉, G_2 는 G_1 에 비해 훨씬 크다.
- [0121] 조건 (C): C_2 는 영에 근접한다.
- [0122] 조건 (D): τ_1 은 τ_2 에 근접한다.
- [0123] 상기 조건 (A) 하에서 τ_i 를 극히 크게 만들기 위해, $\tau_i = \{C_1 + C_2\}/\{G_1 + G_2\}$ 로 인해, $\{C_1 + C_2\}$ 는 $\{G_1 + G_2\}$ 보다 극히 크게 만들어질 수 있다. C_1 및 G_1 이 상기 산화물 반도체막(403)의 파라미터들이기 때문에, C_2 는 상기 금속 산화막(407)에 의해 상기 전하 Q 를 감소시키기 위해 증가되어야 한다. 그러나, $C_2 = \varepsilon_2 S/d_2$ 이기 때문에 C_2 가 ε_2 에 의해 증가될 때, Q 는 [수학식 2]에 따라 커지게 되어, 모순이 존재한다. 즉, 상기 전하 Q 는 τ_i 에 의해 조정될 수 없다.
- [0124] 상기 조건 (B) 하에서 V_2 를 영에 근접하게 만들기 위해, $G_2 \gg G_1$ 은 [수학식 3]으로부터 만족될 수 있다. G_1 이 상기 산화물 반도체막(403)의 파라미터이기 때문에, G_2 는 상기 금속 산화막(407)에 의해 상기 전하 Q 를 감소시키기 위해 증가되어야 한다. 구체적으로 말하면, d_2 가 감소되거나 또는 $G_2 = \sigma_2 S/d_2$ 이기 때문에 σ_2 가 큰 재료가 선택된다. 그러나, d_2 가 감소될 때, $C_2 = \varepsilon_2 S/d_2$ 에서 C_2 가 증가되어, 상기 조건 (A)의 경우에서와 같이 Q 가 증가되고, d_2 의 감소는 이용될 수 없다. 또한, σ_2 가 클 때, 상기 금속 산화막(407)의 상기 전기 전도성은 상기 산화물 반도체막(403)의 전기 전도성보다 높고, 이것은 누설 전류 및 단락 회로의 높은 발생 가능성을 유발하고; 따라서, σ_2 가 큰 재료가 이용될 수 없다.
- [0125] 상기 조건 (C) 하에서 C_2 를 극히 작게 만들기 위해, $C_2 = \varepsilon_2 S/d_2$ 로부터, d_2 가 증가되거나 ε_2 가 작은 재료가 선택된다.
- [0126] 상기 조건 (D) 하에서 τ_1 을 τ_2 에 근접하게 만들기 위해, $\tau_1 = \varepsilon_1/\sigma_1$ 및 $\tau_2 = \varepsilon_2/\sigma_2$ 이기 때문에, $\varepsilon_1/\sigma_1 \approx \varepsilon_2/\sigma_2$ 를 만족하는 막이 선택될 수 있다. 이것은 $C_1/G_1 \approx C_2/G_2$ 와 등가이다.
- [0127] 결과적으로, 효율적으로 상기 전하 Q 의 축적을 방지하기 위해, 상기 금속 산화막(407)의 두께(d_2)가 증가되거나 유전률(ε_2)이 작은 재료, 바람직하게 유전률이 상기 산화물 반도체막(403)의 유전률보다 작은 재료(예를 들면, 유전률 ε 이 8 이상 20 이하인 재료)가 상기 금속 산화막(407)의 재료로서 선택되는 것이 바람직하다. 대안적으로, $\varepsilon_1/\sigma_1 \approx \varepsilon_2/\sigma_2$ (ε_1 은 상기 산화물 반도체의 상기 유전률이고 σ_1 은 상기 산화물 반도체의 상기 전도성임)를 만족하도록, 그 물리적인 속성값이 상기 산화물 반도체막의 물리적인 속성값에 근접한 재료가 상기 금속 산화막의 재료로서 선택되는 것이 바람직하다.
- [0128] 상술된 바와 같이, 산화물 반도체를 포함하고 안정한 전기적 특성을 가진 반도체 장치가 제공될 수 있다. 따라서, 높은 신뢰성을 가진 반도체 장치가 제공될 수 있다.
- [0129] 이 실시예에 기술된 구성들, 방법들 등을 다른 실시예들에 기술된 구성들, 방법들 등 중 어느 것과 적합하게 조합될 수 있다.
- [0130] (실시예 2)
- [0131] 이 실시예에서, 반도체 장치를 제작하는 방법의 다른 실시예가 기술될 것이다. 상기 실시예의 부분과 동일한 부분 또는 유사한 기능을 가진 부분은 상기 실시예에서와 같이 형성될 수 있고, 상기 실시예에서의 단계와 동일한 단계 또는 유사한 단계가 상기 실시예에서와 같이 수행될 수 있고, 따라서 반복 기술이 생략된다. 또한, 동일한 부분의 상세한 기술은 반복되지 않는다.
- [0132] 이 실시예에서, 실시예 1의 상기 트랜지스터(410)를 제작하는 방법에서, 상기 산화물 반도체막과 접하여 상기 금속 산화막(407)을 형성하기 전에 상기 산화물 반도체막에 대한 열 처리를 수행하는 예가 기술될 것이다.
- [0133] 이 열 처리는 상기 산화물 반도체막의 형성 후 및 상기 금속 산화막(407)의 형성 전에 상기 열 처리가 수행되는 한, 섬형상 산화물 반도체막으로 가공되기 전에 상기 산화물 반도체막에 대해 수행될 수 있고, 상기 열 처리는 상기 소스 전극(405a) 및 상기 드레인 전극(405b)의 형성 전 또는 상기 소스 전극(405a) 및 상기 드레인 전극(405b)의 형성 후에 수행될 수 있다.

- [0134] 상기 열 처리는 250°C 이상 650°C 이하, 바람직하게 450°C 이상 600°C 이하의 온도로 수행된다. 예를 들면, 상기 기판은 열 처리 장치들 중 하나인 전기로에 도입되고, 질소 분위기에서 1시간 동안 450°C로 상기 산화물 반도체막에 대해 상기 열 처리가 수행된다. 상기 열 처리 후, 상기 금속 산화막은 수분 또는 수소가 상기 산화물 반도체막에 혼입하는 것이 방지될 수 있도록 상기 기판을 대기에 노출하지 않고 형성되는 것이 바람직하다.
- [0135] 또한, 상기 열 처리 장치는 전기로에 제한되지 않고, 저항 발열체와 같은 발열체로부터 열전도 또는 열복사에 의해 피처리물을 가열하기 위한 장치가 이용될 수 있다. 예를 들면, GRTA 장치 또는 LRTA 장치와 같은 RTA 장치가 이용될 수 있다. GRTA 장치가 상기 열 처리 장치로서 이용되는 경우, 열 처리 시간이 짧기 때문에 상기 기판은 650°C 내지 700°C의 고온으로 가열된 불활성 가스로 가열될 수 있음을 유념한다.
- [0136] 상기 열 처리는 질소, 산소, 초건조 공기(수분 함유량이 20ppm 이하, 바람직하게 1ppm 이하, 더욱 바람직하게 10ppb 이하인 공기), 또는 희가스(아르곤, 헬륨 등)의 분위기에서 수행될 수 있다. 질소, 산소, 초건조 공기, 또는 희가스의 분위기에 수분, 수소 등이 함유되지 않는 것이 바람직함을 유념한다. 대안적으로, 상기 열 처리 장치에 도입되는 질소, 산소, 또는 희가스는 6N(99.9999%) 이상, 바람직하게 7N(99.99999%) 이상(즉, 상기 불순물 농도는 1ppm 이하, 바람직하게 0.1ppm 이하)의 순도를 가진다.
- [0137] 이 열 처리로, 상기 산화물 반도체막의 습기 또는 수소와 같은 불순물들이 저감될 수 있다.
- [0138] 또한, 상기 금속 산화막은 상기 산화물 반도체막 위에 형성되고, 산화물 절연층인 상기 금속 산화막을 통해 상기 산화물 반도체막에 산소가 도입되어, 상기 산화물 반도체에 포함된 금속과 수소 사이의 결합 또는 상기 금속과 수산기 사이의 결합이 절단되고, 상기 수소 또는 상기 수산기는 물을 생성하기 위해 산소와 반응한다. 상기 산소의 도입 후, 절연층이 형성되고 열 처리가 부가로 수행되고, 그에 의해 확고하게 남아있는 수소 또는 수산기와 같은 불순물들이 물로서 용이하게 제거될 수 있다.
- [0139] 산소를 함유하는 상기 금속 산화막 및 상기 산화물 반도체막은 서로 접한 상태에서 상기 열 처리를 받고; 따라서, 상기 산화물 반도체의 주성분들 중 하나이고 불순물들을 제거하는 단계에서 감소되는 산소가, 산소를 함유하는 상기 금속 산화막에서 상기 산화물 반도체막으로 공급될 수 있다.
- [0140] 따라서, 상기 산화물 반도체막이 상기 금속 산화막이 형성되기 전의 상기 열 처리 및 상기 금속 산화막이 형성되고, 산소가 도입된 후의 열처리를 받을 때, 습기 또는 수소와 같은 불순물들이 부가로 제거된 I형(진성) 산화물 반도체막 또는 실질적으로 I형인 산화물 반도체막이, 획득될 수 있다.
- [0141] 따라서, 상기 고순도화된 산화물 반도체막을 포함하는 상기 트랜지스터는 제어된 전기적 특성들의 변동을 갖고, 전기적으로 안정하다.
- [0142] 대전 방지 기능을 가진 상기 금속 산화막을 포함하는 상기 트랜지스터에서, 상기 산화물 반도체막의 상기 백 채널측 상의 기생 채널의 발생이 방지될 수 있다. 또한, 상기 트랜지스터에서의 상기 산화물 반도체막의 상기 백 채널측 상의 기생 채널의 상기 발생을 방지함으로써, 상기 문턱 전압의 변동이 억제될 수 있다.
- [0143] 상술된 바와 같이, 안정한 전기적 특성들을 가진, 산화물 반도체를 포함하는 반도체 장치가 제공될 수 있다. 따라서, 높은 신뢰성을 가진 반도체 장치가 제공될 수 있다.
- [0144] 이 실시예에 기술된 구성들, 방법들 등을 다른 실시예들에 기술된 구성들, 방법들 등 중 어느 것과 적합하게 조합될 수 있다.
- [0145] (실시예 3)
- [0146] 표시 기능을 가진 반도체 장치(또한 표시 장치라고 칭해짐)가 실시예 1 및 실시예 2에 예로 기술된 상기 트랜지스터를 이용하여 제작될 수 있다. 또한, 트랜지스터들을 포함하는 구동 회로들의 일부 또는 전부는 화소부가 형성된 기판 위에 형성될 수 있고, 그에 의해 시스템-온-패널이 획득될 수 있다.
- [0147] 도 2a에서, 셀재(4005)가 제 1 기판(4001) 위에 제공된 화소부(4002)를 둘러싸도록 제공되고, 상기 화소부(4002)는 제 2 기판(4006)을 이용함으로써 밀봉된다. 도 2a에서, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성되는 신호선 구동 회로(4003) 및 주사선 구동 회로(4004)가 상기 제 1 기판(4001) 위에 상기 셀재(4005)에 의해 둘러싸인 영역과 상이한 영역에 장착된다. 별도로 형성된 상기 신호선 구동 회로(4003)와 상기 주사선 구동 회로(4004) 및 상기 화소부(4002)에 다양한 신호들 및 전위들이 가요성 인쇄 기판들(FPCs)(4018a 및 4018b)로부터 공급된다.
- [0148] 도 2b 및 도 2c에서, 상기 셀재(4005)는 상기 제 1 기판(4001) 위에 제공된 상기 화소부(4002) 및 상기 주사선

구동 회로(4004)를 둘러싸도록 제공된다. 상기 제 2 기판(4006)은 상기 화소부(4002) 및 상기 주사선 구동 회로(4004) 위에 제공된다. 결과적으로, 상기 화소부(4002) 및 상기 주사선 구동 회로(4004)는 표시 소자와 함께, 상기 제 1 기판(4001), 상기 셀재(4005), 및 상기 제 2 기판(4006)에 의해 밀봉된다. 도 2b 및 도 2c에서, 별도로 준비된 기판 위에 단결정 반도체막 또는 다결정 반도체막을 이용하여 형성된 상기 신호선 구동 회로(4003)가 상기 제 1 기판(4001) 위에 상기 셀재(4005)에 의해 둘러싸인 영역과 상이한 영역에 장착된다. 도 2b 및 도 2c에서, 별도로 형성된 상기 신호선 구동 회로(4003), 상기 주사선 구동 회로(4004), 및 상기 화소부(4002)로 다양한 신호들 및 전위가 FPC(4018)로부터 공급된다.

[0149] 도 2b 및 도 2c가 상기 신호선 구동 회로(4003)가 별도로 형성되어 상기 제 1 기판(4001) 상에 장착되는 예를 각각 도시하지만, 본 발명은 이 구성에 제한되지 않는다. 상기 주사선 구동 회로가 별도로 형성된 다음 장착될 수 있거나, 상기 신호선 구동 회로의 일부 또는 상기 주사선 구동 회로의 일부만 별도로 형성된 다음 장착될 수 있다.

[0150] 별도로 형성된 구동 회로의 접속 방법은 특별히 제한되지 않고, 칩 온 글래스(COG) 방법, 와이어 본딩 방법, 테이프 자동 접합(TAB) 방법 등이 이용될 수 있음을 유념한다. 도 2a는 상기 신호선 구동 회로(4003) 및 상기 주사선 구동 회로(4004)가 COG 방법에 의해 장착되는 예를 도시한다. 도 2b는 상기 신호선 구동 회로(4003)가 COG 방법에 의해 장착되는 예를 도시한다. 도 2c는 상기 신호선 구동 회로(4003)가 TAB 방법에 의해 장착되는 예를 도시한다.

[0151] 또한, 상기 표시 장치는 상기 표시 소자가 밀봉되는 패널, 및 제어기를 포함하는 IC 등이 상기 패널 상에 장착된 모듈을 포함한다.

[0152] 이 명세서에서의 상기 표시 장치는 화상 표시 장치, 표시 장치, 또는 광원(조명 장치를 포함)을 의미함을 유념한다. 또한, 상기 표시 장치는 또한 다음의 모듈들을 그 범주에 포함한다: FPC, TAB 테이프, 또는 TCP와 같은 접속기가 부착된 모듈; 말단에 프린트 배선판이 제공된 TAB 테이프 또는 TCP를 구비한 모듈; 및 접속 회로(IC)가 COG 방법에 의해 표시 소자 상에 직접 장착된 모듈.

[0153] 또한, 상기 제 1 기판 위에 제공된 상기 화소부 및 상기 주사선 구동 회로는 실시예 1 또는 실시예 2에 예가 기술된 상기 트랜지스터가 적용될 수 있는, 복수의 트랜지스터들을 포함한다.

[0154] 상기 표시 장치에 제공된 표시 소자로서, 액정 소자(또한 액정 표시 소자라고 칭해짐) 또는 발광 소자(또한 발광 표시 소자라고 칭해짐)가 이용될 수 있다. 상기 발광 소자는, 그 범주에, 휙도가 전류 또는 전압에 의해 제어되는 소자를 포함하고, 구체적으로, 그 범주에, 무기 전계 발광(EL) 소자, 유기 EL 소자 등을 포함한다. 또한, 전자 잉크와 같이, 콘트라스트가 전기 효과에 의해 변화되는 표시 매체가, 이용될 수 있다.

[0155] 상기 반도체 장치의 실시예들이 도 3, 도 4, 및 도 5를 참조하여 기술될 것이다. 도 3, 도 4, 및 도 5는 도 2b의 선 M-N을 따른 단면도들에 대응한다.

[0156] 도 3, 도 4, 및 도 5에 도시된 바와 같이, 상기 반도체 장치는 접속 단자 전극(4015) 및 단자 전극(4016)을 포함하고, 상기 접속 단자 전극(4015) 및 상기 단자 전극(4016)은 이방성 도전막(4019)을 통해 FPC(4018)에 포함되는 단자에 전기적으로 접속된다.

[0157] 상기 접속 단자 전극(4015)은 제 1 전극층(4030)과 동일한 도전막을 이용하여 형성되고, 상기 단자 전극(4016)은 트랜지스터들(4010 및 4011)에 포함되는 소스 및 드레인 전극들과 동일한 도전막을 이용하여 형성된다.

[0158] 상기 제 1 기판(4001) 위에 제공되는 상기 화소부(4002) 및 상기 주사선 구동 회로(4004)가 복수의 트랜지스터들을 각각 포함한다. 도 3, 도 4, 및 도 5에는, 상기 화소부(4002)에 포함되는 상기 트랜지스터(4010) 및 상기 주사선 구동 회로(4004)에 포함되는 상기 트랜지스터(4011)가 예로서 도시된다. 도 3에는 절연막(4024) 및 대전 방지 기능을 가진 금속 산화막(4020)이 상기 트랜지스터들(4010 및 4011) 위에 제공된다. 도 4 및 도 5에서는, 절연층(4021)이 더 제공된다. 절연막(4023)은 기저막으로 기능하는 절연막임을 유념한다.

[0159] 이 실시예에서, 실시예 1 또는 실시예 2에 기술된 상기 트랜지스터는 상기 트랜지스터들(4010 및 4011)에 적용될 수 있다.

[0160] 상기 트랜지스터들(4010 및 4011)에서, 상기 산화물 반도체막은 고순도화되고 수소, 습기, 수산기, 또는 수소화물(또한 수소 화합물이라고 칭해짐)과 같은 불순물들이 의도적으로 제거된 산화물 반도체막이다. 이러한 산화물 반도체막은 상기 금속 산화막(4020)을 통해 산소를 도입하고 상기 금속 산화막(4020) 위에 적층된 상기 절연막(4024)을 형성한 후 열 처리를 수행함으로써 획득된다. 상기 산소의 도입에 의해, 상기 산화물 반도체에 포함된

금속과 수소 사이의 결합 또는 상기 금속과 수산기 사이의 결합이 절단되고, 상기 수소 또는 상기 수산기는 물을 생성하기 위해 산소와 반응하고; 이것은 불순물인, 수소 또는 수산기가 나중에 수행될 열 처리에 의해 물의 형태로 용이하게 제거될 수 있게 한다.

- [0161] 상기 산화물 반도체막 위에 적층된 상기 금속 산화막(4020)을 통해 상기 산화물 반도체막에 산소가 도입되어, 산소의 도입 심도(도입 영역)가 제어될 수 있고, 산소는 상기 산화물 반도체막에 효율적으로 도입될 수 있다.
- [0162] 상기 산화물 반도체막 및 산소를 함유한 상기 금속 산화막(4020)은 서로 접한 상태에서 상기 열 처리를 받고; 따라서, 상기 산화물 반도체의 주성분들 중 하나이고 불순물들을 제거하는 단계에서 감소되는 산소가, 산소를 함유한 상기 금속 산화막(4020)에서 상기 산화물 반도체막으로 공급될 수 있다. 따라서, 상기 산화물 반도체막은 전기적으로 I형(진성)이 되도록 더욱 고순도화된다.
- [0163] 결과적으로, 상기 고순도화된 산화물 반도체막을 각각 포함하는 상기 트랜지스터들(4010 및 4011)의 상기 전기적 특성들의 변동이 억제되고 상기 트랜지스터들(4010 및 4011)은 전기적으로 안정하다. 상술된 바와 같이, 높은 신뢰성을 가진 반도체 장치들이 도 3, 도 4, 및 도 5에 기술된 이 실시예의 상기 반도체 장치들로서 제공될 수 있다.
- [0164] 또한, 대전 방지 기능을 가진 상기 금속 산화막을 포함하는 상기 트랜지스터에서, 상기 산화물 반도체막의 상기 백 채널측 상의 기생 채널의 발생이 방지될 수 있다. 또한, 상기 트랜지스터에서의 상기 산화물 반도체막의 상기 백 채널측 상의 기생 채널의 상기 발생을 방지함으로써, 상기 문턱 전압의 변동이 억제될 수 있다.
- [0165] 또한, 이 실시예에서, 상기 구동 회로에 대해 상기 트랜지스터(4011)에서 상기 산화물 반도체막의 채널 형성 영역과 중첩하도록 상기 절연막(4024) 위에 도전층이 제공된다. 상기 산화물 반도체막의 상기 채널 형성 영역과 중첩하도록 상기 도전층을 제공함으로써, BT 시험 전 및 후 상기 트랜지스터(4011)의 상기 문턱 전압의 변동량이 더욱 감소될 수 있다. 상기 도전층의 전위는 상기 트랜지스터(4011)의 게이트 전극의 전위와 동일하거나 상이할 수 있다. 상기 도전층은 또한 제 2 게이트 전극으로서 기능할 수 있다. 상기 도전층의 전위는 GND, 0V, 또는 부동 상태일 수 있다.
- [0166] 또한, 상기 도전층은 외부 전계를 차단하는 기능을 가지고, 즉, 외부 전계가 내부(박막 트랜지스터를 포함하는 회로부)에 영향을 미치는 것을 방지하는(특히, 정전기를 차단하는) 기능을 가진다. 상기 도전층의 차단 기능은 정전기와 같은 외부 전계의 영향으로 인해 상기 트랜지스터의 상기 전기적 특성들의 변동을 방지할 수 있다.
- [0167] 상기 학소부(4002)에 포함된 상기 트랜지스터(4010)는 표시 패널을 형성하기 위해 표시 소자에 전기적으로 접속된다. 표시가 수행될 수 있는 한 다양한 표시 소자들이 상기 표시 소자로서 이용될 수 있다.
- [0168] 표시 소자로서 액정 소자를 이용한 액정 표시 장치의 예가 도 3에 도시됨을 유념한다. 도 3에서, 표시 소자인 액정 소자(4013)는 상기 제 1 전극층(4030), 제 2 전극층(4031), 및 액정층(4008)을 포함한다. 상기 액정층(4008)이 사이에 개재되도록 배향막들의 역할을 하는 절연막들(4032 및 4033)이 제공된다. 상기 제 2 전극층(4031)은 상기 제 2 기판(4006)측 상에 제공되고, 상기 제 1 전극층(4030) 및 상기 제 2 전극층(4031)이, 상기 액정층(4008)을 사이에 개재하여 적층된다.
- [0169] 절연막의 선택적인 에칭에 의해 참조 번호(4035)로 표시된 기둥형 스페이서가 획득되고 상기 액정층(4008)의 두께(셀 캡)를 제어하기 위해 제공된다. 대안적으로, 구형 스페이서가 이용될 수 있다.
- [0170] 액정 소자가 상기 표시 소자로서 이용되는 경우에, 서모트로픽 액정, 저분자 액정, 고분자 액정, 고분자 분산형 액정, 강유전성 액정, 반강유전성 액정 등이 이용될 수 있다. 이러한 액정 재료는 조건들에 의존하여 콜레스테릭 상, 스맥틱 상, 큐빅 상, 키랄 네마티ック 상, 등방상 등을 나타낸다.
- [0171] 대안적으로, 배향막이 불필요한 블루 상을 나타내는 액정이 이용될 수 있다. 블루 상은 액정 상들 중 하나이고, 이것은 콜렉스테릭 액정의 온도가 증가되면서 콜렉스테릭 상이 등방상으로 변하기 직전에 발생한다. 상기 블루 상이 협소한 온도 범위에만 나타나기 때문에, 5중량% 이상의 키랄 재료가 혼합된 액정 조성물이 상기 온도 범위를 개선하기 위해 상기 액정층에 이용된다. 블루 상을 나타내는 액정 및 키랄 재료를 포함하는 상기 액정 조성물은 1msec 이하의 짧은 응답 시간을 가지고, 배향 처리를 불필요하게 하는, 광학적 등방성을 가지고, 작은 시야각 의존성을 가진다. 또한, 배향막이 제공될 필요가 없고 따라서 러빙 처리(rubbing treatment)가 불필요하기 때문에, 러빙 처리로 유발된 정전기 방전 손상(electrostatic discharge damage)이 방지될 수 있고, 상기 액정 표시 장치의 결함들 및 손상이 상기 제작 공정에서 감소될 수 있다. 따라서, 상기 액정 표시 장치의 생산성이 증가될 수 있다. 산화물 반도체막을 포함하는 트랜지스터는 상기 트랜지스터의 상기 전기적 특성들이 정전기의

영향에 의해 상당히 변화할 수 있고 설계 범위로부터 이탈할 가능성을 가진다. 따라서, 산화물 반도체막을 포함하는 트랜지스터를 포함하는 액정 표시 장치에 대한 블루 색을 나타내는 액정 재료를 이용하는 것이 더욱 효과적이다.

[0172] 상기 액정 재료의 고유 저항률은 $1 \times 10^9 \Omega \cdot \text{cm}$ 이상, 바람직하게 $1 \times 10^{11} \Omega \cdot \text{cm}$ 이상, 더욱 바람직하게 $1 \times 10^{12} \Omega \cdot \text{cm}$ 이상이다. 이 명세서에서 상기 고유 저항률의 값은 20°C에서 측정된다.

[0173] 상기 액정 표시 장치에 형성된 저장 용량 소자의 크기는 전하가 미리 결정된 기간 동안 유지될 수 있도록 상기 화소부에 제공된 상기 트랜지스터의 누설 전류 등을 고려하여 설정된다. 상기 고순도화된 산화물 반도체막을 포함하는 상기 트랜지스터를 이용함으로써, 각각의 화소의 액정 용량의 1/3 이하, 바람직하게 1/5 이하인 용량을 가진 저장 용량 소자를 제공하는 것은 충분하다.

[0174] 상기 고순도화된 산화물 반도체막을 포함하는, 이 실시예에 이용된 상기 트랜지스터에서, 오프 상태의 전류(오프-상태 전류)가 작아질 수 있다. 따라서, 화상 신호와 같은 전기 신호가 더 긴 기간 동안 유지될 수 있고, 기록 간격이 온 상태에서 길게 설정될 수 있다. 따라서, 리프레시(refresh) 동작의 빈도가 감소될 수 있고, 이것은 소비 전력을 억제하는 효과를 유발한다.

[0175] 또한, 이 실시예에서 이용된 상기 고순도화된 산화물 반도체막을 포함하는 상기 트랜지스터는 비교적 높은 전계-효과 이동도를 가질 수 있고 따라서 고속으로 동작할 수 있다. 따라서, 액정 표시 장치의 화소부에서 상기 트랜지스터를 이용함으로써, 고품질 화상이 제공될 수 있다. 또한, 상기 트랜지스터를 포함하는 구동 회로부 및 화소부가 일 기판 위에 형성될 수 있고; 따라서, 상기 액정 표시 장치의 성분들의 수가 감소될 수 있다.

[0176] 상기 액정 표시 장치에 대해, 비틀린 네마티(TN) 모드, 평면 정렬 스위칭(IPS) 모드, 프린지 필드 스위칭(FFS) 모드, ASM(axially symmetric aligned micro-cell) 모드, OCB(optical compensated birefringence) 모드, 강유전성 액정(FLC) 모드, 반강유전성 액정(AFLC) 모드 등이 이용될 수 있다.

[0177] 수직 배향(VA) 모드를 이용한 투과형 액정 표시 장치와 같은 노멀리 블랙(normally black) 액정 표시 장치가 이용될 수 있다. 상기 수직 배향 모드는 액정 표시 패널의 액정 분자들의 배열을 제어하는 방법으로서, 액정 분자들은 전압이 인가되지 않을 때 패널 표면에 대해 수직 방향으로 정렬된다. 일부 예들은 수직 배향 모드로서 주어진다. 예를 들면, 멀티-도메인 수직 배향(MVA) 모드, PVA(patterned vertical alignment) 모드, ASV 모드 등이 주어질 수 있다. 또한, 화소가 일부 영역들(서브픽셀들)로 나누어지고 분자들이 각각의 영역들에서 상이한 방향들로 정렬되는, 소위 멀티도메인화(domain multiplication) 또는 멀티-도메인 설계라고 칭하는 방법을 이용하는 것이 가능하다.

[0178] 또한, 상기 표시 장치에서, 블랙 매트릭스(차광층), 편광 부재, 위상차 부재, 또는 반사 방지 부재와 같은 광학 부재(광학 기판) 등이 적합하게 제공된다. 예를 들면, 원편광이 편광 기판 및 위상차 기판을 이용하여 획득될 수 있다. 또한, 백라이트, 사이드라이트 등이 광원으로서 이용될 수 있다.

[0179] 또한, 복수의 발광 다이오드들(LED들)을 백라이트로서 이용하는 시간 분할 표시 방법(또한 필드-순차 구동 방법이라고 칭해짐)을 이용하는 것이 가능하다. 필드-순차 구동 방법을 이용함으로써, 컬러 필터를 이용하지 않고 컬러 표시가 수행될 수 있다.

[0180] 상기 화소부에서의 표시 방법으로서, 프로그래시브 방법, 인터레이스 방법 등이 이용될 수 있다. 또한, 컬러 표시할 때 화소에서 제어되는 색 요소들은 3색에 제한되지 않는다: R, G, 및 B(R, G, 및 B는 적색, 녹색, 및 청색에 각각 대응함). 예를 들면, R, G, B, 및 W(W는 백색에 대응함); 또는 R, G, B, 및 옐로우, 시안, 마젠타 등 중 하나 이상이 이용될 수 있다. 또한, 표시 영역들의 크기들은 색 요소들의 각각의 도트들 사이에 상이할 수 있다. 이 실시예는 컬러 표시를 위한 표시 장치에 대한 적용에 제한되는 것이 아니라 모노크롬 표시를 위한 표시 장치에도 또한 적용될 수 있다.

[0181] 대안적으로, 상기 표시 장치에 포함되는 상기 표시 소자로서, 전계 발광을 이용한 발광 소자가 이용될 수 있다. 전계 발광을 이용하는 발광 소자들은 발광 재료가 유기 화합물인지 또는 무기 화합물인지에 따라 분류된다. 일반적으로, 전자가 유기 EL 소자라고 칭해지고, 후자가 무기 EL 소자라고 칭해진다.

[0182] 유기 EL 소자에서, 발광 소자에의 전압의 인가에 의해, 전자들 및 정공들이 한 쌍의 전극들로부터 발광 유기 화합물을 함유하는 층으로 별도로 주입되고, 전류가 흐른다. 캐리어들(전자들 및 정공들)이 재결합되고, 따라서, 상기 발광 유기 화합물이 여기된다. 상기 발광 유기 화합물은 여기된 상태로부터 기저 상태로 돌아가고, 그에

의해 발광된다. 이러한 메커니즘으로 인해, 이 발광 소자는 전류-여기형 발광 소자라고 칭해진다.

[0183] 상기 무기 EL 소자들은 그들 소자 구성들에 따라 분산형 무기 EL 소자 및 박막형 무기 EL 소자로 분류된다. 분산형 무기 EL 소자는 발광 재료의 입자들이 바인더(binder)에서 분산되고, 그 발광 메커니즘이 도너 준위 및 억셉터 준위를 이용하는 도너-억셉터 재결합형 발광인 발광층을 가진다. 박막형 무기 EL 소자는 발광층이 유전체층들 사이에 개재되고, 유전체층들은 또한 전극층들 사이에 개재된 구조를 가지고, 그 발광 메커니즘은 금속 이온들의 내부-셀 전자 전이를 이용하는 국재형 발광(localized type light emission)이다. 발광 소자로서 유기 EL 소자의 예가 여기에 기술됨을 유념한다.

[0184] 상기 발광 소자로부터 방출된 광을 추출하기 위해, 한 쌍의 전극들 중 적어도 하나가 투명한 한 수용 가능하다. 기판 위에 트랜지스터 및 발광 소자가 형성된다. 상기 발광 소자는 발광이 상기 기판에 반대인 표면을 통해 추출되는 상면 방출 구조; 발광이 상기 기판측 상의 표면을 통해 추출되는 하면 방출 구조; 또는 발광이 상기 기판에 반대인 표면과 상기 기판측 상의 표면을 통해 추출되는 양면 방출 구조를 가질 수 있다. 이들 방출 구조들 중 어느 것을 가지는 발광 소자가 이용될 수 있다.

[0185] 도 4는 발광 소자가 표시 소자로서 이용되는 발광 장치의 예를 도시한다. 표시 소자인 발광 소자(4513)는 상기 화소부(4002)에 제공되는 상기 트랜지스터(4010)에 전기적으로 접속된다. 상기 발광 소자(4513)의 구조는 도 4에 도시된, 상기 제 1 전극층(4030), 전계 발광층(4511), 및 상기 제 2 전극층(4031)을 포함하는 적층 구조에 제한되지 않는다. 상기 발광 소자(4513)의 상기 구조는 상기 발광 소자(4513)로부터 광이 추출되는 방향 등에 의존하여 적합하게 변경될 수 있다.

[0186] 유기 절연 재료 또는 무기 절연 재료를 이용하여 격벽(4510)이 형성된다. 상기 격벽(4510)은 상기 제 1 전극층(4030) 위에 개구부를 가지도록 감광성 수지 재료를 이용하여 형성되어 상기 개구부의 측벽이 연속된 곡률을 가진 경사면으로 형성되는 것이 특히 바람직하다.

[0187] 상기 전계 발광층(4511)은 단층 또는 복수의 적층들로 형성될 수 있다.

[0188] 산소, 수소, 습기, 이산화탄소 등이 상기 발광 소자(4513)에 혼입되는 것을 방지하기 위해 보호막이 상기 제 2 전극층(4031) 및 상기 격벽(4510) 위에 형성될 수 있다. 상기 보호막으로서, 질화 실리콘막, 질화산화 실리콘막, DLC막 등이 형성될 수 있다. 또한, 상기 제 1 기판(4001), 상기 제 2 기판(4006), 및 상기 셀재(4005)로 형성된 공간에서, 충전재(4514)가 밀봉을 위해 제공된다. 상기 발광 장치는 기밀성이 높고 탈기성이 적은 피복 재료 또는 보호막(적층 필름 또는 자외선 경화 수지 필름과 같은)으로 패키징(밀봉)되어, 이러한 방식으로 외부 공기에 노출되지 않는 것이 바람직하다.

[0189] 상기 충전재(4514)로서, 질소 또는 아르곤과 같은 불활성 가스 외에도, 자외선 경화 수지 또는 열경화 수지가 이용될 수 있고, 폴리비닐 클로라이드(PVC), 아크릴, 폴리이미드, 에폭시 수지, 실리콘 수지, 폴리비닐 부티랄(PVB), 또는 에틸렌 비닐 아세테이트(EVA)가 이용될 수 있다. 예를 들면, 질소가 상기 충전재에 이용된다.

[0190] 또한, 필요시, 편광판, 원 편광판(타원 편광판을 포함), 위상차판($\lambda/4$ 판 또는 $\lambda/2$ 판), 또는 컬러 필터와 같은 광학 필름이 상기 발광 소자의 발광 표면 상에 적합하게 제공될 수 있다. 또한, 상기 편광판 또는 상기 원 편광판에는 반사 방지막이 제공될 수 있다. 예를 들면, 글레이어를 저감하기 위해 상기 표면 상의 요철에 의해 반사광이 확산될 수 있는 안티-글레이어 처리가 수행될 수 있다.

[0191] 또한, 전자 잉크가 구동되는 전자 페이퍼가 상기 표시 장치로서 제공될 수 있다. 상기 전자 페이퍼는 또한 전기 영동 표시 장치(전기영동 디스플레이)라고 칭해지고 일반 종이와 동일한 수준의 가독성을 가지고, 다른 표시 장치들보다 전력 소비가 적고, 얇고 경량인 형태를 가지도록 설정될 수 있는 이점이 있다.

[0192] 전기영동 표시 장치는 다양한 모드들을 가질 수 있다. 전기영동 표시 장치는 용매 또는 용질에 분산된 복수의 마이크로캡슐들을 포함하고, 각각의 마이크로캡슐들은 양전하를 가진 제 1 입자들 및 음전하를 가진 제 2 입자들을 포함한다. 상기 마이크로캡슐들에 전계를 인가함으로써, 상기 마이크로캡슐들의 상기 입자들은 서로 반대 방향들로 이동하고 한 측면 상에 모인 상기 입자들의 컬러만 표시된다. 상기 제 1 입자들 및 상기 제 2 입자들 각각은 안료를 포함하고 전계 없이 이동하지 않음을 유념한다. 또한, 상기 제 1 입자들 및 상기 제 2 입자들은 상이한 컬러들을 가진다(무색을 포함할 수 있다).

[0193] 따라서, 전기영동 표시 장치는 높은 유전률을 가진 물질이 높은 전계 영역으로 이동하는 소위 유전영동(dielectrophoretic) 효과를 활용하는 디스플레이이다.

[0194] 상기 마이크로캡슐들이 용매에서 분산된 용액은 전자 잉크라고 칭해진다. 이 전자 잉크는 유리, 플라스틱,

직물, 종이 등의 표면 상에 인쇄될 수 있다. 또한, 안료를 가지는 입자들 또는 컬러 필터의 이용에 의해, 컬러 표시도 또한 달성될 수 있다.

[0195] 상기 마이크로캡슐들의 상기 제 1 입자들 및 상기 제 2 입자들은 각각 도전 재료, 절연 재료, 반도체 재료, 자기 재료, 액정 재료, 강유전성 재료, 전계 발광 재료, 일렉트로크로믹(electrochromic) 재료, 및 자기영동 재료로부터 선택된 단일 재료로 형성될 수 있거나, 그것의 복합 재료로 이루어질 수 있음에 유념한다.

[0196] 상기 전자 페이퍼로서, 트위스팅 볼 표시 방법이 이용되는 표시 장치가 이용될 수 있다. 상기 트위스팅 볼 표시 방법은 흑색 및 백색으로 각각 채색된 구형 입자들이 표시 소자에 이용된 전극층들인 제 1 전극층과 제 2 전극 층 사이에 배치되고, 상기 구형 입자들의 방향을 제어하기 위해 상기 제 1 전극층과 상기 제 2 전극층 사이에 전위차가 생성되어, 표시가 수행되는 방법을 나타낸다.

[0197] 도 5는 반도체 장치의 일 실시예로서 액티브 매트릭스형 전자 페이퍼를 도시한다. 도 5의 상기 전자 페이퍼는 트위스팅 볼 표시 방법을 이용한 표시 장치의 예이다.

[0198] 상기 트랜지스터(4010)에 접속된 상기 제 1 전극층(4030)과 상기 제 2 기판(4006)에 제공된 상기 제 2 전극층(4031) 사이에, 각각이 흑색 영역(4615a), 백색 영역(4615b), 및 상기 흑색 영역(4615a)과 상기 백색 영역(4615b) 주위에 액체로 채워진 구멍(cavity)(4612)을 포함하는 구형 입자들(4613)이 제공된다. 상기 구형 입자들(4613) 주위의 공간은 수지와 같은 충전재(4614)로 채워진다. 상기 제 2 전극층(4031)은 공통 전극(대향 전극)에 대응한다. 상기 제 2 전극층(4031)은 공통 전위선에 전기적으로 접속된다.

[0199] 도 3, 도 4, 및 도 5에서, 상기 제 1 기판(4001) 및 상기 제 2 기판(4006)으로서, 유리기판들 외에도, 가요성 기판들, 예를 들면, 투광성 등을 가진 플라스틱 기판 등이 이용될 수 있다. 플라스틱으로서, 유리섬유 강화 플라스틱(FRP)판, 폴리 비닐 폴루오라이드(PVF) 필름, 폴리에스테르 필름, 또는 아크릴 수지 필름이 이용될 수 있다. 또한, 알루미늄 포일이 PVF 필름들 또는 폴리에스테르 필름들 사이에 개재되는 구조를 가진 시트가 이용될 수 있다.

[0200] 상기 절연막(4024)은 상기 트랜지스터들의 보호막으로서 기능한다.

[0201] 또한, 상기 금속 산화막(4020)은 상기 산화물 반도체막의 상기 백 채널측 상의 기생 채널의 발생을 방지하는 기능 뿐만 아니라 수소, 습기, 수산기, 또는 수소화물과 같은 불순물들을 제거하는 단계에서 감소되는 산소를 상기 산화물 반도체막에 공급하는 기능을 가진다.

[0202] 상기 금속 산화막(4020)은 스퍼터링법에 의해 형성된 산화 갈륨막을 이용하여 형성될 수 있다. 대안적으로, 상기 금속 산화막(4020)은 산화 갈륨에 인듐 또는 아연을 첨가함으로써 획득된 막일 수 있다; 예를 들면, 0.01원자% 내지 5원자%의 인듐 또는 아연을 함유한 산화 갈륨막이 이용될 수 있다. 인듐 또는 아연의 첨가에 의해, 상기 금속 산화막(4020)의 상기 전기 전도성이 개선될 수 있고, 그에 의해 전하들의 축적이 더욱 저감될 수 있다.

[0203] 상기 절연막(4024)은 스퍼터링법에 의해 질화 실리콘막, 질화산화 실리콘막, 산화 알루미늄막, 질화 알루미늄막, 산화질화 알루미늄막, 및 질화산화 알루미늄막 중 하나 이상을 이용한 단층 구조 또는 적층 구조로 형성될 수 있다.

[0204] 상기 절연층(4021)은 무기 절연 재료 또는 유기 절연 재료를 이용하여 형성될 수 있다. 아크릴 수지, 폴리아미드, 벤조사이클로부텐 수지, 폴리아미드, 또는 에폭시 수지와 같은 내열성 유기 절연 재료를 이용하여 형성된 상기 절연층(4021)은 평탄화 절연막으로서 이용되는 것이 바람직함을 유념한다. 이러한 유기 절연 재료들 외에, 저유전률 재료(low-k 재료), 실록산계 수지, 포스포실리케이트 글라스(PSG), 보로포스포실리케이트 글라스(BPSG) 등을 이용하는 것이 가능하다. 상기 절연층은 이를 재료들로 이루어진 복수의 절연막들을 적층함으로써 형성될 수 있다.

[0205] 상기 절연층(4021)의 형성 방법에 관한 특정 제한은 없고, 상기 절연층(4021)은, 상기 재료에 의존하여, 스퍼터링법, 스픬 코팅법, 디핑법, 스프레이 코팅, 액적 토출법(예를 들면, 잉크젯법, 스크린 인쇄, 또는 오프셋 인쇄), 롤 코팅, 커튼 코팅, 나이프 코팅 등에 의해 형성될 수 있다.

[0206] 상기 표시 장치는 광원 또는 표시 소자로부터의 광을 투과함으로써 화상을 표시한다. 따라서, 광이 투과되는 상기 화소부에 제공된 상기 절연막 및 상기 도전막과 같은 상기 박막들 및 상기 기판은 가시광 파장 영역에서 광에 대해 투광성을 가진다.

[0207] 상기 표시 소자에 전압을 인가하기 위한 상기 제 1 전극층(4030) 및 상기 제 2 전극층(4031)(이들 각각은 또한

화소 전극층, 공통 전극층, 대향 전극층 등이라고 칭해짐)은 투광성들 또는 광 반사성들을 가질 수 있고, 이것은 광이 추출되는 방향, 상기 전극층이 제공되는 위치, 상기 전극층의 패턴 구조 등에 의존한다.

[0208] 상기 제 1 전극층(4030) 및 상기 제 2 전극층(4031)에 대해, 산화 텉스텐을 함유한 산화 인듐, 산화 텉스텐을 함유하는 산화 인듐 아연, 산화 티타늄을 함유한 산화 인듐, 산화 티타늄을 함유한 산화 인듐 주석, 산화 인듐 주석, ITO, 산화 인듐 아연, 또는 산화 실리콘의 첨가된 산화 인듐 주석과 같은 투광성 도전 재료가, 이용될 수 있다.

[0209] 상기 제 1 전극층(4030) 및 상기 제 2 전극층(4031)은 텡스텐(W), 몰리브덴(Mo), 지르코늄(Zr), 하프늄(Hf), 바나듐(V), 니오븀(Nb), 탄탈(Ta), 크롬(Cr), 코발트(Co), 니켈(Ni), 티타늄(Ti), 백금(Pt), 알루미늄(Al), 구리(Cu), 및 은(Ag)과 같은 금속들; 이들 금속들의 합금들; 및 이들 금속들의 질화물들 중 하나 이상의 종류들로 형성될 수 있다.

[0210] 도전성 고분자(또한 도전성 폴리머라고 칭해짐)를 함유하는 도전성 조성물은 상기 제 1 전극층(4030) 및 상기 제 2 전극층(4031)에 이용될 수 있다. 상기 도전성 고분자로서, 소위 π -전자 공역(conjugated) 도전성 고분자가 이용될 수 있다. 예를 들면, 폴리아닐린 또는 그 유도체, 폴리피롤 또는 그 유도체, 폴리티오펜 또는 그 유도체, 아닐린, 피롤, 및 티오펜 중 둘 이상의 공중합체 또는 그 유도체 등이 주어질 수 있다.

[0211] 상기 트랜지스터가 정전기 등으로 인해 쉽게 파손되기 때문에, 상기 구동 회로를 보호하기 위한 보호 회로가 제공되는 것이 바람직하다. 상기 보호 회로는 비선형 소자를 이용하여 형성되는 것이 바람직하다.

[0212] 상술된 바와 같이 실시예 1 또는 실시예 2에 기술된 상기 트랜지스터들 중 어느 것을 이용하여, 상기 반도체 장치가 다양한 기능들을 가질 수 있다.

[0213] (실시예 4)

[0214] 대상의 데이터를 판독하기 위한 화상 센서 기능을 가진 반도체 장치가 실시예 1 또는 실시예 2에 예가 기술된 상기 트랜지스터를 이용하여 형성될 수 있다.

[0215] 화상 센서 기능을 가진 반도체 장치의 예가 도 6a에 도시된다. 도 6a는 포토 센서의 등가 회로이고 도 6b는 상기 포토 센서의 일부를 도시한 단면도이다.

[0216] 포토다이오드(602)의 하나의 전극은 포토다이오드 리셋 신호선(658)에 전기적으로 접속되고, 상기 포토다이오드(602)의 다른 하나의 전극은 트랜지스터(640)의 게이트에 전기적으로 접속된다. 상기 트랜지스터(640)의 소스 및 드레인 중 하나는 포토 센서 기준 신호선(672)에 전기적으로 접속되고, 상기 트랜지스터(640)의 상기 소스 및 상기 드레인 중 다른 하나는 트랜지스터(656)의 소스 및 드레인 중 하나에 전기적으로 접속된다. 상기 트랜지스터(656)의 게이트가 게이트 신호선(659)에 전기적으로 접속되고, 상기 트랜지스터(656)의 상기 소스 및 상기 드레인 중 다른 하나가 포토 센서 출력 신호선(671)에 전기적으로 접속된다.

[0217] 이 명세서에서의 회로도들에서, 산화물 반도체막을 포함하는 트랜지스터로서 식별될 수 있도록 산화물 반도체막을 포함하는 트랜지스터가 기호 "OS"에 의해 표시됨을 유념한다. 도 6a의 상기 트랜지스터(640) 및 상기 트랜지스터(656)는 산화물 반도체막을 각각 포함하는 트랜지스터들이다.

[0218] 도 6b는 상기 포토 센서의 상기 트랜지스터(640) 및 상기 포토다이오드(602)의 단면도이다. 센서로서 기능하는 상기 포토다이오드(602) 및 상기 트랜지스터(640)는 절연 표면을 가진 기판(601)(TFT 기판) 위에 제공된다. 기판(613)은 접착층(608)을 이용하여 상기 트랜지스터(640) 및 상기 포토다이오드(602) 위에 제공된다.

[0219] 대전 방지 기능을 가진 금속 산화막(631), 절연막(632), 충간 절연층(633), 및 충간 절연층(634)이 상기 트랜지스터(640) 위에 제공된다. 상기 포토다이오드(602)는 상기 충간 절연층(633) 위에 제공된다. 상기 포토다이오드(602)에서, 제 1 반도체층(606a), 제 2 반도체층(606b), 및 제 3 반도체층(606c)이 상기 충간 절연층(633) 위에 형성된 전극층(641)과 상기 충간 절연층(634) 위에 형성된 전극층(642) 사이의 충간 절연층(633) 위에 이 순서로 적층된다.

[0220] 상기 트랜지스터(640)에서, 상기 산화물 반도체막은 고순도화되고 수소, 습기, 수산기, 또는 수소화물(또한 수소 화합물이라고 칭해짐)과 같은 불순물들이 의도적으로 제거된 산화물 반도체막이다. 이러한 산화물 반도체막은 상기 산화물 반도체막 위에 적층된 상기 금속 산화막(631)을 통해 산소를 도입하고 상기 금속 산화막(631) 위에 상기 절연막(632)을 형성한 후 열 처리를 수행함으로써 획득된다. 상기 산소의 도입에 의해, 상기 산화물 반도체에 포함된 금속과 수소 사이의 결합 또는 상기 금속과 수산기 사이의 결합이 절단되고, 상기 수소 또는

상기 수산기는 물을 생성하기 위해 산소와 반응하고; 이것은 불순물인, 수소 또는 수산기가 나중에 수행될 열 처리에 의해 물의 형태로 용이하게 제거될 수 있게 한다.

[0221] 상기 산화물 반도체막 위에 적층된 상기 금속 산화막(631)을 통해 상기 산화물 반도체막에 산소가 도입되어, 산소의 도입 심도(도입 영역)가 제어될 수 있고, 산소는 상기 산화물 반도체막에 효율적으로 도입될 수 있다.

[0222] 상기 산화물 반도체막 및 산소를 함유한 상기 금속 산화막(631)은 서로 접한 상태에서 상기 열 처리를 받고; 따라서, 상기 산화물 반도체의 주성분들 중 하나이고 불순물들을 제거하는 단계에서 감소되는 산소가, 산소를 함유한 상기 금속 산화막(631)에서 상기 산화물 반도체막으로 공급될 수 있다. 따라서, 상기 산화물 반도체막은 전기적으로 I형(진성)이 되도록 더욱 고순도화된다.

[0223] 결과적으로, 상기 고순도화된 산화물 반도체막을 포함하는 상기 트랜지스터(640)의 상기 전기적 특성들의 변동이 억제되고, 상기 트랜지스터(640)는 전기적으로 안정하다. 상술된 바와 같이, 높은 신뢰성을 가진 반도체 장치가 이 실시예의 상기 반도체 장치로서 제공될 수 있다.

[0224] 상기 전극층(641)은 상기 충간 절연층(634)에 형성되는 도전층(643)에 전기적으로 접속되고, 상기 전극층(642)은 전극층(644)을 통해 게이트 전극(645)에 전기적으로 접속된다. 상기 게이트 전극(645)은 상기 트랜지스터(640)의 게이트 전극에 전기적으로 접속되고, 상기 포토다이오드(602)는 상기 트랜지스터(640)에 전기적으로 접속된다.

[0225] 여기서, 상기 제 1 반도체층(606a)으로서 p형 도전성을 가진 반도체층, 상기 제 2 반도체층(606b)으로서 고저항 반도체층(I형 반도체층), 및 상기 제 3 반도체층(606c)으로서 n형 도전성을 가진 반도체층이 적층되는 pin형 포토다이오드가 예로서 도시된다.

[0226] 상기 제 1 반도체층(606a)은 p형 반도체층이고 p형 도전성을 부여하는 불순물 원소를 함유하는 비정질 실리콘막을 이용하여 형성될 수 있다. 상기 제 1 반도체층(606a)은 13족에 속하는 불순물 원소(붕소(B)와 같은)를 함유한 반도체 소스 가스를 이용하여 플라즈마 CVD법에 의해 형성된다. 상기 반도체 소스 가스로서, 실란(SiH₄)이 이용될 수 있다. 대안적으로, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등이 이용될 수 있다. 또한 대안적으로, 불순물 원소를 함유하지 않은 비정질 실리콘막이 형성될 수 있고, 그 후에, 확산 방법 또는 이온 주입 방법을 이용하여 불순물 원소가 상기 비정질 실리콘막에 도입될 수 있다. 상기 불순물 원소를 확산시키기 위해 이온 주입 방법 등에 의해 상기 불순물 원소를 도입한 후에 가열 등이 행해질 수 있다. 이 경우, 상기 비정질 실리콘막을 형성하기 위한 방법으로서, LPCVD법, 기상 증착법, 스퍼터링법 등이 이용될 수 있다. 상기 제 1 반도체층(606a)은 10nm 이상 50nm 이하의 두께를 가지도록 형성되는 것이 바람직하다.

[0227] 상기 제 2 반도체층(606b)은 I형 반도체층(진성 반도체층)이고 비정질 실리콘막을 이용하여 형성된다. 상기 제 2 반도체층(606b)의 형성에 대해, 반도체 소스 가스를 이용하여 플라즈마 CVD법으로 비정질 실리콘막이 형성된다. 상기 반도체 소스 가스로서, 실란(SiH₄)이 이용될 수 있다. 대안적으로, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등이 이용될 수 있다. 상기 제 2 반도체층(606b)은 LPCVD법, 기상 증착법, 스퍼터링법 등에 의해 형성될 수 있다. 상기 제 2 반도체층(606b)은 200nm 이상 1000nm 이하의 두께를 가지도록 형성되는 것이 바람직하다.

[0228] 상기 제 3 반도체층(606c)은 n형 반도체층이고 n형 도전성을 부여하는 불순물 원소를 함유하는 비정질 실리콘막을 이용하여 형성된다. 상기 제 3 반도체층(606c)은 15족에 속하는 불순물 원소(인(P)과 같은)를 함유한 반도체 소스 가스를 이용하여 플라즈마 CVD법에 의해 형성된다. 상기 반도체 소스 가스로서, 실란(SiH₄)이 이용될 수 있다. 대안적으로, Si₂H₆, SiH₂Cl₂, SiHCl₃, SiCl₄, SiF₄ 등이 이용될 수 있다. 또한 대안적으로, 불순물 원소를 함유하지 않은 비정질 실리콘막이 형성될 수 있고, 그 후에, 확산 방법 또는 이온 주입 방법을 이용하여 불순물 원소가 상기 비정질 실리콘막에 도입될 수 있다. 상기 불순물 원소를 확산시키기 위해 이온 주입 방법 등에 의해 상기 불순물 원소를 도입한 후에 가열 등이 행해질 수 있다. 이 경우, 상기 비정질 실리콘막을 형성하기 위한 방법으로서, LPCVD법, 기상 증착법, 스퍼터링법 등이 이용될 수 있다. 상기 제 3 반도체층(606c)은 20nm 이상 200nm 이하의 두께를 가지도록 형성되는 것이 바람직하다.

[0229] 상기 제 1 반도체층(606a), 상기 제 2 반도체층(606b), 및 상기 제 3 반도체층(606c)은 반드시 비정질 반도체를 이용하여 형성될 필요가 없고, 이들은 다결정 반도체 또는 미결정 반도체(세미-어몰퍼스 반도체(semi-amorphous semiconductor: SAS))를 이용하여 형성될 수 있다.

[0230] 기브스의 자유 에너지(Gibbs free energy)를 고려하면, 미결정 반도체는 비정질 상태와 단결정 상태 사이의 중

간인 준안정 상태이다. 즉, 상기 미결정 반도체는 자유 에너지의 관점에서 안정한 제 3 상태를 가진 반도체이고 단거리 질서(short range order) 및 격자 왜곡을 가진다. 원주형 또는 침형 결정들이 기판 표면에 대해 법선 방향으로 성장한다. 미결정 반도체의 전형적인 예인, 미결정 실리콘의 라만 스펙트럼(Raman spectrum)은, 단결정 실리콘의 라만 스펙트럼의 피크를 표현하는, 520cm^{-1} 보다 저파수에 위치된다. 즉, 상기 미결정 실리콘의 상기 라만 스펙트럼의 상기 피크는 단결정 실리콘을 표현하는 520cm^{-1} 과 비정질 실리콘을 표현하는 480cm^{-1} 사이에 존재한다. 상기 반도체는 댱글링 본드를 종단하기 위해 적어도 1원자%의 수소 또는 할로겐을 함유한다. 또한, 미결정 실리콘은 격자 왜곡을 더욱 촉진하기 위해 헬륨, 아르곤, 크립톤, 또는 네온과 같은 희가스 원소를 함유하여, 안정성이 증가될 수 있고 양호한 미결정 반도체막이 획득될 수 있다.

[0231]

상기 미결정 반도체막은 수십 메가헤르츠 내지 수백 메가헤르츠의 주파수를 가진 고주파수 플라즈마 CVD법에 의해 또는 1GHz 이상의 주파수를 가진 마이크로파 플라즈마 CVD 장치를 이용하여 형성될 수 있다. 통상적으로, 상기 미결정 반도체막은 수소로 희석된, SiH_4 , Si_2H_6 , SiH_2Cl_2 , SiHCl_3 , SiCl_4 , 또는 SiF_4 와 같은 실리콘을 함유한 가스를 이용하여 형성될 수 있다. 또한, 수소 외에도 헬륨, 아르곤, 크립톤, 및 네온으로부터 선택된 희가스 원소들 중 하나 또는 복수 종류로 희석된 실리콘을 함유한 가스를 이용하여, 상기 미결정 반도체막이 형성될 수 있다. 그 경우, 실리콘을 함유한 상기 가스에 대한 수소의 유량비는 5 : 1 이상 200 : 1 이하, 바람직하게 50 : 1 이상 150 : 1 이하, 더욱 바람직하게 100 : 1이다. 또한, CH_4 또는 C_2H_6 과 같은 탄화물 가스, GeH_4 또는 GeF_4 와 같은 게르마늄을 함유한 가스, F_2 등이 실리콘을 함유한 상기 가스에 혼합될 수 있다.

[0232]

또한, 광전 효과에 의해 생성되는 정공들의 이동도가 전자들의 이동도보다 낮기 때문에, pin형 포토다이오드는 상기 p형 반도체층의 표면이 수광 표면으로서 이용될 때 더 양호한 특성들을 가진다. 여기서, 상기 pin형 포토다이오드가 위에 형성되는, 상기 기판(601)의 표면으로부터 상기 포토다이오드(602)에 의해 수신된 광(622)이 전기 신호들로 변환되는 예가, 기술된다. 또한, 상기 수광 표면 상의 상기 반도체층의 도전형과 반대인 도전형을 가진 상기 반도체층으로부터의 광은 교란 광이고; 따라서, 상기 수광 표면 상의 상기 반도체층의 도전형과 반대인 도전형을 가진 상기 반도체층 상의 전극층은 광 차단 도전막을 이용하여 형성되는 것이 바람직하다. 상기 n형 반도체층의 표면이 대안적으로 상기 수광 표면으로서 이용될 수 있음을 유념한다.

[0233]

상기 금속 산화막(631)은 스피터링법에 의해 형성되는 산화 갈륨막을 이용하여 형성될 수 있다. 또한, 상기 금속 산화막(631)은 인듐 또는 아연을 산화 갈륨에 첨가함으로써 획득된 막일 수 있다; 예를 들면, 0.01원자% 내지 5원자%에서 인듐 또는 아연을 함유한 산화 갈륨막이 이용될 수 있다. 인듐 또는 아연의 첨가에 의해, 상기 금속 산화막(631)의 상기 전기 전도성이 개선될 수 있고, 그에 의해 전하들의 축적이 더욱 저감될 수 있다.

[0234]

상기 절연막(632)은 산화 실리콘층, 산화질화 실리콘층, 산화 알루미늄층, 및 산화질화 알루미늄층과 같은 산화물 절연층들, 및 질화 실리콘층, 질화산화 실리콘층, 질화 알루미늄층, 및 질화산화 알루미늄층과 같은 질화물 절연층들 중 하나 이상을 이용하여 단층 또는 적층 구조로 형성될 수 있다.

[0235]

표면 거칠기의 저감을 위해, 평탄화 절연막으로서 기능하는 절연층이 상기 층간 절연층들(633 및 634)로서 이용되는 것이 바람직하다. 상기 층간 절연층들(633 및 634)은, 예를 들면, 폴리아미드, 아크릴 수지, 벤조사이클로부텐 수지, 폴리아미드, 또는 에폭시 수지와 같은 유기 절연 재료를 이용하여 형성될 수 있다. 이러한 유기 절연 재료들 외에, 저유전률 재료(low-k 재료), 실록산계 수지, 포스포실리케이트 글라스(PSG), 보로포스포실리케이트 글라스(BPSG) 등을 이용한 단층 또는 적층 구조가 이용될 수 있다.

[0236]

상기 절연막(632), 상기 층간 절연층(633), 및 상기 층간 절연층(634)은 상기 재료에 의존하여 스피터링법, 스펀 코팅법, 디핑법, 스프레이 코팅, 액적 토출법(예를 들면, 잉크젯법, 스크린 인쇄, 또는 오프셋 인쇄), 롤 코팅, 커튼 코팅, 나이프 코팅 등에 의한 절연 재료를 이용하여 형성될 수 있다.

[0237]

상기 포토다이오드(602)에 진입하는 상기 광(622)이 검출될 때, 검출될 대상에 관한 데이터가 판독될 수 있다. 백라이트와 같은 광원은 검출될 대상에 관한 데이터를 판독할 때 이용될 수 있음을 유념한다.

[0238]

실시예 1 또는 실시예 2에 예가 기술된 상기 트랜지스터는 상기 트랜지스터(640)로서 이용될 수 있다. 수소, 습기, 수산기, 또는 수소화물(또한 수소 화합물이라고 칭해짐)과 같은 불순물들을 의도적으로 제거함으로써 고순도화되는 상기 산화물 반도체막을 포함하는 상기 트랜지스터는 상기 전기적 특성들의 억제된 변동을 가지고 전기적으로 안정하다. 또한, 대전 방지 기능을 가진 상기 금속 산화막을 포함하는 상기 트랜지스터에서, 상기 산화물 반도체막의 상기 백 채널측 상의 기생 채널의 발생이 방지될 수 있다. 상기 트랜지스터에서의 상기 산화물 반도체막의 상기 백 채널측 상의 기생 채널의 상기 발생을 방지함으로써, 상기 문턱 전압의 변동이 억제될 수

있다. 따라서, 높은 신뢰성을 가진 반도체 장치가 제공될 수 있다.

[0239] 이 실시예는 다른 실시예들에 기술된 구성들과 적합하게 조합하여 구현될 수 있다.

[0240] (실시예 5)

[0241] 이 명세서에 개시된 상기 액정 표시 장치가 다양한 전자 기기들(게임기들을 포함)에 적용될 수 있다. 상기 전자 기기들의 예들은 텔레비전 세트(또한 텔레비전 또는 텔레비전 수신기라고 칭해짐), 컴퓨터 등의 모니터, 디지털 카메라 또는 디지털 비디오 카메라와 같은 카메라, 디지털 포토 프레임, 휴대 전화기(또한 휴대 전화 또는 휴대 전화 장치라고 칭해짐), 휴대용 게임기, 개인 휴대 단말기, 음성 재생 장치, 퍼진코 펀볼기와 같은 대형 게임기 등이다. 상기 실시예에 기술된 상기 액정 표시 장치를 각각 포함하는 전자 기기들의 예들이 기술될 것이다.

[0242] 도 7a는 하우징들(9630), 표시부(9631), 조작 키들(9632), 태양 전지(9633), 및 충방전 제어 회로(9634)를 포함할 수 있는 전자 서적(또한 e-book이라고 칭해짐)을 도시한다. 도 7a에 도시된 상기 전자 서적은 다양한 종류의 정보(예를 들면, 정치 화상, 동화상, 및 텍스트 화상)를 상기 표시부 상에 표시하는 기능, 달력, 날짜, 시간 등을 상기 표시부 상에 표시하는 기능, 상기 표시부 상에 표시된 상기 정보를 조작하거나 편집하는 기능, 다양한 종류의 소프트웨어(프로그램들)에 의한 처리를 제어하는 기능 등을 가질 수 있다. 도 7a에서, 상기 충방전 제어 회로(9634)는 예로서 배터리(9635) 및 DCDC 컨버터(이후, 컨버터로 약기함)(9636)를 구비한다. 실시예 1 내지 실시예 4 중 어느 것에 기술된 상기 반도체 장치가 상기 표시부(9631)에 적용될 수 있고, 그에 의해 매우 신뢰 가능한 전자 서적이 제공될 수 있다.

[0243] 반투과형 또는 반사형 액정 표시 장치가 도 7a에 도시된 구성에서 상기 표시부(9631)로서 이용되는 경우에, 상기 전자 서적은 비교적 밝은 환경에서 이용될 수 있다. 그 경우, 상기 태양 전지(9633)에 의한 발전 및 상기 배터리(9635)에 의한 충전이 효과적으로 수행될 수 있고, 이것은 바람직하다. 상기 태양 전지(9633)가 상기 하우징(9630)의 공간(표면 또는 후면)에 적합하게 제공될 수 있기 때문에, 상기 배터리(9635)가 효율적으로 충전될 수 있고, 이것은 바람직하다. 리튬 이온 전지가 상기 배터리(9635)로서 이용될 때, 소형화 등의 이점이 있다.

[0244] 도 7a에 도시된 상기 충방전 제어 회로(9634)의 구성 및 동작이 도 7b의 블록도를 참조하여 기술된다. 상기 태양 전지(9633), 상기 배터리(9635), 상기 컨버터(9636), 컨버터(9637), 스위치들 SW1 내지 SW3, 및 상기 표시부(9631)가 도 7b에 도시되고, 상기 배터리(9635), 상기 컨버터(9636), 상기 컨버터(9637), 및 상기 스위치들 SW1 내지 SW3은 상기 충방전 제어 회로(9634)에 대응한다.

[0245] 먼저, 외부광을 이용하여 상기 태양 전지(9633)에 의해 발전이 되는 경우의 동작예가 기술된다. 상기 태양 전지(9633)에 의한 발전의 전압이 상기 컨버터(9636)에 의해 승압 또는 강압되어 상기 배터리(9635)를 충전하기 위한 전압이 된다. 그 후에, 상기 태양 전지(9633)로부터의 전력이 상기 표시부(9631)의 동작에 이용될 때, 상기 스위치 SW1이 턴 온 되고 상기 전력의 전압이 상기 컨버터(9637)에 의해 승압 또는 강압되어 상기 표시부(9631)에 필요한 전압이 된다. 또한, 상기 표시부(9631) 상의 표시가 수행되지 않을 때, 상기 스위치 SW1은 턴 오프되고 상기 스위치 SW2는 턴 온 되어 상기 배터리(9635)의 충전이 수행될 수 있다.

[0246] 다음에, 외부광을 이용하여 상기 태양 전지(9633)에 의해 발전이 되지 않는 경우의 동작이 기술된다. 상기 스위치 SW3을 턴 온 함으로써 상기 배터리(9635)에 축전된 전력의 전압이 상기 컨버터(9637)에 의해 승압 또는 강압된다. 그 후에, 상기 배터리(9635)로부터의 전력은 상기 표시부(9631)의 동작에 이용된다.

[0247] 상기 태양 전지(9633)가 충전을 위한 수단의 예로서 기술되었지만, 상기 배터리(9635)의 충전은 다른 수단으로 수행될 수 있음을 유념한다. 또한, 상기 태양 전지(9633)와 충전을 위한 다른 수단의 조합이 이용될 수 있다.

[0248] 도 8a는 본체(3001), 하우징(3002), 표시부(3003), 키보드(3004) 등을 포함하는, 랩탑 개인용 컴퓨터를 도시한다. 실시예 1 내지 실시예 4 중 어느 것에 기술된 상기 반도체 장치가 상기 표시부(3003)에 적용되고, 그에 의해 매우 신뢰 가능한 랩탑 개인용 컴퓨터가 제공될 수 있다.

[0249] 도 8b는 본체(3021)에 표시부(3023), 외부 인터페이스(3025), 조작 버튼(3024) 등을 포함하는 개인 휴대 단말기(PDA)를 도시한다. 또한, 스타일러스(3022)가 조작을 위한 액세서리로서 포함된다. 실시예 1 내지 실시예 4 중 어느 것에 기술된 상기 반도체 장치가 상기 표시부(3023)에 적용되고, 그에 의해 매우 신뢰 가능한 개인 휴대 단말기(PDA)가 제공될 수 있다.

[0250] 도 8c는 전자 서적의 예를 도시한다. 예를 들면, 전자 서적(2700)은 하우징(2701) 및 하우징(2703)의, 2개의 하우징들을 포함한다. 상기 하우징(2701) 및 상기 하우징(2703)은 헌지(2711)와 결합되어 상기 전자 서적(2700)은 축으로서 상기 헌지(2711)로 개폐될 수 있다. 이러한 구성으로, 상기 전자 서적(2700)은 종이 서적과 같이 동작

할 수 있다.

[0251] 표시부(2705) 및 표시부(2707)가 상기 하우징(2701) 및 상기 하우징(2703)에 각각, 내장된다. 상기 표시부(2705) 및 상기 표시부(2707)는 하나의 화상 또는 상이한 화상들을 표시할 수 있다. 상기 화상들이 상이한 표시부들 상에 표시되는 구성에서, 예를 들면, 우측 표시부(도 8c에서 상기 표시부(2705))는 텍스트를 표시하고 좌측 표시부(도 8c에서 상기 표시부(2707))는 화상들을 표시할 수 있다. 실시예 1 내지 실시예 4 중 어느 것에 기술된 상기 반도체 장치가 상기 표시부(2705) 및 상기 표시부(2707)에 적용되고, 그에 의해 매우 신뢰 가능한 전자 서적이 제공될 수 있다.

[0252] 도 8c는 상기 하우징(2701)에 조작부 등이 구비된 예를 도시한다. 예를 들면, 상기 하우징(2701)에는 전원 스위치(2721), 조작 키들(2723), 스피커(2725) 등이 구비된다. 상기 조작 키(2723)들로, 페이지들이 넘겨진다. 키보드, 포인팅 장치 등이 상기 표시부가 제공된, 상기 하우징의 표면 상에 제공될 수 있음을 유념한다. 또한, 외부 접속 단자(이어폰 단자, USB 단자 등), 기록 매체 삽입부 등이 상기 하우징의 후면 또는 측면 상에 제공될 수 있다. 또한, 상기 전자 서적(2700)은 전자 사전의 기능을 가질 수 있다.

[0253] 상기 전자 서적(2700)은 무선으로 데이터를 송수신할 수 있는 구성을 가질 수 있다. 무선 통신을 통해, 전자 서적 서버로부터 원하는 서적 데이터 등이 구매되거나 다운로드될 수 있다.

[0254] 도 8d는 하우징(2800) 및 하우징(2801)의, 2개의 하우징들을 포함하는, 휴대 전화를 도시한다. 상기 하우징(2801)에는 표시 패널(2802), 스피커(2803), 마이크로폰(2804), 포인팅 장치(2806), 카메라 렌즈(2807), 외부 접속 단자(2808) 등이 구비된다. 또한, 상기 하우징(2800)은 상기 휴대 전화의 충전을 위한 태양 전지(2810), 외부 메모리 슬롯(2811) 등을 포함한다. 또한, 상기 하우징(2801)에 안테나가 내장된다. 실시예 1 내지 실시예 4 중 어느 것에 기술된 상기 반도체 장치가 상기 표시 패널(2802)에 적용되고, 그에 의해 매우 신뢰 가능한 휴대 전화가 제공될 수 있다.

[0255] 상기 표시 패널(2802)에는 터치 패널이 구비된다. 화상들로서 표시되는 복수의 조작 키들(2805)이 도 8d의 파선들에 의해 도시된다. 상기 태양 전지(2810)로부터 출력되는 전압이 각각의 회로에 대해 충분히 높게 승압하기 위한 승압 회로가 또한 포함됨을 유념한다.

[0256] 상기 표시 패널(2802)에서, 표시 방향은 사용 패턴에 따라 적합하게 변화할 수 있다. 또한, 상기 휴대 전화에는 상기 표시 패널(2802)과 동일한 표면 상에 상기 카메라 렌즈(2807)가 제공되고, 따라서 비디오 폰으로 이용될 수 있다. 상기 스피커(2803) 및 상기 마이크로폰(2804)은 음성 통화를 뿐만 아니라, 비디오 전화, 소리의 녹음 및 재생 등에 이용될 수 있다. 또한, 도 8d에 도시된 바와 같이 전개된 상태에서 상기 하우징(2800) 및 상기 하우징(2801)은 하나가 다른 하나 위에 겹치도록 슬라이딩될 수 있고; 따라서, 상기 휴대 전화가 소형화될 수 있고, 이것은 상기 휴대 전화를 휴대하기 적합하게 만든다.

[0257] 상기 외부 접속 단자(2808)는 AC 어댑터 및 USB 케이블과 같은 다양한 형태들의 케이블들에 접속될 수 있고, 충전 및 개인용 컴퓨터 등과의 데이터 통신이 가능하다. 또한, 상기 외부 메모리 슬롯(2811)에 기록 매체를 삽입함으로써 대량의 데이터가 저장 및 이동될 수 있다.

[0258] 또한, 상기 기능들 외에도, 적외선 통신 기능, 텔레비전 수신 기능 등이 제공될 수 있다.

[0259] 도 8e는 본체(3051), 표시부(A)(3057), 접안부(3053), 조작 스위치(3054), 표시부(B)(3055), 배터리(3056) 등을 포함하는 디지털 비디오 카메라를 도시한다. 실시예 1 내지 실시예 4 중 어느 것에 기술된 상기 반도체 장치가 상기 표시부(A)(3057) 및 상기 표시부(B)(3055)에 적용되고, 그에 의해 매우 신뢰 가능한 디지털 비디오 카메라가 제공될 수 있다.

[0260] 도 8f는 텔레비전 세트의 예를 도시한다. 텔레비전 세트(9600)에서, 표시부(9603)가 하우징(9601)에 내장된다. 상기 표시부(9603)는 화상들을 표시할 수 있다. 여기서, 상기 하우징(9601)은 스탠드(9605)에 의해 지지된다. 실시예 1 내지 실시예 4 중 어느 것에 기술된 상기 반도체 장치가 상기 표시부(9603)에 적용되고, 그에 의해 매우 신뢰 가능한 텔레비전 세트가 제공될 수 있다.

[0261] 상기 텔레비전 세트(9600)는 상기 하우징(9601)의 조작 스위치 또는 별도의 원격 제어기로 조작될 수 있다. 또한, 상기 원격 제어기에는 상기 원격 제어기로부터 출력되는 데이터를 표시하기 위한 표시부가 구비될 수 있다.

[0262] 상기 텔레비전 세트(9600)에는 수신기, 모뎀 등이 구비될 수 있음을 유념한다. 일반 텔레비전 방송은 상기 수신 기로, 수신될 수 있다. 또한, 상기 텔레비전 세트가 상기 모뎀을 통해 유선 또는 무선으로 통신 네트워크에 접속될 때, 일방향(송신기에서 수신기로) 또는 양방향(송신기와 수신기 사이 또는 수신기를 사이) 정보 통신이 수

행될 수 있다.

[0263] 이 실시예는 다른 실시예들에 기술된 구성들과 조합하여 적합하게 구현될 수 있다.

[0264] 이 출원은 2010년 3월 26일 일본 특허청에 출원된 일본 특허 출원 일련번호 제2010-072532호에 기초하고, 그 전체 내용들은 참조로서 본 명세서에 포함된다.

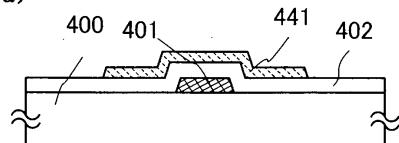
부호의 설명

[0265] 400: 기판, 401: 게이트 전극, 402: 게이트 절연막, 403: 산화물 반도체막, 405a: 소스 전극, 405b: 드레인 전극, 407: 금속 산화막, 409: 절연막, 410: 트랜지스터, 421: 산소, 441: 산화물 반도체막, 601: 기판, 602: 포토다이오드, 606a: 반도체층, 606b: 반도체층, 606c: 반도체층, 608: 접착층, 613: 기판, 631: 금속 산화막, 632: 절연막, 633: 층간 절연층, 634: 층간 절연층, 640: 트랜지스터, 641: 전극층, 642: 전극층, 643: 도전층, 645: 게이트 전극, 656: 트랜지스터, 658: 포토다이오드 리셋 신호선, 659: 게이트 신호선, 671: 포토센서 출력 신호선, 672: 포토 센서 기준 신호선, 2700: e-book, 2701: 하우징, 2703: 하우징, 2705: 표시부, 2707: 표시부, 2711: 흰지, 2721: 전원 스위치, 2723: 조작 키, 2725: 스피커, 2800: 하우징, 2801: 하우징, 2802: 표시 패널, 2803: 스피커, 2804: 마이크로폰, 2805: 조작 키, 2806: 포인팅 장치, 2807: 카메라 렌즈, 2808: 외부 접속 단자, 2810: 태양 전지, 2811: 외부 메모리 슬롯, 3001: 본체, 3002: 하우징, 3003: 표시부, 3004: 키보드, 3021: 본체, 3022: 스타일러스, 3023: 표시부, 3024: 조작 버튼, 3025: 외부 인터페이스, 3051: 본체, 3053: 접안부, 3054: 조작 스위치, 3055: 표시부 B, 3056: 배터리, 3057: 표시부 A, 4001: 기판, 4002: 화소부, 4003: 신호선 구동 회로, 4004: 주사선 구동 회로, 4005: 셀재, 4006: 기판, 4008: 액정층, 4010: 트랜지스터, 4011: 트랜지스터, 4013: 액정 소자, 4015: 접속 단자 전극, 4016: 단자 전극, 4018: FPC, 4019: 이방성 도전막, 4020: 금속 산화막, 4021: 절연층, 4023: 절연막, 4024: 절연막, 4030: 전극층, 4031: 전극층, 4032: 절연막, 4033: 절연막, 4510: 격벽, 4511: 전계 발광층, 4513: 발광 소자, 4514: 충전재, 4612: 구멍, 4613: 구형 입자, 4614: 충전재, 4615a: 흑색 영역, 4615b: 백색 영역, 9600: 텔레비전 세트, 9601: 하우징, 9603: 표시부, 9605: 스탠드, 9630: 하우징, 9631: 표시부, 9632: 조작 키, 9633: 태양 전지, 9634: 충방전 제어 회로, 9635: 배터리, 9636: 컨버터, 9637: 컨버터

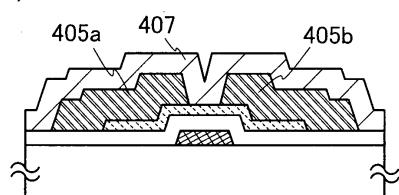
도면

도면1

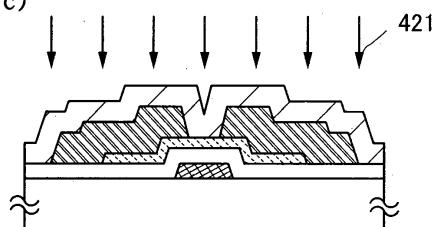
(a)



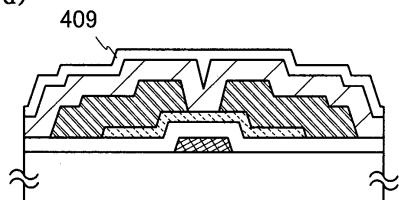
(b)



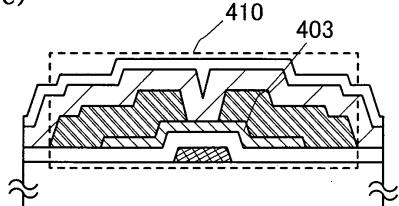
(c)



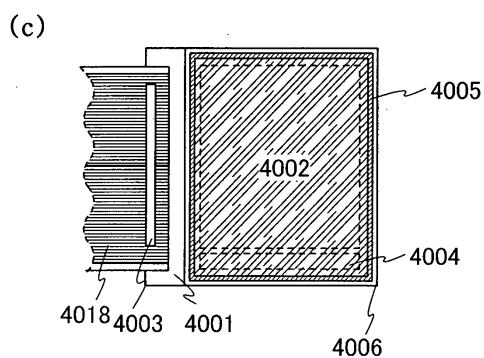
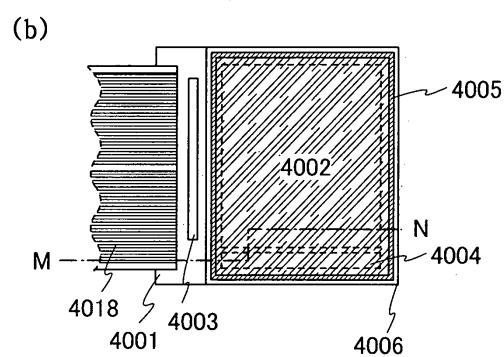
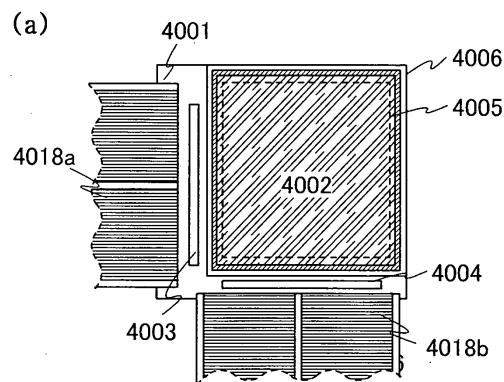
(d)



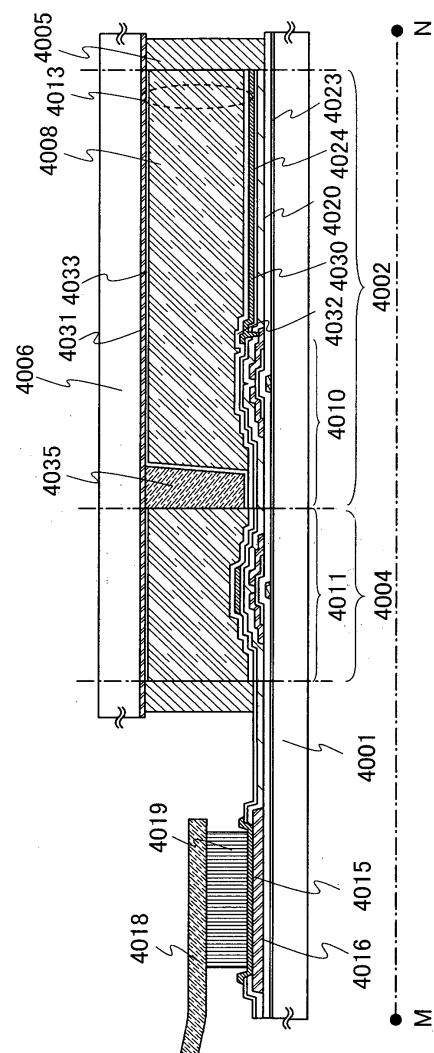
(e)



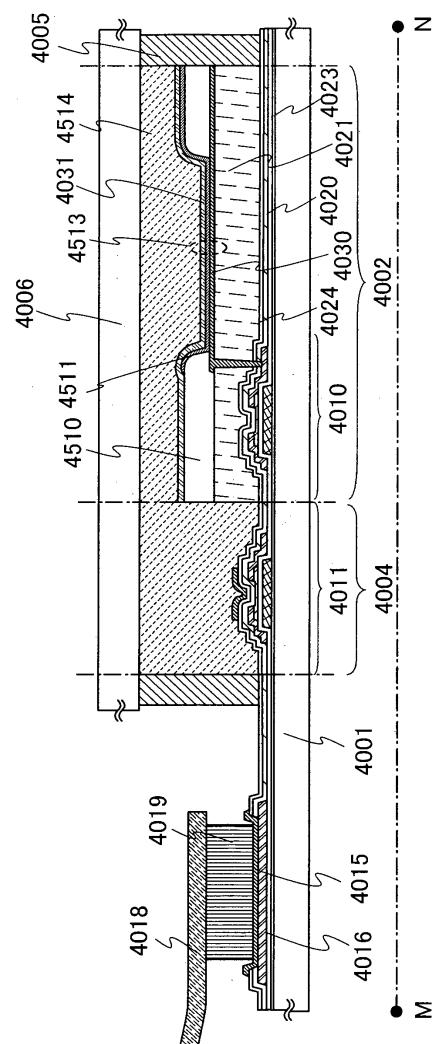
도면2



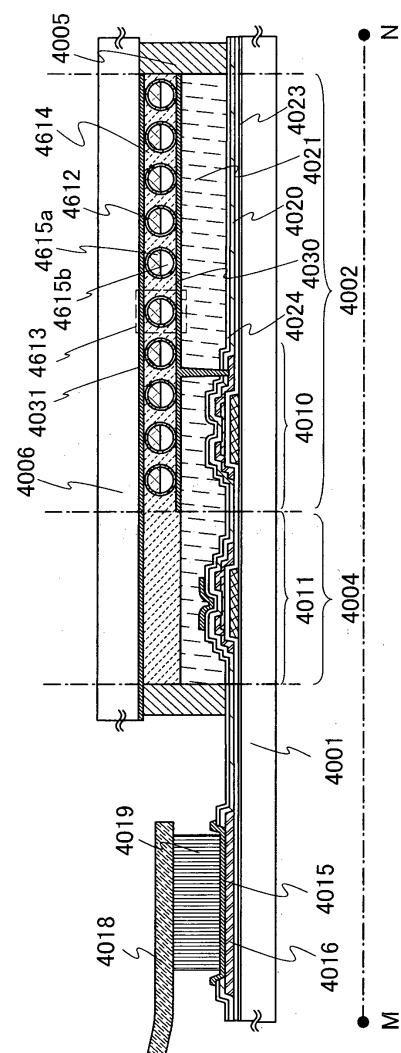
도면3



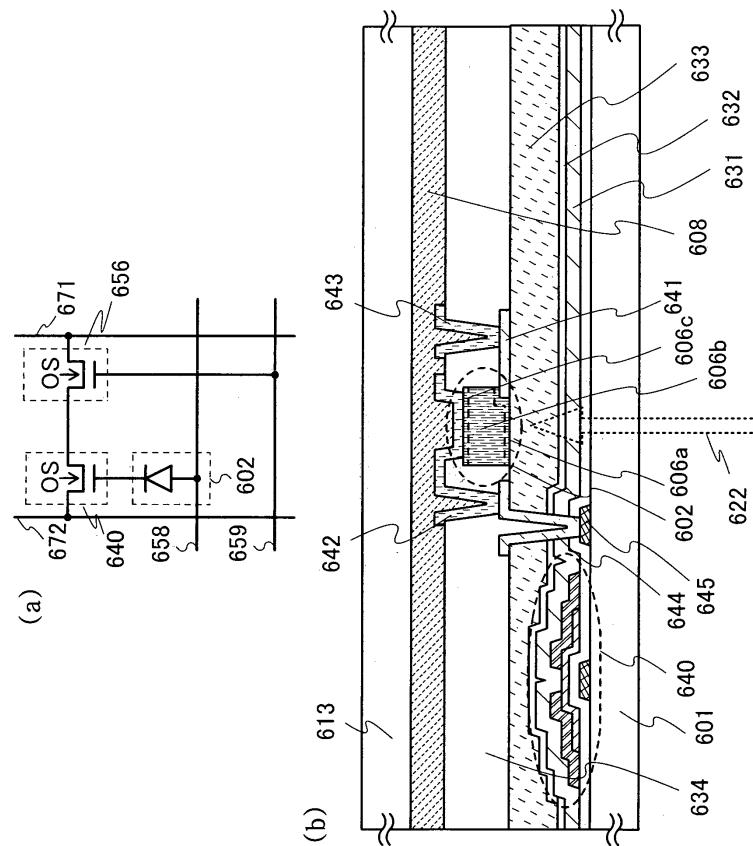
도면4



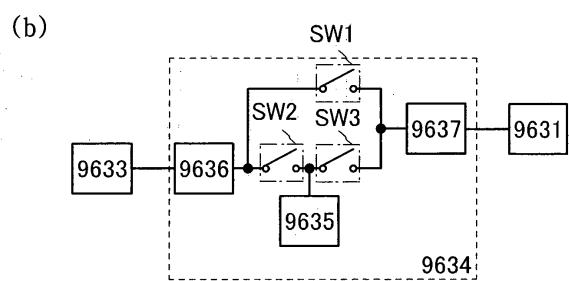
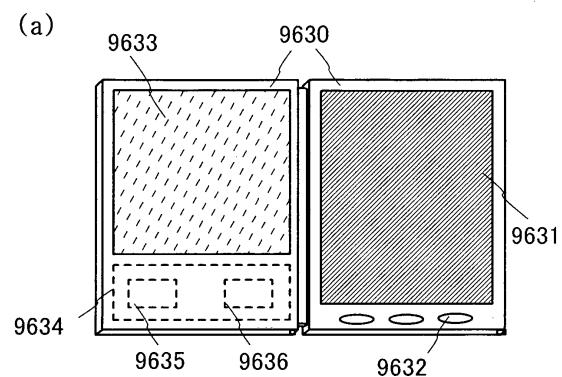
도면5



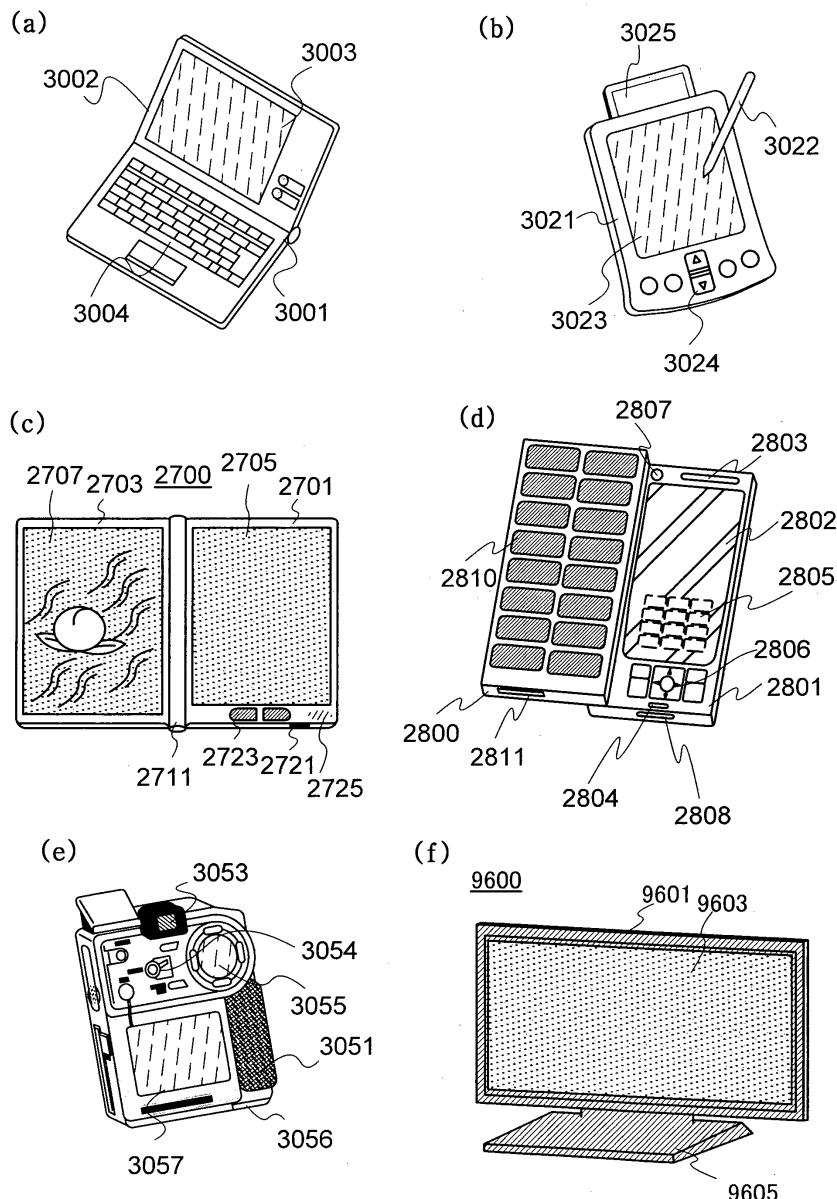
도면6



도면7



도면8



도면9

