

(19) 日本国特許庁(JP)

(12) 公開特許公報(A)

(11) 特許出願公開番号

特開2010-251371

(P2010-251371A)

(43) 公開日 平成22年11月4日(2010.11.4)

(51) Int.Cl.	F I	テーマコード (参考)
HO 1 L 21/8247 (2006.01)	HO 1 L 29/78 3 7 1	5 F 0 8 3
HO 1 L 29/788 (2006.01)	HO 1 L 27/10 4 3 4	5 F 1 0 1
HO 1 L 29/792 (2006.01)		
HO 1 L 27/115 (2006.01)		

審査請求 未請求 請求項の数 15 O L (全 19 頁)

(21) 出願番号 特願2009-96088 (P2009-96088)
 (22) 出願日 平成21年4月10日 (2009. 4. 10)

(71) 出願人 000005049
 シャープ株式会社
 大阪府大阪市阿倍野区長池町2番2号
 (74) 代理人 100065248
 弁理士 野河 信太郎
 (72) 発明者 鈴木 貴光
 大阪府大阪市阿倍野区長池町2番2号
 シャープ株式会社内
 Fターム(参考) 5F083 EP18 EP24 EP35 ER02 ER11
 ER30 JA04 PR33 ZA21
 5F101 BA45 BB04 BC11 BD10 BD22
 BD33 BE02 BE05 BE07 BF05
 BH16

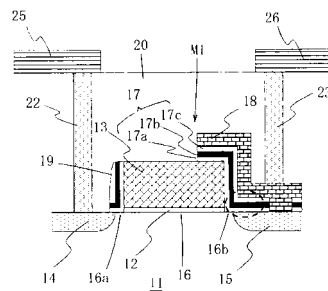
(54) 【発明の名称】 不揮発性メモリセルおよびその製造方法

(57) 【要約】

【課題】動作の高速化を図り得る不揮発性メモリセルおよびその製造方法を提供すること。

【解決手段】半導体基板11と、半導体基板11の表面上にゲート絶縁膜12を介して形成されたゲート電極13と、ゲート電極13両側の半導体基板の表面層にそれぞれ形成された一対の不純物拡散層14、15と、一対の不純物拡散層14、15の間の半導体基板の表面層に配置されたチャンネル領域16と、少なくとも一方の不純物拡散層15の表面からゲート電極13の側壁に沿って形成された電荷蓄積層17と、電荷蓄積層17に積層された電荷蓄積層用電極18とを備えることを特徴とする不揮発性メモリセル。

【選択図】図2



【特許請求の範囲】

【請求項 1】

半導体基板と、半導体基板の表面上にゲート絶縁膜を介して形成されたゲート電極と、ゲート電極両側の半導体基板の表面層にそれぞれ形成された一对の不純物拡散層と、一对の不純物拡散層の間の半導体基板の表面層に配置されたチャンネル領域と、少なくとも一方の不純物拡散層の表面からゲート電極の側壁に沿って形成された電荷蓄積層と、電荷蓄積層に積層された電荷蓄積層用電極とを備えることを特徴とする不揮発性メモリセル。

【請求項 2】

前記電荷蓄積層用電極が、それに隣接する不純物拡散層と電気的に接触している請求項 1 に記載の不揮発性メモリセル。

10

【請求項 3】

前記電荷蓄積層用電極に隣接する不純物拡散層が、ゲート電極の直下領域からチャンネル長方向に離れて配置されたことにより、チャンネル領域にオフセット領域が形成された請求項 1 または 2 に記載の不揮発性メモリセル。

【請求項 4】

前記電荷蓄積層用電極が、電荷蓄積層の少なくともオフセット領域と重なる部分に電界が生じるように形成された請求項 3 に記載の不揮発性メモリセル。

【請求項 5】

前記電荷蓄積層の不純物拡散層に対する重なり部分が、チャンネル領域側の不純物拡散層の端部からチャンネル長方向に 100 ~ 300 nm の長さを有する請求項 1 ~ 4 のいずれか 1 つに記載の不揮発性メモリセル。

20

【請求項 6】

前記電荷蓄積層は、シリコン酸化膜とシリコン窒化膜がこの順で形成された単位積層膜の 1 層または複数層からなる請求項 1 ~ 5 のいずれか 1 つに記載の不揮発性メモリセル。

【請求項 7】

前記電荷蓄積層は、シリコン酸化膜とシリコン窒化膜とシリコン酸化膜がこの順で形成された単位積層膜の 1 層または複数層からなる請求項 1 ~ 5 のいずれか 1 つに記載の不揮発性メモリセル。

【請求項 8】

前記電荷蓄積層用電極が、ポリシリコンからなる請求項 1 ~ 7 のいずれか 1 つに記載の不揮発性メモリセル。

30

【請求項 9】

前記電荷蓄積層および電荷蓄積層用電極が、ゲート電極の両側に配置された請求項 1 ~ 8 のいずれか 1 つに記載の不揮発性メモリセル。

【請求項 10】

複数個のメモリセルが備えられ、各メモリセルが請求項 1 ~ 9 のいずれか 1 つに記載の不揮発性メモリセルからなり、隣接する 2 つのメモリセルが 1 つの電荷蓄積層用電極を共有している不揮発性メモリセルアレイ。

【請求項 11】

請求項 1 ~ 9 のいずれか 1 つに記載の不揮発性メモリセルを備えた携帯電子機器。

40

【請求項 12】

半導体基板の表面上にゲート絶縁膜を介してゲート電極を形成する工程と、ゲート電極両側の半導体基板の表面層に一对の不純物拡散層を形成する工程と、少なくとも一方の不純物拡散層の表面からゲート電極の側壁に沿って電荷蓄積層を形成する工程と、

電荷蓄積層に電荷蓄積層用電極を積層する工程とを含むことを特徴とする不揮発性メモリセルの製造方法。

【請求項 13】

電荷蓄積層上に不純物拡散層と接触するように電荷蓄積層用電極を形成する請求項 12 に記載の不揮発性メモリセルの製造方法。

50

【請求項 1 4】

請求項 1 に記載の不揮発性メモリセルにおける半導体基板、ゲート電極、一对の不純物拡散層および電荷蓄積層用電極にそれぞれ所定電圧を印加することにより、書き込み、読み出しまたは消去する不揮発性メモリセルの動作方法。

【請求項 1 5】

電荷蓄積層用電極およびそれに対応する不純物拡散層に同一の電圧を印加する請求項 1 4 に記載の不揮発性メモリセルの動作方法。

【発明の詳細な説明】

【技術分野】

【0001】

本発明は、不揮発性メモリセルおよびその製造方法に関し、さらに詳しくは、不揮発性メモリセルの動作高速化に関する。

【背景技術】

【0002】

近年、コンピュータ上で扱うデータ容量の増大化により、不揮発性半導体記憶装置においても、更なる大容量化が要求されている。この要求を実現する方法として、主に次の 2 つの方法が挙げられる。

第 1 の方法は、不揮発性メモリセルの電荷蓄積層（例えば浮遊ゲート）に蓄積される電荷量を制御し、トランジスタの閾値電圧の制御領域を 4 つ以上設けることにより、1 つのトランジスタ当たり 4 値以上のデータを記憶させる方法である。

第 2 の方法は、1 つのトランジスタに物理的に複数の電荷蓄積層を設けることにより、実質的に 1 つのトランジスタ当たりの記憶容量を増加させる方法である。第 2 の方法の一つとして、特許文献 1 には、トランジスタのゲート電極の両側壁に沿って電荷蓄積層を形成し、1 トランジスタ当たり 2 ビットの記憶容量を有する不揮発性メモリセルが提案されている。

【0003】

図 1 7 は特許文献 1 に開示されている従来の不揮発性メモリセルの概略断面図である。

この不揮発性メモリセル（以下「メモリセル」と略称する場合がある）は、半導体基板 100 の表面にゲート絶縁膜 101 を介して形成されたゲート電極 102 と、半導体基板 100 の表面部におけるゲート電極 102 の両側に形成された第 1 および第 2 不純物拡散層 103 a、103 b と、第 1 および第 2 不純物拡散層 103 a、103 b の間のチャンネル領域 104 と、各不純物拡散層 103 a、103 b からゲート電極 102 の側壁に沿って形成された電荷蓄積層 105 とを備える。

電荷蓄積層 105 は、シリコン酸化膜 105 a とシリコン窒化膜 105 b とシリコン酸化膜 105 c とがこの順に形成された ONO 膜であり、サイドウォールスペーサ状に形成されている。

【0004】

このメモリセルへの書き込みの際は、例えば、第 1 不純物拡散層 103 a をソース領域として用い、第 2 不純物拡散層 103 b をドレイン領域として用い、第 2 不純物拡散層に隣接する電荷蓄積層 105 にデータを書き込む。その電圧条件としては、例えば、第 1 不純物拡散層 103 a および半導体基板 100 に 0V、第 2 不純物拡散層 103 b に +5V、ゲート電極 102 に +6V をそれぞれ印加する。なお、ここで言う「書き込み」とは、電荷蓄積層 105 に電子を注入する処理を意味する。

この電圧条件によれば、チャンネル領域 104 に第 1 不純物拡散層 103 a から反転層が延出するが、反転層は第 2 不純物拡散層 103 b には達することなく、反転層の第 2 不純物拡散層 103 b 側の端部においてピンチオフ点が発生する。

電子はピンチオフ点から第 2 不純物拡散層 103 b まで高電界により加速され、所謂ホットエレクトロン（高エネルギーの伝導電子）となる。このホットエレクトロンが、半導体基板 100 からゲート電極 102 に向かう縦方向の電界により誘導されて第 2 不純物拡散層 103 b に隣接する電荷蓄積層 105 のシリコン窒化膜 105 b に注入されることに

10

20

30

40

50

より書き込みが行われる。

【先行技術文献】

【特許文献】

【0005】

【特許文献1】特開2003-332474号公報

【発明の概要】

【発明が解決しようとする課題】

【0006】

しかしながら、図17に示すメモリセルは、電荷蓄積層105への書き込み効率が低く、書き込み時間が長いという問題があった。

10

したがって、メモリセルを複数備えたアレイ構造では、メモリセルアレイ全体に対する書き込み時間が長大化し、非現実的な書き込み時間となるおそれがある。なお、第1不純物拡散層103aに隣接する電荷蓄積層105へ書き込みする場合は、第1不純物拡散層103aをドレイン領域とし、第2不純物拡散層103bをソース領域として用い、前記の電圧条件を第1不純物拡散層103aと第2不純物拡散層103bで逆にして行えるが、この場合も書き込み時間が長いという問題が生じる。

【0007】

本発明者は、従来の不揮発性メモリセルの書き込み効率が低い問題は、ホットエレクトロンを電荷蓄積層105に向けて加速し誘導する電界成分が弱いことが要因であることを見出し、本発明を発明するに至った。

20

よって、本発明は、前記問題に鑑みてなされたものであり、動作の高速化を図り得る不揮発性メモリセルおよびその製造方法を提供することを主たる目的とする。

【課題を解決するための手段】

【0008】

かくして、本発明によれば、半導体基板と、半導体基板の表面上にゲート絶縁膜を介して形成されたゲート電極と、ゲート電極両側の半導体基板の表面層にそれぞれ形成された一对の不純物拡散層と、一对の不純物拡散層の間の半導体基板の表面層に配置されたチャネル領域と、少なくとも一方の不純物拡散層の表面からゲート電極の側壁に沿って形成された電荷蓄積層と、電荷蓄積層に積層された電荷蓄積層用電極とを備える不揮発性メモリセルが提供される。

30

【0009】

また、本発明のさらに別の観点によれば、半導体基板の表面上にゲート絶縁膜を介してゲート電極を形成する工程と、ゲート電極両側の半導体基板の表面層に一对の不純物拡散層を形成する工程と、少なくとも一方の不純物拡散層の表面からゲート電極の側壁に沿って電荷蓄積層を形成する工程と、電荷蓄積層に電荷蓄積層用電極を積層する工程とを含む不揮発性メモリセルの製造方法が提供される。

【発明の効果】

【0010】

本発明の不揮発性メモリセルによれば、電荷蓄積層に電荷蓄積層用電極を積層したことにより、書き込み動作時には、半導体基板側から上方への電界が電荷蓄積層にかかる。この結果、半導体基板と一方の不純物拡散層（ドレイン領域）の近傍で発生したホットエレクトロンが電荷蓄積層に注入される注入効率が向上し、それによって書き込み効率が向上し、書き込み時間が大幅に短縮する。

40

【図面の簡単な説明】

【0011】

【図1】本発明に係る不揮発性メモリセルを備えた不揮発性半導体記憶装置の実施形態1を示す平面図である。

【図2】図1中の線X1の位置での垂直断面図である。

【図3】本発明に係る不揮発性メモリセルの製造工程を示す部分断面図である。

【図4】図3の次の工程を示す部分断面図である。

50

【図 5】図 4 の次の工程を示す部分断面図である。

【図 6】図 5 の次の工程を示す部分断面図である。

【図 7】図 6 の次の工程を示す部分断面図である。

【図 8】図 7 の次の工程を示す部分断面図である。

【図 9】図 8 の次の工程を示す部分断面図である。

【図 10】本発明に係る不揮発性メモリセルを備えた不揮発性半導体記憶装置の実施形態 2 を示す平面図である。

【図 11】図 10 中の線 X 2 の位置での垂直断面図である。

【図 12】本発明に係る不揮発性メモリセルを備えた不揮発性半導体記憶装置の実施形態 3 を示す平面図である。

10

【図 13】図 12 中の線 X 3 の位置での垂直断面図である。

【図 14】本発明に係る不揮発性メモリセルアレイを備えた不揮発性半導体記憶装置の実施形態を示す部分的な平面図である。

【図 15】図 14 中の線 X 4 の位置での垂直断面図である。

【図 16】本発明に係る不揮発性メモリセルを備えた携帯電子機器である携帯電話を示す概略ブロック図である。

【図 17】特許文献 1 に開示されている従来の不揮発性メモリセルの概略断面図である。

【発明を実施するための形態】

【0012】

本発明の不揮発性メモリセル（以下、メモリセルと略称する場合がある）は、半導体基板と、半導体基板の表面上にゲート絶縁膜を介して形成されたゲート電極と、ゲート電極両側の半導体基板の表面層にそれぞれ形成された一对の不純物拡散層と、一对の不純物拡散層の間の半導体基板の表面層に配置されたチャンネル領域と、少なくとも一方の不純物拡散層の表面からゲート電極の側壁に沿って形成された電荷蓄積層と、電荷蓄積層に積層された電荷蓄積層用電極とを備えることを特徴とする。

20

このメモリセルの動作時において、一对の不純物拡散層のうち、一方はソース領域またはドレイン領域として機能し、他方はドレイン領域またはソース領域として機能する。

【0013】

このメモリセルは、半導体基板、ゲート電極、一对の不純物拡散層および電荷蓄積層用電極にそれぞれ所定電圧を印加することにより、書き込み、読み出しまたは消去することができる。

30

電荷蓄積層用電極への電圧制御は、その電荷蓄積層用電極に隣接する不純物拡散層とは独立的な制御が可能であり、適正に動作（書き込み、読み出しまたは消去）することができれば、隣接する不純物拡散層に印加される電圧と異なる電圧が印加されても同一の電圧が印加されてもよく、あるいは、ゲート電極に印加される電圧と異なる電圧が印加されても同一の電圧が印加されてもよい。

【0014】

メモリセルの書き込み効率は、電荷蓄積層の膜厚および電圧条件によって変動する。

電荷蓄積層用電極に印加される電圧によって電荷蓄積層を介して生じる電界が大き過ぎる場合、電子が注入される不純物拡散層（ドレイン領域）と半導体基板との間の接合部の電界を緩めることになってしまうためホットエレクトロン発生効率が低下し、電界が小さ過ぎる場合、電荷蓄積層への電子の注入効率が低下し、どちらの場合も書き込み効率は低下する。

40

したがって、電荷蓄積層の膜厚に応じた最適な書き込み電圧条件に設定することが好ましい。

【0015】

一方、消去時は、ゲート電極に負電圧、ドレイン領域に正電圧を印加してホットホール書き込みにより消去をする場合、電荷蓄積層用電極には正電圧を印加するよりも負電圧を印加する方が速く消去できる。なお、ドレイン領域と電荷蓄積層用電極の両方に正電圧を印加しても消去は可能であるが、前記の場合よりも消去速度が遅くなる。しかしながら、消去

50

が遅くなるデメリットよりも書込みが速くなるメリットの方が大きい。

なお、読み出し時は効率にはほとんど影響しない。

【0016】

このメモリセルは、次の要件(1)～(10)のように構成されていてもよい。

(1) 電荷蓄積層用電極が、それに隣接する不純物拡散層と電氣的に接触している。

このようにすれば、電荷蓄積層とそれに隣接する不純物拡散層とに同一の電圧を印加する電極構造が簡素化されて好都合であり、メモリセルの製造工程およびコストを低減することができると共に、メモリセル動作時の電圧制御が容易となる。それに加え、セル面積を縮小することができることにより、コストが低減するメリットも得られる。

【0017】

(2) 電荷蓄積層用電極に隣接する不純物拡散層が、ゲート電極の直下領域からチャンネル長方向に離れて配置されたことにより、チャンネル領域にオフセット領域が形成されている。つまり、「オフセット領域」は、チャンネル領域におけるゲート電極の直下領域と不純物拡散層の間の半導体基板表面部分の領域である。

オフセット領域を設けることにより、ゲート電極に電圧を印加したときのオフセット領域の反転容易性を、電荷蓄積層に蓄積された電荷量によって大きく変化させることができ、メモリ効果を増大させることが可能となる。つまり、大きなヒステリシス(閾値の変化)が得られる。

さらに、通常のロジックトランジスタと比較して、短チャンネル効果を効果的に抑制することができるため、ゲート長をより一層微細化することが可能となる。また、このメモリセルは、構造的にオフセット領域を形成し易く、短チャンネル効果の抑制に適しているため、ロジックトランジスタと比較して膜厚の厚いゲート絶縁膜を採用することができ、信頼性を向上させることが可能となる。

【0018】

このオフセット領域のチャンネル長方向の寸法は、メモリ効果や短チャンネル効果の抑制等に影響するため、必要に応じて適宜調整すればよいが、狭過ぎるとメモリ効果が得られずかつ短チャンネル効果を抑制できなくなり、広過ぎるとドレイン電流が大きく減少し、読み出し速度が大幅に遅くなると共に、メモリセルの微細化に不利となる。

したがって、十分なヒステリシスと読み出し速度が得られるように、オフセット領域の前記幅を決定することが好ましく、例えば、10～100nmとすることが好ましい。但し、オフセット領域の幅は、メモリセルの製造工程によっては、ゲート電極の側壁に沿った電荷蓄積層の膜厚に依存する場合がある。

なお、メモリセルは、不純物拡散層がゲート電極の直下領域に重なっていても(オフセット領域が無くても)動作可能であるが、より大きなメモリヒステリシス効果を必要とする場合は、オフセット領域を有することが好ましい。

【0019】

(3) 前記(2)のようにチャンネル領域がオフセット領域を有する場合、電荷蓄積層用電極が、電荷蓄積層の少なくともオフセット領域と重なる部分に電界が生じるように形成される。つまり、書き込みの際、電荷は主に電荷蓄積層の少なくともオフセット領域と重なる部分に蓄積されるため、少なくともこの部分に電界が生じるように電荷蓄積層用電極の大きさ、形状、配置等を決定すればよい。

なお、電荷蓄積層用電極を電荷蓄積層と共にゲート電極のサイドウォールスペーサ形に形成すれば、製造が容易となりかつ電荷蓄積層から剥離し難くなるため、このようにしてもよい。

【0020】

(4) 電荷蓄積層の不純物拡散層に対する重なり部分は、書き込みおよび消去の動作効率に影響するため、必要に応じて適宜調整すればよいが、短過ぎると動作効率が低下する。したがって、前記重なり部分は、チャンネル領域側の不純物拡散層の端部からチャンネル長方向に、例えば100nm以上の長さを有することが好ましく、メモリセルの微細化を考慮すれば、100～300nmがさらに好ましい。

10

20

30

40

50

なお、電荷蓄積層は、不純物拡散層をチャネル長方向で完全に覆っていても特に問題はないが、前記のように電荷蓄積層用電極が不純物拡散層と電氣的に接触する場合は、その接触部分の不純物拡散層を露出させるための貫通孔が形成される場合がある。

【0021】

(5) 電荷蓄積層は、次の(A)または(B)の積層構造としてもよい。

(A) 電荷蓄積層は、第1絶縁膜と第2絶縁膜がこの順で形成された単位積層膜の1層または複数層からなる。

(B) 電荷蓄積層は、第1絶縁膜と第2絶縁膜と第3絶縁膜がこの順で形成された単位積層膜の1層または複数層からなる。

【0022】

前記第1絶縁膜は、トンネル絶縁膜として機能する膜であり、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜、酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜等の高誘電率酸化物薄膜、または、それら絶縁膜の積層膜を使用することができる。半導体基板としてシリコン基板を使用する場合、第1絶縁膜としてシリコン酸化膜を使用することが好ましい。

前記第2絶縁膜は、電荷(電子または正孔)をトラップ準位で捕獲して蓄積する機能を有する膜であり、例えば、シリコン窒化膜、シリコン酸化膜等の絶縁膜、酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜等の高誘電率酸化物薄膜を使用することができる。これらの中でも、十分なトラップ準位密度と形成工程が容易である観点から、シリコン窒化膜を使用することが好ましい。

前記第3絶縁膜は、トラップ準位で捕獲した電荷が第2絶縁膜から抜けるのを防止する機能を有する膜であり、第1絶縁膜を形成する各種材料の中から同じまたは異なる材料の単層膜または積層膜を使用することができる。第1絶縁膜としてシリコン酸化膜を用いる場合は、第3絶縁膜としてもシリコン酸化膜を用いることが、形成工程が容易となる上で好ましい。

【0023】

単位積層膜が1層の積層構造(A)の場合、第2絶縁膜が最外層となるため、第2絶縁膜に電荷蓄積層用電極が積層される。

第2絶縁膜内に電荷を蓄積する際、第2絶縁膜内に散在するトラップ準位に電荷を捕獲させるため、電荷蓄積層内の電界が大きくなければ、第2絶縁膜が電荷蓄積層用電極に接触していても捕獲された電荷はトラップ準位から抜けることはない。

単位積層膜が1層の積層構造(A)の場合、電荷蓄積層の形成工程が少なく済む利点がある。

単位積層膜が複数層の積層構造(A)の場合、電荷蓄積層は、トラップ準位で電荷を捕獲する内側の第2絶縁膜を内側の第1絶縁膜と外側の第1絶縁膜にて挟んだサンドイッチ構造となるため、電荷蓄積層内の電界が大きくても内側の第2絶縁層からの電荷の漏れが抑制され、その結果、データの変動が防止されて信頼性が向上すると共に、十分な保持時間を得ることができる。

なお、「内側」とは半導体基板側およびゲート電極側を意味し、「外側」とは「内側」の反対側を意味する。

【0024】

単位積層膜が1層および複数層の積層構造(B)の場合、電荷蓄積層は、トラップ準位で電荷を捕獲する内側の第2絶縁膜を内側の第1絶縁膜と外側の第3絶縁膜にて挟んだサンドイッチ構造となるため、電荷蓄積層内の電界が大きくても内側の第2絶縁層からの電荷の漏れが抑制され、その結果、データの変動が防止されて信頼性が向上すると共に、十分な保持時間を得ることができる。さらに、単位積層膜が1層の積層構造(B)の場合は電荷蓄積層の形成工程が少なく済む利点がある。

これら積層構造(A)および(B)において、第1~第3絶縁膜の膜厚は、書き込み効率、消去効率および信頼性を決める要素となるため、必要に応じて適宜調整すればよく、例えば、第1絶縁膜は20nm以下、第2絶縁膜は5~100nm程度、第3絶縁膜は5

10

20

30

40

50

～ 100 nm 程度であることが好ましい。

【0025】

(6) 電荷蓄積層用電極としては、通常の半導体装置に使用されるものであれば特に限定されるものではなく、例えば、ポリシリコン、銅やアルミニウム等の金属、タンゲステン、チタン、タンタル等の高融点金属、高融点金属とのシリサイド等からなる導電膜を使用することができ、これらの積層膜でもよい。加工面からすると、不純物拡散層と同じ導電型の不純物を注入したポリシリコンであることが好ましい。

【0026】

(7) 電荷蓄積層および電荷蓄積層用電極が、ゲート電極の両側に配置されてもよい。

このようにすれば、1つのトランジスタ当たり2ビットの記憶容量を有するメモリセルを得ることができる。

【0027】

(8) 半導体基板としては、半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン、ゲルマニウム等の元素半導体、SiGe、GaAs、InGaAs、ZnSe、GaN等の化合物半導体によるバルク基板、表面半導体層を有するSOI (silicon on insulator) 基板、多層SOI基板等を用いることができる。これらの内、シリコン基板が製造の容易性の観点から好ましい。

また、半導体基板としては、第1導電型(P型またはN型)を有するものを用いてもよく、さらには、少なくとも1つの第2導電型(N型またはP型)のウェル領域を有するものを用いてもよい。半導体基板およびそのウェル領域の不純物濃度は、当該分野で公知の範囲に設定すればよい。なお、半導体基板としてSOI基板を用いる場合には、表面半導体層にウェル領域が形成されていてもよく、さらには、チャンネル領域下にボディ領域を有していてもよい。

【0028】

(9) ゲート絶縁膜としては、通常の半導体装置に使用されるものであれば特に限定されるものではなく、例えば、シリコン酸化膜、シリコン窒化膜等の絶縁膜、酸化アルミニウム膜、酸化チタニウム膜、酸化タンタル膜、酸化ハフニウム膜等の高誘電率酸化物薄膜、または、それら絶縁膜の積層膜を使用することができる。半導体基板としてシリコン基板を使用する場合はシリコン酸化膜を使用することが好ましい。

ゲート絶縁膜は、例えば、1～20 nm程度、好ましくは1～6 nm程度の膜厚とすることが適当である。

【0029】

(10) ゲート電極としては、通常の半導体装置に使用されるものであれば特に限定されるものではなく、例えば、ポリシリコン、銅やアルミニウム等の金属、タンゲステン、チタン、タンタル等の高融点金属、高融点金属とのシリサイド等の単層膜または積層膜が挙げられる。

また、ゲート電極は、N型またはP型の導電型を有していてもよく、膜厚としては、例えば50～400 nm程度が適当である。

【0030】

以下、本発明に係る不揮発性メモリセルおよびその製造方法の実施形態を図面に基いて詳説する。なお、実施形態では、半導体基板が水平状態にあることを前提として説明する。

【0031】

(実施形態1)

図1は本発明に係る不揮発性メモリセルを備えた不揮発性半導体記憶装置の実施形態1を示す平面図であり、図2は図1中の線X1の位置での垂直断面図である。

【0032】

<メモリセルの構造>

実施形態1のメモリセルM1は、半導体基板11と、半導体基板11の表面上にゲート絶縁膜12を介して形成されたゲート電極13と、ゲート電極13の両側の半導体基板1

10

20

30

40

50

1の表面層にそれぞれ形成された一対の不純物拡散層14、15と、一対の不純物拡散層14、15の間の半導体基板11の表面層に配置されたチャンネル領域16と、一方の不純物拡散層15の表面からゲート電極13の側壁に沿って形成された電荷蓄積層17と、電荷蓄積層17に積層された電荷蓄積層用電極18とを備える。なお、他方の不純物拡散層14側のゲート電極13の側壁には、電荷蓄積層17と同じ材料からなるサイドウォールスペーサ19が形成されている。

以下、「不純物拡散層」を「拡散層」と略称する場合がある。

【0033】

実施形態1の不揮発性半導体記憶装置（以下「半導体記憶装置」と略称する場合がある）は、前記メモリセルM1と、メモリセルM1上に積層された層間絶縁膜20と、層間絶縁膜20に形成された3つのコンタクトホール内に埋め込まれてゲート電極13および一対の拡散層14、15と電氣的にそれぞれ接続するコンタクトプラグ21、22、23と、層間絶縁膜20上に形成されて各コンタクトプラグ21、22、23と電氣的に接続されたゲート用配線24、ソース用配線25およびドレイン用配線26とを備えている。

なお、図1では、層間絶縁膜20より下のメモリセルM1を透視した状態を示している。

【0034】

ゲート絶縁膜12およびゲート電極13は略同一のサイズであり、チャンネル幅方向Aの幅は50～500nm程度であり、チャンネル長方向Bの長さは50～500nm程度である。

一対の拡散層14、15は、ゲート電極13の直下領域よりもチャンネル長方向Bに所定寸法離れて配置されており、チャンネル領域16におけるこの所定寸法の領域がオフセット領域16a、16bとされている（図9参照）。

チャンネル領域16のチャンネル長寸法としては50～1000nm程度、チャンネル領域16のチャンネル幅寸法としては50～500nm程度であり、オフセット領域16a、16bのチャンネル長方向Bの寸法L1としては10～300nm程度である（図9参照）。

【0035】

半導体基板11の表面層に形成された一対の拡散層14、15は、リン、ヒ素等のN導電型不純物が濃度 $1 \times 10^{19} \sim 1 \times 10^{22} \text{ cm}^{-3}$ で半導体基板11の表面に注入されてなり、半導体基板表面から深さ100～500nm程度の範囲に形成されている。

電荷蓄積層用電極18は、平面的に見て（図1参照）、一方の拡散層15の略全体からゲート電極13の上面の一部を覆う範囲に電荷蓄積層17を介して形成されており、拡散層15上の電荷蓄積層17を貫通して拡散層15と電氣的に接触している。

【0036】

電荷蓄積層17は、シリコン酸化膜17aとシリコン窒化膜17bとシリコン酸化膜17cの3層がこの順に形成されたONO膜からなり、一方の拡散層15側のゲート電極13の側壁全体を覆う垂直部と、電荷蓄積層用電極18の直下領域に配置された段違いの平行部とを有している。

電荷蓄積層17の拡散層15の表面に沿った平行部は、拡散層15に対する重なり部分が、チャンネル領域16側の拡散層15の端部からチャンネル長方向Bに100～300nmの長さL2を有している（図9参照）。

【0037】

なお、このメモリセルM1において、電荷蓄積層17および電荷蓄積層用電極18が拡散層14側に配置され、サイドウォールスペーサ19が拡散層15側に配置されてもよい。

【0038】

<メモリセルの製造方法>

次に、実施形態1のメモリセルM1の製造方法について説明する。

まず、半導体基板の表面上にゲート絶縁膜を介してゲート電極を形成する工程を行う。

この工程では、図3に示すように、表面にP型ウェル11aを有するP型シリコン基板

10

20

30

40

50

(半導体基板) 11上に、シリコン酸化膜12xおよびポリシリコン膜13xを順次堆積する。シリコン酸化膜12xは、熱酸化やCVD等の公知技術を用いて厚さ3~100nm程度の膜厚で形成する。ポリシリコン膜13xは、CVD、スパッタ等の公知技術を用いて厚さ50~500nm程度で形成する。

【0039】

次に、フォトリソグラフィ技術により、ゲート電極形成用の開口部を有するフォトレジスト(図示省略)をポリシリコン膜13x上に形成し、ポリシリコン膜13xおよびシリコン酸化膜12xを反応性イオンエッチング等により除去することにより、図4に示すように、シリコン基板11上にゲート絶縁膜12およびゲート電極13を形成する。

その後、フォトレジストをエッチングにより除去する。

10

【0040】

次に、少なくとも一方の不純物拡散層の表面からゲート電極の側壁に沿って電荷蓄積層を形成する工程と、ゲート電極両側の半導体基板の表面層に一对の不純物拡散層を形成する工程と、電荷蓄積層に電荷蓄積層用電極を積層する工程とを並行して行う。

【0041】

この工程では、図5に示すように、ゲート絶縁膜12およびゲート電極13を覆うように、CVD法等の公知の技術を用いて、シリコン基板11上にシリコン酸化膜17ax、シリコン窒化膜17bx、シリコン酸化膜17cxを順次堆積してONO膜17xを形成する。この際、各層の膜厚は、書き込み効率および信頼性等を決める要素となるため、必要に応じて適宜調整すればよいが、シリコン酸化膜17axは20nm以下、シリコン窒化膜17bxは5~100nm程度、シリコン酸化膜17cxは5~100nm程度の膜厚とすることが好ましい。

20

続いて、ゲート電極13のチャンネル長方向Bの両側のシリコン基板11の表面にONO膜17xを介してN⁺不純物注入を行い、P型ウェル11aと逆導電型のN型の不純物拡散領域14、15を形成する。

【0042】

次に、図6に示すように、フォトリソグラフィ技術により、コンタクトホール形成用の開口部を有するフォトレジスト(図示省略)をONO膜17x上に形成し、シリコン酸化膜17ax、シリコン窒化膜17bx、シリコン酸化膜17cxを順次反応性イオンエッチングまたはウェットエッチングで除去して、一方の拡散層15の一部を露出させるコンタクトホールhを形成する。このとき、拡散層15に対するONO膜17xの重なり部分が、チャンネル長方向Bに100~300nmの長さL2を有するようにコンタクトホールhを形成する。

30

その後、フォトレジストをエッチングにより除去する。

【0043】

続いて、図7に示すように、CVD法等の公知の技術を用いて、ONO膜17x上にポリシリコン膜18xを堆積し、ポリシリコン膜18xにN型不純物を注入する。このとき、ポリシリコン膜18xの膜厚としては50~300nm程度が好ましく、N型不純物濃度としては $10^{19} \sim 10^{22} \text{ cm}^{-3}$ 程度が好ましい。

形成されたポリシリコン膜18xの一部は、コンタクトホールh内に充填されて拡散層15と電氣的に接触する。

40

なお、ポリシリコン膜18xへのN型不純物注入の後に、ポリシリコン膜18xと拡散層15の接触抵抗を低減させるために、800~1100程度のアニーリングを適宜行う。

【0044】

次に、フォトリソグラフィ技術により、電荷蓄積層用電極形成用の開口部を有するフォトレジスト(図示省略)をポリシリコン膜18x上に形成し、ポリシリコン膜18xを反応性イオンエッチングまたはウェットエッチングで除去することにより、図8に示すように、電荷蓄積層用電極18をパターン形成する。

このとき、電荷蓄積層用電極18は、拡散層15と平行なONO膜17xの平行部を覆

50

い、かつ拡散層 15 との接触を維持できるサイズにパターンニングされる。さらには、電荷蓄積層用電極 18 が ONO 膜 17 x の垂直部から剥離し難くするために、ゲート電極 13 の上面に所定寸法 L3 でチャンネル長方向 B に延びていることが好ましい。この寸法 L3 としては、電荷蓄積層用電極 18 の寸法パラツキを考慮して、50 ~ 150 nm 程度とすることが好ましい。

その後、フォトリソストをエッチングにより除去する。

【0045】

次に、図 9 に示すように、電荷蓄積層用電極 18 をマスクとして、ONO 膜 17 x のシリコン酸化膜 17 c x、シリコン窒化膜 17 b x、シリコン酸化膜 17 a x を順次反応性イオンエッチングで除去する。

これにより、電荷蓄積層用電極 18 の直下領域にのみ電荷蓄積層 17 がパターン形成されると共に、拡散層 14 側のゲート電極 13 の側壁にサイドウォールスペーサ 19 が形成される。

以上の各工程を経て、図 1 および図 2 に示すメモリセル M1 が具体的に形成される。

次に、図 1 と図 2 を参照しながら、メモリセル M1 の基本的なメモリ動作について説明する。

【0046】

<メモリセルの書き込み動作>

メモリセル M1 にデータを書き込む場合、電荷蓄積層 17 に隣接する拡散層 15 をドレイン領域 15 とし、もう一方の拡散層 14 をソース領域 14 として用いる。なお、ここでは、電荷蓄積層用電極 18 をドレイン電極 18 と称する。

書き込み時には、例えば、ゲート電極 13 に +6V、ドレイン電極 18 に +5V、ソース領域 14 に 0V、半導体基板 11 に 0V を夫々印加する。

【0047】

このような電圧条件によれば、ソース領域 14 から延びてドレイン領域 15 には達しない反転層がチャンネル領域 16 に形成され、ピンチオフ点が発生する。そして、ソース領域 14 からドレイン領域 15 に向かって電子の流れ（逆方向はチャンネル電流）が生じ、ドレイン領域 15 とチャンネル領域 16 の境界近傍でチャンネルホットエレクトロン（CHE）が発生し、その一部がドレイン領域 15 側の電荷蓄積層（ONO 膜）17 のシリコン酸化膜 17 a の電位障壁を乗り越えて、図 2 中の点線で囲まれた領域内にあるシリコン窒化膜 17 b の捕獲領域に捕獲され電荷が保持されることで、データが書き込まれる。

このとき、ドレイン電極 18 に +5V の電圧が印加されることにより、電荷蓄積層 17 を介して約 1 MV/cm 程度の上方向への電界が生じる。この結果、CHE の電荷蓄積層 17 への注入効率が促進され、前記従来の不揮発性メモリセル（図 17 参照）に比べて書き込み効率を 10 ~ 100 倍程度改善することができる。

【0048】

なお、電荷蓄積層 17 および電荷蓄積層用電極 18 が拡散層 14 側に配置され、サイドウォールスペーサ 19 が拡散層 15 側に配置されたメモリセル（図示省略）では、拡散層 15 をソース領域とし、もう一方の拡散層 14 をドレイン領域として用い、前記と同様に、例えば、ゲート電極に +6V、ドレイン電極に +5V、ソース領域に 0V、半導体基板に 0V を夫々印加することにより、効率よく書き込みできる。

【0049】

<メモリセルの消去動作>

消去時には、例えば、ゲート電極 13 に -6V、電荷蓄積層用電極（ドレイン電極）18 および拡散層（ドレイン領域 15）に 5V、拡散層（ソース領域）14 はフローティング、半導体基板 11 に 0V を夫々印加する。

このような電圧条件によれば、ドレイン領域 15 と半導体基板 11 のチャンネル領域 16 の境界領域がゲート電圧とドレイン電圧により高電界となり、バンド間トンネル電流を生じホットホールが発生する。このホットホールが、ゲート電極 13 の方向に誘引されることにより、電荷蓄積層 17 に注入され、電荷蓄積層内 17 の電子と結合することで消去が

10

20

30

40

50

行われる。

【 0 0 5 0 】

<メモリセルの読み出し動作>

読み出し時には、例えば、ゲート電極 1 3 に + 2 V、ドレイン電極 1 8 に 0 V、ソース領域 1 4 に + 1 V、半導体基板 1 1 に 0 V を夫々印加する。

このような電圧条件によれば、データ書込みが行われたメモリセルは、電荷蓄積層 1 7 にトラップされた電子による負電界により、ドレイン領域 1 5 近傍の半導体基板 1 1 の表面上に反転層が形成されにくく、いわゆるしきい値が高くなる。このしきい値の差により、データの判別を行う。

【 0 0 5 1 】

なお、前記製造条件で製造されたメモリセル M 1 の基本動作は、表 1 に示した電圧条件で可能である。

【表 1】

動作	半導体基板 (V)	ゲート電極 (V)	ソース領域 (V)	ドレイン電極 (V)
書き込み	0	+ 2 ~ + 8	0	+ 2 ~ + 8
消去	0	- 8 ~ - 2	フローテ ィング	+ 1 ~ + 5
読み出し	0	+ 1 ~ + 3	+ 1 ~ + 3	0

10

20

【 0 0 5 2 】

(実施形態 2)

図 1 0 は本発明に係る不揮発性メモリセルを備えた不揮発性半導体記憶装置の実施形態 2 を示す平面図であり、図 1 1 は図 1 0 中の線 X 2 の位置での垂直断面図である。なお、図 1 0 および図 1 1 において、図 1 および図 2 中の要素と同様の要素には、同一の符号を付している。

実施形態 2 のメモリセル M 2 は、実施形態 1 で説明した電荷蓄積層および電荷蓄積層用電極が、ゲート電極 1 3 の両側に配置されたものである。つまり、このメモリセル M 2 は、一方の拡散層 1 5 側に実施形態 1 と同様の電荷蓄積層 1 7 および電荷蓄積層用電極 1 8 を有することに加え、他方の拡散層 1 4 側にも電荷蓄積層 1 1 7 および電荷蓄積層用電極 1 1 8 を有しする、2 ビットの記憶容量を有するメモリセルである。

30

実施形態 2 において、その他の構成は概ね実施形態 1 と同様である。

【 0 0 5 3 】

拡散層 1 4 側の電荷蓄積層 1 1 7 および電荷蓄積層用電極 1 1 8 の積層構造、材料、膜厚、形状およびサイズは、拡散層 1 5 側の電荷蓄積層 1 7 および電荷蓄積層用電極 1 8 のそれらと同一であるため、メモリセル M 2 およびそれを備えた半導体記憶装置は、チャネル長方向 B を二分する面に対して対称的な構造を有している。

40

このメモリセル M 2 の製造および動作（書き込み、消去および読み出し）は、実施形態 1 で説明した製造方法および動作方法に準じて行うことができる。

なお、図 1 0 および図 1 1 において、符号 1 1 7 a はシリコン酸化膜、1 1 7 b はシリコン窒化膜、1 1 7 c はシリコン酸化膜を示しており、図 1 1 中の点線で囲まれた領域内にあるシリコン窒化膜 1 7 b、1 1 7 b が電荷の捕獲領域である。

【 0 0 5 4 】

(実施形態 3)

図 1 2 は本発明に係る不揮発性メモリセルを備えた不揮発性半導体記憶装置の実施形態 3 を示す平面図であり、図 1 3 は図 1 2 中の線 X 3 の位置での垂直断面図である。なお、図 1 2 および図 1 3 において、図 1 および図 2 中の要素と同様の要素には、同一の符号を

50

付している。

実施形態3のメモリセルM3は、実施形態1で説明した電荷蓄積層用電極が、それに隣接する不純物拡散層と電氣的に絶縁されたものであり、その他の構成は概ね実施形態1と同様である。

【0055】

このメモリセルM3において、電荷蓄積層17は、拡散層15に対する重なり部分を有し、その重なり部分のチャンネル長方向Bの長さが、図6で説明した長さL2と同一である。

電荷蓄積層用電極118は、平面的に見た電荷蓄積層17の表面全体のみを覆うように形成されている。したがって、電荷蓄積層用電極118と電荷蓄積層17のそれぞれの拡散層15側の端面は同一面状であり、電荷蓄積層用電極118は拡散層15と接触していない。

【0056】

また、実施形態1における配線26と電氣的に接続されていたコンタクトプラグ23は、実施形態3においては電荷蓄積層17に隣接する拡散層15と直接電氣的に接続されている。

さらに、このメモリセルM3の場合、電荷蓄積層用電極118に独立して電圧を印加するための専用の配線32が、コンタクトプラグ31を介して電荷蓄積層用電極118に電氣的に接続されている。

【0057】

実施形態3のメモリセルM3の基本動作は、表2に示した電圧条件で可能である。

【表2】

動作	半導体基板 (V)	ゲート電極 (V)	ソース領域 (V)	ドレイン領域 (V)	電荷蓄積層用電極 (V)
書き込み	0	+2~+8	0	+2~+8	+2~+8
消去	0	-8~-2	フローティング	+1~+5	-8~+5
読み出し	0	+1~+3	+1~+3	0	0

【0058】

(実施形態4)

図14は本発明に係る不揮発性メモリセルアレイを備えた不揮発性半導体記憶装置の実施形態を示す部分的な平面図であり、図15は図14中の線X4の位置での垂直断面図である。なお、図14および図15において、図1および図2中の要素と同様の要素には同一の符号を付している。

この不揮発性メモリセルアレイ(以下「メモリセルアレイ」と称する場合がある)は、実質的に実施形態1のメモリセルM1が複数個備えられたものであり、以下にその構造を詳しく説明する。

【0059】

このメモリセルアレイは、半導体基板11と、半導体基板11の表面上に複数本ストライプ状に形成された帯状のゲート絶縁膜12と、各ゲート絶縁膜12に積層されたゲート電極13と、各ゲート電極13の両側の半導体基板11の表面層に互い違いに形成された第1拡散層(ソース領域)14および第2拡散層(ドレイン領域)15と、第1拡散層14と第2拡散層15の間の半導体基板11の表面層に配置されたチャンネル領域16と、各第2拡散層15の表面から各ゲート電極13の側壁に沿って形成された電荷蓄積層17と、各電荷蓄積層17に積層された電荷蓄積層用電極(ドレイン電極)218とを備えている。

なお、図 1 4 において、点線で囲まれた領域が 1 個のメモリセル M 1 に相当する。

【 0 0 6 0 】

1 つのゲート絶縁膜 1 2 およびゲート電極 1 3 は、チャネル幅方向 A に延びており、チャネル幅方向 A に並ぶ複数のメモリセル M 1 に共有されている。

また、各ゲート電極 1 3 は、第 1 拡散層 1 4 側の側壁全面にサイドウォールスペーサ 1 9 が形成されていると共に、第 2 拡散層 1 5 側の側壁全面に、シリコン酸化膜 1 7 a とシリコン窒化膜 1 7 b とシリコン酸化膜 1 7 c が積層されてなる ONO 膜が形成されている。

各電荷蓄積層 1 7 は、ONO 膜がパターン化されてなり、第 2 拡散層 1 5 との重なり部分およびゲート電極 1 3 との重なり部分を有している。

また、チャネル幅方向 A とチャネル長方向 B に相互に隣接する電荷蓄積層 1 7 同士の前記重なり部分は分離されている。

なお、図 1 5 において、点線で囲まれた領域内にあるシリコン窒化膜 1 7 b が電荷の捕獲領域である。

【 0 0 6 1 】

隣接する 2 つゲート電極 1 3 の間に配置された第 1 拡散層 1 4 は、それらのゲート電極 1 3 に沿ってチャネル幅方向 A に延びており、チャネル幅方向 A に並ぶ複数のメモリセル M 1 に共有されている。

一方、隣接する 2 つゲート電極 1 3 の間に配置された第 2 拡散層 1 5 は、チャネル長方向 B に並ぶ 2 つのメモリセル M 1 にのみ共有されるよう、チャネル幅方向 A では分離されている。

また、第 2 拡散層 1 5 を挟む 2 つゲート電極 1 3 の間には、それらのゲート電極 1 3 を有するチャネル長方向 B に並んだ 2 つのメモリセル M 1 にのみ共有されるよう、2 つのメモリセル M 1 の電荷蓄積層 1 7 上に連続して 1 つの電荷蓄積層用電極 2 1 8 が積層されている。この電荷蓄積層用電極 2 1 8 は、チャネル長方向 B に並んだ 2 つのメモリセル M 1 の電荷蓄積層 1 7 の間の窪みに入り込んで第 2 拡散層 1 5 と電氣的に接続している。

【 0 0 6 2 】

このように複数のメモリセル M 1 がマトリックス状に配置されてなるメモリセルアレイを備えた半導体記憶装置は、メモリセルアレイを覆うように半導体基板 1 1 上に積層された層間絶縁膜 2 0 と、層間絶縁膜 2 0 に形成された複数のコンタクトホール内に埋め込まれてその一端が各ゲート電極 1 3 と電氣的に接続されたコンタクトプラグ 2 1 と、層間絶縁膜 2 0 に形成された複数のコンタクトホール内に埋め込まれてその一端が各第 1 拡散層 1 4 と電氣的に接続されたコンタクトプラグ 2 2 と、層間絶縁膜 2 0 に形成された複数のコンタクトホール内に埋め込まれてその一端が各電荷蓄積層用電極 2 1 8 と電氣的に接続されたコンタクトプラグ 2 3 と、層間絶縁膜 2 0 上に形成されて複数のコンタクトプラグ 2 1 の他端とそれぞれ電氣的に接続された複数のゲート用配線 2 4 と、層間絶縁膜 2 0 上に形成されて複数のコンタクトプラグ 2 2 の他端と電氣的に接続された 1 つのソース用配線 1 2 5 と、層間絶縁膜 2 0 上に形成されてチャネル長方向 B に並ぶ複数のコンタクトプラグ 2 3 の他端と電氣的に接続された複数列のドレイン用配線 1 2 6 とを備える。

【 0 0 6 3 】

この場合、複数のゲート用配線 2 4 がそれぞれ個別のワード線に相当し、ソース用配線 1 2 5 および複数のドレイン用配線 1 2 6 がそれぞれ個別のビット線に相当する。

さらに、この半導体記憶装置は、各ワード線および各ビット線に図示しない選択トランジスタが電氣的に接続されていてもよい。

この半導体記憶装置のメモリセルアレイの製造および各メモリセル M 1 の動作（書き込み、消去および読み出し）は、実施形態 1 で説明した製造方法および動作方法に準じて行うことができる。

この半導体記憶装置によれば、メモリセルアレイ全体に対する書き込み時間が、図 1 7 に示すメモリセルを用いたメモリセルアレイに比べて大幅に短縮される。

【 0 0 6 4 】

10

20

30

40

50

(実施形態5)

図16は本発明に係る不揮発性メモリセルを備えた携帯電子機器である携帯電話を示す概略ブロック図である。

この携帯電話は、主として、制御回路811、電池812、RF(無線周波数)回路813、表示装置814、アンテナ815、信号線816、電源線817等によって構成されている。制御回路811は実施形態1~3のいずれかの前記メモリセルが組み込まれている。

このメモリセルを携帯電子機器に用いることにより、携帯電子機器の機能と動作速度を向上させ、製造コストを低減することが可能になる。

【0065】

10

(他の実施形態)

1. 実施形態1では、半導体基板およびウェル領域がP型であり、一对の不純物拡散層および電荷蓄積層用電極がN型の場合について説明したが、P型とN型の導電型を逆にしてもよい。

【0066】

2. 実施形態4では実施形態1のメモリセルのアレイ構造を説明したが、実施形態2または3のメモリセルを用いてアレイ構造を作製することもできる。

実施形態2のメモリセルを用いたアレイ構造では、第1拡散層14も第2拡散層15と同様にチャンネル長方向に隣接するメモリセルのみに共有され、チャンネル長方向に並ぶ各第1拡散層は同一の配線に接続されるが、チャンネル幅方向に隣接する第1拡散層14同士は別の配線と接続されることとなり、実施形態4の配線数の約2倍に配線数が増加する。したがって、第1拡散層用の配線と第2拡散層用の配線が接触しないよう多層構造とすることが好ましい。なお、実施形態2のメモリセルを用いたメモリセルアレイでは、実施形態4のメモリセルアレイの2倍の記憶容量が得られる。

20

実施形態3のメモリセルを用いたアレイ構造では、各メモリセルの電荷蓄積層用電極と接続する配線を設ける必要がある。この場合、チャンネル長方向に並ぶ各電荷蓄積層用電極は同一の配線に接続されるが、チャンネル幅方向に隣接する電荷蓄積層用電極同士は別の配線と接続されることとなるため、実施形態4の配線数の約2倍に配線数が増加する。したがって、ドレイン電極用の配線と第2拡散層用の配線が接触しないよう多層構造とすることが好ましい。

30

【0067】

3. 前記実施形態では、電荷蓄積層に積層される電荷蓄積層用電極を、不純物拡散層と電気的に接続する場合または独立して配置する場合を例示したが、ゲート電極に電気的に接続してもよい。この場合、電荷蓄積層用電極には、ゲート電極に印加する電圧と同一の電圧が印加されるが、このようにしてもメモリセルの動作(特に書き込み)を高速化することができる。

【産業上の利用可能性】

【0068】

本発明の不揮発性メモリセルは、他のメモリセル、論理素子または論理回路等と組み合わせることにより、様々な集積回路および電子機器に広く適用することができる。例えば、パーソナルコンピュータ、ノート、ラップトップ、パーソナル・アシスタント/発信機、ミニコンピュータ、ワークステーション、メインフレーム、マルチプロセッサ・コンピュータまたは他の全ての型のコンピュータシステム等のデータ処理システム; CPU、メモリ、データ記憶装置等のデータ処理システムを構成する電子部品; 電話、PHS、モデム、ルータ等の通信機器; ディスプレイパネル、プロジェクタ等の画像表示機器; プリンタ、スキャナ、複写機等の事務機器; ビデオカメラ、デジタルカメラ等の撮像機器; ゲーム機、音楽プレイヤー等の娯楽機器; 携帯情報端末、時計、電子辞書等の情報機器; カーナビゲーションシステム、カーオーディオ等の車載機器; 動画、静止画、音楽等の情報を記録、再生するためのAV機器; 洗濯機、電子レンジ、冷蔵庫、炊飯器、食器洗い機、掃除機、エアコン等の電化製品; マッサージ器、体重計、血圧計等の健康管理機器; ICカー

40

50

ド、メモリカード等の携帯型記憶装置等の電子機器への幅広い応用が可能である。特に、携帯電話、携帯情報端末、ICカード、メモリカード、携帯型ゲーム機、デジタルカメラ、ポータブル動画プレイヤー、ポータブル音楽プレイヤー、電子辞書、時計等の携帯電子機器への応用が有効である。なお、本発明のメモリセルは、電子機器の制御回路またはデータ記憶回路の少なくとも一部として内蔵されるか、あるいは必要に応じて着脱可能に組み込んでもよい。

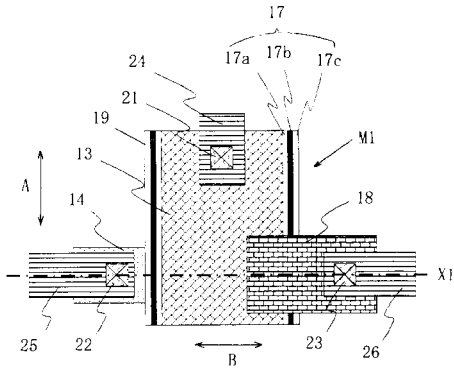
特に、電池駆動の携帯電子機器や携帯情報端末に用いることが好ましい。

【符号の説明】

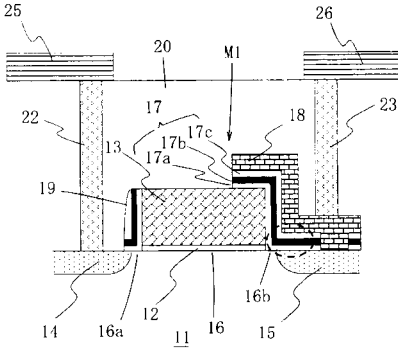
【0069】

- | | | |
|---------------------|------------------|----|
| 11 | 半導体基板（シリコン基板） | 10 |
| 12 | ゲート絶縁膜 | |
| 13 | ゲート電極 | |
| 14 | 不純物拡散層（第1不純物拡散層） | |
| 15 | 不純物拡散層（第2不純物拡散層） | |
| 16 | チャンネル領域 | |
| 16a、16b | オフセット領域 | |
| 17 | 電荷蓄積層 | |
| 17a、17c | シリコン酸化膜 | |
| 17b | シリコン窒化膜 | |
| 18、118、218 | 電荷蓄積層用電極 | 20 |
| 19 | サイドウォールスペーサ | |
| 20 | 層間絶縁膜 | |
| 21、22、23、31 | コンタクトプラグ | |
| 24、25、26、32、125、126 | 配線 | |
| 118 | 電荷蓄積層用電極 | |
| A | チャンネル幅方向 | |
| B | チャンネル長方向 | |
| M1、M2、M3 | メモリセル | |

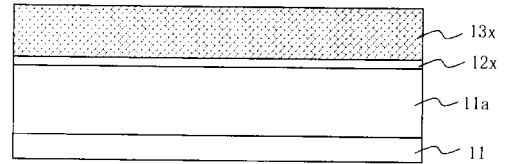
【 図 1 】



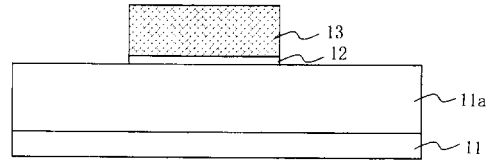
【 図 2 】



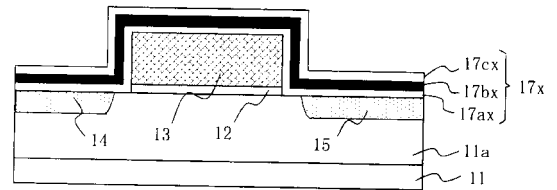
【 図 3 】



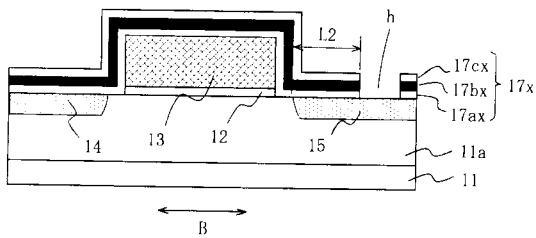
【 図 4 】



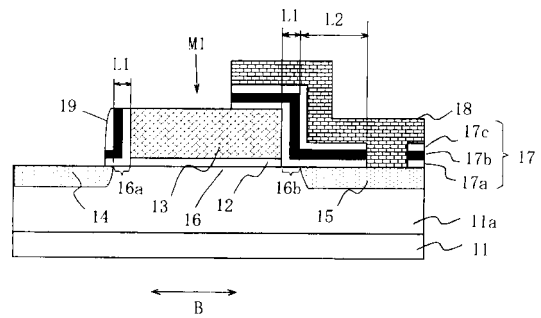
【 図 5 】



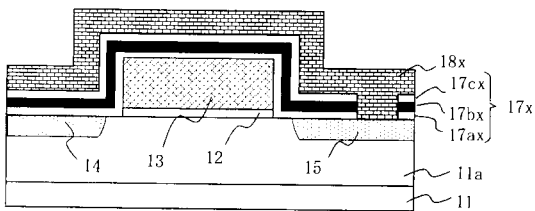
【 図 6 】



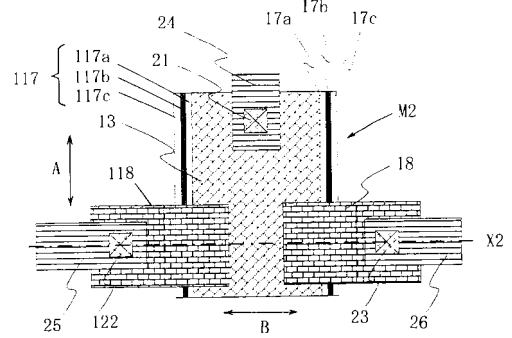
【 図 9 】



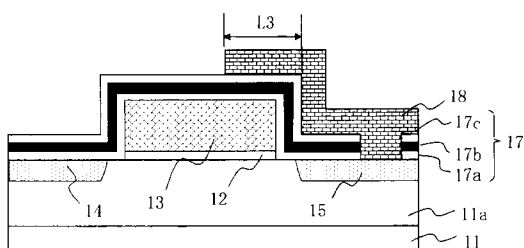
【 図 7 】



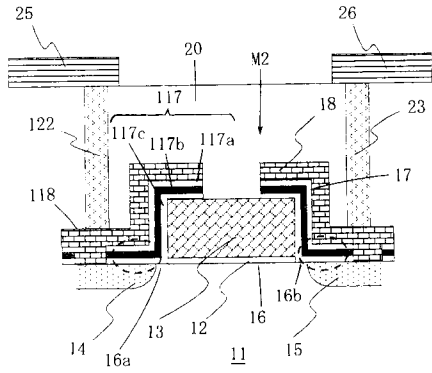
【 図 10 】



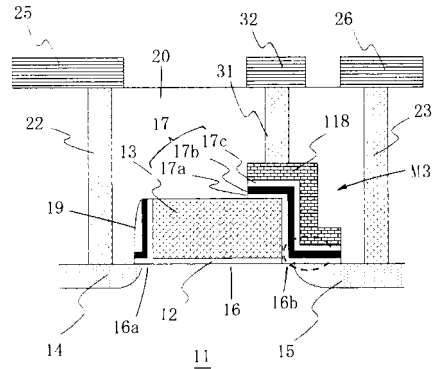
【 図 8 】



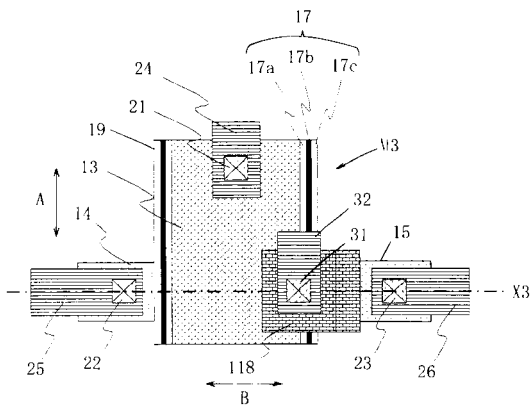
【図 1 1】



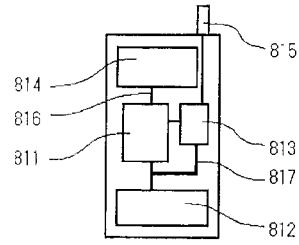
【図 1 3】



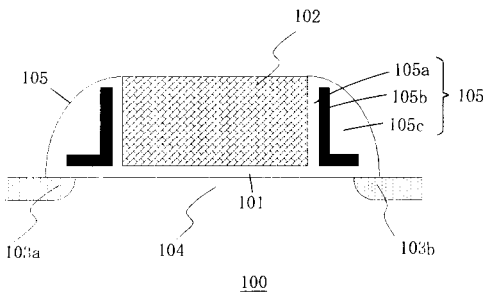
【図 1 2】



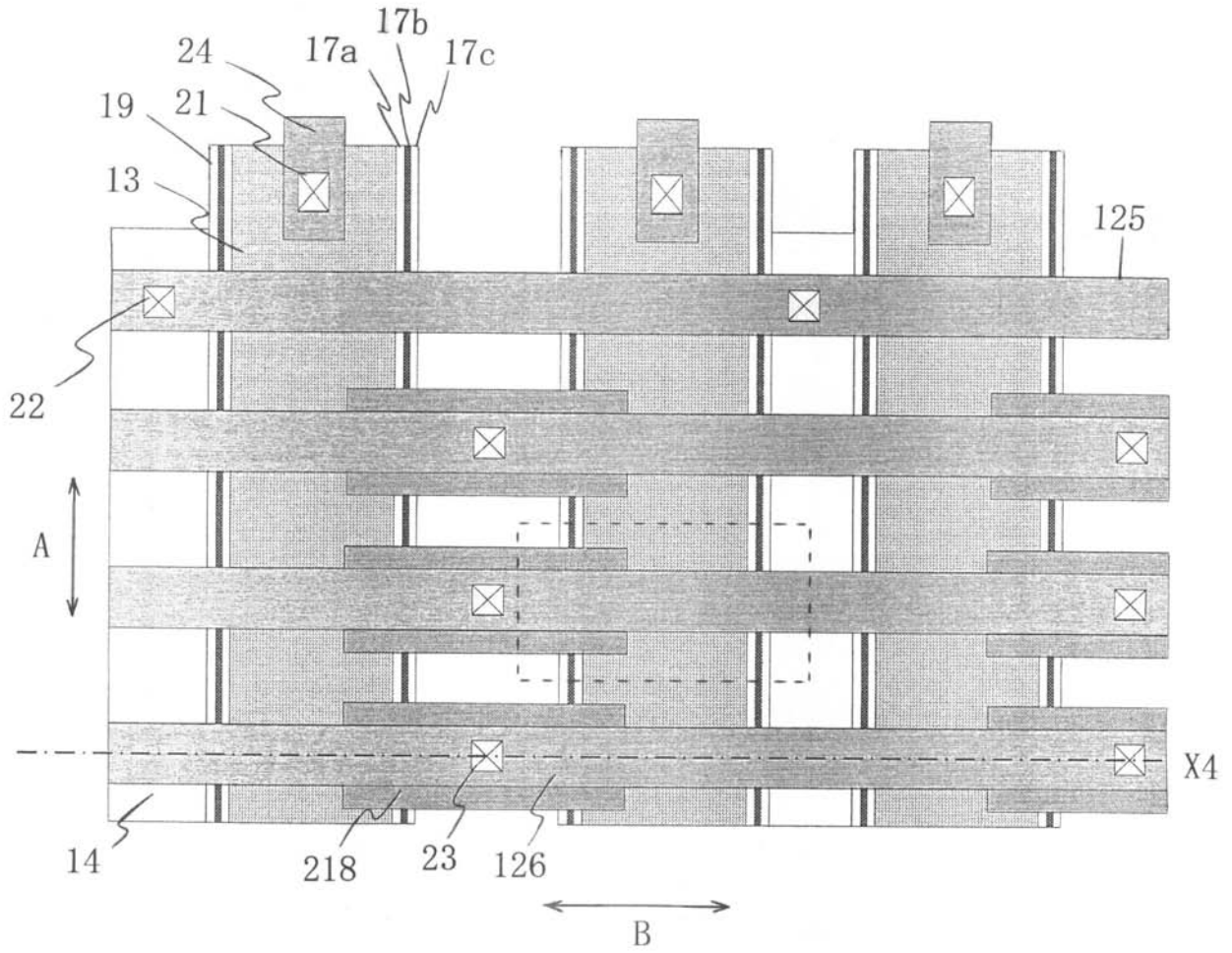
【図 1 6】



【図 1 7】



【図14】



【図15】

