

(12) 按照专利合作条约所公布的国际申请

(19) 世界知识产权组织
国际局

(43) 国际公布日
2014 年 5 月 15 日 (15.05.2014)



(10) 国际公布号
WO 2014/071664 A1

(51) 国际专利分类号:
H01L 21/00 (2006.01)

(21) 国际申请号: PCT/CN2012/085634

(22) 国际申请日: 2012 年 11 月 30 日 (30.11.2012)

(25) 申请语言: 中文

(26) 公布语言: 中文

(30) 优先权:
201210447946.3 2012 年 11 月 9 日 (09.11.2012) CN

(71) 申请人: 中国科学院微电子研究所 (INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES) [CN/CN]; 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。

(72) 发明人: 朱慧珑 (ZHU, Huilong); 美国纽约州波基普西市奥特姆路 93#, New York 12603 (US)。 许淼 (XU, Miao); 中国北京市朝阳区北土城西路 3 号, Beijing 100029 (CN)。 梁擎擎 (LIANG, Qingqing); 美国纽约州拉格朗日镇瑞吉路 28 号, New York 12540 (US)。 尹海洲 (YIN, Haizhou); 美国纽约州

波基普西市洛克科劳斯特街 11#, New York 12603 (US)。

(74) 代理人: 中科专利商标代理有限责任公司 (CHINA SCIENCE PATENT AND TRADEMARK AGENT LTD.); 中国北京市海淀区西三环北路 87 号国际财经中心 D 座 11 层, Beijing 100089 (CN)。

(81) 指定国 (除另有指明, 要求每一种可提供的国家保护): AE, AG, AL, AM, AO, AT, AU, AZ, BA, BB, BG, BH, BN, BR, BW, BY, BZ, CA, CH, CL, CN, CO, CR, CU, CZ, DE, DK, DM, DO, DZ, EC, EE, EG, ES, FI, GB, GD, GE, GH, GM, GT, HN, HR, HU, ID, IL, IN, IS, JP, KE, KG, KM, KN, KP, KR, KZ, LA, LC, LK, LR, LS, LT, LU, LY, MA, MD, ME, MG, MK, MN, MW, MX, MY, MZ, NA, NG, NI, NO, NZ, OM, PA, PE, PG, PH, PL, PT, QA, RO, RS, RU, RW, SC, SD, SE, SG, SK, SL, SM, ST, SV, SY, TH, TJ, TM, TN, TR, TT, TZ, UA, UG, US, UZ, VC, VN, ZA, ZM, ZW。

(84) 指定国 (除另有指明, 要求每一种可提供的地区保护): ARIPO (BW, GH, GM, KE, LR, LS, MW, MZ, NA, RW, SD, SL, SZ, TZ, UG, ZM, ZW), 欧亚 (AM, AZ, BY, KG, KZ, RU, TJ, TM), 欧洲 (AL, AT, BE, BG, CH, CY, CZ, DE, DK, EE, ES, FI, FR, GB, GR, HR, HU, IE,

[见续页]

(54) Title: FINFET AND MANUFACTURING METHOD THEREFOR

(54) 发明名称: FinFET 及其制造方法

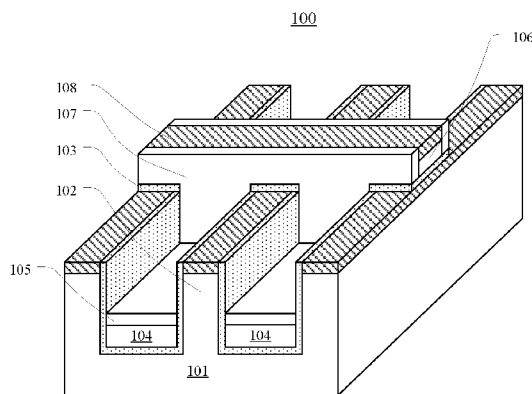


图9 / Fig. 9

(57) Abstract: Disclosed are a FinFET and a manufacturing method therefor. The manufacturing method for a FinFET comprises: forming on a semiconductor substrate an opening for limiting a semiconductor fin; forming a gate dielectric, the gate dielectric conformally covering the semiconductor fin and the opening; forming in the opening a first gate conductor, the first gate conductor being adjacent to the lower part of the semiconductor fin; forming in the opening an insulating isolation layer located on the first gate conductor; forming a second gate conductor, the first part of the second gate conductor being located on the insulating isolation layer and being adjacent to the upper part of the semiconductor fin, and the second part of the second gate conductor being located above the semiconductor fin; forming on the side wall of the second gate conductor a side wall; and forming in the semiconductor fin a source region and a drain region. By means of the FinFET of the present invention, the first gate conductor is used to apply a bias voltage to the lower part of the semiconductor fin so as to reduce the leakage between the surface region and the drain region.

(57) 摘要:

[见续页]



WO 2014/071664 A1



IS, IT, LT, LU, LV, MC, MK, MT, NL, NO, PL, PT, RO, **本国际公布:**

RS, SE, SI, SK, SM, TR), OAPI (BF, BJ, CF, CG, CI,
CM, GA, GN, GQ, GW, ML, MR, NE, SN, TD, TG)。

— 包括国际检索报告(条约第 21 条(3))。

公开了 FinFET 及其制造方法。该 FinFET 的制造方法, 包括: 在半导体衬底上形成用于限定半导体鳍片的开口; 形成栅极电介质, 该栅极电介质共形地覆盖半导体鳍片和开口; 在开口内形成第一栅极导体, 该第一栅极导体与半导体鳍片的下部相邻; 在开口内形成位于第一栅极导体上的绝缘隔离层; 形成第二栅极导体, 该第二栅极导体的第一部分位于绝缘隔离层上并且与半导体鳍片的上部相邻, 该第二栅极导体的第二部分位于半导体鳍片上方; 在第二栅极导体侧壁上形成侧墙; 以及在半导体鳍片中形成源区和漏区。本发明的 FinFET 利用第一栅极导体向半导体鳍片的下部施加偏压以减面区和漏区之间的泄漏。

FinFET 及其制造方法

本申请要求了 2012 年 11 月 9 日提交的、申请号为 201210447946.3、发明名称为“FinFET 及其制造方法”的中国专利申请的优先权，其全部内容通过引用结合在本申请中。

技术领域

本发明涉及半导体技术，更具体地，涉及 FinFET 及其制造方法。

背景技术

随着平面型半导体器件的尺寸越来越小，短沟道效应愈加明显。为此，提出了立体型半导体器件如 FinFET（鳍片场效应晶体管）。FinFET 包括用于形成沟道区的半导体鳍片和至少覆盖半导体鳍片的一个侧壁的栅堆叠。栅堆叠与半导体鳍片相交，并包括栅极导体和栅极电介质。栅极电介质将栅极导体和半导体鳍片之间隔开。FinFET 可以具有双栅、三栅或环栅配置，而且半导体鳍片的宽度（即厚度）小，因此 FinFET 可以改善栅极导体对沟道区的载流子的控制以及抑制短沟道效应。

可以采用体硅衬底和绝缘体上硅(SOI)晶片制造 FinFET。基于体硅衬底的 FinFET 在大批量制造（massive production）时具有低成本的优点。然而，在半导体鳍片的下部，半导体衬底可能提供源区和漏区之间的漏电路径，从而导致器件性能劣化甚至失效。

发明内容

本发明的目的是提供一种减小源区和漏区之间的泄漏的 FinFET。

根据本发明的一方面，提供一种 FinFET 的制造方法，包括：在半导体衬底上形成用于限定半导体鳍片的开口；形成栅极电介质，该栅极电介质共形地覆盖半导体鳍片和开口；在开口内形成第一栅极导体，该第一栅极导体与半导体鳍片的下部相邻；在开口内形成位于第一栅极导体上的绝缘隔离层；形成第二栅极导体，该第二栅极导体的第一部分位于绝缘隔离层上并且与半导体鳍片的上部相邻，该第二栅极导体的第二部分位于半导体鳍片上方；在第二栅极导体侧壁上形成侧墙；以及在半导体鳍片中形成源区和漏区。

根据本发明的另一方面，提供一种 FinFET，包括：半导体衬底；在半导体衬底中形成的半导体鳍片；位于半导体鳍片的两端的源/漏区；位于半导体鳍片上的栅极电介质；与半导体鳍片的下部相邻的第一栅极导体；位于第一栅极导体上的绝缘隔离层；第二栅极导体，该第二栅极导体的第一部分位于绝缘隔离层上并且与半导体鳍片的上部相邻，该第二栅极导体的第二部分位于半导体鳍片上方；以及位于第二栅极导体侧壁上的侧墙。

在本发明中，利用第一栅极导体向半导体鳍片的下部施加偏压以减小源区和漏区之间的泄漏。

附图说明

通过以下参照附图对本发明实施例的描述，本发明的上述以及其他目的、特征和优点将更为清楚，在附图中：

图 1 至 8 示出根据本发明的实施例制造 FinFET 的方法的流程图，其中在图 1 至 6 以及 7a 和 8a 中示出沿着一个方向的截面图，在图 7b 和 8b 中示出俯视图以及截面图的截取位置；

图 9 示出根据本发明的实施例的 FinFET 的透视图；以及

图 10 示出根据本发明的实施例的 FinFET 的模拟结果。

具体实施方式

以下将参照附图更详细地描述本发明。在各个附图中，相同的元件采用类似的附图标记来表示。为了清楚起见，附图中的各个部分没有按比例绘制。

为了简明起见，可以在一幅图中描述经过数个步骤后获得的半导体结构。

应当理解，在描述器件的结构时，当将一层、一个区域称为位于另一层、另一个区域“上面”或“上方”时，可以指直接位于另一层、另一个区域上面，或者在其与另一层、另一个区域之间还包含其它的层或区域。并且，如果将器件翻转，该一层、一个区域将位于另一层、另一个区域“下面”或“下方”。如果为了描述直接位于另一层、另一个区域上面的情形，本文将采用“直接在……上面”或“在……上面并与之邻接”的表述方式。

在本申请中，术语“半导体结构”指在制造半导体器件的各个步骤中形成的整个半导体结构的统称，包括已经形成的所有层或区域。在下文中描述了本发明的许多特

定的细节，例如器件的结构、材料、尺寸、处理工艺和技术，以便更清楚地理解本发明。但正如本领域的技术人员能够理解的那样，可以不按照这些特定的细节来实现本发明。

除非在下文中特别指出，FinFET 的各个部分可以由本领域的技术人员公知的材料构成。半导体材料例如包括 III-V 族半导体，如 GaAs、InP、GaN、SiC，以及 IV 族半导体，如 Si、Ge。栅极导体可以由能够导电的各种材料形成，例如金属层、掺杂多晶硅层、或包括金属层和掺杂多晶硅层的叠层栅导体或者是其他导电材料，例如为 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTax、NiTax，MoNx、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSix、Ni₃Si、Pt、Ru、Ir、Mo、HfRu、RuO_x 和所述各种导电材料的组合。栅极电介质可以由 SiO₂ 或介电常数大于 SiO₂ 的材料构成，例如包括氧化物、氮化物、氧氮化物、硅酸盐、铝酸盐、钛酸盐，其中，氧化物例如包括 SiO₂、HfO₂、ZrO₂、Al₂O₃、TiO₂、La₂O₃，氮化物例如包括 Si₃N₄，硅酸盐例如包括 HfSiO_x，铝酸盐例如包括 LaAlO₃，钛酸盐例如包括 SrTiO₃，氧氮化物例如包括 SiON。并且，栅极电介质不仅可以由本领域的技术人员公知的材料形成，也可以采用将来开发的用于栅极电介质的材料。

本发明可以各种形式呈现，以下将描述其中一些示例。

按照本发明的方法的实施例，执行图 1 至 8 所示的以下步骤，在图中示出了各阶段的半导体结构的截面图。

如图 1 所示，提供半导体衬底 101。该半导体衬底 101 可以是各种形式的衬底，例如但不限于体半导体材料衬底如体 Si 衬底、绝缘体上半导体（SOI）衬底、SiGe 衬底等。在以下的描述中，为方便说明，以体 Si 衬底为例进行描述。

然后，将半导体衬底 101 图案化以形成半导体鳍片 102。该图案化可以包括以下步骤：通过包含曝光和显影的光刻工艺，在半导体衬底 101 上形成含有图案的光致抗蚀剂掩模 PR1；通过干法蚀刻，如离子铣蚀刻、等离子蚀刻、反应离子蚀刻、激光烧蚀，或者通过其中使用蚀刻剂溶液的湿法蚀刻，去除半导体衬底 101 的暴露部分，形成用于限定半导体鳍片 102 的开口。通过控制蚀刻时间，可以控制蚀刻到达期望的深度，进而控制半导体鳍片 102 的高度。

应当指出，尽管在图中示出了一个半导体鳍片 102，但本发明不限于此，而是可以同时为一个 FinFET 形成多个半导体鳍片。例如，多个半导体鳍片对于增加导通电流是有利的。

接下来，通过在溶剂中溶解或灰化去除光致抗蚀剂掩模 PR1。然后，通过已知的沉积工艺，如 CVD（化学气相沉积）、PVD（物理气相沉积）、原子层沉积、溅射等，在半导体结构的表面上形成共形的高 k 介质层 103 和覆盖的多晶硅层 104。高 k 介质层 103 例如是厚度约 5-10nm 的 HfO_2 层。多晶硅层 104 的厚度应当足以填充开口。通过选择性的干法蚀刻或湿法蚀刻，例如反应离子蚀刻（RIE），相对于下方的高 k 介质层 103，选择性地去除多晶硅层 104 的一部分，如图 2 所示。通过控制蚀刻时间，去除多晶硅层 104 位于开口外部的部分，并且进一步回蚀刻多晶硅层 104 位于开口里面的一部分。结果，多晶硅层 104 位于开口内的剩余部分形成第一栅极导体，如图 2 所示。

接下来，可以通过高密度等离子体沉积（HDP）工艺，在半导体结构的表面上形成氧化物层 105。通过控制工艺淀积参数，使得氧化物层 105 在半导体鳍片的顶部上的部分厚度远远小于位于半导体鳍片之间的开口内的部分厚度，优选为半导体鳍片的顶部上的部分厚度小于位于半导体鳍片之间的开口内的部分厚度的三分之一，优选小于四分之一，且优选为氧化物层 105 在半导体鳍片的顶部上的部分的厚度小于半导体鳍片之间间距（即开口宽度）的一半。在本发明的一个实施例中，其中氧化物层 105 在开口内的部分的厚度大于 80nm，氧化物层 105 位于半导体鳍片顶部的部分的厚度小于 20nm。

通过选择性的干法蚀刻或湿法蚀刻，例如反应离子蚀刻（RIE），相对于高 k 介质层 103，回蚀刻氧化物层 105。通过控制蚀刻时间，完全去除氧化物层 105 在半导体鳍片的顶部上的部分，以及部分去除氧化物层 105 位于半导体鳍片之间的开口内的部分。

结果，经过蚀刻的氧化物层 105 仅仅位于开口内多晶硅层 104 的上方，例如厚度约为 10-20nm，如图 4 所示。氧化物层 105 例如由氧化硅组成，作为用于分隔开将要形成的第二栅极导体和已经形成的第一栅极导体的绝缘隔离层。

接下来，通过上述已知的沉积工艺，在半导体结构的表面上形成第二栅极导体 106，如图 5 所示。第二栅极导体 106 的厚度应当足以填充开口并覆盖半导体鳍片 102。如果需要，可通过化学机械抛光（CMP）平整半导体结构的表面。

可选地，在形成第二栅极导体 106 之前，还可以去除高 k 介质层 103 的暴露部分，以及形成厚度约为 2-5nm 的共形的高 k 介质层（例如 HfO_2 ，未示出），以提供附加的高质量栅极电介质，该附加的高质量栅极电介质共形地覆盖半导体鳍片 102 和开口。

可选地，在形成第二栅极导体 106 之前，还可以预先形成厚度约为 0.3-0.7nm 的共形的界面层（例如氧化硅，未示出）和厚度约为 2-5nm 的共形的高 k 介质层（例如 HfO_2 ，未示出），以提供附加的高质量的栅极电介质。

仍然可选地，在形成第二栅极导体 106 之前还可以形成功函数调节层（未示出）。功函数调节层例如可以包括 TaC、TiN、TaTbN、TaErN、TaYbN、TaSiN、HfSiN、MoSiN、RuTa、NiTa、MoN、TiSiN、TiCN、TaAlC、TiAlN、TaN、PtSi、 Ni_3Si 、Pt、Ru、Ir、Mo、HfRu、 RuO_x 及其组合，厚度约为 2-10nm。正如本领域的技术人员已知的那样，功函数调节层是优选的层，包含功函数调节层的栅堆叠（如 $\text{HfO}_2/\text{TiN}/\text{多晶 Si}$ ）可以有利地获得减小的栅极漏电流。

接下来，采用光致抗蚀剂掩模 PR2，通过上述的图案化工艺将第二栅极导体 106 形成为期望的图案，如图 6 所示。图案化之后的第二栅极导体 106 与半导体鳍片 102 相交，例如沿着大致垂直于半导体鳍片 102 的长度方向的方向延伸。在图案化中，相对于下方的高 k 介质层 103 和氧化物层 105 选择性地去除第二栅极导体 106 的暴露部分。

接下来，通过在溶剂中溶解或灰化去除光致抗蚀剂掩模 PR2，以暴露第二栅极导体 106 的表面。然后，通过上述的已知的沉积工艺，在半导体结构的表面上沉积例如 10-50 纳米的氮化物层。通过各向异性蚀刻去除氮化物层与半导体衬底 101 的主表面平行延伸的部分。氮化物层位于第二栅极导体 106 的侧壁上的垂直延伸的部分保留而形成侧墙 107，如图 7a 和 7b 所示。

图 7b 是获得的半导体结构的俯视图，其中采用线 A-A 表示图 1 至 6 以及 7a 和 8a 的截取位置。如图所示，图 1 至 6 以及 7a 和 8a 沿着垂直于半导体鳍片 102 的长度方向并经过第二栅极导体 106 的截面图。

然后，以第二栅极导体 106 侧墙 107 作为硬掩模，穿过高 k 介质层 103 对半导体鳍片 102 进行离子注入以形成源区和漏区（未示出）。在用于形成源区和漏区的离子注入中，对于 p 型器件，可以通过注入 p 型杂质如 In、 BF_2 或 B；对于 n 型器件，可以通过注入 n 型杂质如 As 或 P。

按照设计需要，还可以进行附加的离子注入以形成延伸区和晕圈区。在用于形成延伸区的附加的离子注入中，对于 p 型器件，可以注入上述的 p 型杂质，对于 n 型器件，可以注入上述的 n 型杂质。在用于形成晕圈区的附加的离子注入中，对于 p 型器件，可以注入上述的 n 型杂质，对于 n 型器件，可以注入上述的 p 型杂质。

可选地，在上述离子注入之后，可以进行退火处理例如尖峰退火、激光退火、快

速退火等，以激活注入的杂质。

接下来，采用合适的蚀刻剂并且以第二栅极导体 106 和侧墙 107 作为硬掩模，通过上述的干法蚀刻或湿法蚀刻，例如 RIE，选择性地去除高 k 介质层 103 的暴露部分。该蚀刻暴露半导体衬底 101（以及其中形成的半导体鳍片 102）的顶部表面。

可选地，在第二栅极导体 106（如果由硅组成）的表面、半导体衬底 101（以及其中形成的半导体鳍片 102）的暴露表面进行硅化以形成金属硅化物层 108，以减小与栅极、源区和漏区的接触电阻，如图 8a 和 8b 所示。

该硅化的工艺是已知的。例如，首先沉积厚度约为 5-12nm 的 Ni 层，然后在 300-500℃ 的温度下热处理 1-10 秒钟，使得第二栅极导体 106、半导体衬底 101（以及其中形成的半导体鳍片 102）的表面部分形成 NiSi，最后利用湿法蚀刻去除未反应的 Ni。

在图 8a 和 8b 所示的步骤之后，在所得到的半导体结构上形成层间绝缘层、位于层间绝缘层中的通孔、位于层间绝缘层上表面的布线或电极，从而完成 FinFET 的其他部分。利用通孔分别实现与第二栅极导体 106、源区和漏区、第一栅极导体 104 的电连接。

图 9 示出根据本发明的实施例的 FinFET 100 的透视图。该 FinFET 100 包括半导体衬底 101。半导体鳍片 102 由半导体衬底 101 中的开口限定。在半导体鳍片 102 的两端形成了源/漏区（未示出）。栅极电介质 103 位于半导体鳍片 102 的顶部和开口的底部和侧壁上。第一栅极导体 104 位于开口内，与半导体鳍片 102 的底部相邻，并且与半导体衬底 101 和半导体鳍片 102 之间由栅极电介质 103 隔开。氧化物层 105 位于第一栅极导体 104 上方。第二栅极导体 107 位于半导体鳍片 102 上方，并且与半导体鳍片 102 之间由栅极电介质 103 隔开。此外，氧化物层 105 用作将第一栅极导体 104 和第二栅极导体 107 相互隔开的绝缘隔离层。

第一栅极导体 104 沿着与半导体鳍片 102 的长度方向大致平行的方向延伸。第二栅极导体 107 与半导体鳍片 102 相交，例如，第二栅极导体 107 沿着与半导体鳍片 102 的长度方向大致垂直的方向延伸。

可选地，在第二栅极导体 107 和半导体鳍片 102 的顶部形成金属硅化物层 108 以减小接触电阻。

图 10 示出根据本发明的实施例的 FinFET 的转移特性（ I_d - V_g ）曲线模拟结果。本发明的 FinFET 包括与半导体鳍片的下部相邻的第一栅极导体，在第一栅极导体 104

施加偏压。在如图所示的示例中,第一栅极导体 104 相对于衬底 101 的偏压 $V_{g1-sub}=-1V$ 。如图所示,在相同的漏极电压 ($V_D=1V$ 或 $0V$),本发明的 FinFET 的漏电流相对现有技术的 FinFET 的漏电流均减小。以漏极电压 $V_D=1V$ 为例,现有技术的 FinFET 在关断时源区和漏区之间的漏电流 $I_{off}=7.8e-7 A$,而本发明的 FinFET 在关断时源区和漏区之间的漏电流 $I_{off}=2.0e-8 A$,减小达至少 30 分之一。

在以上的描述中,对于各层的构图、蚀刻等技术细节并没有做出详细的说明。但是本领域技术人员应当理解,可以通过各种技术手段,来形成所需形状的层、区域等。另外,为了形成同一结构,本领域技术人员还可以设计出与以上描述的方法并不完全相同的方法。另外,尽管在以上分别描述了各实施例,但是这并不意味着各个实施例中的措施不能有利地结合使用。

以上对本发明的实施例进行了描述。但是,这些实施例仅仅是为了说明的目的,而并非为了限制本发明的范围。本发明的范围由所附权利要求及其等价物限定。不脱离本发明的范围,本领域技术人员可以做出多种替代和修改,这些替代和修改都应落在本发明的范围之内。

权 利 要 求

- 1、一种 FinFET 的制造方法，包括：
在半导体衬底上形成用于限定半导体鳍片的开口；
形成栅极电介质，该栅极电介质共形地覆盖半导体鳍片和开口；
在开口内形成第一栅极导体，该第一栅极导体与半导体鳍片的下部相邻；
在开口内形成位于第一栅极导体上的绝缘隔离层；
形成第二栅极导体，该第二栅极导体的第一部分位于绝缘隔离层上并且与半导体鳍片的上部相邻，该第二栅极导体的第二部分位于半导体鳍片上方；
在第二栅极导体侧壁上形成侧墙；以及
在半导体鳍片中形成源区和漏区。
- 2、根据权利要求 1 所述的方法，其中形成第一栅极导体包括：
形成用于填充开口的导电层；以及
相对于栅极电介质选择性地蚀刻导电层，使得导电层仅留在开口内而形成第一栅极导体。
- 3、根据权利要求 1 所述的方法，其中第一栅极导体由多晶硅组成。
- 4、根据权利要求 1 所述的方法，其中形成绝缘隔离层包括：
形成绝缘层，该绝缘层填充开口并且覆盖半导体鳍片顶部；以及
回刻绝缘层，去除绝缘层位于半导体鳍片顶部的部分并保留绝缘层在开口内的一部分，从而形成绝缘隔离层。
- 5、根据权利要求 4 所述的方法，其中形成用于填充开口的绝缘层包括：
通过高密度等离子体淀积方法形成绝缘层，该绝缘层在开口内的部分的厚度远远大于位于半导体鳍片顶部的部分的厚度。
- 6、根据权利要求 5 所述的方法，其中刚刚形成的绝缘层位于半导体鳍片顶部的部分的厚度小于绝缘层在开口内的部分的厚度的三分之一。
- 7、根据权利要求 1 所述的方法，其中形成第二栅极导体包括：
形成用于填充开口的导电层；以及
相对于栅极电介质选择性地蚀刻导电层，以形成与半导体鳍片相交的第二栅极导体。
- 8、根据权利要求 7 所述的方法，其中第二栅极导体沿着与半导体鳍片的长度方

向大致垂直的方向延伸。

9、根据权利要求 1 所述的方法，在形成绝缘隔离层和形成第二栅极导体的步骤之间，还包括：

去除栅极电介质的暴露部分；以及

形成另一个栅极电介质，该另一个栅极电介质共形地覆盖半导体鳍片和开口。

10、根据权利要求 1 所述的方法，在形成绝缘隔离层和形成第二栅极导体的步骤之间，还包括：

在栅极电介质上形成界面层；以及

形成另一个栅极电介质，该另一个栅极电介质共形地覆盖半导体鳍片和开口并位于界面层上。

11、根据权利要求 9 或 10 所述的方法，在形成另一个栅极电介质和形成第二栅极导体之间，还包括：

在所述另一个栅极电介质上形成功函数调节层。

12、根据权利要求 1 所述的方法，在形成源区和漏区之后，还包括：

以第二栅极导体和侧墙作为掩模，去除栅极电介质的显露部分，以露出半导体鳍片的顶部表面；以及

进行硅化，在第二栅极导体和半导体鳍片的顶部形成硅化物。

13、一种 FinFET，包括：

半导体衬底；

在半导体衬底中形成的半导体鳍片；

位于半导体鳍片的两端的源/漏区；

位于半导体鳍片上的栅极电介质；

与半导体鳍片的下部相邻的第一栅极导体；

位于第一栅极导体上的绝缘隔离层；

第二栅极导体，该第二栅极导体的第一部分位于绝缘隔离层上并且与半导体鳍片的上部相邻，该第二栅极导体的第二部分位于半导体鳍片上方；以及

位于第二栅极导体侧壁上的侧墙。

14、根据权利要求 13 所述的 FinFET，其中所述第一栅极导体沿着与半导体鳍片的长度方向大致平行的方向延伸。

15、根据权利要求 13 所述的 FinFET，其中所述第二栅极导体与半导体鳍片相交。

16、根据权利要求 15 所述的 FinFET，其中所述第二栅极导体沿着与半导体鳍片的长度方向大致垂直的方向延伸。

17、根据权利要求 13 所述的 FinFET，其中所述第一栅极导体由多晶硅组成。

18、根据权利要求 13 所述的 FinFET，其中所述第二栅极导体由多晶硅组成。

19、根据权利要求 13 所述的 FinFET，其中所述绝缘隔离层由 HDP 氧化物组成。

20、根据权利要求 13 所述的 FinFET，其中绝缘隔离层的厚度约为 10-20nm。

21、根据权利要求 13 所述的 FinFET，其中所述栅极电介质包括第一栅极电介质和第二栅极电介质，第一栅极电介质将该第一栅极导体与半导体衬底和半导体鳍片隔开，第二栅极电介质将第二栅极导体与半导体鳍片隔开。

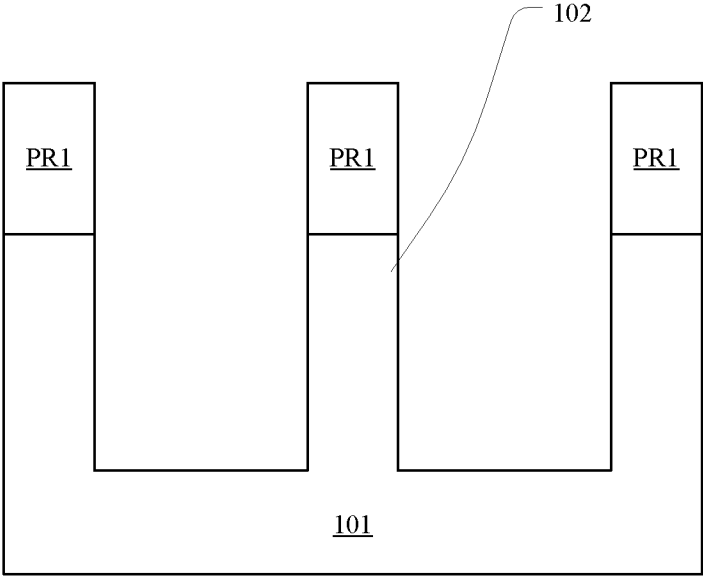


图1

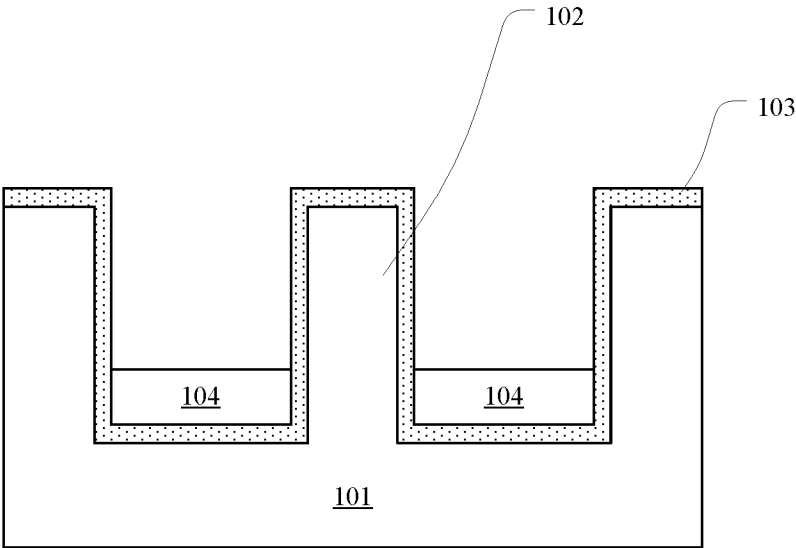


图2

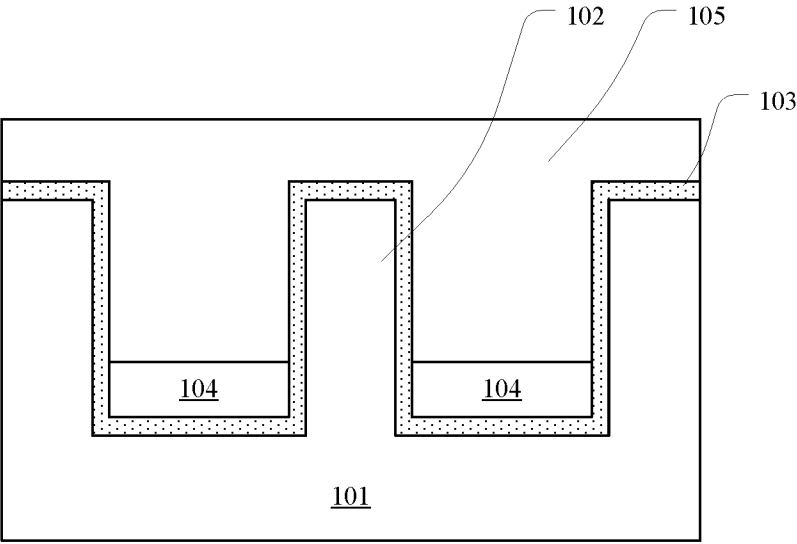


图3

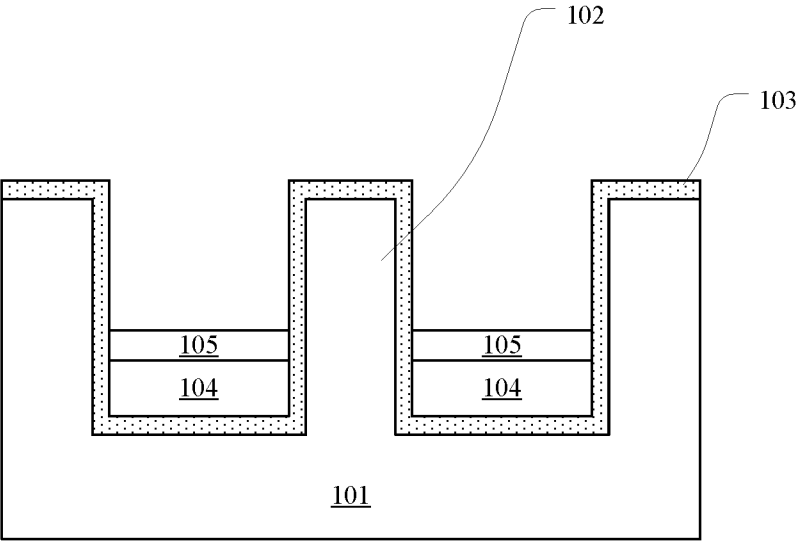


图4

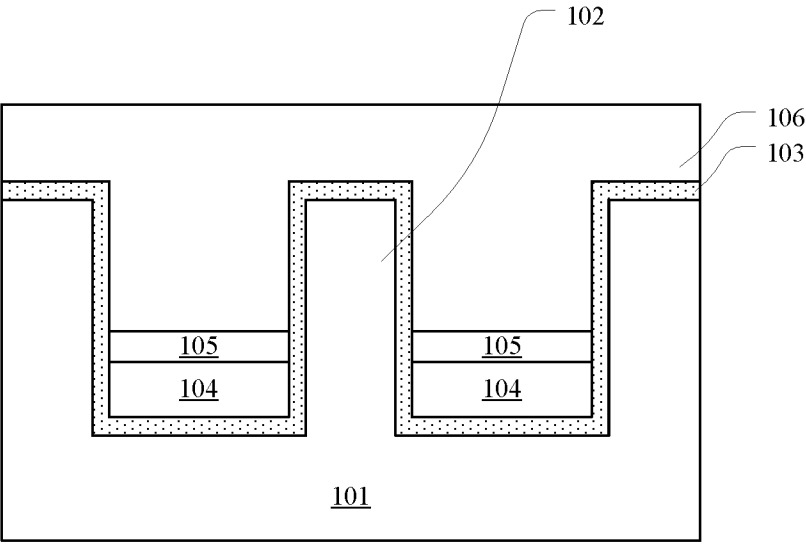


图5

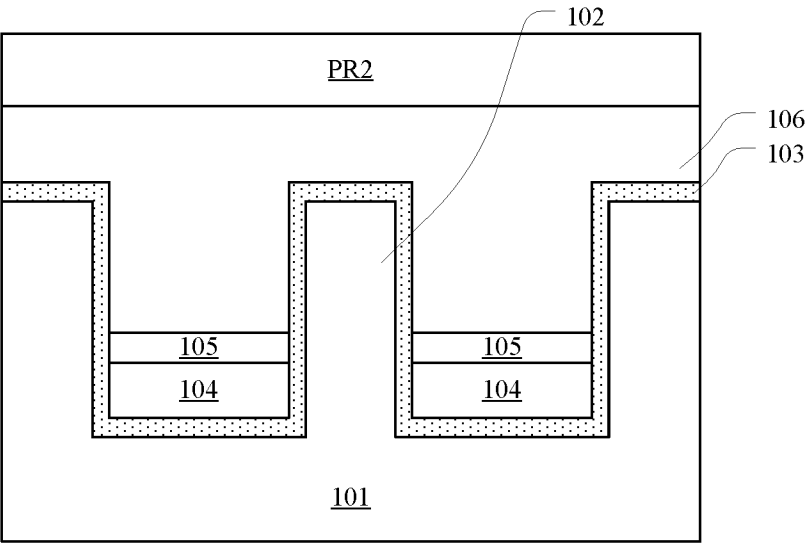


图6

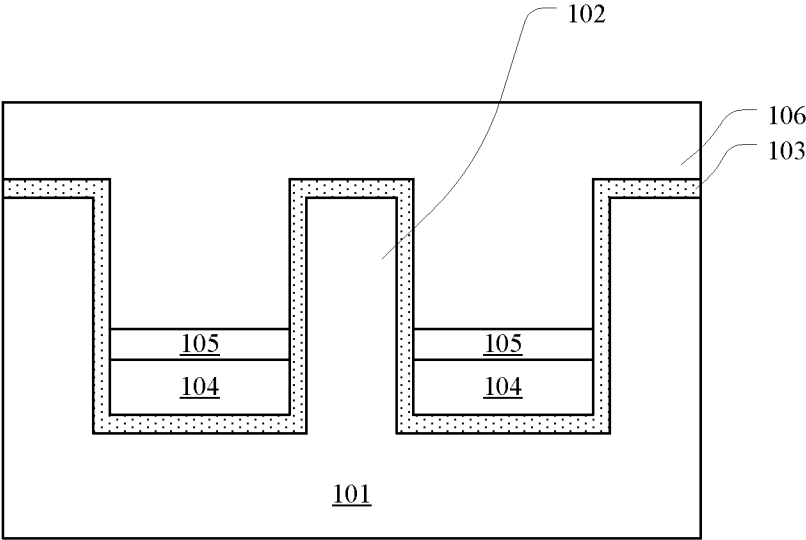


图 7a

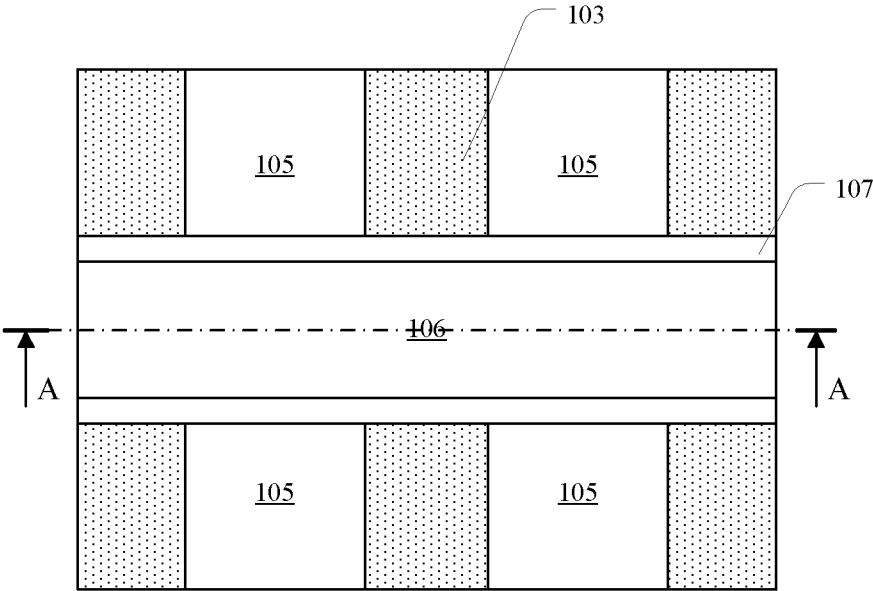


图 7b

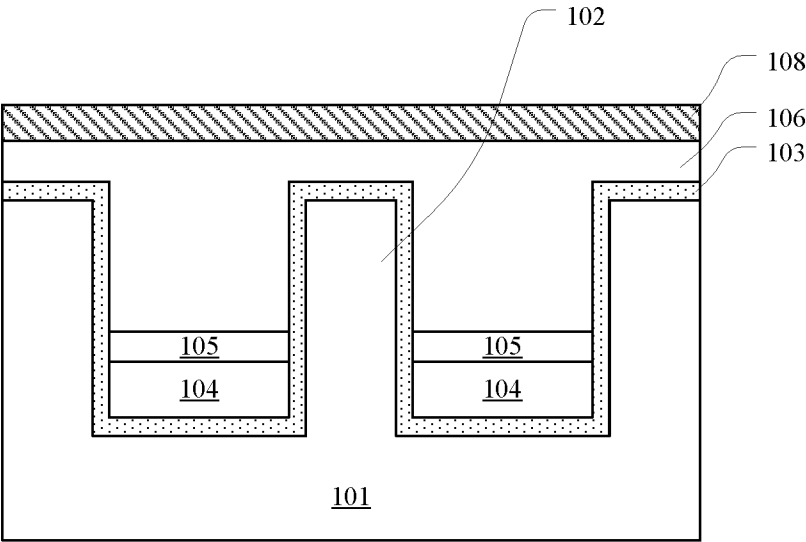


图8a

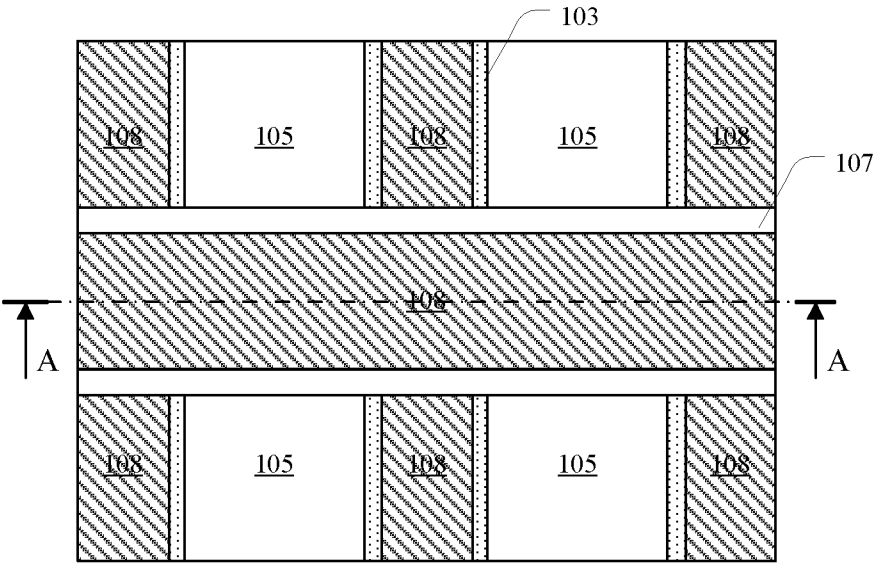


图8b

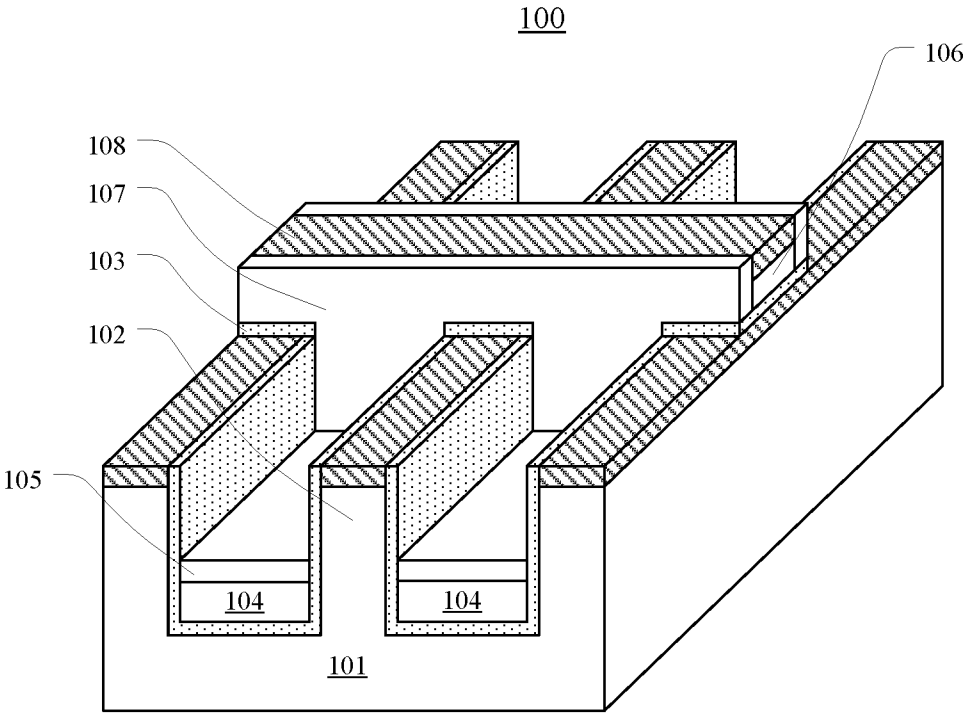


图9

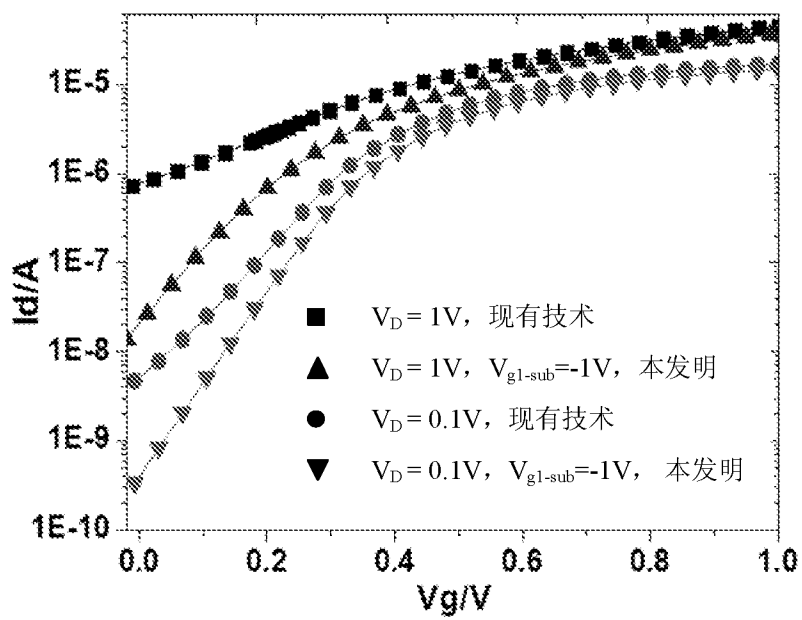


图10

INTERNATIONAL SEARCH REPORT

International application No.

PCT/CN2012/085634

A. CLASSIFICATION OF SUBJECT MATTER

H01L 21/00 (2006.01) i

According to International Patent Classification (IPC) or to both national classification and IPC

B. FIELDS SEARCHED

Minimum documentation searched (classification system followed by classification symbols)

IPC: H01L 21/-

Documentation searched other than minimum documentation to the extent that such documents are included in the fields searched

Electronic data base consulted during the international search (name of data base and, where practicable, search terms used)

CNPAT, WPI, EPODOC, CNKI: INSTITUTE OF MICROELECTRONICS, CHINESE ACADEMY OF SCIENCES; ZHU, Huilong; XU, Miao; LIANG, Qingqing; YIN, Haizhou; FIN, current leakage, TRANSISTOR, GATE, DUAL 3D GATE, CROSS P GATE, DOUBLE P GATE, CROSS 5D GATE, DOUBLE 5D GATE, LEAK

C. DOCUMENTS CONSIDERED TO BE RELEVANT

Category*	Citation of document, with indication, where appropriate, of the relevant passages	Relevant to claim No.
X	CN 101286481 A (OKI ELECTRIC INDUSTRY CO., LTD.), 15 October 2008 (15.10.2008), description, page 5, paragraph 5 to page 13, paragraph 5, and figures 1-11	1-21
X	US 2007/0102763 A1 (YEO et al.), 10 May 2007 (10.05.2007), description, paragraphs [0029]-[0057], and figures 1-9	1-21
A	CN 1893079 A (SAMSUNG ELECTRONICS CO., LTD.), 10 January 2007 (10.01.2007), description, page 5, line 5 to page 12, 4 th line from the bottom, and figures 1-26	1-21

☐ Further documents are listed in the continuation of Box C.

☒ See patent family annex.

* Special categories of cited documents:	“T” later document published after the international filing date or priority date and not in conflict with the application but cited to understand the principle or theory underlying the invention
“A” document defining the general state of the art which is not considered to be of particular relevance	“X” document of particular relevance; the claimed invention cannot be considered novel or cannot be considered to involve an inventive step when the document is taken alone
“E” earlier application or patent but published on or after the international filing date	“Y” document of particular relevance; the claimed invention cannot be considered to involve an inventive step when the document is combined with one or more other such documents, such combination being obvious to a person skilled in the art
“L” document which may throw doubts on priority claim(s) or which is cited to establish the publication date of another citation or other special reason (as specified)	“&” document member of the same patent family
“O” document referring to an oral disclosure, use, exhibition or other means	
“P” document published prior to the international filing date but later than the priority date claimed	

Date of the actual completion of the international search 22 July 2013 (22.07.2013)	Date of mailing of the international search report 15 August 2013 (15.08.2013)
Name and mailing address of the ISA/CN: State Intellectual Property Office of the P. R. China No. 6, Xitucheng Road, Jimenqiao Haidian District, Beijing 100088, China Facsimile No.: (86-10) 62019451	Authorized officer YAN, Dong Telephone No.: (86-10) 62411789

INTERNATIONAL SEARCH REPORT
Information on patent family members

International application No.

PCT/CN2012/085634

Patent Documents referred in the Report	Publication Date	Patent Family	Publication Date
CN 101286481 A	15.10.2008	US 2008254585 A1	16.10.2008
		JP 2008263034 A	30.10.2008
		KR 20080092249 A	15.10.2008
		US 7601594 B2	13.10.2009
		CN 101286481 B	10.08.2011
US 2007/0102763 A1	10.05.2007	US 7863674 B2	04.01.2011
		US 2005035415 A1	17.02.2005
		CN 1630094 A	22.06.2005
		SG 120134 A1	28.03.2006
		TW1 232489 B	11.05.2005
		US 7172943 B2	06.02.2007
		TW 200507020 A	16.02.2005
		CN 100530688 C	19.08.2009
CN 1893079 A	10.01.2007	US 2006289940 A1	28.12.2006
		JP 2007013156 A	18.01.2007
		KR 20070000681 A	03.01.2007

国际检索报告

国际申请号
PCT/CN2012/085634

A. 主题的分类

H01L 21/00 (2006.01) i

按照国际专利分类(IPC)或者同时按照国家分类和 IPC 两种分类

B. 检索领域

检索的最低限度文献(标明分类系统和分类号)

IPC:H01L 21/-

包含在检索领域中的除最低限度文献以外的检索文献

在国际检索时查阅的电子数据库(数据库的名称, 和使用的检索词(如使用))

CNPAT, WPI, EPDOC, CNKI: 中国科学院微电子研究所, 朱慧珑, 许淼, 梁擎擎, 尹海洲, F I N, 鳍, 翅, 晶体管, 栅, 双栅, 漏电, 泄漏, TRANSISTOR, GATE, DUAL 3D GATE, CROSS P GATE, DOUBLE P GATE, CROSS 5D GATE, DOUBLE 5D GATE, LEAK

C. 相关文件

类 型*	引用文件, 必要时, 指明相关段落	相关的权利要求
X	CN 101286481 A (冲电气工业株式会社) 15.10 月 2008 (15.10.2008) 说明书第 5 页第 5 段到第 13 页第 5 段, 图 1-11	1-21
X	US 2007/0102763 A1 (YE0 等) 10.5 月 2007 (10.05.2007) 说明书第[0029]-[0057]段, 图 1-9	1-21
A	CN 1893079 A (三星电子株式会社) 10.1 月 2007 (10.01.2007) 说明书第 5 页第 5 行到第 12 页倒数第 4 行, 图 1-26	1-21

☐ 其余文件在 C 栏的续页中列出。

☒ 见同族专利附件。

* 引用文件的具体类型:

“A” 认为不特别相关的表示了现有技术一般状态的文件

“E” 在国际申请日的当天或之后公布的在先申请或专利

“L” 可能对优先权要求构成怀疑的文件, 或为确定另一篇引用文件的公布日而引用的或者因其他特殊理由而引用的文件(如具体说明的)

“O” 涉及口头公开、使用、展览或其他方式公开的文件

“P” 公布日先于国际申请日但迟于所要求的优先权日的文件

“T” 在申请日或优先权日之后公布, 与申请不相抵触, 但为了理解发明之理论或原理的在后文件

“X” 特别相关的文件, 单独考虑该文件, 认定要求保护的发明不是新颖的或不具有创造性

“Y” 特别相关的文件, 当该文件与另一篇或者多篇该类文件结合并且这种结合对于本领域技术人员为显而易见时, 要求保护的发明不具有创造性

“&” 同族专利的文件

国际检索实际完成的日期

22.7 月 2013(22.07.2013)

国际检索报告邮寄日期

15.8 月 2013 (15.08.2013)

ISA/CN 的名称和邮寄地址:

中华人民共和国国家知识产权局

中国北京市海淀区蓟门桥西土城路 6 号 100088

传真号: (86-10)62019451

受权官员

闫东

电话号码: (86-10) 62411789

国际检索报告
关于同族专利的信息

国际申请号
PCT/CN2012/085634

检索报告中引用的 专利文件	公布日期	同族专利	公布日期
CN 101286481 A	15. 10. 2008	US 2008254585 A1	16. 10. 2008
		JP 2008263034 A	30. 10. 2008
		KR 20080092249 A	15. 10. 2008
		US 7601594 B2	13. 10. 2009
		CN 101286481 B	10. 08. 2011
US 2007/0102763 A1	10. 05. 2007	US 7863674 B2	04. 01. 2011
		US 2005035415 A1	17. 02. 2005
		CN 1630094 A	22. 06. 2005
		SG 120134 A1	28. 03. 2006
		TW I232489 B	11. 05. 2005
		US 7172943 B2	06. 02. 2007
		TW 200507020 A	16. 02. 2005
		CN 100530688 C	19. 08. 2009
CN 1893079 A	10. 01. 2007	US 2006289940 A1	28. 12. 2006
		JP 2007013156 A	18. 01. 2007
		KR 20070000681 A	03. 01. 2007