(19)国家知识产权局

(12)发明专利申请

(10)申请公布号 CN 115332356 A
(43)申请公布日 2022.11.11

(21)申请号 202210876076.5

(22)申请日 2017.03.28

(30)优先权数据
2016-080066 2016.04.13 JP
2016-080137 2016.04.13 JP

(62)分案原申请数据
201780022620.7 2017.03.28

(71)申请人 株式会社半导体能源研究所
地址 日本神奈川县厚木市

(72)发明人 山崎舜平 冈崎健一 黑崎大辅
中泽安孝

(74)专利代理机构 中国专利代理(香港)有限公司 72001
专利代理师 姜冰 李啸

(51)Int.Cl.
H01L 29/786(2006.01)
H01L 27/12(2006.01)

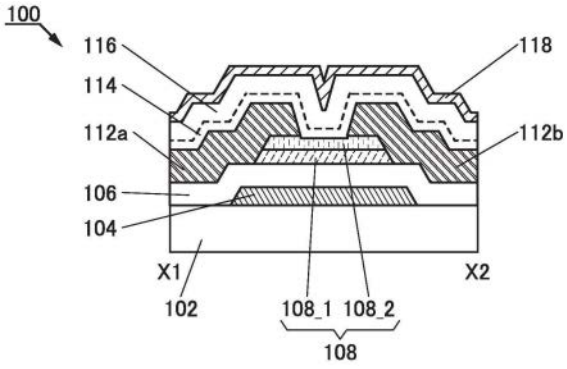
权利要求书1页 说明书59页 附图48页

(54)发明名称

半导体装置及包括该半导体装置的显示装置

(57)摘要

本申请的发明名称是“半导体装置及包括该半导体装置的显示装置”。提高具有氧化物半导体膜的晶体管的场效应迁移率及可靠性。一种半导体装置,包括:氧化物半导体膜;栅电极;栅电极上的绝缘膜;绝缘膜上的上述氧化物半导体膜;以及氧化物半导体膜上的一对电极,其中,氧化物半导体膜包括第一氧化物半导体膜及第一氧化物半导体膜上的第二氧化物半导体膜,第一氧化物半导体膜及第二氧化物半导体膜包含相同的元素,并且,第一氧化物半导体膜具有其结晶性低于第二氧化物半导体膜的区域。



CN 115332356 A

1.一种半导体装置,包括:

栅电极;

所述栅电极上的绝缘膜;

所述绝缘膜上的氧化物半导体膜;以及

所述氧化物半导体膜上的一对电极,

其中,所述氧化物半导体膜包括第一氧化物半导体膜及所述第一氧化物半导体膜上的第二氧化物半导体膜,

所述第一氧化物半导体膜及所述第二氧化物半导体膜分别独立地包含In、M和Zn,

所述M为Al、Ga、Y或Sn,

所述第一氧化物半导体膜包括其结晶性低于所述第二氧化物半导体膜的区域,

在所述In的原子比为4的情况下,对于所述In、所述M和所述Zn的总和的所述M的原子比为1.5以上且2.5以下,

并且,在所述In的所述原子比为4的情况下,对于所述In、所述M和所述Zn的所述总和的所述Zn的原子比为2以上且4以下。

半导体装置及包括该半导体装置的显示装置

技术领域

[0001] 本发明的一个实施方式涉及一种具有氧化物半导体膜的半导体装置。此外，本发明的一个实施方式涉及一种包括上述半导体装置的显示装置。

[0002] 注意，本发明的一个实施方式不局限于上述技术领域。本说明书等所公开的发明的一个实施方式的技术领域涉及一种物体、方法或制造方法。另外，本发明的一个实施方式涉及一种工序、机器、产品或组合物。本发明的一个实施方式尤其涉及一种半导体装置、显示装置、发光装置、蓄电装置、存储装置、其驱动方法或其制造方法。

[0003] 在本说明书等中，半导体装置是指通过利用半导体特性而能够工作的所有装置。除了晶体管等半导体元件之外，半导体电路、运算装置或存储装置也是半导体装置的实施方式。摄像装置、显示装置、液晶显示装置、发光装置、电光装置、发电装置(包括薄膜太阳能电池或有机薄膜太阳能电池等)及电子设备可以包括半导体装置。

背景技术

[0004] 作为可用于晶体管的半导体材料，氧化物半导体受到瞩目。例如，专利文献1公开了如下半导体装置：层叠有多个氧化物半导体层，在该多个氧化物半导体层中，被用作沟道的氧化物半导体层包含铟及镓，并且使铟的比率比镓的比率高，而场效应迁移率(有时，简称为迁移率或μFE)得到提高的半导体装置。

[0005] 另外，非专利文献1公开了如下内容：包含铟、镓及锌的氧化物半导体具有以$In_{1-x}Ga_{1+x}O_3(ZnO)_m$(-1≤x≤1，m为自然数)表示的同系物。此外，非专利文献1公开了同系物的固溶区域。例如，m＝1的情况下的同系物的固溶区域在x为-0.33至0.08的范围内，并且m＝2的情况下的同系物的固溶区域在x为-0.68至0.32的范围内。

[参考文献]

[专利文献]

[0006] [专利文献1]日本专利申请公开第2014-007399号公报

[非专利文献]

[0007] [非专利文献1]M.Nakamura，N.Kimizuka，and T.Mohri，“The Phase Relations in the In_2O_3-Ga_2ZnO_4-ZnO System at 1350℃”，J.Solid State Chem.，1991，Vol.93，pp.298-315

发明内容

[0008] 将氧化物半导体膜用于沟道区域的晶体管的场效应迁移率越高越好。然而，有如下问题：当晶体管的场效应迁移率得到提高时，晶体管的特性容易具有常开启特性。注意，“常开启”是指即使对栅电极不施加电压也有沟道，而电流流过晶体管的状态。

[0009] 此外，在将氧化物半导体膜用于沟道区域的晶体管中，形成在氧化物半导体膜中的氧空位对晶体管特性造成负面影响。例如，形成在氧化物半导体膜中的氧空位与氢键合以成为载流子供应源。当在氧化物半导体膜中形成有载流子供应源时，产生具有氧化物半

导体膜的晶体管的电特性变动，典型的是，产生阈值电压的漂移。

[0010] 例如，在氧化物半导体膜中的氧空位量过多时，晶体管的阈值电压向负方向漂移而晶体管具有常开启特性。因此，在氧化物半导体膜中，尤其是在沟道区域中，氧空位量优选少，或者氧空位量优选少得不使晶体管具有常开启特性。

[0011] 鉴于上述问题，本发明的一个实施方式的目的之一是提高具有氧化物半导体膜的晶体管的场效应迁移率及可靠性。此外，本发明的一个实施方式的目的之一是抑制具有氧化物半导体膜的晶体管的电特性变动并提高该晶体管的可靠性。此外，本发明的一个实施方式的目的之一是提供一种功耗得到降低的半导体装置。此外，本发明的一个实施方式的目的之一是提供一种新颖的半导体装置。此外，本发明的一个实施方式的目的之一是提供一种新颖的显示装置。

[0012] 注意，上述目的的记载不妨碍其他目的的存在。本发明的一个实施方式并不需要实现所有上述目的。上述目的以外的目的从说明书等的记载看来是显而易见并可以衍生出的。

[0013] 本发明的第一实施方式是一种具有氧化物半导体膜的半导体装置，该半导体装置包括：栅电极；栅电极上的绝缘膜；绝缘膜上的氧化物半导体膜；以及氧化物半导体膜上的一对电极，其中，氧化物半导体膜包括第一氧化物半导体膜及第一氧化物半导体膜上的第二氧化物半导体膜，第一氧化物半导体膜及第二氧化物半导体膜包含相同的元素，并且，第一氧化物半导体膜具有其结晶性低于第二氧化物半导体膜的区域。

[0014] 在上述第一实施方式中，优选的是，第一氧化物半导体膜及第二氧化物半导体膜分别独立地包含In、M(M为Al、Ga、Y或Sn)和Zn。

[0015] 此外，在上述第一实施方式中，优选的是，在In的原子比为4的情况下，对于In、M和Zn的总和的M的原子比为1.5以上且2.5以下，并且在In的原子比为4的情况下，对于In、M和Zn的总和的Zn的原子比为2以上且4以下。此外，在上述实施方式中，In、M和Zn的原子比优选为In:M:Zn＝4:2:3或其附近。

[0016] 此外，在上述第一实施方式中，优选的是，在In的原子比为5的情况下，对于In、M和Zn的总和的M的原子比为0.5以上且1.5以下，并且在In的原子比为5的情况下，对于In、M和Zn的总和的Zn的原子比为5以上且7以下。此外，在上述实施方式中，In、M和Zn的原子比优选为In:M:Zn＝5:1:6或其附近。

[0017] 此外，本发明的第二实施方式是一种具有氧化物半导体膜的半导体装置，该半导体装置包括：栅电极；栅电极上的绝缘膜；绝缘膜上的氧化物半导体膜；以及氧化物半导体膜上的一对电极，其中，氧化物半导体膜包括第一氧化物半导体膜及第一氧化物半导体膜上的第二氧化物半导体膜，第一氧化物半导体膜及第二氧化物半导体膜包含相同的元素，第一氧化物半导体膜的电子亲和势大于第二氧化物半导体膜，第一氧化物半导体膜的电子亲和势与第二氧化物半导体膜的电子亲和势的差为0.15eV以上且2.0eV以下，并且，第一氧化物半导体膜具有其结晶性低于第二氧化物半导体膜的区域。

[0018] 此外，本发明的第三实施方式是一种具有氧化物半导体膜的半导体装置，该半导体装置包括：栅电极；栅电极上的绝缘膜；绝缘膜上的氧化物半导体膜；以及氧化物半导体膜上的一对电极，其中，氧化物半导体膜包括第一氧化物半导体膜及第一氧化物半导体膜上的第二氧化物半导体膜，第一氧化物半导体膜及第二氧化物半导体膜分别独立地包含

In、M(M为Al、Ga、Y或Sn)和Zn，第一氧化物半导体膜中的对于Zn的In的原子比大于第二氧化物半导体膜中的对于Zn的In的原子比，并且，第一氧化物半导体膜具有其结晶性低于第二氧化物半导体膜的区域。

[0019] 在上述第二实施方式及第三实施方式中，优选的是，第一氧化物半导体膜及第二氧化物半导体膜分别独立地包含In、M(M为Al、Ga、Y或Sn)和Zn。

[0020] 在上述第二实施方式及第三实施方式中，优选的是，在In的原子比为4的情况下，第一氧化物半导体膜中的对于In、M和Zn的总和的M的原子比为1.5以上且2.5以下，并且在In的原子比为4的情况下，对于In、M和Zn的总和的所述Zn的原子比为2以上且4以下。此外，在上述实施方式中，所述In、所述M及所述Zn的原子比优选为In:M:Zn＝4:2:3或其附近。此外，优选的是，在In的原子比为1的情况下，第二氧化物半导体膜中的对于In、M和Zn的总和的M的原子比为0.5以上且1.5以下，并且在In的原子比为1的情况下，对于In、M和Zn的总和的所述Zn的原子比为0.1以上且2以下。此外，在上述实施方式中，In、M和Zn的原子比优选为In:M:Zn＝1:1:1或其附近。

[0021] 此外，在上述第二实施方式及第三实施方式中，优选的是，在In的原子比为4的情况下，第一氧化物半导体膜中的对于In、M和Zn的总和的M的原子比为1.5以上且2.5以下，并且在In的原子比为4的情况下，对于In、M和Zn的总和的所述Zn的原子比为2以上且4以下。此外，在上述实施方式中，所述In、所述M及所述Zn的原子比优选为In:M:Zn＝4:2:3或其附近。此外，优选的是，在In的原子比为5的情况下，第二氧化物半导体膜中的对于In、M和Zn的总和的M的原子比为0.5以上且1.5以下，并且在In的原子比为5的情况下，对于In、M和Zn的总和的所述Zn的原子比为5以上且7以下。此外，在上述实施方式中，In、M和Zn的原子比优选为In:M:Zn＝5:1:6或其附近。

[0022] 此外，在上述第一实施方式至第三实施方式中，优选的是，第一氧化物半导体膜包含包括第一区域和第二区域的复合氧化物半导体，第一区域包含以选自铟、锌和氧中的任一个或多个为主要成分的多个第一簇，第二区域包含以选自铟、M(M为Al、Ga、Y或Sn)、锌和氧中的任一个或多个为主要成分的多个第二簇，多个第一簇彼此连接，多个第二簇彼此连接。

[0023] 在上述第一实施方式至第三实施方式中，优选的是，第二氧化物半导体膜包括结晶部，该结晶部具有c轴取向性。

[0024] 本发明的其他一个实施方式是一种显示装置，该显示装置包括上述实施方式中任一个所述的半导体装置以及显示元件。本发明的其他一个实施方式是一种显示模块，该显示模块包括该显示装置以及触摸传感器。本发明的其他一个实施方式是一种电子设备，该电子设备包括上述方式中任一个所述的半导体装置、显示装置或显示模块以及操作键或电池。

[0025] 通过本发明的一个实施方式，可以提高具有氧化物半导体膜的晶体管的场效应迁移率及可靠性。此外，通过本发明的一个实施方式，可以抑制具有氧化物半导体膜的晶体管的电特性变动并提高该晶体管的可靠性。此外，通过本发明的一个实施方式，可以提供一种功耗得到降低的半导体装置。此外，通过本发明的一个实施方式，可以提供一种新颖的半导体装置。此外，通过本发明的一个实施方式，可以提供一种新颖的显示装置。

[0026] 注意，上述效果的记载不妨碍其他效果的存在。本发明的一个实施方式并不需要

实现所有上述效果。另外，上述以外的效果从说明书、附图、权利要求书等的记载看来是显而易见并可以衍生出的。

附图说明

[0027] 图1A至图1C是示出半导体装置的俯视图及截面图。

图2A至图2C是示出半导体装置的俯视图及截面图。

图3A至图3C是示出半导体装置的俯视图及截面图。

图4A至图4C是示出半导体装置的俯视图及截面图。

图5A至图5C是示出半导体装置的俯视图及截面图。

图6A至图6C是示出半导体装置的俯视图及截面图。

图7A至图7C是示出半导体装置的制造方法的截面图。

图8A至图8C是示出半导体装置的制造方法的截面图。

图9A至图9C是示出半导体装置的制造方法的截面图。

图10A至图10C是示出半导体装置的制造方法的截面图。

图11A和图11B是示出扩散到氧化物半导体膜中的氧或过剩氧的扩散路径的示意图。

图12A和图12B是示出复合氧化物半导体的俯视示意图及截面示意图。

图13A和图13B是示出复合氧化物半导体的俯视示意图及截面示意图。

图14A和图14B是示出复合氧化物半导体的俯视示意图及截面示意图。

图15是示出复合氧化物半导体的原子比的图。

图16A和图16B是示出溅射设备的图。

图17是示出复合氧化物半导体的制造方法的工序流程图。

图18A至图18C是示出靶材附近的截面的图。

图19是示出显示装置的一个实施方式的俯视图。

图20是示出显示装置的一个实施方式的截面图。

图21是示出显示装置的一个实施方式的截面图。

图22是示出显示装置的一个实施方式的截面图。

图23是示出显示装置的一个实施方式的截面图。

图24是示出显示装置的一个实施方式的截面图。

图25是示出显示装置的一个实施方式的截面图。

图26A和图26B是示出半导体装置的顶面及截面的图。

图27是半导体装置的截面图。

图28是示出显示面板的结构实例的图。

图29是示出显示面板的结构实例的图。

图30A至图30C是示出显示装置的方框图及电路图。

图31是示出显示模块的图。

图32A至图32E是示出电子设备的图。

图33A至图33G是示出电子设备的图。

图34A和图34B是示出显示装置的立体图。

图35A和图35B是示出晶体管的Id-Vg特性的图。

图36是示出晶体管的GBT测试结果的图。

图37A和图37B是示出晶体管的Id-Vg特性的图。

图38是示出晶体管的GBT测试结果的图。

具体实施方式

[0028] 下面，参照附图对实施方式进行说明。但是，所属技术领域的普通技术人员可以很容易地理解一个事实，就是实施方式可以以多个不同形式来实施，其方式和详细内容可以在不脱离本发明的宗旨及其范围的条件下被变换为各种各样的形式。因此，本发明不应该被解释为仅限定在下面的实施方式所记载的内容中。

[0029] 在附图中，为便于清楚地说明，有时夸大表示大小、层的厚度或区域。因此，本发明的实施方式并不一定限定于上述尺寸。此外，在附图中，示意性地示出理想的例子，因此本发明的实施方式不局限于附图所示的形状或数值等。

[0030] 本说明书所使用的“第一”、“第二”、“第三”等序数词是为了避免构成要素的混淆而附加的，而不是为了在数目方面上进行限定的。

[0031] 在本说明书中，为方便起见，使用了“上”、“上方”、“下”、“下方”等表示配置的词句，以参照附图说明构成要素的位置关系。另外，构成要素的位置关系根据描述各构成要素的方向适当地改变。因此，位置关系不局限于本说明书中所说明的词句，可以根据情况适当地使用其他词句以说明位置关系。

[0032] 在本说明书等中，晶体管是指至少包括栅极、漏极以及源极这三个端子的元件。晶体管在漏极(漏极端子、漏区域或漏电极)与源极(源极端子、源区域或源电极)之间具有沟道区域，并且电流能够通过沟道区域流过漏极与源极之间。注意，在本说明书等中，沟道区域是指电流主要流过的区域。

[0033] 另外，在使用极性不同的晶体管的情况或电路工作中的电流方向变化的情况等下，源极及漏极的功能有时相互调换。因此，在本说明书等中，“源极”和“漏极”的词句可以相互调换。

[0034] 在本说明书等中，“电连接”包括通过“具有某种电作用的元件”连接的情况。在此，“具有某种电作用的元件”只要可以进行连接对象间的电信号的授收，就对其没有特别的限制。例如，“具有某种电作用的元件”不仅包括电极和布线，而且还包括晶体管等的开关元件、电阻元件、电感器、电容器、其他具有各种功能的元件等。

[0035] 在本说明书等中，“平行”是指两条直线形成的角度为-10°以上且10°以下的状态。因此，也包括该角度为-5°以上且5°以下的状态。另外，“垂直”是指两条直线形成的角度为80°以上且100°以下的状态。因此也包括85°以上且95°以下的角度的状态。

[0036] 另外，在本说明书等中，可以将“膜”和“层”的词句相互调换。例如，有时可以将“导电层”换称为“导电膜”。此外，例如，有时可以将“绝缘膜”换称为“绝缘层”。

[0037] 在本说明书等中，在没有特别的说明的情况下，关态电流是指晶体管处于关闭状态(也称为非导通状态、遮断状态)的漏极电流。在没有特别的说明的情况下，在n沟道晶体管中，关闭状态是指栅极与源极间的电压Vgs低于阈值电压Vth的状态，在p沟道晶体管中，关闭状态是指栅极与源极间的电压Vgs高于阈值电压Vth的状态。例如，n沟道晶体管的关态

电流有时是指栅极与源极间的电压Vgs低于阈值电压Vth时的漏极电流。

[0038] 晶体管的关态电流有时取决于Vgs。因此，“晶体管的关态电流为I以下”有时是指存在使晶体管的关态电流成为I以下的Vgs。晶体管的关态电流有时是指：当Vgs为预定的值时的关闭状态下的关态电流；当Vgs为预定的范围内的值时的关闭状态下的关态电流；或者当Vgs为能够获得充分低的关态电流的值时的关闭状态下的关态电流等。

[0039] 作为一个例子，设想一种n沟道晶体管，该n沟道晶体管的阈值电压Vth为0.5V，Vgs为0.5V时的漏极电流为1×10^{-9}A，Vgs为0.1V时的漏极电流为1×10^{-13}A，Vgs为-0.5V时的漏极电流为1×10^{-19}A，Vgs为-0.8V时的漏极电流为1×10^{-22}A。在Vgs为-0.5V时或在Vgs为-0.8V至-0.5V的范围内，该晶体管的漏极电流为1×10^{-19}A以下，所以有时称该晶体管的关态电流为1×10^{-19}A以下。由于存在使该晶体管的漏极电流成为1×10^{-22}A以下的Vgs，因此有时称该晶体管的关态电流为1×10^{-22}A以下。

[0040] 在本说明书等中，有时以每沟道宽度W的电流值表示具有沟道宽度W的晶体管的关态电流。另外，有时以每预定的沟道宽度(例如1μm)的电流值表示具有沟道宽度W的晶体管的关态电流。在为后者时，关态电流有时以具有电流/长度的次元的单位(例如，A/μm)表示。

[0041] 晶体管的关态电流有时取决于温度。在本说明书中，在没有特别的说明的情况下，关态电流有时表示在室温、60℃、85℃、95℃或125℃下的关态电流。或者，有时表示在保证包括该晶体管的半导体装置等的可靠性的温度下或者在包括该晶体管的半导体装置等被使用的温度(例如，在5℃至35℃的范围内的温度)下的关态电流。“晶体管的关态电流为I以下”有时是指在室温、60℃、85℃、95℃、125℃、保证包括该晶体管的半导体装置的可靠性的温度下或者在包括该晶体管的半导体装置等被使用的温度(例如，在5℃至35℃的范围内的温度)下存在使晶体管的关态电流成为I以下的Vgs。

[0042] 晶体管的关态电流有时取决于漏极与源极间的电压Vds。在本说明书中，在没有特别的说明的情况下，关态电流有时表示Vds为0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V或20V时的关态电流。或者，有时表示保证包括该晶体管的半导体装置等的可靠性的Vds时或者包括该晶体管的半导体装置等所使用的Vds时的关态电流。“晶体管的关态电流为I以下”有时是指：在Vds为0.1V、0.8V、1V、1.2V、1.8V、2.5V、3V、3.3V、10V、12V、16V、20V、保证包括该晶体管的半导体装置的可靠性的Vds或包括该晶体管的半导体装置等被使用的Vds下存在使晶体管的关态电流成为I以下的Vgs。

[0043] 在上述关态电流的说明中，可以将漏极换称为源极。也就是说，关态电流有时指晶体管处于关闭状态时流过源极的电流。

[0044] 在本说明书等中，有时将关态电流记作泄漏电流。在本说明书等中，关态电流例如有时指在晶体管处于关闭状态时流在源极与漏极间的电流。

[0045] 在本说明书等中，晶体管的阈值电压是指在晶体管中形成沟道时的栅极电压(Vg)。具体而言，晶体管的阈值电压有时是指：在以横轴表示栅极电压(Vg)且以纵轴表示漏极电流(Id)的平方根，而标绘出的曲线(Vg-√Id特性)中，在将具有最大倾斜度的切线外推时的直线与漏极电流(Id)的平方根为0(Id为0A)处的交叉点的栅极电压(Vg)。或者，晶体管的阈值电压有时是指在以L为沟道长度且以W为沟道宽度，Id[A]×L[μm]/W[μm]的值为1×10^{-9}[A]时的栅极电压(Vg)。

[0046] 在本说明书等中，例如在导电性充分低时，有时即便在表示为“半导体”时也具有

“绝缘体”的特性。此外，“半导体”与“绝缘体”的境界不清楚，因此有时不能精确地区别。由此，有时可以将本说明书等所记载的“半导体”换称为“绝缘体”。同样地，有时可以将本说明书等所记载的“绝缘体”换称为“半导体”。或者，有时可以将本说明书等所记载的“绝缘体”换称为“半绝缘体”。

[0047] 在本说明书等中，例如在导电性充分高时，有时即便在表示为“半导体”时也具有“导电体”的特性。此外，“半导体”和“导电体”的境界不清楚，因此有时不能精确地区别。由此，有时可以将本说明书等所记载的“半导体”换称为“导电体”。同样地，有时可以将本说明书等所记载的“导电体”换称为“半导体”。

[0048] 在本说明书等中，半导体的杂质是指构成半导体膜的主要成分之外的元素。例如，浓度低于0.1atomic％的元素是杂质。当包含杂质时，例如，有可能在半导体中形成DOS(态密度)，载流子迁移率有可能降低或结晶性有可能降低。在半导体包含氧化物半导体时，作为改变半导体特性的杂质，例如有第1族元素、第2族元素、第13族元素、第14族元素、第15族元素或主要成分之外的过渡金属等，尤其是，有氢(包含于水中)、锂、钠、硅、硼、磷、碳、氮等。在是氧化物半导体的情况下，有时例如由于氢等杂质的混入导致氧空位的产生。此外，当半导体包含硅时，作为改变半导体特性的杂质，例如有氧、除氢之外的第1族元素、第2族元素、第13族元素、第15族元素等。

[0049] (实施方式1)

在本实施方式中，参照图1A至图11B说明本发明的一个实施方式的半导体装置以及半导体装置的制造方法。

[0050] <1-1.半导体装置的结构例子1>

图1A是作为本发明的一个实施方式的半导体装置的晶体管100的俯视图，图1B相当于沿着图1A所示的点划线X1-X2的截面图，图1C相当于沿着图1A所示的点划线Y1-Y2的截面图。注意，在图1A中，为了方便起见，省略晶体管100的构成要素的一部分(被用作栅极绝缘膜的绝缘膜等)而进行图示。此外，有时将点划线X1-X2方向称为沟道长度方向，将点划线Y1-Y2方向称为沟道宽度方向。注意，有时在后面的晶体管的俯视图中也与图1A同样地省略构成要素的一部分。

[0051] 晶体管100包括：衬底102上的导电膜104；衬底102及导电膜104上的绝缘膜106；绝缘膜106上的氧化物半导体膜108；氧化物半导体膜108上的导电膜112a；以及氧化物半导体膜108上的导电膜112b。此外，在晶体管100上，具体而言，在氧化物半导体膜108、导电膜112a及导电膜112b上形成有绝缘膜114、绝缘膜114上的绝缘膜116以及绝缘膜116上的绝缘膜118。

[0052] 另外，晶体管100是所谓沟道蚀刻型晶体管。

[0053] 此外，氧化物半导体膜108包括：绝缘膜106上的氧化物半导体膜108_1；以及氧化物半导体膜108_1上的氧化物半导体膜108_2。此外，氧化物半导体膜108_1及氧化物半导体膜108_2包含相同的元素。例如，氧化物半导体膜108_1及氧化物半导体膜108_2优选分别独立地包含In、M(M为Al、Ga、Y或Sn)和Zn。

[0054] 此外，氧化物半导体膜108_1及氧化物半导体膜108_2优选分别独立地包括In的原子比率大于M的原子比率的区域。作为一个例子，优选将氧化物半导体膜108_1的In、M和Zn的原子比设定为In:M:Zn＝4:2:3或其附近。此外，优选将氧化物半导体膜108_2的In、M和Zn

的原子比设定为In:M:Zn＝4:2:3或其附近。在此，“附近”包括：当In为4时，M为1.5以上且2.5以下，并且Zn为2以上且4以下的情况。如此，当氧化物半导体膜108_1及氧化物半导体膜108_2的组成大致相同时，可以使用相同的溅射靶材，所以可以抑制制造成本。另外，在使用相同的溅射靶材的情况下，可以在同一真空处理室中连续地形成氧化物半导体膜108_1及氧化物半导体膜108_2，所以可以抑制杂质混入氧化物半导体膜108_1与氧化物半导体膜108_2的界面。

[0055] 通过使氧化物半导体膜108_1及氧化物半导体膜108_2分别独立地包括其In的原子比率大于M的原子比率的区域，可以提高晶体管100的场效应迁移率。具体而言，晶体管100的场效应迁移率可以超过50cm^2/Vs，优选的是，晶体管100的场效应迁移率可以超过100cm^2/Vs。

[0056] 例如，通过将上述场效应迁移率高的晶体管用于生成栅极信号的栅极驱动器，可以提供一种窄边框的显示装置。此外，通过将上述场效应迁移率高的晶体管用于显示装置所包括的供应来自信号线的信号的源极驱动器(尤其是，与源极驱动器所包括的移位寄存器的输出端子连接的解复用器)，可以提供一种与显示装置连接的布线数较少的显示装置。

[0057] 另一方面，即使氧化物半导体膜108_1及氧化物半导体膜108_2分别独立地包括In的原子比率大于M的原子比率的区域，在氧化物半导体膜108_1及氧化物半导体膜108_2的结晶性高的情况下，场效应迁移率也有时下降。

[0058] 但是，在本发明的一个实施方式的半导体装置中，氧化物半导体膜108_1包括其结晶性低于氧化物半导体膜108_2的区域。此外，氧化物半导体膜108的结晶性例如可以通过X射线衍射(XRD)或透射电子显微镜(TEM)进行确定。

[0059] 在氧化物半导体膜108_1包括结晶性低的区域的情况下，发挥如下优异的效果。

[0060] 首先，对在氧化物半导体膜108中可能形成的氧空位进行说明。

[0061] 另外，形成在氧化物半导体膜108中的氧空位对晶体管特性造成负面影响而引起问题。例如，形成在氧化物半导体膜108中的氧空位与氢键合，而成为载流子供应源。产生在氧化物半导体膜108中的载流子供应源使包括氧化物半导体膜108的晶体管100的电特性发生变动，典型地使阈值电压漂移。因此，在氧化物半导体膜108中，氧空位越少越好。

[0062] 于是，在本发明的一个实施方式中，位于氧化物半导体膜108附近的绝缘膜，具体而言，形成在氧化物半导体膜108上方的绝缘膜114、116包含过剩氧。通过使氧或过剩氧从绝缘膜114、116移动到氧化物半导体膜108，能够减少氧化物半导体膜中的氧空位。

[0063] 在此，参照图11A和图11B对扩散到氧化物半导体膜108中的氧或过剩氧的路径进行说明。图11A和图11B是表示扩散到氧化物半导体膜108中的氧或过剩氧的扩散路径的示意图，图11A是沟道长度方向上的示意图，图11B是沟道宽度方向上的示意图。

[0064] 绝缘膜114、116所包含的氧或过剩氧从上方，即经过氧化物半导体膜108_2而扩散到氧化物半导体膜108_1中(图11A和图11B所示的Route 1)。

[0065] 或者，绝缘膜114、116所包含的氧或过剩氧从氧化物半导体膜108_1及氧化物半导体膜108_2的每个侧面扩散到氧化物半导体膜108中(图11B所示的Route 2)。

[0066] 例如，在图11A和图11B所示的Route 1中，在氧化物半导体膜108_2的结晶性高时，有时妨碍氧或过剩氧的扩散。另一方面，在图11B所示的Route 2中，可以将氧或过剩氧从氧化物半导体膜108_1及氧化物半导体膜108_2的每个侧面扩散到氧化物半导体膜108_1及氧

化物半导体膜108_2中。

[0067] 此外，氧化物半导体膜108_1包括其结晶性低于氧化物半导体膜108_2的区域，该区域成为过剩氧的扩散路径，所以可以将过剩氧通过图11B所示的Route 2扩散到其结晶性高于氧化物半导体膜108_1的氧化物半导体膜108_2中。此外，虽然图11A和图11B未图示，但是在绝缘膜106包含氧或过剩氧的情况下，氧或过剩氧有可能从绝缘膜106还扩散到氧化物半导体膜108中。

[0068] 如此，在本发明的一个实施方式的半导体装置中，采用结晶结构不同的氧化物半导体膜的叠层结构，将结晶性低的区域用作过剩氧的扩散路径，由此可以提供一种可靠性高的半导体装置。

[0069] 此外，在只使用结晶性低的氧化物半导体膜构成氧化物半导体膜108的情况下，杂质(例如，氢或水分等)附着于或者混入到背沟道一侧，即相当于氧化物半导体膜108_2的区域中，有时导致可靠性的下降。

[0070] 混入到氧化物半导体膜108的沟道区域中的氢或水分等杂质对晶体管特性造成负面影响，所以成为问题。因此，在氧化物半导体膜108中，氢或水分等杂质越少越好。

[0071] 于是，在本发明的一个实施方式中，通过提高氧化物半导体膜的上层的氧化物半导体膜的结晶性，可以抑制可能混入到氧化物半导体膜108中的杂质。尤其是，通过提高氧化物半导体膜108_2的结晶性，可以抑制对导电膜112a、112b进行加工时的损伤。当对导电膜112a、112b进行加工时，氧化物半导体膜108的表面，即氧化物半导体膜108_2的表面暴露于蚀刻剂或蚀刻气体。但是，因为氧化物半导体膜108_2包括结晶性高的区域，所以其蚀刻耐性高于结晶性低的氧化物半导体膜108_1。因此，氧化物半导体膜108_2被用作蚀刻停止膜。

[0072] 通过作为氧化物半导体膜108使用杂质浓度低且缺陷态密度低的氧化物半导体膜，可以制造具有优良的电特性的晶体管，所以是优选的。这里，将杂质浓度低且缺陷态密度低(氧空位少)的状态称为“高纯度本征”或“实质上高纯度本征”。作为氧化物半导体膜中的杂质，典型地可以举出水、氢等。在本说明书等中，有时将降低或去除氧化物半导体膜中的水及氢的处理称为脱水化、脱氢化。另外，有时将对氧化物半导体膜或氧化物绝缘膜添加氧的处理称为加氧化，有时将被加氧化且包含超过化学计量组成的氧的状态称为过氧化状态。

[0073] 因为高纯度本征或实质上高纯度本征的氧化物半导体膜的载流子发生源较少，所以可以降低载流子密度。因此，在该氧化物半导体膜中形成有沟道区域的晶体管很少具有负阈值电压的电特性(很少具有常开启特性)。因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度，所以有可能具有较低的陷阱态密度。高纯度本征或实质上高纯度本征的氧化物半导体膜的关态电流显著小，即便是沟道宽度为1×10^{6}μm、沟道长度L为10μm的元件，当源电极与漏电极间的电压(漏电压)在1V至10V的范围时，关态电流也可以为半导体参数分析仪的测量极限以下，即1×10^{-13}A以下。

[0074] 此外，在氧化物半导体膜108_1具有其结晶性低于氧化物半导体膜108_2的区域时，载流子密度有时得到提高。

[0075] 此外，当氧化物半导体膜108_1的载流子密度较高时，费米能级有时相对于氧化物半导体膜108_1的导带为高。由此，氧化物半导体膜108_1的导带底变低，氧化物半导体膜

108_1的导带底与可能形成在栅极绝缘膜(在此,绝缘膜106)中的陷阱能级的能量差有时变大。当该能量差变大时,在栅极绝缘膜中被俘获的电荷变少,有时可以减少晶体管的阈值电压变动。此外,当氧化物半导体膜108_1的载流子密度得到提高时,可以提高氧化物半导体膜108的场效应迁移率。

[0076] 此外,氧化物半导体膜108_1优选为复合氧化物半导体。关于该复合氧化物半导体,将在实施方式2中进行详细说明。

[0077] 另外,在图1A至图1C所示的晶体管100中,绝缘膜106具有晶体管100的栅极绝缘膜的功能,绝缘膜114、116、118具有晶体管100的保护绝缘膜的功能。此外,在晶体管100中,导电膜104具有栅电极的功能,导电膜112a具有源电极的功能,导电膜112b具有漏电极的功能。注意,在本说明书等中,有时将绝缘膜106称为第一绝缘膜,将绝缘膜114、116称为第二绝缘膜,将绝缘膜118称为第三绝缘膜。

[0078] <1-2.半导体装置的构成要素>

以下,对本实施方式的半导体装置所包括的构成要素进行详细的说明。

[0079] [衬底]

虽然对衬底102的材料等没有特别的限制,但是至少需要能够承受后续的加热处理的耐热性。例如,作为衬底102,可以使用玻璃衬底、陶瓷衬底、石英衬底、蓝宝石衬底等。另外,还可以使用以硅或碳化硅为材料的单晶半导体衬底或多晶半导体衬底、以硅锗等为材料的化合物半导体衬底、SOI衬底等,并且也可以将设置有半导体元件的上述衬底用作衬底102。当作为衬底102使用玻璃衬底时,通过使用第六代(1500mm×1850mm)、第七代(1870mm×2200mm)、第八代(2200mm×2400mm)、第九代(2400mm×2800mm)、第十代(2950mm×3400mm)等的大面积衬底,可以制造大型显示装置。

[0080] 作为衬底102,也可以使用柔性衬底,并且在柔性衬底上直接形成晶体管100。或者,也可以在衬底102与晶体管100之间设置剥离层。剥离层可以在如下情况下使用,即在剥离层上制造半导体装置的一部分或全部,然后将其从衬底102分离并转置到其他衬底上的情况。此时,也可以将晶体管100转置到耐热性低的衬底或柔性衬底上。

[0081] [导电膜]

被用作栅电极的导电膜104、被用作源电极的导电膜112a及被用作漏电极的导电膜112b可以使用选自铬(Cr)、铜(Cu)、铝(Al)、金(Au)、银(Ag)、锌(Zn)、钼(Mo)、钽(Ta)、钛(Ti)、钨(W)、锰(Mn)、镍(Ni)、铁(Fe)、钴(Co)中的金属元素、以上述金属元素为成分的合金或者组合上述金属元素的合金等形成。

[0082] 另外,作为导电膜104、112a、112b,也可以使用包含铟和锡的氧化物(In-Sn氧化物)、包含铟和钨的氧化物(In-W氧化物)、包含铟、钨及锌的氧化物(In-W-Zn氧化物)、包含铟和钛的氧化物(In-Ti氧化物)、包含铟、钛及锡的氧化物(In-Ti-Sn氧化物)、包含铟和锌的氧化物(In-Zn氧化物)、包含铟、锡及硅的氧化物(In-Sn-Si氧化物)、包含铟、镓及锌的氧化物(In-Ga-Zn氧化物)等氧化物导电体或氧化物半导体。

[0083] 在此,说明氧化物导电体。在本说明书等中,也可以将氧化物导电体称为OC。例如,在氧化物半导体中形成氧空位,对该氧空位添加氢而在导带附近形成施主能级。其结果,氧化物半导体的导电性增高,而成为导电体。可以将成为导电体的氧化物半导体称为氧化物导电体。一般而言,由于氧化物半导体的能隙大,因此对可见光具有透光性。另一方面,氧化

物导电体是在导带附近具有施主能级的氧化物半导体。因此，在氧化物导电体中，起因于施主能级的吸收的影响小，而对可见光具有与氧化物半导体大致相同的透光性。

[0084] 另外，作为导电膜104、112a、112b，也可以应用Cu-X合金膜(X为Mn、Ni、Cr、Fe、Co、Mo、Ta或Ti)。通过使用Cu-X合金膜，可以以湿蚀刻工序进行加工，从而可以抑制制造成本。

[0085] 此外，导电膜112a、112b尤其优选包含上述金属元素中的铜、钛、钨、钽和钼中的一个或多个。尤其是，作为导电膜112a、112b，优选使用氮化钽膜。该氮化钽膜具有导电性且具有对铜或氢的高阻挡性。此外，因为从氮化钽膜本身释放的氢少，所以可以作为与氧化物半导体膜108接触的导电膜或氧化物半导体膜108的附近的导电膜最适合地使用氮化钽膜。此外，当作为导电膜112a、112b使用铜膜时，可以降低导电膜112a、112b的电阻，所以是优选的。

[0086] 可以通过无电镀法形成导电膜112a、112b。作为通过该无电镀法可沉积的材料，例如可以使用选自Cu、Ni、Al、Au、Sn、Co、Ag和Pd中的一个或多个。尤其是，由于在使用Cu或Ag时，可以降低导电膜的电阻，所以是优选的。

[0087] [被用作栅极绝缘膜的绝缘膜]

作为被用作晶体管100的栅极绝缘膜的绝缘膜106，可以通过等离子体增强化学气相沉积(PECVD)法、溅射法等形成包括氧化硅膜、氧氮化硅膜、氮氧化硅膜、氮化硅膜、氧化铝膜、氧化铪膜、氧化钇膜、氧化锆膜、氧化镓膜、氧化钽膜、氧化镁膜、氧化镧膜、氧化铈膜和氧化钕膜中的至少一种的绝缘层。注意，绝缘膜106也可以具有叠层结构或三层以上的叠层结构。

[0088] 此外，优选的是，与被用作晶体管100的沟道区域的氧化物半导体膜108接触的绝缘膜106为氧化物绝缘膜，该绝缘膜106具有包含超过化学计量组成的氧的区域(过剩氧区域)。换言之，绝缘膜106能够释放氧。为了在绝缘膜106中形成过剩氧区域，例如可以采用如下方法：在氧气氛下形成绝缘膜106；或者在氧气氛下对沉积之后的绝缘膜106进行加热处理。

[0089] 此外，当绝缘膜106使用氧化铪时发挥如下效果。氧化铪的介电常数比氧化硅或氧氮化硅高。因此，通过使用氧化铪，与使用氧化硅的情况相比，可以使绝缘膜106的厚度变大，由此，可以减少隧道电流引起的泄漏电流。即，可以实现关态电流小的晶体管。再者，与具有非晶结构的氧化铪相比，具有结晶结构的氧化铪具有高介电常数。因此，为了形成关态电流小的晶体管，优选使用具有结晶结构的氧化铪。作为结晶结构的例子，可以举出单斜晶系或立方晶系等。注意，本发明的一个实施方式不局限于此。

[0090] 注意，在本实施方式中，作为绝缘膜106形成氮化硅膜和氧化硅膜的叠层膜。与氧化硅膜相比，氮化硅膜的介电常数较高且为了得到与氧化硅膜相等的静电容量所需要的厚度较大，因此，通过使晶体管100的栅极绝缘膜包括氮化硅膜，可以增加绝缘膜的厚度。因此，可以通过抑制晶体管100的绝缘耐压的下降并提高绝缘耐压来抑制晶体管100的静电破坏。

[0091] [氧化物半导体膜]

作为氧化物半导体膜108可以使用上述材料。

[0092] 当氧化物半导体膜108包含In-M-Zn氧化物时，用来形成In-M-Zn氧化物的溅射靶材的金属元素的原子比优选满足In＞M。作为这种溅射靶材的金属元素的原子比，可以举出

In:M:Zn＝2:1:3、In:M:Zn＝3:1:2、In:M:Zn＝4:2:4.1、In:M:Zn＝5:1:6、In:M:Zn＝5:1:7、In:M:Zn＝5:1:8、In:M:Zn＝6:1:6、In:M:Zn＝5:2:5等。

[0093] 此外，在上述<1-1-2.半导体装置的结构实例2>中，在氧化物半导体膜108_2包含In-M-Zn氧化物的情况下，用来形成In-M-Zn氧化物的溅射靶材的金属元素的原子比优选满足In≤M或Zn≤M。作为这种溅射靶材的金属元素的原子比，可以举出In:M:Zn＝1:1:1、In:M:Zn＝1:1:1.2、In:M:Zn＝1:3:2、In:M:Zn＝1:3:4、In:M:Zn＝1:3:6等。

[0094] 另外，当氧化物半导体膜108由In-M-Zn氧化物构成时，作为溅射靶材优选使用包含多晶的In-M-Zn氧化物的靶材。通过使用包含多晶的In-M-Zn氧化物的靶材，容易形成具有结晶性的氧化物半导体膜108。注意，所形成的氧化物半导体膜108的原子比在上述溅射靶材中的金属元素的原子比的±40％的范围内变化。例如，在使用原子比为In:Ga:Zn＝4:2:4.1的溅射靶材时，所形成的氧化物半导体膜108的原子比也可以为In:Ga:Zn＝4:2:3或其附近。

[0095] 氧化物半导体膜108的能隙为2eV以上，优选为2.5eV以上。如此，通过使用能隙较宽的氧化物半导体，可以降低晶体管100的关态电流。

[0096] 氧化物半导体膜108优选具有非单晶结构。非单晶结构例如包括下述c轴取向结晶氧化物半导体(CAAC-OS)、多晶结构、微晶结构或非晶结构。在非单晶结构中，非晶结构的缺陷态密度最高，而CAAC-OS的缺陷态密度最低。

[0097] [被用作保护绝缘膜的绝缘膜1]

绝缘膜114、116被用作晶体管100的保护绝缘膜。另外，绝缘膜114、116具有对氧化物半导体膜108供应氧的功能。即，绝缘膜114、116包含氧。另外，绝缘膜114是能够使氧透过的绝缘膜。注意，绝缘膜114还被用作在后面形成绝缘膜116时缓解对氧化物半导体膜108造成的损伤的膜。

[0098] 作为绝缘膜114，可以使用厚度为5nm以上且150nm以下，优选为5nm以上且50nm以下的氧化硅膜、氧氮化硅膜等。

[0099] 此外，优选使绝缘膜114中的缺陷量较少，典型的是，通过电子自旋共振(ESR)测得的起因于硅悬空键且在g＝2.001处出现的信号的自旋密度优选为3×10^{17}spins/cm^3以下。这是因为，若绝缘膜114的缺陷密度高，氧则与该缺陷键合，而使绝缘膜114中的氧的透过性减少的缘故。

[0100] 在绝缘膜114中，有时从外部进入绝缘膜114的氧不是全部移动到绝缘膜114的外部，而是其一部分残留在绝缘膜114内部。另外，有时在氧从外部进入绝缘膜114的同时，绝缘膜114所含有的氧移动到绝缘膜114的外部，由此在绝缘膜114中发生氧的移动。在形成能够使氧透过的氧化物绝缘膜作为绝缘膜114时，可以使从设置在绝缘膜114上的绝缘膜116脱离的氧经过绝缘膜114而移动到氧化物半导体膜108中。

[0101] 此外，绝缘膜114可以使用起因于氮氧化物的态密度低的氧化物绝缘膜形成。注意，该起因于氮氧化物的态密度有时会形成在氧化物半导体膜的价带顶的能量(E_{V_OS})与氧化物半导体膜的导带底的能量(E_{C_OS})之间。作为上述氧化物绝缘膜，可以使用氮氧化物的释放量少的氧氮化硅膜或氮氧化物的释放量少的氧氮化铝膜等。

[0102] 此外，在热脱附谱分析法(TDS)中，氮氧化物的释放量少的氧氮化硅膜是氨释放量比氮氧化物的释放量多的膜，典型的是氨的释放量为1×10^{18}/cm^3以上且5×10^{19}/cm^3以下。

注意，该氨释放量是在进行膜表面温度为50℃以上且650℃以下，优选为50℃以上且550℃以下的加热处理时的氨释放量。

[0103] 氮氧化物(NO_x，x大于0且为2以下，优选为1以上且2以下)，典型的是NO_2或NO在绝缘膜114等中形成能级。该能级位于氧化物半导体膜108的能隙中。由此，当氮氧化物扩散到绝缘膜114与氧化物半导体膜108的界面时，有时该能级在绝缘膜114一侧俘获电子。其结果，被俘获的电子留在绝缘膜114与氧化物半导体膜108的界面附近，由此使晶体管的阈值电压向正方向漂移。

[0104] 另外，当进行加热处理时，氮氧化物与氨及氧起反应。当进行加热处理时，绝缘膜114所包含的氮氧化物与绝缘膜116所包含的氨起反应，由此绝缘膜114所包含的氮氧化物减少。因此，在绝缘膜114与氧化物半导体膜108的界面处不容易俘获电子。

[0105] 通过作为绝缘膜114使用上述氧化物绝缘膜，可以降低晶体管的阈值电压的漂移，从而可以降低晶体管的电特性变动。

[0106] 通过晶体管的制造工序中的加热处理，典型的是300℃以上且低于350℃的加热处理，在利用100K以下的ESR对绝缘膜114进行测量而得到的ESR谱中，观察到g因子为2.037以上且2.039以下的第一信号、g因子为2.001以上且2.003以下的第二信号以及g因子为1.964以上且1.966以下的第三信号。在X带的ESR测量中，第一信号与第二信号之间的分割宽度及第二信号与第三信号之间的分割宽度为5mT左右。另外，g因子为2.037以上且2.039以下的第一信号、g因子为2.001以上且2.003以下的第二信号以及g因子为1.964以上且1.966以下的第三信号的自旋密度的总和低于$1\times10^{18}spins/cm^3$，典型为$1\times10^{17}spins/cm^3$以上且低于$1\times10^{18}spins/cm^3$。

[0107] 在100K以下的ESR谱中，g因子为2.037以上且2.039以下的第一信号、g因子为2.001以上且2.003以下的第二信号以及g因子为1.964以上且1.966以下的第三信号的自旋密度的总数相当于起因于氮氧化物(NO_x，x大于0且为2以下，优选为1以上且2以下)的信号的自旋密度的总数。作为氮氧化物的典型例子，有一氧化氮、二氧化氮等。即，g因子为2.037以上且2.039以下的第一信号、g因子为2.001以上且2.003以下的第二信号以及g因子为1.964以上且1.966以下的第三信号的自旋密度的总数越少，氧化物绝缘膜中的氮氧化物含量越少。

[0108] 另外，上述氧化物绝缘膜的利用SIMS测得的氮浓度为$6\times10^{20}atoms/cm^3$以下。

[0109] 通过在衬底温度为220℃以上且350℃以下的情况下利用使用硅烷及一氧化二氮的PECVD法形成上述氧化物绝缘膜，可以形成致密且硬度高的膜。

[0110] 绝缘膜116为氧含量超过化学计量组成的氧化物绝缘膜。上述氧化物绝缘膜由于被加热而其一部分的氧脱离。另外，在TDS中，上述氧化物绝缘膜包括氧释放量为$1.0\times10^{19}atoms/cm^3$以上，优选为$3.0\times10^{20}atoms/cm^3$以上的区域。注意，上述氧释放量是在TDS中的加热处理的温度为50℃至650℃或者50℃至550℃的范围内被释放的氧的总量。此外，上述氧释放量为在TDS中换算为氧原子的氧释放总量。

[0111] 作为绝缘膜116可以使用厚度为30nm以上且500nm以下，优选为50nm以上且400nm以下的氧化硅膜、氧氮化硅膜等。

[0112] 此外，优选使绝缘膜116中的缺陷量较少，典型的是，通过ESR测得的起因于硅悬空键且在g＝2.001处出现的信号的自旋密度低于$1.5\times10^{18}spins/cm^3$，更优选为1×

10^{18}spins/cm^3以下。由于绝缘膜116与绝缘膜114相比离氧化物半导体膜108更远，所以绝缘膜116的缺陷密度也可以高于绝缘膜114。

[0113] 另外，因为绝缘膜114、116可以使用相同种类材料形成，所以有时无法明确地确认到绝缘膜114与绝缘膜116的界面。因此，在本实施方式中，以虚线图示出绝缘膜114与绝缘膜116的界面。注意，在本实施方式中，虽然说明绝缘膜114与绝缘膜116的两层结构，但是本发明不局限于此，例如，也可以采用绝缘膜114的单层结构或三层以上的叠层结构。

[0114] [被用作保护绝缘膜的绝缘膜2]

绝缘膜118被用作晶体管100的保护绝缘膜。

[0115] 绝缘膜118包含氢和氮中的一方或双方。或者，绝缘膜118包含氮及硅。绝缘膜118具有阻挡氧、氢、水、碱金属、碱土金属等的功能。通过设置绝缘膜118，能够防止氧从氧化物半导体膜108扩散到外部并能够防止绝缘膜114、116所包含的氧扩散到外部，还能够抑制氢、水等从外部侵入氧化物半导体膜108中。

[0116] 作为绝缘膜118，例如可以使用氮化物绝缘膜。作为该氮化物绝缘膜，有氮化硅、氮氧化硅、氮化铝、氮氧化铝等。

[0117] 虽然上述所记载的导电膜、绝缘膜、氧化物半导体膜及金属膜等各种膜可以利用溅射法或PECVD法形成，但是也可以利用其它方法，例如热化学气相沉积(CVD)法形成。作为热CVD法的例子，可以举出有机金属化学气相沉积(MOCVD)法或原子层沉积(ALD)法等。

[0118] 由于热CVD法是不使用等离子体的形成方法，因此具有不产生因等离子体损伤引起的缺陷的优点。此外，可以以如下方法进行热CVD法：将源气体供应到处理室内，将处理室内的压力设定为大气压或减压而在衬底上沉积膜。

[0119] 此外，可以以如下方法进行ALD法：将源气体供应到处理室内，将处理室内的压力设定为大气压或减压而在衬底上沉积膜。

[0120] <1-3.半导体装置的结构例子2>

接着，使用图2A至图6C说明与图1A至图1C所示的晶体管100的变形例子。

[0121] 图2A是作为本发明的一个实施方式的半导体装置的晶体管100A的俯视图，图2B相当于沿着图2A所示的点划线X1-X2的截面图，图2C相当于沿着图2A所示的点划线Y1-Y2的截面图。

[0122] 图2A和图2B所示的晶体管100A具有所谓沟道保护型晶体管结构。如此，本发明的一个实施方式的半导体装置可以具有沟道蚀刻型晶体管结构或沟道保护型晶体管结构。

[0123] 此外，在晶体管100A中，绝缘膜114、116包括开口部141a、141b。此外，氧化物半导体膜108通过开口部141a、141b与导电膜112a、112b连接。此外，在导电膜112a、112b上形成有绝缘膜118。此外，绝缘膜114、116具有所谓沟道保护膜的功能。此外，晶体管100A的其他结构与上述晶体管100同样，发挥同样的效果。

[0124] 此外，图3A是本发明的一个实施方式的半导体装置的晶体管100B的俯视图，图3B相当于沿着图3A所示的点划线X1-X2的截面图，图3C相当于沿着图3A所示的点划线Y1-Y2的截面图。

[0125] 晶体管100B包括：衬底102上的导电膜104；衬底102及导电膜104上的绝缘膜106；绝缘膜106上的氧化物半导体膜108；氧化物半导体膜108上的导电膜112a；氧化物半导体膜108上的导电膜112b；氧化物半导体膜108、导电膜112a及导电膜112b上的绝缘膜114；绝缘

膜114上的绝缘膜116;绝缘膜116上的导电膜120a;绝缘膜116上的导电膜120b;以及绝缘膜116、导电膜120a及导电膜120b上的绝缘膜118。

[0126] 此外,绝缘膜114、116包括开口部142a。此外,绝缘膜106、114、116包括开口部142b。导电膜120a通过开口部142b与导电膜104电连接。此外,导电膜120b通过开口部142a与导电膜112b电连接。

[0127] 另外,在晶体管100B中,绝缘膜106具有晶体管100B的第一栅极绝缘膜的功能,绝缘膜114、116具有晶体管100B的第二栅极绝缘膜的功能,绝缘膜118具有晶体管100B的保护绝缘膜的功能。此外,在晶体管100B中,导电膜104具有第一栅电极的功能,导电膜112a具有源电极的功能,导电膜112b具有漏电极的功能。此外,在晶体管100B中,导电膜120a具有第二栅电极的功能,导电膜120b具有显示装置的像素电极的功能。

[0128] 此外,如图3C所示,导电膜120a通过开口部142b与导电膜104电连接。因此,导电膜104和导电膜120a被施加相同的电位。

[0129] 此外,如图3C所示,氧化物半导体膜108位于与导电膜104及导电膜120a相对的位置,且夹在被用作栅电极的两个导电膜之间。导电膜120a的沟道长度方向上的长度及导电膜120a的沟道宽度方向上的长度都大于氧化物半导体膜108的沟道长度方向上的长度及氧化物半导体膜108的沟道宽度方向上的长度,氧化物半导体膜108的整体隔着绝缘膜114、116被导电膜120a覆盖。

[0130] 换言之,导电膜104与导电膜120a通过形成于绝缘膜106、114、116中的开口部连接,并且导电膜104及导电膜120a都包括位于氧化物半导体膜108的端部的外侧的区域。

[0131] 通过采用上述结构,利用导电膜104及导电膜120a的电场电围绕晶体管100B所包括的氧化物半导体膜108。可以将如晶体管100B那样的利用第一栅电极及第二栅电极的电场电围绕形成有沟道区域的氧化物半导体膜的晶体管的装置结构称为围绕沟道(S-channel)结构。

[0132] 因为晶体管100B具有S-channel结构,所以可以使用被用作第一栅电极的导电膜104对氧化物半导体膜108有效地施加用来引起沟道的电场,由此,晶体管100B的电流驱动能力得到提高,从而可以得到较大的通态电流特性。此外,由于可以增加通态电流,所以可以使晶体管100B微型化。另外,由于晶体管100B具有氧化物半导体膜108由被用作第一栅电极的导电膜104及被用作第二栅电极的导电膜120a围绕的结构,所以可以提高晶体管100B的机械强度。

[0133] 此外,作为导电膜120a、120b,可以使用与上述导电膜104、112a、112b的材料同样的材料。尤其是,作为导电膜120a、120b,优选使用氧化物导电膜(OC)。通过作为导电膜120a、120b使用氧化物导电膜,可以对绝缘膜114,116中添加氧。

[0134] 此外,晶体管100B的其他结构与上述晶体管100同样,发挥同样的效果。

[0135] 此外,图4A是本发明的一个实施方式的半导体装置的晶体管100C的俯视图,图4B相当于沿着图4A所示的点划线X1-X2的截面图,图4C相当于沿着图4A所示的点划线Y1-Y2的截面图。

[0136] 晶体管100C与上述晶体管100B之间的不同之处在于:在晶体管100C中,导电膜112a、112b都具有三层结构。

[0137] 晶体管100C的导电膜112a包括:导电膜112a_1;导电膜112a_1上的导电膜112a_2;

以及导电膜112a_2上的导电膜112a_3。此外，晶体管100C的导电膜112b包括：导电膜112b_1；导电膜112b_1上的导电膜112b_2；以及导电膜112b_2上的导电膜112b_3。

[0138] 例如，导电膜112a_1、导电膜112b_1、导电膜112a_3及导电膜112b_3优选包含钛、钨、钽、钼、铟、镓、锡和锌中的一个或多个。此外，导电膜112a_2及导电膜112b_2优选包含铜、铝和银中的一个或多个。

[0139] 具体而言，作为导电膜112a_1、导电膜112b_1、导电膜112a_3及导电膜112b_3可以使用In-Sn氧化物或In-Zn氧化物，作为导电膜112a_2及导电膜112b_2可以使用铜。

[0140] 通过采用上述结构，可以降低导电膜112a、112b的布线电阻，且抑制对氧化物半导体膜108的铜的扩散，所以是优选的。此外，通过采用上述结构，可以降低导电膜112b与导电膜120b的接触电阻，所以是优选的。另外，晶体管100C的其他结构与上述晶体管100同样，发挥同样的效果。

[0141] 此外，图5A是本发明的一个实施方式的半导体装置的晶体管100D的俯视图，图5B相当于沿着图5A所示的点划线X1-X2的截面图，图5C相当于沿着图5A所示的点划线Y1-Y2的截面图。

[0142] 晶体管100D与上述晶体管100B之间的不同之处在于：在晶体管100D中，导电膜112a、112b都具有三层结构。此外，晶体管100D与上述晶体管100C之间的不同之处在于导电膜112a、112b的形状。

[0143] 晶体管100D的导电膜112a包括：导电膜112a_1；导电膜112a_1上的导电膜112a_2；以及导电膜112a_2上的导电膜112a_3。此外，晶体管100C的导电膜112b包括：导电膜112b_1；导电膜112b_1上的导电膜112b_2；以及导电膜112b_2上的导电膜112b_3。此外，作为导电膜112a_1、导电膜112a_2、导电膜112a_3、导电膜112b_1、导电膜112b_2及导电膜112b_3，可以使用上述材料。

[0144] 此外，导电膜112a_1的端部具有位于导电膜112a_2的端部的外侧的区域，导电膜112a_3覆盖导电膜112a_2的顶面及侧面且包括与导电膜112a_1接触的区域。此外，导电膜112b_1的端部具有位于导电膜112b_2的端部的外侧的区域，导电膜112b_3覆盖导电膜112b_2的顶面及侧面且包括与导电膜112b_1接触的区域。

[0145] 通过采用上述结构，可以降低导电膜112a、112b的布线电阻，且抑制对氧化物半导体膜108的铜的扩散，所以是优选的。另外，从适当地抑制铜的扩散的方面来看，与上述晶体管100C相比，晶体管100D所示的结构是更优选的。此外，通过采用上述结构，可以降低导电膜112b与导电膜120b的接触电阻，所以是优选的。此外，晶体管100D的其他结构与上述晶体管100同样，发挥同样的效果。

[0146] 此外，图6A是本发明的一个实施方式的半导体装置的晶体管100E的俯视图，图6B相当于沿着图6A所示的点划线X1-X2的截面图，图6C相当于沿着图6A所示的点划线Y1-Y2的截面图。

[0147] 晶体管100E与上述晶体管100D之间的不同之处在于导电膜120a、120b的位置。具体而言，晶体管100E的导电膜120a、120b位于绝缘膜118上。此外，晶体管100E的其他结构与上述晶体管100D同样，并发挥同样的效果。

[0148] 此外，根据本实施方式的晶体管的结构可以自由地相互组合。

[0149] <1-4.半导体装置的结构实例3>

对图1A至图6C所示的晶体管100、100A、100B、100C、100D及100E的其他实施方式进行说明。

[0150] 在上述晶体管100、100A、100B、100C、100D及100E中，氧化物半导体膜108_1中的对于Zn的In的原子比可以大于氧化物半导体膜108_2中的对于Zn的In的原子比。以下，对满足这种条件的氧化物半导体膜108_1及氧化物半导体膜108_2的金属元素的原子比进行说明。

[0151] 作为一个例子，氧化物半导体膜108_1的In、M和Zn的原子比优选为In:M:Zn＝4:2:3或其附近。氧化物半导体膜108_2的In、M和Zn的原子比优选为In:M:Zn＝1:1:1或其附近。在此，“附近”包括如下情况：当In为1时，M为0.5以上且1.5以下，并且Zn为0.1以上且2以下。或者，氧化物半导体膜108_2的In、M和Zn的原子比优选为In:M:Zn＝5:1:6或其附近。在此，“附近”包括如下情况：当In为5时，M为0.5以上且1.5以下，并且Zn为5以上且7以下。

[0152] 此外，优选的是，氧化物半导体膜108_1的电子亲和势大于氧化物半导体膜108_2，氧化物半导体膜108_1的电子亲和势与氧化物半导体膜108_2的电子亲和势的差为0.15eV以上或0.5eV以上且2eV以下或1eV以下。就是说，氧化物半导体膜108_2的导带底端的能级比氧化物半导体膜108_1更靠近真空能级，典型的是，氧化物半导体膜108_1的导带底端与氧化物半导体膜108_2的导带底端的能级差优选为0.15eV以上或0.5eV以上且2eV以下或1eV以下。

[0153] 通过采用这种结构，在晶体管100中，氧化物半导体膜108_1成为主要电流路径。就是说，氧化物半导体膜108_1具有沟道区域的功能。此外，氧化物半导体膜108_2使用由与构成形成沟道区域的氧化物半导体膜108_1的金属元素相同的金属元素构成的氧化物半导体膜形成。通过采用这种结构，在氧化物半导体膜108_1与氧化物半导体膜108_2的界面处不容易产生界面散射。由此，在该界面处载流子的移动不被阻碍，因此晶体管的场效应迁移率得到提高。

[0154] 此外，通过具有这种结构，在晶体管100中，可以抑制起因于漏电压的大小的阈值电压的变动，可以提高晶体管的可靠性。

[0155] 通过使氧化物半导体膜108_1及氧化物半导体膜108_2分别独立地包括其In的原子比率大于M的原子比率的区域，可以提高晶体管100的场效应迁移率。具体而言，晶体管100的场效应迁移率可以超过50cm^2/Vs，优选的是，晶体管100的场效应迁移率可以超过100cm^2/Vs。此外，通过将对于Zn的In的原子比大于氧化物半导体膜108_2的氧化物半导体用于氧化物半导体膜108_1，氧化物半导体膜108_1被用作沟道，并成为主要电流路径。因为可以使背沟道从电流路径离开，所以可以降低沟道区域中的电子陷阱。其结果是，可以降低晶体管的电特性变动。

[0156] 通过使Zn的原子比率高于In、M和Zn的总和比率，可以提高氧化物半导体膜的结晶性。杂质诸如氢或水、或者用于导电膜112a、112b的构成元素不容易扩散到结晶性高的氧化物半导体膜中。后面说明的CAAC-OS具有优良的上述功能。通过将包含在氧化物半导体膜108_2中的金属元素的原子比设定为上述范围，可以降低氧化物半导体膜108_1及氧化物半导体膜108_2的杂质量。此外，因为可以将氧化物半导体膜108_2用作蚀刻停止膜，所以可以抑制对导电膜122a、112b进行蚀刻导致的不同的晶体管之间的氧化物半导体膜108的厚度不均匀。如此，通过使氧化物半导体膜108_1及氧化物半导体膜108_2的每一个所包含的金属元素的原子比率不同(至少改变In和Zn的比率)，可以提高晶体管100的场效应迁移率，并

且可以提高晶体管100的可靠性。

[0157] <1-5-1.半导体装置的制造方法1>

下面，参照图7A至图10C对本发明的一个实施方式的半导体装置的晶体管100B的制造方法进行说明。

[0158] 此外，图7A至图7C、图8A至图8C、图9A至图9C及图10A至图10C是说明半导体装置的制造方法的截面图。此外，在图7A至图7C、图8A至图8C、图9A至图9C及图10A至图10C中，左侧是沟道长度方向上的截面图，右侧是沟道宽度方向上的截面图。

[0159] 首先，在衬底102上形成导电膜，通过光刻工序及蚀刻工序对该导电膜进行加工，来形成用作第一栅电极的导电膜104。接着，在导电膜104上形成用作第一栅极绝缘膜的绝缘膜106(参照图7A)。

[0160] 在本实施方式中，作为衬底102使用玻璃衬底。作为被用作第一栅电极的导电膜104，通过溅射法形成厚度为50nm的钛膜和厚度为200nm的铜膜。作为绝缘膜106，通过PECVD法形成厚度为400nm的氮化硅膜和厚度为50nm的氧氮化硅膜。

[0161] 另外，上述氮化硅膜具有包括第一氮化硅膜、第二氮化硅膜及第三氮化硅膜的三层结构。该三层结构例如可以如下所示那样形成。

[0162] 可以在如下条件下形成厚度为50nm的第一氮化硅膜：例如，作为源气体使用流量为200sccm的硅烷、流量为2000sccm的氮以及流量为100sccm的氨气体，向PECVD设备的反应室内供应该源气体，将反应室内的压力控制为100Pa，使用27.12MHz的高频电源供应2000W的功率。

[0163] 可以在如下条件下形成厚度为300nm的第二氮化硅膜：作为源气体使用流量为200sccm的硅烷、流量为2000sccm的氮以及流量为2000sccm的氨气体，向PECVD设备的反应室内供应该源气体，将反应室内的压力控制为100Pa，使用27.12MHz的高频电源供应2000W的功率。

[0164] 可以在如下条件下形成厚度为50nm的第三氮化硅膜：作为源气体使用流量为200sccm的硅烷以及流量为5000sccm的氮，向PECVD设备的反应室内供应该源气体，将反应室内的压力控制为100Pa，使用27.12MHz的高频电源供应2000W的功率。

[0165] 另外，上述第一氮化硅膜、第二氮化硅膜及第三氮化硅膜可以在350℃以下的衬底温度下形成。

[0166] 通过作为氮化硅膜采用上述三层结构，例如在作为导电膜104使用包含铜的导电膜的情况下，能够发挥如下效果。

[0167] 第一氮化硅膜可以抑制铜元素从导电膜104扩散。第二氮化硅膜具有释放氢的功能，可以提高被用作栅极绝缘膜的绝缘膜的耐压。第三氮化硅膜是氢的释放量少且可以抑制从第二氮化硅膜释放的氢扩散的膜。

[0168] 接着，在绝缘膜106上形成氧化物半导体膜108_1_0及氧化物半导体膜108_2_0(参照图7B和图7C)。

[0169] 图7B是在绝缘膜106上形成氧化物半导体膜108_1_0及氧化物半导体膜108_2_0时的沉积设备内的截面示意图。图7B示意性地示出：作为沉积设备的溅射设备；在该溅射设备中设置的靶材191；在靶材191的下方形成的等离子体192。

[0170] 此外，在图7B中，以虚线的箭头示意性地表示添加到绝缘膜106的氧或过剩氧。例

如,在形成氧化物半导体膜108_1_0时使用氧气体的情况下,可以适当地对绝缘膜106添加氧。

[0171] 首先,在绝缘膜106上形成氧化物半导体膜108_1_0。氧化物半导体膜108_1_0的厚度可以为1nm以上且25nm以下,优选为5nm以上且20nm以下。此外,氧化物半导体膜108_1_0使用惰性气体(典型的是,Ar气体)和氧气体中的任一个或两个形成。此外,形成氧化物半导体膜108_1_0时的沉积气体整体中所占的氧气体的比率(以下,也称为氧流量比)为0%以上且低于30%,优选为5%以上且15%以下。

[0172] 通过以上述范围的氧流量比形成氧化物半导体膜108_1_0,可以使氧化物半导体膜108_1_0的结晶性低于氧化物半导体膜108_2_0的结晶性。

[0173] 接着,在氧化物半导体膜108_1_0上形成氧化物半导体膜108_2_0。此外,当形成氧化物半导体膜108_2_0时,在包含氧气体的气氛下进行等离子体放电。此时,对成为氧化物半导体膜108_2_0的被形成面的氧化物半导体膜108_1_0添加氧。此外,形成氧化物半导体膜108_2_0时的氧流量比为30%以上且100%以下,优选为50%以上且100%以下,更优选为70%以上且100%以下。

[0174] 此外,氧化物半导体膜108_2_0的厚度为20nm以上且100nm以下,优选为20nm以上且50nm以下。

[0175] 此外,如上所述,用来形成氧化物半导体膜108_2_0的氧流量比优选高于用来形成氧化物半导体膜108_2_0的氧流量比。换言之,氧化物半导体膜108_1_0优选在比氧化物半导体膜108_2_0低的氧分压下形成。

[0176] 此外,形成氧化物半导体膜108_1_0及氧化物半导体膜108_2_0时的衬底温度可以为室温(25℃)以上且200℃以下,优选为室温以上且130℃以下。将衬底温度设定为上述范围内是适合用于使用大面积的玻璃衬底(例如,上述第8世代至第10世代的玻璃衬底)的情况。尤其是,通过将氧化物半导体膜108_1_0及氧化物半导体膜108_2_0的形成时的衬底温度设定为室温,可以抑制衬底的变形或弯曲。此外,在想要提高氧化物半导体膜108_2_0的结晶性的情况下,优选提高形成氧化物半导体膜108_2_0时的衬底温度。

[0177] 此外,通过在真空中连续地形成氧化物半导体膜108_1_0及氧化物半导体膜108_2_0,可以防止杂质混入到各界面,所以是更优选的。

[0178] 另外,需要进行溅射气体的高纯度化。例如,作为被用作溅射气体的氧气体或氩气体,使用露点为-40℃以下,优选为-80℃以下,更优选为-100℃以下,进一步优选为-120℃以下的高纯度气体,由此可以尽可能地防止水分等混入氧化物半导体膜。

[0179] 另外,在通过溅射法沉积氧化物半导体膜的情况下,优选使用低温泵等吸附式真空抽气泵对溅射设备的处理室进行高真空抽气(抽空到5×10^{-7}Pa至1×10^{-4}Pa左右)以尽可能地去除对氧化物半导体膜来说是杂质的水等。尤其是,在溅射设备的待机时处理室内的相当于H_2O的气体分子(相当于m/z=18的气体分子)的分压优选为1×10^{-4}Pa以下,更优选为5×10^{-5}Pa以下。

[0180] 在本实施方式中,氧化物半导体膜108_1_0使用In-Ga-Zn金属氧化物靶材(In:Ga:Zn=4:2:4.1[原子比])并利用溅射法形成。此外,将形成氧化物半导体膜108_1_0时的衬底温度设定为室温,作为沉积气体使用流量为180sccm的氩气体及流量为20sccm的氧气体(氧流量比为10%)。

[0181] 此外，氧化物半导体膜108_2_0使用In-Ga-Zn金属氧化物靶材(In:Ga:Zn＝4:2:4.1[原子比])并利用溅射法形成。此外，将形成氧化物半导体膜108_2_0时的衬底温度设定为室温，作为沉积气体使用流量为200sccm的氧气体(氧流量比为100％)。

[0182] 通过使氧化物半导体膜108_1_0的形成时的氧流量比与氧化物半导体膜108_2_0的形成时的氧流量比不同，可以形成具有多种结晶性的叠层膜。

[0183] 接着，通过将氧化物半导体膜108_1_0及氧化物半导体膜108_2_0加工为所希望的形状，形成岛状的氧化物半导体膜108_1及岛状的氧化物半导体膜108_2。此外，在本实施方式中，由氧化物半导体膜108_1、氧化物半导体膜108_2构成岛状的氧化物半导体膜108(参照图8A)。

[0184] 此外，优选的是，在形成氧化物半导体膜108之后进行加热处理(以下，称为第一加热处理)。通过进行第一加热处理，可以降低包含在氧化物半导体膜108中的氢、水等。另外，以氢、水等的降低为目的的加热处理也可以在将氧化物半导体膜108加工为岛状之前进行。注意，第一加热处理是氧化物半导体膜的高纯度化处理之一。

[0185] 第一加热处理的温度例如为150℃以上且小于衬底的应变点，优选为200℃以上且450℃以下，更优选为250℃以上且350℃以下。

[0186] 此外，第一加热处理可以使用电炉、RTA设备等。通过使用RTA设备，如果在短时间内就可以以衬底的应变点以上的温度进行加热处理。由此，可以缩短加热时间。第一加热处理可以在氮、氧、超干燥空气(含水量为20ppm以下，优选为1ppm以下，更优选为10ppb以下的空气)或稀有气体(氩、氦等)的气氛下进行。上述氮、氧、超干燥空气或稀有气体优选不含有氢、水等。此外，在氮或稀有气体气氛下进行加热处理之后，也可以在氧或超干燥空气气氛下进行加热。其结果是，在可以使氧化物半导体膜中的氢、水等脱离的同时，可以将氧供应到氧化物半导体膜中。其结果是，可以减少氧化物半导体膜中的氧空位。

[0187] 接着，在绝缘膜106及氧化物半导体膜108上形成导电膜112(参照图8B)。

[0188] 在本实施方式中，作为导电膜112，通过溅射法依次形成厚度为30nm的钛膜、厚度为200nm的铜膜、厚度为10nm的钛膜。

[0189] 接着，通过将导电膜112加工为所希望的形状，形成岛状的导电膜112a、岛状的导电膜112b(参照图8C)。

[0190] 此外，在本实施方式中，使用湿蚀刻设备对导电膜112进行加工。但是，导电膜112的加工方法不局限于此，例如也可以使用干蚀刻设备。

[0191] 此外，也可以在形成导电膜112a、112b后洗涤氧化物半导体膜108(更具体而言，氧化物半导体膜108_2)的表面(背沟道一侧)。作为洗涤方法，例如可以举出使用磷酸等化学溶液的洗涤。通过使用磷酸等化学溶液进行洗涤，可以去除附着于氧化物半导体膜108_2表面的杂质(例如，包含在导电膜112a、112b中的元素等)。注意，不一定必须进行该洗涤，根据情况可以不进行该洗涤。

[0192] 另外，在导电膜112a、112b的形成工序和/或上述洗涤工序中，有时氧化物半导体膜108的从导电膜112a、112b露出的区域有时变薄。

[0193] 此外，在本发明的一个实施方式的半导体装置中，从导电膜112a、112b露出的区域，就是说，氧化物半导体膜109_2是其结晶性得到提高的氧化物半导体膜。杂质(尤其是用于导电膜112a、112b的构成元素)不容易扩散到结晶性高的氧化物半导体膜中。因此，可以

提供一种可靠性高的半导体装置。

[0194] 此外，在图8C中，虽然示出从导电膜112a、112b露出的氧化物半导体膜108的表面，即氧化物半导体膜108_2的表面具有凹部的情况，但是本发明的一个实施方式不局限于此，从导电膜112a、112b露出的氧化物半导体膜108的表面也可以不具有凹部。

[0195] 接着，在氧化物半导体膜108及导电膜112a、112b上形成绝缘膜114及绝缘膜116(参照图9A)。

[0196] 在此，优选在形成绝缘膜114之后以不暴露于大气的方式连续地形成绝缘膜116。通过在形成绝缘膜114之后以不暴露于大气的方式调整源气体的流量、压力、高频功率和衬底温度中的至少一个来连续地形成绝缘膜116，可以降低绝缘膜114与绝缘膜116的界面处的来自大气成分的杂质浓度。

[0197] 例如，作为绝缘膜114，通过PECVD法可以形成氧氮化硅膜。此时，作为源气体，优选使用含有硅的沉积气体及氧化性气体。含有硅的沉积气体的典型例子为硅烷、乙硅烷、丙硅烷、氟化硅烷等。作为氧化性气体，有一氧化二氮、二氧化氮等。另外，在相对于上述沉积气体流量的氧化性气体流量为20倍以上且500倍以下，优选为40倍以上且100倍以下。

[0198] 在本实施方式中，作为绝缘膜114，在如下条件下利用PECVD法形成氧氮化硅膜：保持衬底102的温度为220℃，作为源气体使用流量为50sccm的硅烷及流量为2000sccm的一氧化二氮，处理室内的压力为20Pa，并且，供应到平行板电极的高频功率为13.56MHz、100W(功率密度为$1.6\times10^{-2}W/cm^2$)。

[0199] 作为绝缘膜116，在如下条件下形成氧化硅膜或氧氮化硅膜：将设置于进行了真空抽气的PECVD设备的处理室内的衬底温度保持为180℃以上且350℃以下，将源气体导入处理室中并将处理室内的压力设定为100Pa以上且250Pa以下，优选为100Pa以上且200Pa以下，并且，对设置于处理室内的电极供应$0.17W/cm^2$以上且$0.5W/cm^2$以下，优选为$0.25W/cm^2$以上且$0.35W/cm^2$以下的高频功率。

[0200] 在绝缘膜116的沉积条件中，对具有上述压力的反应室供应具有上述功率密度的高频功率，由此在等离子体中源气体的分解效率得到提高，氧自由基增加，且促进源气体的氧化，使得绝缘膜116中的氧含量超过化学计量组成。另一方面，在以上述温度范围内的衬底温度形成的膜中，由于硅与氧的键合力较弱，因此，通过后面工序的加热处理而使膜中的氧的一部分脱离。其结果，可以形成氧含量超过化学计量组成且由于被加热而其一部分的氧脱离的氧化物绝缘膜。

[0201] 在绝缘膜116的形成工序中，绝缘膜114被用作氧化物半导体膜108的保护膜。因此，可以在减少对氧化物半导体膜108造成的损伤的同时使用功率密度高的高频功率形成绝缘膜116。

[0202] 另外，在绝缘膜116的沉积条件中，通过增加相对于氧化性气体的包含硅的沉积气体的流量，可以减少绝缘膜116中的缺陷量。典型的是，能够形成缺陷量较少的氧化物绝缘膜，其中通过ESR测得的起因于硅悬空键且在g＝2.001处出现的信号的自旋密度低于$6\times10^{17}spins/cm^3$，优选为$3\times10^{17}spins/cm^3$以下，更优选为$1.5\times10^{17}spins/cm^3$以下。其结果，能够提高晶体管100的可靠性。

[0203] 优选在形成绝缘膜114、116之后进行加热处理(以下，称为第二加热处理)。通过第二加热处理，可以降低包含于绝缘膜114、116中的氮氧化物。通过第二加热处理，可以将绝

缘膜114、116中的氧的一部分移动到氧化物半导体膜108中以降低氧化物半导体膜108中的氧空位的量。

[0204] 将第二加热处理的温度典型地设定为低于400℃，优选为低于375℃，进一步优选为150℃以上且350℃以下。第二加热处理可以在氮、氧、超干燥空气(含水量为20ppm以下，优选为1ppm以下，更优选为10ppb以下的空气)或稀有气体(氩、氦等)的气氛下进行。在该加热处理中，优选在上述氮、氧、超干燥空气或稀有气体中不含有氢、水等。在该加热处理中，可以使用电炉、RTA等进行该加热处理。

[0205] 接着，在绝缘膜114、116中的所希望的区域中形成开口部142a、142b(参照图9B)。

[0206] 在本实施方式中，开口部142a、142b使用干蚀刻设备形成。开口部142a到达导电膜112b，开口部142b到达导电膜104。

[0207] 接着，在绝缘膜116上形成导电膜120(参照图9C和图10A)。

[0208] 图9C是在绝缘膜116上形成导电膜120时的沉积设备内的截面示意图。图9C示意性地示出：作为沉积设备的溅射设备；在该溅射设备中设置的靶材193；在靶材193的下方形成的等离子体194。

[0209] 首先，在形成导电膜120时，在包含氧气体的气氛下进行等离子体放电。此时，对被形成导电膜120的绝缘膜116添加氧。形成导电膜120时的气氛可以混有惰性气体(例如，氦气体、氩气体、氙气体等)和氧气体。

[0210] 氧气体至少包含在形成导电膜120时的沉积气体中即可，在形成导电膜120时的沉积气体中，氧气体所占的比率高于0％且为100％以下，优选为10％以上且100％以下，更优选为30％以上且100％以下。

[0211] 在图9C中，以虚线箭头示意性地示出添加到绝缘膜116中的氧或过剩氧。

[0212] 在本实施方式中，通过溅射法利用In-Ga-Zn金属氧化物靶材(In:Ga:Zn＝4:2:4.1[原子比])形成导电膜120。

[0213] 注意，虽然本实施方式示出在形成导电膜120时对绝缘膜116添加氧的方法，但是不局限于此。例如，也可以在形成导电膜120之后还对绝缘膜116添加氧。

[0214] 作为对绝缘膜116添加氧的方法，例如可以使用包含铟、锡、硅的氧化物(In-Sn-Si氧化物，也称为ITSO)靶材(In_2O_3:SnO_2:SiO_2＝85:10:5[wt％])形成厚度为5nm的ITSO膜。此时，当ITSO膜的厚度为1nm以上且20nm以下，或者2nm以上且10nm以下时，可以适当地透过氧且抑制氧的释放，所以是优选的。然后，使氧透过ITSO膜，对绝缘膜116添加氧。作为氧的添加方法，可以举出离子掺杂法、离子注入法、等离子体处理法等。此外，当添加氧时，通过对衬底一侧施加偏压，可以有效地将氧添加到绝缘膜116中。例如，使用灰化设备，可以将施加到该灰化设备的衬底一侧的偏压的功率密度设定为1W/cm^2以上且5W/cm^2以下。此外，通过将添加氧时的衬底温度设定为室温以上且300℃以下，优选为100℃以上且250℃以下，可以高效地对绝缘膜116添加氧。

[0215] 接着，通过将导电膜120加工为所希望的形状，形成岛状的导电膜120a、岛状的导电膜120b(参照图10B)。

[0216] 在本实施方式中，使用湿蚀刻设备对导电膜120进行加工。

[0217] 接着，在绝缘膜116、导电膜120a及导电膜120b上形成绝缘膜118(参照图10C)。

[0218] 绝缘膜118包含氢和氮中的一方或双方。作为绝缘膜118，例如优选使用氮化硅膜。

绝缘膜118例如可以通过溅射法或PECVD法形成。例如，当通过PECVD法形成绝缘膜118时，使衬底温度低于400℃，优选为低于375℃，进一步优选为180℃以上且350℃以下。通过将绝缘膜118的形成时的衬底温度设定为上述范围，可以形成致密的膜，所以是优选的。另外，通过将绝缘膜118的形成时的衬底温度设定为上述范围，可以将绝缘膜114、116中的氧或者过剩氧移动到氧化物半导体膜108。

[0219] 例如，当作为绝缘膜118利用PECVD法形成氮化硅膜时，作为源气体优选使用包含硅的沉积气体、氮及氨。通过使用相对于氮为少量的氨，在等离子体中氨离解而产生活性种。该活性种将包括在包含硅的沉积气体中的硅与氢之间的键合及氮分子之间的三键切断。其结果，可以形成硅与氮的键合得到促进、硅与氢的键合少、缺陷少且致密的氮化硅膜。另一方面，在氨量相对于氮量为多时，包含硅的沉积气体的分解及氮的分解不进展，硅与氢的键合会残留下来，而导致形成缺陷增加且不致密的氮化硅膜。由此，在源气体中，优选将相对于氨的氮流量比设定为5倍以上且50倍以下，更优选为10倍以上且50倍以下。

[0220] 在本实施方式中，作为绝缘膜118，通过利用PECVD设备并使用硅烷、氮及氨作为源气体，形成厚度为50nm的氮化硅膜。硅烷的流量为50sccm，氮的流量为5000sccm，氨的流量为100sccm。将处理室的压力设定为100Pa，将衬底温度设定为350℃，用27.12MHz的高频电源对平行板电极供应1000W的高频功率。PECVD设备是电极面积为6000cm^2的平行板型PECVD设备，并且，将所供应的功率的换算为每单位面积的功率(功率密度)为$1.7\times10^{-1}W/cm^2$。

[0221] 此外，在作为导电膜120a、120b使用In-Ga-Zn金属氧化物靶材(In:Ga:Zn＝4:2:4.1[原子比])形成导电膜的情况下，通过形成绝缘膜118，绝缘膜118所包含的氢和氮中的一方或双方有时进入导电膜120a、120b中。此时，在氢和氮中的一方或双方连接于导电膜120a、120b中的氧空位时，导电膜120a、120b的电阻有时下降。

[0222] 此外，也可以在形成绝缘膜118之后进行与上述第一加热处理及第二加热处理同等的加热处理(以下，称为第三加热处理)。

[0223] 通过进行第三加热处理，绝缘膜116所包含的氧移动到氧化物半导体膜108中，填补氧化物半导体膜108中的氧空位。

[0224] 通过上述工序，可以制造图3A至图3C所示的晶体管100B。

[0225] 此外，图1A至图1C所示的晶体管100可以通过在进行图9A所示的工序之后形成绝缘膜118来制造。此外，图2A至图2C所示的晶体管100A可以通过改变导电膜112a、112b、绝缘膜114、116的形成顺序且追加在绝缘膜114、116中形成开口部141a、141b的工序来制造。

[0226] <1-5-2.半导体装置的制造方法2>

对本发明的一个实施方式的半导体装置的晶体管100B的其他制造方法进行说明。在此，氧化物半导体膜的结构及制造方法与上述半导体装置不同。在此，对上述<1-4.半导体装置的结构实例3>所示的氧化物半导体膜108_1中的对于Zn的In的原子比大于氧化物半导体膜108_2中的对于Zn的In的原子比的晶体管100B的制造工序进行说明。

[0227] 氧化物半导体膜108_1_0使用In-Ga-Zn金属氧化物靶材(In:Ga:Zn＝4:2:4.1[原子比])并利用溅射法形成。此外，将形成氧化物半导体膜108_1_0时的衬底温度设定为室温，作为沉积气体使用流量为180sccm的氩气体及流量为20sccm的氧气体(氧流量比为10％)。

[0228] 此外，氧化物半导体膜108_2_0使用In-Ga-Zn金属氧化物靶材(In:Ga:Zn＝1:1:1

[原子比])并利用溅射法形成。此外,将形成氧化物半导体膜108_2_0时的衬底温度设定为170℃,作为沉积气体使用流量为100sccm的氩气体和流量为100sccm的氧气体(氧流量比为50%)。

[0229] 通过使氧化物半导体膜108_1_0的形成时的氧流量比与氧化物半导体膜108_2_0的形成时的氧流量比不同,可以形成结晶性不同的叠层膜。此外,通过使氧化物半导体膜108_1_0的形成时的温度与氧化物半导体膜108_2_0的形成时的温度不同,可以形成结晶性不同的叠层膜。

[0230] 此外,在想要使氧化物半导体膜108_2_0的结晶性高于氧化物半导体膜108_1_0的情况下,使形成氧化物半导体膜108_2_0时的衬底温度高于氧化物半导体膜108_1_0是优选的。

[0231] 作为其他工序,可以适当地使用上述<1-5-1.半导体装置的制造方法1>。

[0232] 通过上述工序,可以制造<1-4.半导体装置的结构实例3>所示的晶体管。

[0233] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式或实施例适当地组合而实施。

[0234] (实施方式2)

在本实施方式中,参照图12A至图18C对本发明的一个实施方式的氧化物半导体膜进行说明。

[0235] <2-1.氧化物半导体膜>

氧化物半导体膜优选至少包含铟。尤其优选包含铟及锌。另外,优选的是,除此之外,还包含铝、镓、钇或锡等。另外,也可以包含硼、硅、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨或镁等中的一种或多种。

[0236] 在此考虑氧化物半导体膜包含铟、元素M及锌的情况。注意,元素M为铝、镓、钇或锡等。作为其他的可用于元素M的元素,除了上述元素以外,还有硼、硅、钛、铁、镍、锗、锆、钼、镧、铈、钕、铪、钽、钨、镁等。注意,作为元素M也可以组合多个上述元素。注意,在以下说明中,有时将氧化物半导体膜所包含的铟、元素M及锌的原子比的各项分别称为[In]、[M]及[Zn]。

[0237] <2-2.氧化物半导体膜的结构>

氧化物半导体被分为单晶氧化物半导体和非单晶氧化物半导体。作为非单晶氧化物半导体例如有CAAC-OS、多晶氧化物半导体、纳米晶氧化物半导体(nc-OS)、amorphous-like oxide semiconductor(a-like OS)及非晶氧化物半导体等。

[0238] CAAC-OS具有c轴取向性,其多个纳米晶在a-b面方向上连结而结晶结构具有畸变。注意,CAAC-OS中的畸变是指在多个纳米晶连结的区域中晶格排列一致的区域与晶格排列一致的其他区域之间的晶格排列的方向变化的部分。

[0239] 虽然纳米晶基本上是六角形,但是并不局限于正六角形,有不是正六角形的情况。此外,在畸变中有时具有五角形及七角形等多角形的纳米晶。另外,在CAAC-OS的畸变附近观察不到明确的晶界。即,可知通过使晶格排列畸变,抑制晶界的形成。这可能是由于CAAC-OS可容许因如下原因而发生的畸变:在a-b面方向上的原子的排列的低密度或因金属元素被取代而使原子间的键合距离产生变化等。

[0240] CAAC-OS有具有层状结晶结构(也称为层状结构)的倾向,在该层状结晶结构中层

叠有包含铟及氧的层(下面称为In层)和包含元素M、锌及氧的层(下面称为(M,Zn)层)。另外,铟和元素M彼此可以取代,在用铟取代(M,Zn)层中的元素M的情况下,也可以将该层表示为(In,M,Zn)层。另外,在用元素M取代In层中的铟的情况下,也可以将该层表示为(In,M)层。

[0241] 在nc-OS中,微小的区域(例如1nm以上且10nm以下的区域,特别是1nm以上且3nm以下的区域)中的原子排列具有周期性。另外,nc-OS在不同的纳米晶之间观察不到结晶取向的规律性。因此,在膜整体中观察不到取向性。所以,有时nc-OS在某些分析方法中与a-like OS或非晶氧化物半导体没有差别。

[0242] a-like OS是具有介于nc-OS与非晶氧化物半导体之间的结构的氧化物半导体。a-like OS包含空洞或低密度区域。也就是说,a-like OS具有与nc-OS及CAAC-OS相比不稳定的结构。

[0243] 氧化物半导体具有各种结构及各种特性。本发明的一个实施方式的氧化物半导体也可以包括非晶氧化物半导体、多晶氧化物半导体、a-like OS、nc-OS、CAAC-OS中的两种以上。

[0244] 此外,本发明的一个实施方式的氧化物半导体膜包含复合氧化物半导体。因此,在以下说明中,有时将氧化物半导体膜称为复合氧化物半导体。通过使用复合氧化物半导体,可以得到场效应迁移率高的晶体管。图12A至图14B示出包含复合氧化物半导体的氧化物半导体膜的示意图。

[0245] 图12A是氧化物半导体膜的顶面(这里称为a-b面方向)的示意图,图12B是形成于衬底Sub.上的氧化物半导体膜的截面(这里称为c轴方向)的示意图。

[0246] 虽然图12A和图12B示出衬底上形成有氧化物半导体膜时的例子,但是本发明的一个实施方式不局限于此,衬底与氧化物半导体膜之间也可以形成有基底膜或层间膜等绝缘膜或者氧化物半导体膜等其他的半导体膜。

[0247] 如图12A和图12B所示,本发明的一个实施方式的氧化物半导体膜是具有区域A1和区域B1的复合氧化物半导体。

[0248] 图12A和图12B所示的区域A1是[In]:[M]:[Zn]=x:y:z(x>0、y≥0、z≥0)的In较多的区域。区域B1是[In]:[M]:[Zn]=a:b:c(a>0、b>0、c>0)的In较少的区域。

[0249] 在本说明书中,将区域A1中的In与元素M的原子比大于区域B1中的In与元素M的原子比的情况称为区域A1比区域B1的In浓度高。因此,在本说明书中,也将区域A1称为In-rich区域,将区域B1称为In-poor区域。

[0250] 例如,区域A1的In浓度是区域B1的In浓度的1.1倍以上,优选为2倍至10倍。区域A1是至少含有In的氧化物,不需要必须含有元素M及Zn。

[0251] 在本发明的一个实施方式的氧化物半导体膜中,区域A1和区域B1形成复合体。也就是说,在区域A1中容易发生载流子移动,在区域B1中不容易发生载流子移动。因此,可以将本发明的一个实施方式的氧化物半导体用作载流子迁移率高且开关特性高的半导体特性良好的材料。

[0252] 换言之,区域A1是其半导体性低于区域B1且其导电性高于区域B1的区域。另一方面,区域B1是其半导体性高于区域A1且其导电性低于区域A1的区域。在此,“半导体性高”意味着带隙宽、开关特性良好、近于i型半导体等。

[0253] 例如，如图12A和图12B所示，多个区域A1在a-b面方向及c轴方向上以粒状(也被称为簇)存在。此外，簇也可以不均匀且不规律地分布。多个簇有时成为重叠或连接的状态。例如，有时一个簇与其他簇重叠的形状连接，观察到以云状展开的状态的区域A1。

[0254] 换言之，包括在区域A1中的簇(也被称为第一簇)的半导体性低于包括在区域B1中的簇(也被称为第二簇)，并且其导电性高于包括在区域B1中的簇。另一方面，包括在区域B1中的簇的半导体性高于包括在区域A1中的簇，并且其导电性低于包括在区域A1中的簇。在上述结构中，区域B1包括多个第二簇，并包括多个第二簇彼此连接的部分。换言之，区域A1所包括的多个第一簇包括一第一簇与另一第一簇以云状彼此连接的部分，区域B1所包括的多个第二簇包括一第二簇与另一第二簇以云状彼此连接的部分。

[0255] 如此，在本发明的一个实施方式的复合氧化物半导体中，In的浓度高的第一区域(区域A1)和In的浓度低的第二区域(区域B1)以云状连接。此外，在本发明的一个实施方式的复合氧化物半导体中，In以高浓度分布的第一区域和In没有以高浓度分布的第二区域以云状连接。

[0256] 如图12A和图12B所示，通过区域A1在a-b面方向上彼此连接，区域A1可能成为电流路径。由此，可以提高氧化物半导体膜的导电性，而可以提高使用该氧化物半导体膜的晶体管的场效应迁移率。

[0257] 换言之，图12A和图12B所示的区域B1在区域A1中散布。因此，区域B1可能在被区域A1以立体的方式被夹持的状态下存在。也就是说，区域B1可能在由区域A1围绕的状态下存在。换言之，区域B1被区域A1包围。

[0258] 此外，区域A1散布的比率可以根据复合氧化物半导体的形成条件或组成调节。例如，可以形成区域A1的比率少的复合氧化物半导体、或者区域A1的比率多的复合氧化物半导体。此外，本发明的一个实施方式的复合氧化物半导体中的对于区域B1的区域A1的比率不局限于低。在区域A1的比率非常高的复合氧化物半导体中，根据观察的范围，有时在区域A1中形成有区域B1。此外，例如，区域A1所形成的粒状区域的尺寸可以根据复合氧化物半导体的形成条件或组成适当地调节。

[0259] 图13A和图13B示出区域A1的比率低于图12A和图12B且区域B1的比率高于图12A和图12B的复合氧化物半导体。

[0260] 此外，根据复合氧化物半导体的形成条件或组成，也可以形成区域A1的比率高于图12A和图12B且区域B1的比率低于图12A和图12B的复合氧化物半导体。

[0261] 在此，在所有区域A1在a-b面方向上连接的情况下，可能导致晶体管的开关特性恶化，例如晶体管的关态电流有时会上升。因此，如图13A和图13B所示，区域A1优选在区域B1中散布。因此，区域A1可能在被区域B1以立体的方式被夹持的状态下存在。也就是说，区域A1可能在由区域B1围绕的状态下存在。换言之，区域A1被区域B1包围。由此，可以降低晶体管的开关特性，尤其降低关态电流。

[0262] 此外，有时观察不到区域A1与区域B1的明确的边界。此外，区域A1及区域B1的尺寸可以使用利用能量分散型X射线分析法(EDX)的EDX面分析图像进行评价。例如，在截面照片或平面照片的EDX面分析中，区域A1的簇的直径有时为0.1nm以上且2.5nm以下。此外，簇的直径优选为0.5nm以上且1.5nm以下。

[0263] 如此，本发明的一个实施方式的氧化物半导体为复合氧化物半导体，其中区域A1

和区域B1混在一起且具有互补发挥作用的不同的功能。例如,在以元素M为Ga的In-Ga-Zn氧化物(以下,称为IGZO)的情况下,可以将本发明的一个实施方式的氧化物半导体称为Complementary IGZO(简称:C/IGZO)。

[0264] 另一方面,例如,在区域A1和区域B1以层状层叠的情况下,在区域A1与区域B1之间没有相互作用,或者不容易产生相互作用,因此区域A1的功能与区域B1的功能有时分别独立地发挥作用。此时,即使由于层状的区域A1可以提高载流子迁移率,晶体管的关态电流也有时增大。因此,通过使用上述复合氧化物半导体或C/IGZO,可以同时实现载流子迁移率高的功能以及开关特性良好的功能。这是在本发明的一个实施方式的复合氧化物半导体中获得的优良的效果。

[0265] 此外,区域B1也可以是具有结晶性的区域。例如,区域B1具有CAAC-OS或多个纳米晶。

[0266] 图14A以虚线示意性地示出包含在区域B1中的多个纳米晶。纳米晶以六角形为基准,但是不局限于正六角形状,有时为非正六角形状。此外,在六角形的结晶产生畸变时,有时具有五角形及七角形等多角形的纳米晶。

[0267] 此外,图14B示意性地示出纳米晶具有c轴取向性,c轴朝向与形成CAAC-OS的膜的面(也被称为被形成面)或顶面实质上垂直的方向的情况。CAAC-OS具有呈现c轴取向性的层状结晶结构(也被称为层状结构),并具有层叠有包含铟及氧的层(以下,被称为In层)以及包含元素M、锌及氧的层(以下,被称为(M,Zn)层)的结构。

[0268] 注意,铟和元素M有时相互取代。因此,当以铟取代(M,Zn)层的元素M时,可以表示为(In,M,Zn)层。此时,成为层叠有In层、(In,M,Zn)层的层状结构。

[0269] <2-3.复合氧化物半导体的原子比>

下面,说明本发明的一个实施方式的复合氧化物半导体中的元素的原子比。

[0270] 例如,当复合氧化物半导体中的区域A1含有In、元素M及Zn时,各元素的原子比可以以图15的相图表示。以x:y:z表示In、元素M及Zn的原子比。这里,该原子比可以在图15中以坐标(x:y:z)表示。图15中没有示出氧原子的比率。

[0271] 在图15中,虚线相当于表示[In]:[M]:[Zn]=(1+α):(1-α):1的原子比(-1≤α≤1)的线、表示[In]:[M]:[Zn]=(1+α):(1-α):2的原子比的线、表示[In]:[M]:[Zn]=(1+α):(1-α):3的原子比的线、表示[In]:[M]:[Zn]=(1+α):(1-α):4的原子比的线及表示[In]:[M]:[Zn]=(1+α):(1-α):5的原子比的线。

[0272] 点划线相当于表示[In]:[M]:[Zn]=1:1:β的原子比(β≥0)的线、表示[In]:[M]:[Zn]=1:2:β的原子比的线、表示[In]:[M]:[Zn]=1:3:β的原子比的线、表示[In]:[M]:[Zn]=1:4:β的原子比的线、表示[In]:[M]:[Zn]=1:7:β的原子比的线、表示[In]:[M]:[Zn]=2:1:β的原子比的线及表示[In]:[M]:[Zn]=5:1:β的原子比的线。

[0273] 此外,图15所示的具有[In]:[M]:[Zn]=0:2:1的原子比或其附近的值的氧化物半导体具有易于变为尖晶石型结晶结构的倾向。

[0274] 图15所示的区域A2示出区域A1所包含的铟、元素M及锌的原子比的优选范围的一个例子。另外,区域A2还包括表示[In]:[M]:[Zn]=(1+γ):0:(1-γ)(-1≤γ≤1)的线上的原子比。

[0275] 图15所示的区域B2示出区域B1所包含的铟、元素M及锌的原子比的优选范围的一

个例子。区域B2包含[In]:[M]:[Zn]＝4:2:3至[In]:[M]:[Zn]＝4:2:4.1及其附近的值。附近的值例如包含原子比为[In]:[M]:[Zn]＝5:3:4。区域B2包含[In]:[M]:[Zn]＝5:1:6及其附近的值。

[0276] 由于区域A2的In浓度高所以其导电性高于区域B2,因而具有提高载流子迁移率(场效应迁移率)的功能。因此,使用具有区域A1的氧化物半导体膜的晶体管的通态电流及载流子迁移率高。

[0277] 由于区域B2的In浓度低所以其导电性低于区域A2,因而具有降低泄漏电流的功能。因此,使用具有区域B1的氧化物半导体膜的晶体管的关态电流低。

[0278] 例如,区域A1优选为非单晶。此外,在区域A1具有结晶性的情况下,当区域A1由铟形成时,容易具有正方晶结构。此外,在区域A1由氧化铟([In]:[M]:[Zn]＝x:0:0(x＞0))构成的情况下,容易具有方铁锰矿型结晶结构。此外,在区域A1由In-Zn氧化物([In]:[M]:[Zn]＝x:0:z(x＞0,z＞0))构成的情况下,容易具有层状结晶结构。

[0279] 此外,例如,区域B1优选为非晶。此外,区域B1优选包含CAAC-OS。但是,区域B1不一定必须只由CAAC-OS构成,也可以具有多晶氧化物半导体及nc-OS等的区域。

[0280] CAAC-OS是结晶性高的氧化物半导体。另一方面,在CAAC-OS中无法确认到明确的晶界,所以可以说不容易发生起因于晶界的电子迁移率的降低。此外,氧化物半导体的结晶性有时因杂质的混入或缺陷的生成等而降低,因此可以说CAAC-OS是杂质或缺陷(氧空位等)少的氧化物半导体。因此,通过具有CAAC-OS,作为复合氧化物半导体的物理性质稳定,所以可以提供一种具有耐热性及高可靠性的复合氧化物半导体。

[0281] 当利用溅射设备形成氧化物半导体膜时,膜与靶材的原子比稍微不同。尤其是,根据沉积时的衬底温度,膜中的[Zn]的原子比有可能小于靶材中的[Zn]的原子比。

[0282] 本发明的一个实施方式的复合氧化物半导体的特性不是仅由原子比而决定的。因此,图示的区域是示出复合氧化物半导体的区域A1及区域B1优选具有的原子比的区域,其界线不明确。

[0283] <2-4.复合氧化物半导体的制造方法>

在此,对图12A和图12B等所示的复合氧化物半导体的制造方法的一个例子进行说明。本发明的一个实施方式的复合氧化物半导体可以使用溅射设备形成。

[0284] [溅射设备]

图16A是说明溅射设备所包括的沉积室2501的截面图,图16B是溅射设备所包括的磁铁单元2530a及磁铁单元2530b的平面图。

[0285] 图16A所示的沉积室2501包括靶材架2520a、靶材架2520b、垫板2510a、垫板2510b、靶材2502a、靶材2502b、构件2542、衬底架2570。靶材2502a配置在垫板2510a上。垫板2510a配置在靶材架2520a上。磁铁单元2530a隔着垫板2510a配置在靶材2502a下。靶材2502b配置在垫板2510b上。垫板2510b配置在靶材架2520b上。磁铁单元2530b隔着垫板2510b配置在靶材2502b下。

[0286] 如图16A及图16B所示,磁铁单元2530a包括磁铁2530N1、磁铁2530N2、磁铁2530S及磁铁架2532。在磁铁单元2530a中,磁铁2530N1、磁铁2530N2及磁铁2530S配置在磁铁架2532上。磁铁2530N1及磁铁2530N2以与磁铁2530S间隔开的方式配置。磁铁单元2530b具有与磁铁单元2530a相同的结构。在将衬底2560搬入沉积室2501时,衬底2560与衬底架2570接触。

[0287] 靶材2502a、垫板2510a及靶材架2520a与靶材2502b、垫板2510b及靶材架2520b由构件2542隔开。构件2542优选为绝缘体。注意，构件2542也可以为导电体或半导体。此外，构件2542也可以为由绝缘体覆盖导电体或半导体表面的构件。

[0288] 靶材架2520a与垫板2510a被螺钉(螺栓等)固定，被施加相同电位。靶材架2520a具有隔着垫板2510a支撑靶材2502a的功能。靶材架2520b与垫板2510b被螺钉(螺栓等)固定，被施加相同电位。靶材架2520b具有隔着垫板2510b支撑靶材2502b的功能。

[0289] 垫板2510a具有固定靶材2502a的功能。垫板2510b具有固定靶材2502b的功能。

[0290] 在图16A中，示出由磁铁单元2530a形成的磁力线2580a和磁力线2580b。

[0291] 如图16B所示，磁铁单元2530a例如采用将方形或大致方形的磁铁2530N1、方形或大致方形的磁铁2530N2及方形或大致方形的磁铁2530S固定于磁铁架2532的结构。如图16B的箭头所示，可以在水平方向上摆动磁铁单元2530a。例如，以0.1Hz以上且1kHz以下的拍子使磁铁单元2530a摆动即可。

[0292] 靶材2502a上的磁场随着磁铁单元2530a的摆动而变化。由于磁场强的区域成为高密度等离子体区域，所以其附近容易发生靶材2502a的溅射现象。磁铁单元2530b也与此相同。

[0293] <2-5.复合氧化物半导体的制造流程>

接着，对复合氧化物半导体的制造方法进行说明。图17是说明复合氧化物半导体的制造方法的工序流程图。

[0294] 图12A和图12B等所示的复合氧化物半导体至少经过图17所示的第一至第四工序而制造。

[0295] [第一工序:在沉积室中配置衬底的工序]

第一工序具有在沉积室中配置衬底的工序(参照图17中的步骤S101)。

[0296] 作为第一工序，例如，将衬底2560配置在图16A所示的沉积室2501所包括的衬底架2570。

[0297] 沉积时的衬底2560的温度影响到复合氧化物半导体的电性质。衬底温度越高，越可以提高复合氧化物半导体的结晶性及可靠性。另一方面，衬底温度越低，越可以降低复合氧化物半导体的结晶性并提高载流子迁移率。尤其是，沉积时的衬底温度越低，包括复合氧化物半导体的晶体管的在栅极电压低(例如，大于0V且为2V以下)时的场效应迁移率的提高越明显。

[0298] 衬底2560的温度可以为室温(25℃)以上且200℃以下，优选为室温以上且170℃以下，更优选为室温以上且130℃以下。上述范围内的衬底温度适合于使用大面积的玻璃衬底(例如，上述第8世代至第10世代的玻璃衬底)的情况。尤其是，当将沉积复合氧化物半导体时的衬底温度设定为室温时，换言之，当对衬底不进行意图性的加热时，可以抑制衬底的变形或弯曲，所以是优选的。

[0299] 可以利用设置在衬底架2570的冷却机构等冷却衬底2560。

[0300] 另外，通过将衬底2560的温度设定为100℃以上且130℃以下，可以去除复合氧化物半导体中的水。如此，通过去除作为杂质的水，可以同时实现场效应迁移率的提高和可靠性的提高。

[0301] 将衬底2560的温度设定为100℃以上且130℃以下来去除水，由此可以防止过剩的

热所导致的溅射设备的应变。由此，可以实现半导体装置的生产性的提高。因此，生产性变得稳定且容易导入大规模生产设备，因此可以容易制造使用大面积衬底的大型显示装置。

[0302] 此外，通过提高衬底2560的温度，不但更有效地去除复合氧化物半导体中的水，而且可以提高复合氧化物半导体的结晶性。例如，通过将衬底2560的温度设定为80℃以上且200℃以下，优选为100℃以上且170℃以下的温度，可以形成结晶性高的复合氧化物半导体。

[0303] [第二工序：对沉积室导入气体的工序]

第二工序具有对沉积室导入气体的工序(参照图17中的步骤S201)。

[0304] 作为第二工序，例如，对图16A所示的沉积室2501导入气体。作为该气体，可以导入氩气体和氧气体中的任一种或两种。可以使用氦、氪以及氙等惰性气体代替氩气体。

[0305] 使用氧气体形成复合氧化物半导体时的氧流量比具有以下倾向。氧流量比越大，复合氧化物半导体的结晶性越高且可靠性越高。另一方面，氧流量比越低，越可以降低复合氧化物半导体的结晶性，而提高载流子迁移率。尤其是，氧流量比越低，包含复合氧化物半导体的晶体管的在栅极电压低(例如，大于0V且为2V以下)时的场效应迁移率的提高越明显。

[0306] 在0％以上且100％以下的范围可以适当地设定氧流量比，以便得到对应复合氧化物半导体的用途的优选特性。

[0307] 例如，将复合氧化物半导体用于场效应迁移率高的晶体管的半导体层时，将沉积复合氧化物半导体时的氧流量比设定为0％以上且30％以下，优选为5％以上且30％以下，更优选为7％以上且15％以下。

[0308] 此外，为了得到具有高场效应迁移率及高可靠性的晶体管，将沉积复合氧化物半导体时的氧流量比设定为大于30％且小于70％，优选为大于30％且50％以下。另外，将沉积复合氧化物半导体时的氧流量比设定为10％以上且50％以下，优选为30％以上且50％以下。

[0309] 此外，为了得到具有高可靠性的晶体管，将沉积复合氧化物半导体时的氧流量比设定为70％以上且100％以下。

[0310] 如此，通过控制沉积时的衬底温度和氧流量比，可以沉积实现所希望的电特性的复合氧化物半导体。例如，降低(提高)衬底温度和降低(提高)氧流量比的对于场效应迁移率的贡献有时同等。因此，例如，即使因设备的限制而不能充分提高衬底温度，通过提高氧流量比，也可以实现具有与提高衬底温度的晶体管的场效应迁移率同等的场效应迁移率的晶体管。

[0311] 此外，通过利用实施方式1所示的方法降低氧化物半导体膜中的氧缺陷或杂质，可以实现可靠性高的晶体管。

[0312] 另外，需要进行沉积时的气体的高纯度化。例如，作为被用作气体的氧气体和氩气体，使用露点为-40℃以下、优选为-80℃以下、更优选为-100℃以下、进一步优选为-120℃以下的高纯度的气体，由此可以尽可能地防止水分等混入复合氧化物半导体中。

[0313] 另外，在沉积室2501中，优选使用低温泵等吸附式真空抽气泵对溅射设备的处理室进行高真空抽气(抽空到5×10^{-7}Pa至1×10^{-4}Pa左右)以尽可能地去除对复合氧化物半导体来说是杂质的水等。尤其是，在溅射设备的待机时沉积室2501内的相当于H_2O的气体分子

(相当于m/z＝18的气体分子)的分压优选为1×10^{-4}Pa以下,更优选为5×10^{-5}Pa以下。

[0314] [第三工序:对靶材施加电压的工序]

第三工序具有对靶材施加电压的工序(参照图17中的步骤S301)。

[0315] 作为第三工序,例如,对图16A所示的靶材架2520a及靶材架2520b施加电压。例如,将施加到与靶材架2520a连接的端子V1的电位设定为比施加到与衬底架2570连接的端子V2的电位低的电位。例如,将施加到与靶材架2520b连接的端子V4的电位设定为比施加到与衬底架2570连接的端子V2的电位低的电位。将施加到与衬底架2570连接的端子V2的电位设定为接地电位。将施加到与磁铁架2532连接的端子V3的电位设定为接地电位。

[0316] 注意,施加到端子V1、端子V2、端子V3及端子V4的电位不局限于上述电位。可以不对靶材架2520、衬底架2570、磁铁架2532中的全部施加电位。例如,衬底架2570也可以处于电浮动状态。注意,端子V1与可以控制施加的电位的电源电连接。作为电源,可以使用DC电源、AC电源或RF电源。

[0317] 此外,作为靶材2502a及靶材2502b,优选使用包含铟、元素M(M为Al、Ga、Y或Sn)、锌及氧的靶材。作为靶材2502a及靶材2502b的一个例子,可以使用In-Ga-Zn金属氧化物靶材(In:Ga:Zn＝4:2:4.1[原子比])、In-Ga-Zn金属氧化物靶材(In:Ga:Zn＝5:1:7[原子比])等。以下,对使用In-Ga-Zn金属氧化物靶材(In:Ga:Zn＝4:2:4.1[原子比])的情况进行说明。

[0318] [第四工序:在衬底上沉积复合氧化物半导体的工序]

第四工序包括从靶材弹出溅射粒子以在衬底上沉积复合氧化物半导体的工序(参照图17中的步骤S401)。

[0319] 作为第四工序,例如,在图16A所示的沉积室2501中,氩气体或氧气体发生电离,分为阳离子和电子而形成等离子体。然后,等离子体中的阳离子因施加到靶材架2520a、靶材架2520b的电位而向靶材2502a、靶材2502b被加速。因为阳离子碰撞到In-Ga-Zn金属氧化物靶材,所以生成溅射粒子而溅射粒子沉积在衬底2560上。

[0320] 此外,当作为靶材2502a、2502b使用原子比为In:Ga:Zn＝4:2:4.1或In:Ga:Zn＝5:1:7的In-Ga-Zn金属氧化物靶材时,有时在靶材中包含组成不同的多个晶粒。例如,在很多情况下,该多个晶粒的直径为10μm以下。此外,例如,在In-Ga-Zn金属氧化物靶材中包含In的比率多的晶粒的情况下,上述区域A1的比率有时增大。

[0321] <2-6.沉积模型>

接着,在第四工序中,可以考虑图18A至图18C所示的沉积模型。

[0322] 图18A至图18C是图16A所示的靶材2502a附近的截面图。此外,图18A示出使用之前的靶材的状态,图18B示出沉积之前的靶材的状态,图18C示出沉积中的靶材的状态。此外,图18A至图18C示出靶材2502a、等离子体2190、阳离子2192、溅射粒子2504a、2506a等。

[0323] 在图18A中,靶材2502a的表面较平坦,并且组成(例如,In、Ga及Zn的组成比)均匀。另一方面,在图18B中,通过预先进行的溅射处理等在靶材2502a的表面形成凹凸,且组成产生偏析。该凹凸及该偏析可能由于预先进行的溅射处理中的等离子体(例如,Ar等离子体等)而产生。此外,图18B示出偏析区域2504及偏析区域2506。在此,偏析区域2504为包含多量的Ga及Zn的区域(Ga、Zn-Rich区域),偏析区域2506为包含多量的In的区域(In-Rich区域)。此外,作为形成包含多量的Ga的偏析区域2504的理由,可以举出如下理由:因为Ga的熔

点低于In,在等离子体处理中靶材2502a被施加热,而Ga的一部分溶解并凝集,由此形成偏析区域2504。

[0324] [第一步骤]

在图18C中,氩气体或氧气体发生电离,分为阳离子2192和电子(未图示)而形成等离子体2190。然后,等离子体2190中的阳离子2192向靶材2502a(在此,In-Ga-Zn氧化物靶材)被加速。因为阳离子2192碰撞到In-Ga-Zn氧化物靶材,所以生成溅射粒子2194,溅射粒子2194从In-Ga-Zn氧化物靶材被弹出。此外,因为溅射粒子2504a从偏析区域2504被弹出,所以有时形成Ga、Zn-Rich的簇。此外,因为溅射粒子2506a从偏析区域2506被弹出,所以有时形成In-Rich的簇。

[0325] 此外,在In-Ga-Zn氧化物靶材中,首先,从偏析区域2504优先地溅射溅射粒子2504a。这是因为如下缘故:因为阳离子2192碰撞到In-Ga-Zn氧化物靶材,所以从In-Ga-Zn氧化物靶材优先地弹出其相对原子质量轻于In的Ga及Zn。通过被弹出的溅射粒子2504a沉积在衬底上,形成图12A和图12B等所示的区域B1。

[0326] [第二步骤]

接着,如图18C所示,从偏析区域2506溅射溅射粒子2506a。溅射粒子2506a碰撞到预先形成在衬底上的区域B1,由此形成图12A和图12B等所示的区域A1。

[0327] 此外,如图18C所示,靶材2502a在沉积中继续被溅射,所以间断地发生偏析区域2504的生成和偏析区域2504的消失。

[0328] 通过反复进行上述沉积模型的第一步骤和第二步骤,可以得到图12A和图12B等所示的本发明的一个实施方式的复合氧化物半导体。

[0329] 就是说,溅射粒子(2504a及2506a)分别从In-Rich的偏析区域2506和Ga、Zn-Rich的偏析区域2504被弹出而沉积在衬底上。在衬底上,In-Rich的区域以云状彼此连接,由此可能形成如图12A和图12B所示的本发明的一个实施方式的复合氧化物半导体。通过在复合氧化物半导体的膜中In-Rich的区域以云状彼此连接,使用该复合氧化物半导体的晶体管具有高通态电流(Ion)及高场效应迁移率(μFE)。

[0330] 如此,在满足高通态电流(Ion)及高场效应迁移率(μFE)的晶体管中,In是重要的,不一定必须要其他金属(例如,Ga等)。

[0331] 此外,上述说明示出使用氩气体形成本发明的一个实施方式的复合氧化物半导体的模型。此时,可能在复合氧化物半导体中包含多量的氧空位。在复合氧化物半导体中包含多量的氧空位时,有时在该复合氧化物半导体中形成浅的缺陷态(也被称为sDOS)。当复合氧化物半导体中形成sDOS时,该sDOS成为载流子陷阱,导致通态电流及场效应迁移率的下降。

[0332] 因此,在使用氩气体形成复合氧化物半导体的情况下,优选的是,通过在形成复合氧化物半导体之后将氧供应到复合氧化物半导体中,填补复合氧化物半导体中的氧空位而降低sDOS。

[0333] 作为上述氧的供应方法,例如可以举出如下方法:在形成复合氧化物半导体之后,在包含氧的气氛下进行加热处理;或者在包含氧的气氛下进行等离子体处理等。此外,也可以采用在与本发明的一个实施方式的复合氧化物半导体接触的绝缘膜或复合氧化物半导体附近的绝缘膜中包含过剩氧的结构。绝缘膜包含过剩氧的结构可以参照实施方式1。

[0334] 但是，虽然在此说明利用溅射法的制造方法，但是本发明的一个实施方式不局限于此，例如可以举出脉冲激光沉积(PLD)法、等离子体增强化学气相沉积(PECVD)法、热CVD法、ALD法、真空蒸镀法等。作为热CVD法的例子，可以举出MOCVD法。

[0335] <2-7.具有氧化物半导体膜的晶体管>

下面，说明具有氧化物半导体膜的晶体管。

[0336] 通过将上述复合氧化物半导体用于晶体管可以实现载流子迁移率高且开关特性高的晶体管。另外，可以实现可靠性高的晶体管。

[0337] 另外，优选将载流子密度低的氧化物半导体膜用于晶体管。例如，使用载流子密度低于$8\times10^{11}/cm^3$，优选低于$1\times10^{11}/cm^3$，更优选低于$1\times10^{10}/cm^3$且为$1\times10^{-9}/cm^3$以上的氧化物半导体膜。

[0338] 在降低氧化物半导体膜的载流子密度的情况下，降低氧化物半导体膜中的杂质浓度而降低缺陷态密度。在本说明书等中，将杂质浓度低且缺陷态密度低的状态称为“高纯度本征”或“实质上高纯度本征”。因为高纯度本征或实质上高纯度本征的氧化物半导体膜的载流子发生源较少，所以有可能降低载流子密度。另外，因为高纯度本征或实质上高纯度本征的氧化物半导体膜具有较低的缺陷态密度，所以有可能具有较低的陷阱态密度。

[0339] 此外，被氧化物半导体膜的陷阱能级俘获的电荷到消失需要较长的时间，有时像固定电荷那样动作。因此，有时在陷阱态密度高的氧化物半导体中形成有沟道区域的晶体管的电特性不稳定。

[0340] 因此，为了使晶体管的电特性稳定，降低氧化物半导体膜中的杂质浓度是有效的。为了降低氧化物半导体膜中的杂质浓度，优选还降低附近膜中的杂质浓度。作为杂质有氢、氮、碱金属、碱土金属、铁、镍、硅等。

[0341] 在此，说明氧化物半导体膜中的各杂质的影响。

[0342] 在氧化物半导体膜包含第14族元素之一的硅或碳时，氧化物半导体中形成缺陷态。因此，氧化物半导体中或氧化物半导体的界面附近的硅或碳的浓度(通过二次离子质谱分析法(SIMS)测得的浓度)为$2\times10^{18}atoms/cm^3$以下，优选为$2\times10^{17}atoms/cm^3$以下。

[0343] 另外，当氧化物半导体膜包含碱金属或碱土金属时，有时形成缺陷态而形成载流子。因此，使用包含碱金属或碱土金属的氧化物半导体膜的晶体管容易具有常开启特性。由此，优选降低氧化物半导体膜中的碱金属或碱土金属的浓度。具体而言，利用SIMS分析测得的氧化物半导体膜中的碱金属或碱土金属的浓度为$1\times10^{18}atoms/cm^3$以下，优选为$2\times10^{16}atoms/cm^3$以下。

[0344] 当氧化物半导体膜包含氮时，产生作为载流子的电子，并载流子密度增加，而氧化物半导体容易被n型化。其结果，将含有氮的氧化物半导体用于半导体的晶体管容易具有常开启型特性。因此，优选尽可能地减少氧化物半导体中的氮，例如，利用SIMS分析测得的氧化物半导体中的氮浓度为小于$5\times10^{19}atoms/cm^3$，优选为$5\times10^{18}atoms/cm^3$以下，更优选为$1\times10^{18}atoms/cm^3$以下，进一步优选为$5\times10^{17}atoms/cm^3$以下。

[0345] 包含在氧化物半导体膜中的氢与键合于金属原子的氧起反应生成水，因此有时形成氧空位(V_O)。当氢进入该氧空位(V_O)时，有时产生作为载流子的电子。另外，有时由于氢的一部分与键合于金属原子的氧键合，产生作为载流子的电子。因此，使用包含氢的氧化物半导体的晶体管容易具有常开启特性。由此，优选尽可能减少氧化物半导体中的氢。具体而

言，利用SIMS分析测得氧化物半导体中的氢浓度为低于1×10^{20}atoms/cm^3，优选低于1×10^{19}atoms/cm^3，更优选低于5×10^{18}atoms/cm^3，进一步优选低于1×10^{18}atoms/cm^3。

[0346] 通过将氧引入氧化物半导体膜中，可以降低氧化物半导体膜中的氧空位(V_O)。换言之，当氧化物半导体膜中的氧空位(V_O)被氧填补时，氧空位(V_O)消失。因此，通过使氧扩散到氧化物半导体膜中，可以减少晶体管的氧空位(V_O)，从而可以提高晶体管的可靠性。

[0347] 作为将氧引入氧化物半导体膜的方法，例如，可以以与氧化物半导体接触的方式设置包含超过化学计量组成的氧的氧化物。也就是说，优选在上述氧化物中形成包含超过化学计量组成的氧的区域(以下，也称为氧过剩区域)。尤其是，当将氧化物半导体膜用于晶体管时，通过对晶体管附近的基底膜或层间膜等设置具有氧过剩区域的氧化物，可以降低晶体管的氧空位，由此可以提高晶体管的可靠性。

[0348] 通过将杂质浓度被充分降低的氧化物半导体膜用于晶体管的沟道形成区域，可以使晶体管具有稳定的电特性。

[0349] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式或实施例适当地组合而实施。

[0350] (实施方式3)

在本实施方式中，使用图19至图25说明包括在前面的实施方式中例示的晶体管的显示装置的一个例子。

[0351] 图19是示出显示装置的一个例子的俯视图。图19所示的显示装置700包括：设置在第一衬底701上的像素部702；设置在第一衬底701上的源极驱动电路部704及栅极驱动电路部706；以围绕像素部702、源极驱动电路部704及栅极驱动电路部706的方式设置的密封剂712；以及以与第一衬底701对置的方式设置的第二衬底705。注意，由密封剂712密封第一衬底701及第二衬底705。也就是说，像素部702、源极驱动电路部704及栅极驱动电路部706被第一衬底701、密封剂712及第二衬底705密封。注意，虽然在图19中未图示，但是在第一衬底701与第二衬底705之间设置有显示元件。

[0352] 另外，在显示装置700中，在第一衬底701上的不由密封剂712围绕的区域中设置有分别电连接于像素部702、源极驱动电路部704及栅极驱动电路部706的柔性印刷电路(FPC)端子部708。另外，FPC端子部708连接于FPC716，并且通过FPC716对像素部702、源极驱动电路部704及栅极驱动电路部706供应各种信号等。另外，像素部702、源极驱动电路部704、栅极驱动电路部706以及FPC端子部708各与信号线710连接。由FPC716供应的各种信号等是通过信号线710供应到像素部702、源极驱动电路部704、栅极驱动电路部706以及FPC端子部708的。

[0353] 另外，也可以在显示装置700中设置多个栅极驱动电路部706。另外，作为显示装置700，虽然示出将源极驱动电路部704及栅极驱动电路部706形成在与像素部702相同的第一衬底701上的例子，但是并不局限于该结构。例如，可以只将栅极驱动电路部706形成在第一衬底701上，或者可以只将源极驱动电路部704形成在第一衬底701上。此时，也可以采用将形成有源极驱动电路或栅极驱动电路等的衬底(例如，由单晶半导体膜、多晶半导体膜形成的驱动电路衬底)形成于第一衬底701的结构。另外，对另行形成的驱动电路衬底的连接方法没有特别的限制，而可以采用玻璃覆晶封装(COG)方法、引线键合方法等。

[0354] 另外，显示装置700所包括的像素部702、源极驱动电路部704及栅极驱动电路部

706包括多个晶体管，作为该晶体管可以适用本发明的一个实施方式的半导体装置的晶体管。

[0355] 另外，显示装置700可以包括各种元件。作为该元件，例如可以举出电致发光(EL)元件(包含有机物及无机物的EL元件、有机EL元件、无机EL元件、LED等)、发光晶体管元件(根据电流发光的晶体管)、电子发射元件、液晶元件、电子墨水元件、电泳元件、电湿润元件、等离子体显示面板(PDP)、微电子机械系统(MEMS)、显示器(例如光栅光阀(GLV)、数字微镜设备(DMD)、数码微快门(DMS)元件、干涉调制(IMOD)元件等)、压电陶瓷显示器等。

[0356] 此外，作为使用EL元件的显示装置的一个例子，有EL显示器等。作为使用电子发射元件的显示装置的一个例子，有场致发射显示器(FED)或SED方式平面型显示器(SED:表面传导电子发射显示器)等。作为使用液晶元件的显示装置的一个例子，有液晶显示器(透射式液晶显示器、半透射式液晶显示器、反射式液晶显示器、直观式液晶显示器、投射式液晶显示器)等。作为使用电子墨水元件或电泳元件的显示装置的一个例子，有电子纸等。注意，当实现半透射式液晶显示器或反射式液晶显示器时，使像素电极的一部分或全部具有反射电极的功能，即可。例如，使像素电极的一部分或全部包含铝、银等，即可。并且，此时也可以将SRAM等存储电路设置在反射电极下。由此，可以进一步降低功耗。

[0357] 作为显示装置700的显示方式，可以采用逐行扫描方式或隔行扫描方式等。另外，作为当进行彩色显示时在像素中控制的颜色要素，不局限于RGB(R表示红色，G表示绿色，B表示蓝色)这三种颜色。例如，可以由R像素、G像素、B像素及W(白色)像素的四个像素构成。或者，如PenTile排列，也可以由RGB中的两个颜色构成一个颜色要素，并根据颜色要素选择不同的两个颜色来构成。或者可以对RGB追加黄色、青色、品红色等中的一种以上的颜色。另外，各个颜色要素的点的显示区域的大小可以不同。但是，所公开的发明不局限于彩色显示的显示装置，而也可以应用于黑白显示的显示装置。

[0358] 另外，为了将白色光(W)用于背光(有机EL元件、无机EL元件、LED、荧光灯等)使显示装置进行全彩色显示，也可以使用着色层(也称为滤光片)。例如可以适当地组合红色(R)着色层、绿色(G)着色层、蓝色(B)着色层、黄色(Y)着色层等。通过使用着色层，可以与不使用着色层的情况相比进一步提高颜色再现性。此时，也可以通过设置包括着色层的区域和不包括着色层的区域，将不包括着色层的区域中的白色光直接用于显示。通过部分地设置不包括着色层的区域，在显示明亮的图像时，有时可以减少着色层所引起的亮度降低而减少功耗两成至三成左右。但是，在使用有机EL元件或无机EL元件等自发光元件进行全彩色显示时，也可以从具有各发光颜色的元件发射R、G、B、Y、W。通过使用自发光元件，有时与使用着色层的情况相比进一步减少功耗。

[0359] 此外，作为彩色化的方式，除了经过滤色片将来自上述白色光的发光的一部分转换为红色、绿色及蓝色的方式(滤色片方式)之外，还可以使用分别使用红色、绿色及蓝色的发光的方式(三色方式)以及将来自蓝色光的发光的一部分转换为红色或绿色的方式(颜色转换方式或量子点方式)。

[0360] 在本实施方式中，使用图20至图22说明作为显示元件使用液晶元件及EL元件的结构。图20是沿着图19所示的点划线Q-R的截面图，作为显示元件使用液晶元件的结构。另外，图22是沿着图19所示的点划线Q-R的截面图，作为显示元件使用EL元件的结构。

[0361] 下面，首先说明图20至图22所示的共同部分，接着说明不同的部分。

[0362] <3-1.显示装置的共同部分的说明>

图20至图22所示的显示装置700包括:引绕布线部711;像素部702;源极驱动电路部704;以及FPC端子部708。另外,引绕布线部711包括信号线710。另外,像素部702包括晶体管750及电容器790。另外,源极驱动电路部704包括晶体管752。

[0363] 晶体管750及晶体管752具有与上述晶体管100D同样的结构。晶体管750及晶体管752也可以采用使用上述实施方式所示的其他晶体管的结构。

[0364] 在本实施方式中使用的晶体管包括高度纯化且氧空位的形成被抑制的氧化物半导体膜。该晶体管可以降低关态电流。因此,可以延长图像信号等电信号的保持时间,在开启电源的状态下也可以延长写入间隔。因此,可以降低刷新工作的频度,由此可以发挥抑制功耗的效果。

[0365] 另外,在本实施方式中使用的晶体管能够得到较高的场效应迁移率,因此能够进行高速工作。例如,通过将这种能够进行高速工作的晶体管用于液晶显示装置,可以在同一衬底上形成像素部的开关晶体管及用于驱动电路部的驱动晶体管。也就是说,因为作为驱动电路不需要另行使用由硅片等形成的半导体装置,所以可以缩减半导体装置的构件数。另外,在像素部中也可以通过使用能够进行高速工作的晶体管提供高品质的图像。

[0366] 电容器790包括:通过对与晶体管750所包括的被用作第一栅电极的导电膜相同的导电膜进行加工而形成的下部电极;以及通过对与晶体管750所包括的被用作源电极及漏电极的导电膜或被用作第二栅电极的导电膜相同的导电膜进行加工而形成的上部电极。另外,在下部电极与上部电极之间设置有:通过形成与晶体管750所包括的被用作第一栅极绝缘膜的绝缘膜相同的绝缘膜而形成的绝缘膜;以及通过形成与晶体管750上的被用作保护绝缘膜的绝缘膜相同的绝缘膜而形成的绝缘膜。就是说,电容器790具有将被用作电介质膜的绝缘膜夹在一对电极之间的叠层型结构。

[0367] 另外,在图20至图22中,在晶体管750、晶体管752及电容器790上设置有平坦化绝缘膜770。

[0368] 作为平坦化绝缘膜770,可以使用聚酰亚胺树脂、丙烯酸树脂、聚酰亚胺酰胺树脂、苯并环丁烯树脂、聚酰胺树脂、环氧树脂等具有耐热性的有机材料。此外,也可以通过层叠多个使用上述材料形成的绝缘膜形成平坦化绝缘膜770。此外,也可以采用不设置平坦化绝缘膜770的结构。

[0369] 在图20至图22中示出像素部702所包括的晶体管750及源极驱动电路部704所包括的晶体管752使用相同的结构的晶体管的结构,但是不局限于此。例如,像素部702及源极驱动电路部704也可以使用不同晶体管。具体而言,可以举出像素部702使用交错型晶体管,且源极驱动电路部704使用实施方式1所示的反交错型晶体管的结构,或者像素部702使用实施方式1所示的反交错型晶体管,且源极驱动电路部704使用交错型晶体管的结构等。此外,也可以将“源极驱动电路部704”的词句替换为“栅极驱动电路部”。

[0370] 信号线710与被用作晶体管750、752的源电极及漏电极的导电膜在同一工序中形成。作为信号线710,例如,当使用包含铜元素的材料时,起因于布线电阻的信号延迟等较少,而可以实现大屏幕的显示。

[0371] 另外,FPC端子部708包括连接电极760、各向异性导电膜780及FPC716。连接电极760与被用作晶体管750、752的源电极及漏电极的导电膜在同一工序中形成。另外,连接电

极760与FPC716所包括的端子通过各向异性导电膜780电连接。

[0372] 另外，作为第一衬底701及第二衬底705，例如可以使用玻璃衬底。另外，作为第一衬底701及第二衬底705，也可以使用具有柔性的衬底。作为该具有柔性的衬底，例如可以举出塑料衬底等。

[0373] 另外，在第一衬底701与第二衬底705之间设置有结构体778。结构体778是通过选择性地对绝缘膜进行蚀刻而得到的柱状的间隔物，用来控制第一衬底701与第二衬底705之间的距离(液晶盒厚)。另外，作为结构体778，也可以使用球状的间隔物。

[0374] 另外，在第二衬底705一侧，设置有被用作黑矩阵的遮光膜738、被用作滤色片的着色膜736、与遮光膜738及着色膜736接触的绝缘膜734。

[0375] <3-2.具有液晶元件的显示装置的结构例子>

图20所示的显示装置700包括液晶元件775。液晶元件775包括导电膜772、导电膜774及液晶层776。导电膜774设置在第二衬底705一侧并被用作对置电极。图20所示的显示装置700可以通过由施加到导电膜772与导电膜774之间的电压改变液晶层776的取向状态，由此控制光的透过及非透过而显示图像。

[0376] 导电膜772电连接到晶体管750所具有的被用作源电极及漏电极的导电膜。导电膜772形成在平坦化绝缘膜770上并被用作像素电极，即显示元件的一个电极。此外，导电膜772被用作反射电极。图20所示的显示装置700是由导电膜772反射外光并经过着色膜736进行显示的所谓反射型彩色液晶显示装置。

[0377] 另外，作为导电膜772，可以使用对可见光具有透光性的导电膜或对可见光具有反射性的导电膜。作为对可见光具有透光性的导电膜，例如，优选使用包含选自铟(In)、锌(Zn)、锡(Sn)中的一种的材料。作为对可见光具有反射性的导电膜，例如，优选使用包含铝或银的材料。在本实施方式中，作为导电膜772使用对可见光具有反射性的导电膜。

[0378] 此外，虽然图20示出将导电膜772与被用作晶体管750的漏电极的导电膜连接的结构，但是不局限于此。例如，如图21所示，也可以采用将导电膜772通过被用作连接电极的导电膜777与被用作晶体管750的漏电极的导电膜电连接的结构。此外，导电膜777经过对与被用作晶体管750的第二栅电极的导电膜相同的导电膜进行加工的工序而形成，所以可以在不增加制造工序的情况下形成导电膜777。

[0379] 此外，图20所示的显示装置700示出反射型彩色液晶显示装置，但是不局限于此。例如，作为导电膜772使用对可见光具有透光性的导电膜，可以实现透过型彩色液晶显示装置。另外，可以实现组合反射型彩色液晶显示装置和透过型彩色液晶显示装置的所谓半透过型彩色液晶显示装置。

[0380] 在此，图23示出透过型彩色液晶显示装置。图23是沿着图19所示的点划线Q-R的截面图，且图23示出作为显示元件使用液晶元件的结构。此外，图23所示的显示装置700是作为液晶元件的驱动方式使用水平电场方式(例如，FFS模式)的结构的一个例子。在图23所示的结构的情况下，被用作像素电极的导电膜772上设置有绝缘膜773，绝缘膜773上设置有导电膜774。此时，导电膜774具有公共电极的功能，可以由隔着绝缘膜773在导电膜772与导电膜774之间产生的电场控制液晶层776的取向状态。

[0381] 注意，虽然在图20及图23中未图示，但是也可以分别在导电膜772和导电膜774中的一个或两个与液晶层776接触的一侧设置取向膜。此外，虽然在图20及图23中未图示，但

是也可以适当地设置偏振构件、相位差构件、抗反射构件等光学构件(光学衬底)等。例如，也可以使用利用偏振衬底及相位差衬底的圆偏振。此外，作为光源，也可以使用背光、侧光等。

[0382] 在作为显示元件使用液晶元件的情况下，可以使用热致液晶、低分子液晶、高分子液晶、高分子分散型液晶、铁电液晶、反铁电液晶等。这些液晶材料根据条件呈现出胆甾相、近晶相、立方相、手征向列相、均质相等。

[0383] 此外，在采用横向电场方式的情况下，也可以使用不使用取向膜的呈现蓝相的液晶。蓝相是液晶相的一种，是指当使胆甾型液晶的温度上升时即将从胆甾相转变到均质相之前出现的相。因为蓝相只在较窄的温度范围内出现，所以将其中混合了几wt％以上的手征试剂的液晶组合物用于液晶层，以扩大温度范围。由于包含呈现蓝相的液晶和手征试剂的液晶组成物的响应速度快，并且其具有光学各向同性。由此，包含呈现蓝相的液晶和手征试剂的液晶组成物不需要取向处理。另外，因不需要设置取向膜而不需要摩擦处理，因此可以防止由于摩擦处理而引起的静电破坏，由此可以降低制造工序中的液晶显示装置的不良和破损。此外，呈现蓝相的液晶材料的视角依赖性小。

[0384] 另外，当作为显示元件使用液晶元件时，可以使用:扭曲向列(TN)模式、平面内转换(IPS)模式、边缘电场转换(FFS)模式、轴对称排列微单元(ASM)模式、光学补偿弯曲(OCB)模式、铁电性液晶(FLC)模式以及反铁电性液晶(AFLC)模式等。

[0385] 另外，显示装置700也可以使用常黑型液晶显示装置，例如采用垂直取向(VA)模式的透过型液晶显示装置。作为垂直取向模式，可以举出几个例子，例如可以使用多畴垂直取向(MVA)模式、垂直取向构型(PVA)模式、高级超视觉(ASV)模式等。

[0386] <3-3.具有发光元件的显示装置>

图22所示的显示装置700包括发光元件782。发光元件782包括导电膜772、EL层786及导电膜788。图22所示的显示装置700通过发光元件782所包括的EL层786发光，可以显示图像。此外，EL层786具有有机化合物或量子点等无机化合物。

[0387] 作为可以用于有机化合物的材料，可以举出荧光性材料或磷光性材料等。此外，作为可以用于量子点的材料，可以举出胶状量子点、合金型量子点、核壳型量子点、核型量子点等。另外，也可以使用包含第12族与第16族、第13族与第15族或第14族与第16族的元素群的材料。或者，可以使用包含镉(Cd)、硒(Se)、锌(Zn)、硫(S)、磷(P)、铟(In)、碲(Te)、铅(Pb)、镓(Ga)、砷(As)、铝(Al)等元素的量子点材料。

[0388] 在图22所示的显示装置700中，在平坦化绝缘膜770及导电膜772上设置有绝缘膜730。绝缘膜730覆盖导电膜772的一部分。发光元件782采用顶部发射结构。因此，导电膜788具有透光性且使EL层786发射的光透过。注意，虽然在本实施方式中例示出顶部发射结构，但是不局限于此。例如，也可以应用于向导电膜772一侧发射光的底部发射结构或向导电膜772一侧及导电膜788一侧的双方发射光的双面发射结构。

[0389] 另外，在与发光元件782重叠的位置上设置有着色膜736，并在与绝缘膜730重叠的位置、引绕布线部711及源极驱动电路部704中设置有遮光膜738。着色膜736及遮光膜738被绝缘膜734覆盖。由密封膜732填充发光元件782与绝缘膜734之间的空间。注意，虽然例示出在图22所示的显示装置700中设置着色膜736的结构，但是并不局限于此。例如，在通过分别涂布来形成EL层786时，也可以采用不设置着色膜736的结构。

[0390] <3-4.在显示装置中设置输入输出装置的结构例子>

另外，也可以在图22及图23所示的显示装置700中设置输入输出装置。作为该输入输出装置例如可以举出触摸屏等。

[0391] 图24示出对图22所示的显示装置700设置触摸屏791的结构。图25示出对图23所示的显示装置700设置触摸屏791的结构。

[0392] 图24是在图22所示的显示装置700中设置触摸屏791的截面图，图25是在图23所示的显示装置700中设置触摸屏791的截面图。

[0393] 首先，以下说明图24及图25所示的触摸屏791。

[0394] 图24及图25所示的触摸屏791是设置在第二衬底705与着色膜736之间的所谓In-Cell型触摸屏。触摸屏791在形成着色膜736之前形成在第二衬底705一侧即可。

[0395] 触摸屏791包括遮光膜738、绝缘膜792、电极793、电极794、绝缘膜795、电极796、绝缘膜797。例如，通过接近手指或触屏笔等检测对象，可以检测出电极793与电极794之间的电容的变化。

[0396] 此外，在图24及图25所示的晶体管750的上方示出电极793、电极794的交叉部。电极796通过设置在绝缘膜795中的开口部与夹住电极794的两个电极793电连接。此外，在图24及图25中示出设置有电极796的区域设置在像素部702中的结构，但是本发明的一个实施方式不局限于此，例如也可以形成在源极驱动电路部704中。

[0397] 电极793及电极794设置在与遮光膜738重叠的区域。此外，如图24所示，电极793优选以不与发光元件782重叠的方式设置。此外，如图25所示，电极793优选以不与液晶元件775重叠的方式设置。换言之，电极793在与发光元件782及液晶元件775重叠的区域具有开口部。也就是说，电极793具有网格形状。通过采用这种结构，电极793可以具有不遮断发光元件782所发射的光的结构。或者，电极793也可以具有不遮断透过液晶元件775的光的结构。因此，由于因配置触摸屏791而导致的亮度下降极少，所以可以实现可见度高且功耗得到降低的显示装置。此外，电极794也可以具有相同的结构。

[0398] 电极793及电极794由于不与发光元件782重叠，所以电极793及电极794可以使用可见光的透过率低的金属材料。或者，电极793及电极794由于不与液晶元件775重叠，所以电极793及电极794可以使用可见光的透过率低的金属材料。

[0399] 因此，与使用可见光的透过率高的氧化物材料的电极相比，可以降低电极793及电极794的电阻，由此可以提高触摸屏的传感器灵敏度。

[0400] 例如，电极793、794、796也可以使用导电纳米线。该纳米线的直径平均值可以为1nm以上且100nm以下，优选为5nm以上且50nm以下，更优选为5nm以上且25nm以下。此外，作为上述纳米线可以使用Ag纳米线、Cu纳米线、Al纳米线等金属纳米线或碳纳米管等。例如，在作为电极793、794、796中的任一个或全部使用Ag纳米线的情况下，能够实现89％以上的可见光透过率及40Ω/平方以上且100Ω/平方以下的薄层电阻值。

[0401] 虽然在图24及图25中示出In-Cell型触摸屏的结构，但是本发明的一个实施方式不局限于此。例如，也可以采用形成在显示装置700上的所谓On-Cell型触摸屏或贴合于显示装置700而使用的所谓Out-Cell型触摸屏。

[0402] 如此，本发明的一个实施方式的显示装置可以与各种方式的触摸屏组合而使用。

[0403] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式或实施例适当

地组合而实施。

[0404] (实施方式4)

在本实施方式中,参照图26A和图26B及图27对本发明的一个实施方式的半导体装置进行说明。

[0405] <4-1.半导体装置的结构实例>

图26A是本发明的一个实施方式的半导体装置190的俯视图,图26B相当于图26A所示的点划线A1-A2的截面图。此外,图26B包括晶体管Tr1的沟道长度(L)方向上的截面以及晶体管Tr2的沟道长度(L)方向上的截面。图27相当于沿着图26A所示的点划线B1-B2的截面图。此外,图27包括晶体管Tr1的沟道宽度(W)方向上的截面。

[0406] 此外,在图26A中,为了方便起见,省略半导体装置190的构成要素的一部分(被用作栅极绝缘膜的绝缘膜等)及构成要素的符号的一部分。注意,在后面的半导体装置的俯视图中也有时与图26A同样地省略构成要素的一部分及构成要素的符号的一部分。

[0407] 图26A和图26B所示的半导体装置190包括:晶体管Tr1;以及其至少一部分与晶体管Tr1重叠的晶体管Tr2。此外,晶体管Tr1及晶体管Tr2都是底栅结构的晶体管。

[0408] 通过设置晶体管Tr1与晶体管Tr2的至少一部分彼此重叠的区域,可以缩小晶体管的配置面积。

[0409] 晶体管Tr1包括:衬底102上的导电膜104;衬底102及导电膜104上的绝缘膜106;绝缘膜106上的氧化物半导体膜108;氧化物半导体膜108上的导电膜112a;氧化物半导体膜108上的导电膜112b;氧化物半导体膜108、导电膜112a及导电膜112b上的绝缘膜114;绝缘膜114上的绝缘膜116;以及绝缘膜116上的导电膜122c。

[0410] 此外,晶体管Tr2包括:导电膜112b;导电膜112b上的绝缘膜114;绝缘膜114上的绝缘膜116;绝缘膜116上的氧化物半导体膜128;氧化物半导体膜128上的导电膜122a;氧化物半导体膜128上的导电膜122b;氧化物半导体膜128、导电膜122a及导电膜122b上的绝缘膜124;绝缘膜124上的绝缘膜126;以及绝缘膜126上的导电膜130。此外,导电膜130通过形成在绝缘膜124、126中的开口部182与导电膜122a连接。

[0411] 此外,如图26A和图26B所示,氧化物半导体膜108与氧化物半导体膜128部分地彼此重叠。另外,如图26A和图26B所示,优选的是,形成在晶体管Tr1的氧化物半导体膜108中的沟道区域不与形成在晶体管Tr2的氧化物半导体膜128中的沟道区域彼此重叠。

[0412] 在晶体管Tr1的沟道区域与晶体管Tr2的沟道区域彼此重叠的情况下,在任一个晶体管工作时,有时对另一个晶体管造成负面影响。为了避免该负面影响,可以采用增大晶体管Tr1与晶体管Tr2之间的间隔的结构、或者在晶体管Tr1与晶体管Tr2之间设置导电膜的结构等。但是,在采用前者的结构的情况下,半导体装置的厚度变大,因此,例如在将半导体装置190形成在柔性衬底等上时,有时影响弯曲性等。此外,在采用后者的结构的情况下,有时产生形成导电膜的工序数的增加以及与采用前者的结构的情况同样的半导体装置的厚度变大的问题。

[0413] 另一方面,在本发明的一个实施方式的半导体装置190中,将晶体管Tr1与晶体管Tr2重叠地配置,并且不将各晶体管的沟道区域重叠地设置。此外,通过将形成沟道区域的各氧化物半导体膜的一部分彼此重叠地配置,可以适当地缩小晶体管的配置面积。

[0414] 此外,氧化物半导体膜108及氧化物半导体膜128都包含In、M(M为Al、Ga、Y或Sn)和

Zn。例如，氧化物半导体膜108及氧化物半导体膜128优选都具有In的原子比率大于M的原子比率的区域。但是，本发明的一个实施方式的半导体装置不局限于此，也可以采用具有In的原子比率小于M的原子比率的区域的结构、或者具有In的原子比率等于M的原子比率的区域的结构。

[0415] 此外，优选的是，氧化物半导体膜108的组成与氧化物半导体膜128的组成相同或者大致相同。在氧化物半导体膜108的组成与氧化物半导体膜128的组成相同时，可以降低制造成本。但是，本发明的一个实施方式的半导体装置不局限于此，氧化物半导体膜108的组成可以与氧化物半导体膜128的组成不同。

[0416] 通过使氧化物半导体膜108及氧化物半导体膜128具有In的原子比率大于M的原子比率的区域，可以提高晶体管Tr1及晶体管Tr2的场效应迁移率。

[0417] 此外，图26A和图26B所示的半导体装置190可以适当地用于显示装置的像素电路，通过采用图26A和图26B所示的配置，可以提高显示装置的像素密度。例如，即使显示装置的像素密度超过1000ppi(pixel per inch)或2000ppi，通过采用图26A和图26B所示的配置，也可以提高像素的开口率。注意，ppi是指表示每英寸的像素数的单位。

[0418] 此外，在将图26A和图26B所示的半导体装置190用于显示装置的像素的情况下，例如可以使晶体管的沟道长度(L)及沟道宽度(W)、或者与晶体管连接的布线及电极的线宽度等较大。例如，通过如图26A和图26B所示那样将晶体管Tr1和晶体管Tr2的至少一部分重叠地配置，与将晶体管Tr1和晶体管Tr2设置在相同的平面上的情况相比，可以增大线宽度等，所以可以降低特征尺寸的不均匀。

[0419] 此外，可以在晶体管Tr1与晶体管Tr2之间共同使用导电膜和绝缘膜中的任一个或两个，所以可以减少掩模个数或工序数。

[0420] 例如，在晶体管Tr1中，导电膜104被用作第一栅电极，导电膜112a被用作源电极，导电膜112b被用作漏电极，导电膜122c被用作第二栅电极。此外，在晶体管Tr1中，绝缘膜106被用作第一栅极绝缘膜，绝缘膜114、116被用作第二栅极绝缘膜。此外，在晶体管Tr2中，导电膜112b被用作第一栅电极，导电膜122a被用作源电极，导电膜122b被用作漏电极，导电膜130被用作第二栅电极。此外，在晶体管Tr2中，绝缘膜114、116被用作第一栅极绝缘膜，绝缘膜124、126被用作第二栅极绝缘膜。

[0421] 注意，在本说明书等中，有时将绝缘膜106称为第一绝缘膜，将绝缘膜114、116称为第二绝缘膜，将绝缘膜124、126称为第三绝缘膜。

[0422] 此外，在导电膜130上设置绝缘膜134，在绝缘膜134上设置绝缘膜136。另外，在绝缘膜134、136中形成到达导电膜130的开口部184。此外，在绝缘膜136上设置导电膜138。另外，导电膜138通过开口部184与导电膜130连接。

[0423] 此外，在导电膜138上设置绝缘膜140、EL层150、导电膜144。绝缘膜140覆盖导电膜138的侧端部的一部分，并具有防止导电膜138在相邻的像素之间产生短路的功能。此外，EL层150具有发射光的功能。此外，由导电膜138、EL层150、导电膜144构成发光元件160。导电膜138被用作发光元件160的一个电极，导电膜144被用作发光元件160的另一个电极。

[0424] 如上所述，本发明的一个实施方式的半导体装置具有多个晶体管的叠层结构，缩小晶体管的配置面积。此外，通过在多个晶体管之间共同使用绝缘膜和导电膜中的任一个或两个，可以减少掩模个数或工序数。

[0425] 此外，如图26A和图26B所示，晶体管Tr1及晶体管Tr2都包括两个栅电极。

[0426] 在此，图26A和图26B以及图27对包括两个栅电极的结构的效果进行说明。

[0427] 如图27所示，被用作第二栅电极的导电膜122c通过开口部181与被用作第一栅电极的导电膜104电连接。因此，导电膜104和导电膜122c被供应相同的电位。此外，如图27所示，氧化物半导体膜108位于与导电膜104及导电膜122c相对的位置，且夹在被用作栅电极的两个导电膜之间。导电膜104及导电膜122c的沟道宽度方向上的长度都大于氧化物半导体膜108的沟道宽度方向上的长度，氧化物半导体膜108的整体隔着绝缘膜106、114、116被导电膜104和导电膜122c覆盖。

[0428] 换言之，导电膜104与导电膜122c在形成于绝缘膜106、114、116中的开口部181中连接，并具有位于氧化物半导体膜108的侧端部的外侧的区域。通过采用上述结构，可以利用导电膜104及导电膜122c的电场电围绕晶体管Tr1所包括的氧化物半导体膜108。换言之，晶体管Tr1具有S-Channel结构。

[0429] 注意，虽然在上面说明使第一栅电极与第二栅电极连接的结构，但是晶体管的结构不局限于此。例如，如图26B所示的晶体管Tr2那样，也可以采用使被用作第二栅电极的导电膜130与被用作晶体管Tr2的源电极或漏电极的导电膜122a电连接的结构。

[0430] <4-2.半导体装置的构成要素>

下面，对本实施方式的半导体装置所包含的构成要素进行详细说明。注意，与实施方式1所示的结构同样的结构由相同的附图标记表示而省略详细的说明。

[0431] [导电膜]

作为导电膜122a、导电膜122b、导电膜122c、导电膜130、导电膜138及导电膜144，可以使用与导电膜104、导电膜112a、112b及导电膜120a、120b同样的材料。

[0432] 导电膜122a、导电膜122b、导电膜122c、导电膜130、导电膜138及导电膜144可以使用包含铟和锡的氧化物、包含钨和铟的氧化物、包含钨和铟和锌的氧化物、包含钛和铟的氧化物、包含钛和铟和锡的氧化物、包含铟和锌的氧化物、包含硅和铟和锡的氧化物、包含铟和镓和锌的氧化物等氧化物导电体(OC)形成。

[0433] 尤其是，上述氧化物导电体(OC)适用于导电膜130。

[0434] [绝缘膜]

作为绝缘膜124、绝缘膜126及绝缘膜134，可以使用与绝缘膜106、绝缘膜114及绝缘膜116同样的材料。

[0435] 此外，优选的是，与氧化物半导体膜108和氧化物半导体膜128中的任一个或两个接触的绝缘膜为氧化物绝缘膜，并且该氧化物绝缘膜具有氧含量超过化学计量组成的区域(过剩氧区域)。换言之，具有过剩氧区域的氧化物绝缘膜能够释放氧。

[0436] 例如，上述具有过剩氧区域的氧化物绝缘膜可以通过如下步骤形成：在氧气氛下形成绝缘膜；在氧气氛下对形成之后的绝缘膜进行加热处理；或者对形成之后的绝缘膜添加氧。作为对形成之后的绝缘膜添加氧的方法，优选利用等离子体处理。

[0437] 此外，被用作晶体管Tr1及晶体管Tr2的栅极绝缘膜的绝缘膜可以使用氮化硅形成。在被用作栅极绝缘膜的绝缘膜使用氮化硅形成的情况下，发挥如下效果。与氧化硅相比，氮化硅的相对介电常数较高且为了获得与氧化硅相等的静电容量所需要的厚度较大，因此，可以增加绝缘膜的厚度。因此，可以通过抑制晶体管Tr1及晶体管Tr2的绝缘耐压的下

降并提高绝缘耐压来抑制晶体管Tr1及晶体管Tr2的静电破坏。

[0438] 另外，绝缘膜114、116、124、126具有对氧化物半导体膜108和氧化物半导体膜128中的任一个或两个供应氧的功能。即，绝缘膜114、116、124、126包含氧。另外，绝缘膜114、124是能够使氧透过的绝缘膜。注意，绝缘膜114还被用作在后面形成绝缘膜116时缓解对氧化物半导体膜108造成的损伤的膜，绝缘膜124还被用作在后面形成绝缘膜126时缓解对氧化物半导体膜128造成的损伤的膜。

[0439] 作为绝缘膜114、124，可以使用厚度为5nm以上且150nm以下，优选为5nm以上且50nm以下的氧化硅膜、氧氮化硅膜等。

[0440] 此外，优选使绝缘膜114、124中的缺陷量较少，典型的是，通过ESR测得的起因于硅悬空键且在g＝2.001处出现的信号的自旋密度优选为3×10^{17}spins/cm^3以下。这是因为，若绝缘膜114、124的缺陷密度高，氧则与该缺陷键合，而使绝缘膜114中的氧的透过量减少。

[0441] 此外，绝缘膜114、124可以使用起因于氮氧化物的态密度低的氧化物绝缘膜形成。注意，该起因于氮氧化物的态密度有时会形成在氧化物半导体膜的价带顶的能量(E_{V_OS})与氧化物半导体膜的导带底的能量(E_{C_OS})之间。作为上述氧化物绝缘膜，可以使用氮氧化物的释放量少的氧氮化硅膜或氮氧化物的释放量少的氧氮化铝膜等。

[0442] 此外，在热脱附谱分析法(TDS)中，氮氧化物的释放量少的氧氮化硅膜是氨释放量比氮氧化物的释放量多的膜，典型的是氨的释放量为1×10^{18}/cm^3以上且5×10^{19}/cm^3以下。注意，上述氨释放量为在TDS中的加热处理的温度为50℃以上且650℃以下或者50℃以上且550℃以下的范围内被释放的氨的总量。此外，上述氨释放量为在TDS中换算为氨分子的总量。

[0443] 绝缘膜134具有晶体管Tr1及晶体管Tr2的保护绝缘膜的功能。

[0444] 绝缘膜134包含氢和氮中的任一个或两个。另外，绝缘膜134包含氮及硅。此外，绝缘膜134具有能够阻挡氧、氢、水、碱金属、碱土金属等的功能。通过设置绝缘膜134，能够防止氧从氧化物半导体膜108及氧化物半导体膜128扩散到外部，并且能够防止绝缘膜114、116、124、126所包含的氧扩散到外部，还能够防止氢、水等从外部侵入氧化物半导体膜108、128中。

[0445] 作为绝缘膜134，例如可以使用氮化物绝缘膜。作为该氮化物绝缘膜，有氮化硅、氮氧化硅、氮化铝、氮氧化铝等。

[0446] 绝缘膜136及绝缘膜140具有使起因于晶体管等的凹凸等平坦的功能。绝缘膜136及绝缘膜140只要具有绝缘性即可，使用无机材料或有机材料形成。作为该无机材料，可以举出氧化硅膜、氧氮化硅膜、氮氧化硅膜、氮化硅膜、氧化铝膜、氮化铝膜等。作为该有机材料，例如可以举出丙烯酸树脂或聚酰亚胺树脂等感光性树脂材料。

[0447] [氧化物半导体膜]

作为氧化物半导体膜128，可以使用与氧化物半导体膜108同样的材料。

[0448] [EL层]

EL层150具有发光功能，并至少包括发光元件。此外，除了该发光层之外，EL层150还包括空穴注入层、空穴传输层、电子传输层及电子注入层等功能层。EL层150可以使用低分子化合物及高分子化合物。

[0449] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式或实施例适当

地组合而实施。

[0450] (实施方式5)

下面,参照图28和图29说明可以用于使用本发明的一个实施方式的半导体装置的显示装置的显示部等的显示面板的例子。下面例示的显示面板是包括反射型液晶元件及发光元件的两种元件且能够以透过模式和反射模式的两种模式进行显示的显示面板。

[0451] <5-1.显示面板的结构实例>

图28是本发明的一个实施方式的显示面板600的立体示意图。显示面板600包括将衬底651与衬底661贴合在一起的结构。在图28中,以虚线表示衬底661。

[0452] 显示面板600包括显示部662、电路659及布线666等。衬底651例如设置有电路659、布线666及被用作像素电极的导电膜663等。另外,图28示出在衬底651上安装有IC673及FPC672的例子。由此,图28所示的结构可以说是包括显示面板600、FPC672及IC673的显示模块。

[0453] 作为电路659,例如可以使用用作扫描线驱动电路的电路。

[0454] 布线666具有对显示部及电路659供应信号或电力的功能。该信号或电力从外部经由FPC672或者从IC673输入到布线666。

[0455] 图28示出利用COG方式等对衬底6651设置IC673的例子。例如,可以对IC673适用用作扫描线驱动电路或信号线驱动电路的IC。另外,当显示面板600具备用作扫描线驱动电路或信号线驱动电路的电路,或者将用作扫描线驱动电路或信号线驱动电路的电路设置在外部且通过FPC672输入用来驱动显示面板600的信号时,也可以不设置IC673。另外,也可以将IC673利用薄膜覆晶封装(COF)方式等安装于FPC672。

[0456] 图28示出显示部662的一部分的放大图。在显示部662中以矩阵状配置有多个显示元件所包括的导电膜663。在此,导电膜663具有反射可见光的功能且被用作下述液晶元件640的反射电极。

[0457] 此外,如图28所示,导电膜663包括开口。再者,在导电膜663的衬底651一侧包括发光元件660。来自发光元件660的光透过导电膜663的开口发射到衬底661一侧。

[0458] <5-2.截面结构实例>

图29示出图28所例示的显示面板中的包括FPC672的区域的一部分、包括电路659的区域的一部分及包括显示部662的区域的一部分的截面的例子。

[0459] 显示面板在衬底651与衬底661之间包括绝缘膜620。另外,在衬底651与绝缘膜620之间包括发光元件660、晶体管601、晶体管605、晶体管606及着色层634等。另外,在绝缘膜620与衬底661之间包括液晶元件640、着色层631等。另外,衬底661隔着粘合层641与绝缘膜620粘合,衬底651隔着粘合层642与绝缘膜620粘合。

[0460] 晶体管606与液晶元件640电连接,而晶体管605与发光元件660电连接。因为晶体管605和晶体管606都形成在绝缘膜620的衬底651一侧的面上,所以它们可以通过同一工序制造。

[0461] 衬底661设置有着色层631、遮光膜632、绝缘层621及被用作液晶元件640的公共电极的导电膜613、取向膜633b、绝缘层617等。绝缘层617被用作用来保持液晶元件640的单元间隙的间隔物。

[0462] 在绝缘膜620的衬底651一侧设置有绝缘膜681、绝缘膜682、绝缘膜683、绝缘膜

684、绝缘膜685等绝缘层。绝缘膜681的一部分被用作各晶体管的栅极绝缘层。绝缘膜682、绝缘膜683及绝缘膜684以覆盖各晶体管等的方式设置。此外，绝缘膜685以覆盖绝缘膜684的方式设置。绝缘膜684及绝缘膜685具有平坦化层的功能。此外，这里示出作为覆盖晶体管等的绝缘层包括绝缘膜682、绝缘膜683及绝缘膜684的三层的情况，但是绝缘层不局限于此，也可以为四层以上、单层或两层。如果不需要，则可以不设置用作平坦化层的绝缘膜684。

[0463] 另外，晶体管601、晶体管605及晶体管606包括其一部分用作栅极的导电膜654、其一部分被用作源极或漏极的导电层652、半导体膜653。在此，对经过同一导电膜的加工而得到的多个层附有相同的阴影线。

[0464] 液晶元件640是反射型液晶元件。液晶元件640包括层叠有导电膜635、液晶层612及导电膜613的叠层结构。另外，设置有与导电膜635的衬底651一侧接触的反射可见光的导电膜663。导电膜663包括开口655。另外，导电膜635及导电膜613包含使可见光透过的材料。此外，在液晶层612和导电膜635之间设置有取向膜633a，并且在液晶层612和导电膜613之间设置有取向膜633b。此外，在衬底661的外侧的面上设置有偏振片656。

[0465] 在液晶元件640中，导电膜663具有反射可见光的功能，导电膜613具有透过可见光的功能。从衬底661一侧入射的光被偏振片656偏振，透过导电膜613、液晶层612，且被导电膜663反射。而且，再次透过液晶层612及导电膜613而到达偏振片656。此时，由施加到导电膜663和导电膜613之间的电压控制液晶的取向，从而可以控制光的光学调制。也就是说，可以控制经过偏振片656发射的光的强度。此外，由于特定的波长区域之外的光被着色层631吸收，因此被提取的光例如呈现红色。

[0466] 发光元件660是底部发射型发光元件。发光元件660具有从绝缘膜620一侧依次层叠有导电层643、EL层644及导电层645b的结构。另外，设置有覆盖导电层645b的导电层645a。导电层645b包含反射可见光的材料，导电层643及导电层645a包含使可见光透过的材料。发光元件660所发射的光经过着色层634、绝缘膜620、开口655及导电膜613等射出到衬底661一侧。

[0467] 在此，如图29所示，开口655优选设置有透过可见光的导电膜635。由此，液晶在与开口655重叠的区域中也与其他区域同样地取向，从而可以抑制因在该区域的边境部产生液晶的取向不良而产生非意图的漏光。

[0468] 在此，作为设置在衬底661的外侧的面的偏振片656，可以使用直线偏振片，也可以使用圆偏振片。作为圆偏振片，例如可以使用将直线偏振片和四分之一波相位差板层叠而成的偏振片。由此，可以抑制外光反射。此外，通过根据偏振片的种类调整用于液晶元件640的液晶元件的单元间隙、取向、驱动电压等来实现所希望的对比度，即可。

[0469] 在覆盖导电层643的端部的绝缘膜646上设置有绝缘膜647。绝缘膜647具有抑制绝缘膜620与衬底651之间的距离过近的间隙物的功能。另外，当使用遮蔽掩模(金属掩模)形成EL层644及导电层645a时，绝缘膜647可以具有抑制该遮蔽掩模接触于被形成面的功能。另外，如果不需要则可以不设置绝缘膜647。

[0470] 晶体管605的源极和漏极中的一个通过导电层648与发光元件660的导电层643电连接。

[0471] 晶体管606的源极和漏极中的一个通过连接部607与导电膜663电连接。导电膜635

与导电膜663接触，它们彼此电连接。在此，连接部607是使设置在绝缘膜620的双面上的导电层通过形成在绝缘膜620中的开口彼此电连接的部分。

[0472] 在衬底651与衬底661不重叠的区域中设置有连接部604。连接部604通过连接层649与FPC672电连接。连接部604具有与连接部607相同的结构。在连接部604的顶面上露出对与导电膜635同一的导电膜进行加工来获得的导电层。因此，通过连接层649可以使连接部604与FPC672电连接。

[0473] 在设置有粘合层641的一部分的区域中设置有连接部687。在连接部687中，通过连接体686使对与导电膜635同一的导电膜进行加工来获得的导电层和导电膜613的一部分电连接。由此，可以将从连接于衬底651一侧的FPC672输入的信号或电位通过连接部687供应到形成在衬底661一侧的导电膜613。

[0474] 例如，连接体686可以使用导电粒子。作为导电粒子，可以采用表面覆盖有金属材料的有机树脂或二氧化硅等的粒子。作为金属材料，优选使用镍或金，因为其可以降低接触电阻。另外，优选使用由两种以上的金属材料以层状覆盖的粒子诸如由镍以及金覆盖的粒子。另外，连接体686优选采用能够弹性变形或塑性变形的材料。此时，有时导电粒子的连接体686成为图29所示那样的在纵向上被压扁的形状。通过具有该形状，可以增大连接体686与电连接于该连接体的导电膜的接触面积，从而可以降低接触电阻并抑制接触不良等问题发生。

[0475] 连接体686优选以由粘合层641覆盖的方式配置。例如，可以将连接体686分散在固化之前的粘合层641。

[0476] 在图29中，作为电路659的例子，示出设置有晶体管601的例子。

[0477] 在图29中，作为晶体管601及晶体管605的例子，应用由两个栅极夹着形成有沟道的半导体膜653的结构。一个栅极由导电膜654构成，而另一个栅极由隔着绝缘膜682与半导体膜653重叠的导电膜623构成。通过采用这种结构，可以控制晶体管的阈值电压。此时，也可以通过连接两个栅极并对该两个栅极供应同一信号来驱动晶体管。与其他晶体管相比，这种晶体管能够提高场效应迁移率，而可以增大通态电流。其结果是，可以制造能够进行高速工作的电路。再者，能够缩小电路部的占有面积。通过使用通态电流高的晶体管，即使在使显示面板大型化或高分辨率化时布线数增多，也可以降低各布线的信号延迟，并且可以抑制显示的不均匀。

[0478] 电路659所包括的晶体管与显示部662所包括的晶体管也可以具有相同的结构。此外，电路659所包括的多个晶体管可以都具有相同的结构或不同的结构。另外，显示部662所包括的多个晶体管可以都具有相同的结构或不同的结构。

[0479] 覆盖各晶体管的绝缘膜682和绝缘膜683中的至少一个优选使用水或氢等杂质不容易扩散的材料。即，可以将绝缘膜682或绝缘膜683用作阻挡膜。通过采用这种结构，可以有效地抑制杂质从外部扩散到晶体管中，从而能够实现可靠性高的显示面板。

[0480] 在衬底661一侧设置有覆盖着色层631、遮光膜632的绝缘层621。绝缘层621可以具有平坦化层的功能。通过使用绝缘层621可以使导电膜613的表面大致平坦，可以使液晶层612的取向状态成为均匀。

[0481] 对制造显示面板600的方法的例子进行说明。例如，在包括剥离层的支撑衬底上依次形成导电膜635、导电膜663及绝缘膜620，形成晶体管605、晶体管606及发光元件660等，

然后使用粘合层642贴合衬底651和支撑衬底。之后，通过在剥离层与绝缘膜620的界面及剥离层与导电膜635的界面进行剥离，去除支撑衬底及剥离层。此外，另外准备预先形成有着色层631、遮光膜632、导电膜613等的衬底661。而且，对衬底651或衬底661滴下液晶，并由粘合层641贴合衬底651和衬底661，从而可以制造显示面板600。

[0482] 作为剥离层，可以适当地选择在与绝缘膜620与导电膜635的界面产生剥离的材料。特别是，作为剥离层，使用包含钨等的高熔点金属材料的层和包含该金属材料的氧化物的层的叠层，并且优选作为剥离层上的绝缘膜620使用层叠有多个氮化硅、氧氮化硅、氮氧化硅等的层。当将高熔点金属材料用于剥离层时，可以提高在形成剥离层之后形成的层的形成温度，从而可以降低杂质浓度并实现可靠性高的显示面板。

[0483] 作为导电膜635，优选使用金属氧化物或金属氮化物等氧化物或氮化物。在使用金属氧化物时，将氢浓度、硼浓度、磷浓度、氮浓度及其他杂质的浓度以及氧空位量中的至少一个比用于晶体管的半导体层高的材料用于导电膜635，即可。

[0484] <5-3.各构成要素>

下面，说明上述各构成要素。此外，省略具有与上述实施方式所示的功能同样的功能的结构的说明。

[0485] [粘合层]

作为各粘合层，可以使用紫外线固化粘合剂等光固化粘合剂、反应固化粘合剂、热固化粘合剂、厌氧粘合剂等各种固化粘合剂。作为这些粘合剂，可以举出环氧树脂、丙烯酸树脂、硅酮树脂、酚醛树脂、聚酰亚胺树脂、酰亚胺树脂、PVC(聚氯乙烯)树脂、PVB(聚乙烯醇缩丁醛)树脂、EVA(乙烯-醋酸乙烯酯)树脂等。尤其优选使用环氧树脂等透湿性低的材料。另外，也可以使用两液混合型树脂。此外，也可以使用粘合薄片等。

[0486] 另外，在上述树脂中也可以包含干燥剂。例如，可以使用碱土金属的氧化物(氧化钙或氧化钡等)那样的通过化学吸附吸附水分的物质。或者，也可以使用沸石或硅胶等通过物理吸附来吸附水分的物质。当在树脂中包含干燥剂时，能够抑制水分等杂质进入元件，从而显示面板的可靠性得到提高，所以是优选的。

[0487] 此外，通过在上述树脂中混合折射率高的填料或光散射构件，可以提高光提取效率。例如，可以使用氧化钛、氧化钡、沸石、锆等。

[0488] [连接层]

作为连接层，可以使用各向异性导电膜(ACF)、各向异性导电膏(ACP)等。

[0489] [着色层]

作为能够用于着色层的材料，可以举出金属材料、树脂材料、包含颜料或染料的树脂材料等。

[0490] [遮光层]

作为能够用于遮光层的材料，可以举出碳黑、钛黑、金属、金属氧化物或包含多个金属氧化物的固溶体的复合氧化物等。遮光层也可以为包含树脂材料的膜或包含金属等无机材料的薄膜。另外，也可以对遮光层使用包含着色层的材料的膜的叠层膜。例如，可以采用包含用于使某个颜色的光透过的着色层的材料的膜与包含用于使其他颜色的光透过的着色层的材料的膜的叠层结构。通过使着色层与遮光层的材料相同，除了可以使用相同的装置以外，还可以简化工序，因此是优选的。

[0491] 以上是关于各构成要素的说明。

[0492] <5-4.制造方法实例>

在此,对使用具有柔性的衬底的显示面板的制造方法的例子进行说明。

[0493] 在此,将包括显示元件、电路、布线、电极、着色层及遮光层等光学构件以及绝缘层等的层总称为元件层。例如,元件层包括显示元件,除此以外还可以包括与显示元件电连接的布线、用于像素或电路的晶体管等元件。

[0494] 另外,在此,将在显示元件完成(制造工序结束)的阶段中支撑元件层且具有柔性的构件称为衬底。例如,衬底在其范围中也包括其厚度为10nm以上且300μm以下的极薄的薄膜等。

[0495] 作为在具有柔性且具备绝缘表面的衬底上形成元件层的方法,典型地有如下两种方法。一个方法是在衬底上直接形成元件层的方法。另一个方法是在与衬底不同的支撑衬底上形成元件层之后分离元件层与支撑衬底而将元件层转置于衬底的方法。另外,在此没有详细的说明,但是除了上述两个方法以外,还有如下方法:在没有柔性的衬底上形成元件层,通过抛光等使该衬底变薄而使该衬底具有柔性的方法。

[0496] 当构成衬底的材料对元件层的形成工序中的加热具有耐热性时,若在衬底上直接形成元件层,则可使工序简化,所以是优选的。此时,若在将衬底固定于支撑衬底的状态下形成元件层,则可使装置内及装置之间的传送变得容易,所以是优选的。

[0497] 另外,当采用在将元件层形成在支撑衬底上后将其转置于衬底的方法时,首先在支撑衬底上层叠剥离层和绝缘层,在该绝缘层上形成元件层。接着,将元件层与支撑衬底之间进行剥离并将元件层转置于衬底。此时,选择在支撑衬底材料与剥离层的界面、剥离层与绝缘层的界面或剥离层中发生剥离的材料即可。在上述方法中,通过将高耐热性材料用于支撑衬底及剥离层,可以提高形成元件层时所施加的温度的上限,从而可以形成包括更高可靠性的元件的元件层,所以是优选的。

[0498] 例如,优选的是,作为剥离层使用包含钨等高熔点金属材料的层与包含该金属材料的氧化物的层的叠层,作为剥离层上的绝缘层使用层叠多个氧化硅层、氮化硅层、氧氮化硅层、氮氧化硅层等的层。

[0499] 作为元件层与支撑衬底之间进行剥离的方法,例如可以举出如下方法:施加机械力量的方法;蚀刻剥离层的方法;以及使液体渗透到剥离界面的方法;等。另外,可以通过利用形成剥离界面的两层的热膨胀系数的差异,对支撑衬底进行加热或冷却而进行剥离。

[0500] 另外,当能够在支撑衬底与绝缘层的界面进行剥离时,可以不设置剥离层。

[0501] 例如,也可以作为支撑衬底使用玻璃,作为绝缘层使用聚酰亚胺等有机树脂。此时,也可以通过使用激光等对有机树脂的一部分局部性地进行加热,或者通过使用锐利的构件物理性地切断或打穿有机树脂的一部分等来形成剥离的起点,由此在玻璃与有机树脂的界面进行剥离。当作为上述有机树脂使用感光材料时,容易形成开口等的形状,所以是优选的。上述激光例如优选为可见光线至紫外线的波长区域的光。例如,可以使用波长为200nm以上且400nm以下,优选为250nm以上且350nm以下的光。尤其是,当使用波长为308nm的准分子激光,生产率得到提高,所以是优选的。另外,也可以使用作为Nd:YAG激光的第三谐波的波长为355nm的UV激光等固体UV激光(也称为半导体UV激光)。

[0502] 另外,也可以在支撑衬底与由有机树脂构成的绝缘层之间设置发热层,通过对该

发热层进行加热，由此在该发热层与绝缘层的界面进行剥离。作为发热层，可以使用通过电流流过发热的材料、通过吸收光发热的材料、通过施加磁场发热的材料等各种材料。例如，作为发热层的材料，可以使用选自半导体、金属及绝缘体中的材料。

[0503] 在上述方法中，可以在进行剥离之后将由有机树脂构成的绝缘层用作衬底。

[0504] 以上是对柔性显示面板的制造方法的说明。

[0505] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式或实施例适当地组合而实施。

[0506] (实施方式6)

在本实施方式中，使用图30A至图30C说明包括本发明的一个实施方式的半导体装置的显示装置。

[0507] <6.显示装置的电路结构>

图30A所示的显示装置包括：具有显示元件的像素的区域(以下称为像素部502)；配置在像素部502外侧并具有用来驱动像素的电路的电路部(以下称为驱动电路部504)；具有保护元件的功能的电路(以下称为保护电路506)；以及端子部507。此外，也可以不设置保护电路506。

[0508] 驱动电路部504的一部分或全部与像素部502优选形成在同一衬底上。由此，可以减少构件的数量及端子的数量。当驱动电路部504的一部分或全部与像素部502不形成在同一衬底上时，驱动电路部504的一部分或全部可以通过COG或卷带自动结合(TAB)安装。

[0509] 像素部502包括用来驱动配置为X行(X为2以上的自然数)Y列(Y为2以上的自然数)的多个显示元件的电路(以下称为像素电路501)，驱动电路部504包括输出用来选择像素的信号(扫描信号)的电路(以下称为栅极驱动器504a)以及供应用来驱动像素中的显示元件的信号(数据信号)的电路(以下称为源极驱动器504b)等驱动电路。

[0510] 栅极驱动器504a具有移位寄存器等。栅极驱动器504a通过端子部507接收用来驱动移位寄存器的信号并输出信号。例如，栅极驱动器504a被输入起始脉冲信号、时钟信号等并输出脉冲信号。栅极驱动器504a具有控制被供应扫描信号的布线(以下称为扫描线GL_1至GL_X)的电位的功能。另外，也可以设置多个栅极驱动器504a，并通过多个栅极驱动器504a各别控制扫描线GL_1至GL_X。或者，栅极驱动器504a具有供应初始化信号的功能。但是，不局限于此，栅极驱动器504a也可以供应其他信号。

[0511] 源极驱动器504b具有移位寄存器等。源极驱动器504b通过端子部507接收用来驱动移位寄存器的信号和从其中得出数据信号的信号(图像信号)。源极驱动器504b具有根据图像信号生成写入到像素电路501的数据信号的功能。另外，源极驱动器504b具有依照由于起始脉冲信号、时钟信号等的输入产生的脉冲信号来控制数据信号的输出的功能。另外，源极驱动器504b具有控制被供应数据信号的布线(以下称为数据线DL_1至DL_Y)的电位的功能。或者，源极驱动器504b具有供应初始化信号的功能。但是，不局限于此，源极驱动器504b可以供应其他信号。

[0512] 源极驱动器504b例如使用多个模拟开关等来构成。源极驱动器504b通过依次使多个模拟开关开启而可以输出对图像信号进行时间分割所得到的信号作为数据信号。此外，也可以使用移位寄存器等构成源极驱动器504b。

[0513] 脉冲信号及数据信号分别通过被供应扫描信号的多个扫描线GL之一及被供应数

据信号的多个数据线DL之一被输入到多个像素电路501的每一个。另外，栅极驱动器504a控制多个像素电路501的每一个中的数据信号的写入及保持。例如，脉冲信号通过扫描线GL_m(m是X以下的自然数)从栅极驱动器504a被输入到第m行第n列的像素电路501，数据信号根据扫描线GL_m的电位通过数据线DL_n(n是Y以下的自然数)从源极驱动器504b被输入到第m行第n列的像素电路501。

[0514] 图30A所示的保护电路506例如连接于作为栅极驱动器504a和像素电路501之间的布线的扫描线GL。或者，保护电路506连接于作为源极驱动器504b和像素电路501之间的布线的数据线DL。或者，保护电路506可以连接于栅极驱动器504a和端子部507之间的布线。或者，保护电路506可以连接于源极驱动器504b和端子部507之间的布线。此外，端子部507是指设置有用来从外部的电路对显示装置输入电力、控制信号及图像信号的端子的部分。

[0515] 保护电路506是在对与其连接的布线供应一定范围之外的电位时使该布线与其他布线之间导通的电路。

[0516] 如图30A所示，通过对像素部502和驱动电路部504设置保护电路506，可以提高显示装置对因静电放电(ESD)等而产生的过电流的耐性。但是，保护电路506的结构不局限于此，例如，也可以采用将栅极驱动器504a与保护电路506连接的结构或将源极驱动器504b与保护电路506连接的结构。或者，也可以采用将端子部507与保护电路506连接的结构。

[0517] 另外，虽然在图30A中示出由栅极驱动器504a和源极驱动器504b形成驱动电路部504的例子，但不局限于此。例如，也可以只形成栅极驱动器504a并安装另外准备的形成有源极驱动电路的衬底(例如，由单晶半导体膜或多晶半导体膜形成的驱动电路衬底)。

[0518] 另外，图30A所示的多个像素电路501例如可以采用图30B所示的结构。

[0519] 图30B所示的像素电路501包括液晶元件570、晶体管550以及电容器560。可以将前面的实施方式所示的晶体管适用于晶体管550。

[0520] 根据像素电路501的规格适当地设定液晶元件570的一对电极中的一个的电位。根据被写入的数据设定液晶元件570的取向状态。此外，也可以对多个像素电路501的每一个所具有的液晶元件570的一对电极中的一个供应公共电位。此外，对一个行内的像素电路501所具有的液晶元件570的一对电极之一供应的电位可以不同于对另一行内的像素电路501所具有的液晶元件570的一对电极之一供应的电位。

[0521] 例如，作为包括液晶元件570的显示装置的驱动方法也可以使用如下模式：TN模式；STN模式；VA模式；ASM模式；OCB模式；FLC模式；AFLC模式；MVA模式；PVA模式；IPS模式；FFS模式或横向弯曲取向(TBA)模式等。另外，作为显示装置的驱动方法，除了上述驱动方法之外，还有电控双折射(ECB)模式、聚合物分散液晶(PDLC)模式、聚合物网络液晶(PNLC)模式、宾主模式等。但是，不局限于此，作为液晶元件及其驱动方式可以使用各种液晶元件及驱动方式。

[0522] 在第m行第n列的像素电路501中，晶体管550的源电极和漏电极中的一个与数据线DL_n电连接，源电极和漏电极中的另一个与液晶元件570的一对电极中的另一个电极电连接。晶体管550的栅电极与扫描线GL_m电连接。晶体管550具有控制数据信号的写入的功能。

[0523] 电容器560的一对电极中的一个电极与被供应电位的布线(以下，称为电位供应线VL)电连接，另一个电极与液晶元件570的一对电极中的另一个电极电连接。此外，根据像素电路501的规格适当地设定电位供应线VL的电位。电容器560具有储存被写入的数据的存储

电容器的功能。

[0524] 例如,在包括图30B所示的像素电路501的显示装置中,通过图30A所示的栅极驱动器504a依次选择各行的像素电路501,并使晶体管550开启而写入数据信号。

[0525] 当晶体管550被关闭时,被写入数据的像素电路501成为保持状态。通过按行依次进行上述步骤,可以显示图像。

[0526] 图30A所示的多个像素电路501例如可以采用图30C所示的结构。

[0527] 图30C所示的像素电路501包括晶体管552、554、电容器562以及发光元件572。可以将前面的实施方式所示的晶体管应用于晶体管552和/或晶体管554。

[0528] 晶体管552的源电极和漏电极中的一个电连接于被供应数据信号的布线(以下,称为信号线DL_n)。并且,晶体管552的栅电极电连接于被供应栅极信号的布线(以下,称为扫描线GL_m)。

[0529] 晶体管552具有控制数据信号的写入的功能。

[0530] 电容器562的一对电极中的一个电极电连接于被供应电位的布线(以下,称为电位供应线VL_a),另一个电极电连接于晶体管552的源电极和漏电极中的另一个。

[0531] 电容器562具有储存被写入的数据的存储电容器的功能。

[0532] 晶体管554的源电极和漏电极中的一个电连接于电位供应线VL_a。并且,晶体管554的栅电极电连接于晶体管552的源电极和漏电极中的另一个。

[0533] 发光元件572的阳极和阴极中的一个电连接于电位供应线VL_b,另一个电连接于晶体管554的源电极和漏电极中的另一个。

[0534] 作为发光元件572,例如可以使用有机电致发光元件(也称为有机EL元件)等。注意,发光元件572并不局限于有机EL元件,也可以使用由无机材料构成的无机EL元件。

[0535] 此外,电位供应线VL_a和电位供应线VL_b中的一个被供应高电源电位VDD,另一个被供应低电源电位VSS。

[0536] 例如,在包括图30C所示的像素电路501的显示装置中,通过图30A所示的栅极驱动器504a依次选择各行的像素电路501,并使晶体管552开启而写入数据信号。

[0537] 当晶体管552被关闭时,被写入数据的像素电路501成为保持状态。并且,流过晶体管554的源电极与漏电极之间的电流量根据写入的数据信号的电位被控制,发光元件572以对应于流过的电流量的亮度发光。通过按行依次进行上述步骤,可以显示图像。

[0538] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

[0539] (实施方式7)

在本实施方式中,参照图31至图34B对包括本发明的一个实施方式的半导体装置的显示模块、电子设备进行说明。

[0540] <7-1.显示模块>

图31所示的显示模块7000在上盖7001与下盖7002之间包括连接于FPC7003的触摸屏7004、连接于FPC7005的显示面板7006、背光7007、框架7009、印刷电路板7010、电池7011。

[0541] 例如可以将本发明的一个实施方式的半导体装置用于显示面板7006。

[0542] 上盖7001及下盖7002可以根据触摸屏7004及显示面板7006的尺寸适当地改变形状或尺寸。

[0543] 触摸屏7004能够是电阻膜式触摸屏或电容式触摸屏，并且能够被形成为与显示面板7006重叠。此外，也可以使显示面板7006的对置衬底(密封衬底)具有触摸屏的功能。另外，也可以在显示面板7006的各像素内设置光传感器，而形成光学触摸屏。

[0544] 背光7007具有光源7008。注意，虽然在图31中例示出在背光7007上配置光源7008的结构，但是不局限于此。例如，可以在背光7007的端部设置光源7008，并使用光扩散板。当使用有机EL元件等自发光型发光元件时，或者当使用反射型面板等时，可以采用不设置背光7007的结构。

[0545] 框架7009除了具有保护显示面板7006的功能以外还具有用来遮断因印刷电路板7010的工作而产生的电磁波的电磁屏蔽的功能。此外，框架7009也可以具有散热板的功能。

[0546] 印刷电路板7010具有电源电路以及用来输出视频信号及时钟信号的信号处理电路。作为对电源电路供应电力的电源，既可以采用外部的商业电源，又可以采用利用另行设置的电池7011的电源。当使用商业电源时，可以省略电池7011。

[0547] 此外，在显示模块7000中还可以设置偏振片、相位差板、棱镜片等构件。

[0548] <7-2.电子设备1>

此外，图32A至图32E示出电子设备的一个例子。

[0549] 图32A是安装有取景器8100的照相机8000的外观图。

[0550] 照相机8000包括框体8001、显示部8002、操作按钮8003、快门按钮8004等。另外，照相机8000安装有可装卸的镜头8006。

[0551] 在此，照相机8000具有能够从框体8001拆卸下镜头8006而交换的结构，镜头8006和框体也可以被形成为一体。

[0552] 通过按下快门按钮8004，照相机8000可以进行成像。另外，显示部8002被用作触摸屏，也可以通过触摸显示部8002进行成像。

[0553] 照相机8000的框体8001包括具有电极的嵌入器，除了可以与取景器8100连接以外，还可以与闪光灯装置等连接。

[0554] 取景器8100包括框体8101、显示部8102以及按钮8103等。

[0555] 框体8101包括嵌合到照相机8000的嵌入器的嵌入器，可以将取景器8100安装到照相机8000。另外，该嵌入器包括电极，可以将从照相机8000经过该电极接收的图像等显示到显示部8102上。

[0556] 按钮8103被用作电源按钮。通过利用按钮8103，可以切换显示部8102的显示或非显示。

[0557] 本发明的一个实施方式的显示装置可以适用于照相机8000的显示部8002及取景器8100的显示部8102。

[0558] 另外，在图32A中，照相机8000与取景器8100是分开且可拆卸的电子设备，但是也可以在照相机8000的框体8001中内置有具备显示装置的取景器。

[0559] 此外，图32B是示出头戴显示器8200的外观的图。

[0560] 头戴显示器8200包括安装部8201、透镜8202、主体8203、显示部8204以及电缆8205等。另外，在安装部8201中内置有电池8206。

[0561] 通过电缆8205，将电力从电池8206供应到主体8203。主体8203具备无线接收器等，能够将所接收的图像数据等的图像信息显示到显示部8204上。另外，通过利用设置在主体

8203中的相机捕捉使用者的眼球及眼睑的动作，并根据该信息算出使用者的视点的坐标，可以利用使用者的视点作为输入方法。

[0562] 另外，也可以对安装部8201的被使用者接触的位置设置多个电极。主体8203也可以具有通过检测出根据使用者的眼球的动作而流过电极的电流，识别使用者的视点的功能。此外，主体8203可以具有通过检测出流过该电极的电流来监视使用者的脉搏的功能。安装部8201可以具有温度传感器、压力传感器、加速度传感器等各种传感器，也可以具有将使用者的生物信息显示在显示部8204上的功能。另外，主体8203也可以检测出使用者的头部的动作等，并与使用者的头部的动作等同步地使显示在显示部8204上的图像变化。

[0563] 可以对显示部8204适用本发明的一个实施方式的显示装置。

[0564] 图32C、图32D及图32E是示出头戴显示器8300的外观的图。头戴显示器8300包括框体8301、显示部8302、带状的固定工具8304以及一对镜头8305。

[0565] 使用者可以通过镜头8305看到显示部8302上的显示。优选的是，弯曲配置显示部8302。通过弯曲配置显示部8302，使用者可以感受高真实感。注意，在本实施方式中，例示出设置一个显示部8302的结构，但是不局限于此，例如也可以采用设置两个显示部8302的结构。此时，在将每个显示部配置在使用者的每个眼睛一侧时，可以进行利用视差的三维显示等。

[0566] 可以将本发明的一个实施方式的显示装置适用于显示部8302。因为包括本发明的一个实施方式的半导体装置的显示装置具有极高的分辨率，所以即使如图32E那样地使用镜头8305放大，也可以不使使用者看到像素而可以显示现实感更高的映像。

[0567] <7-3.电子设备2>

接着，图33A至图33G示出与图32A至图32E所示的电子设备不同的电子设备的例子。

[0568] 图33A至图33G所示的电子设备包括框体9000、显示部9001、扬声器9003、操作键9005(包括电源开关或操作开关)、连接端子9006、传感器9007(该传感器具有测量如下因素的功能：力、位移、位置、速度、加速度、角速度、转速、距离、光、液、磁、温度、化学物质、声音、时间、硬度、电场、电流、电压、电力、辐射线、流量、湿度、倾斜度、振动、气味或红外线)、麦克风9008等。

[0569] 图33A至图33G所示的电子设备具有各种功能。例如，可以具有如下功能：将各种信息(静态图像、动态图像、文字图像等)显示在显示部上的功能；触控面板的功能；显示日历、日期或时间等的功能；通过利用各种软件(程序)控制处理的功能；进行无线通信的功能；通过利用无线通信功能来连接到各种计算机网络的功能；通过利用无线通信功能，进行各种数据的发送或接收的功能；读出储存在存储介质中的程序或数据来将其显示在显示部上的功能；等。注意，图33A至图33G所示的电子设备可具有的功能不局限于上述功能，而可以具有各种功能。另外，虽然在图33A至图33G中未图示，但是电子设备可以包括多个显示部。此外，也可以在该电子设备中设置照相机等而使其具有如下功能：拍摄静态图像的功能；拍摄动态图像的功能；将所拍摄的图像储存在存储介质(外部存储介质或内置于照相机的存储介质)中的功能；将所拍摄的图像显示在显示部上的功能；等。

[0570] 下面，详细地说明图33A至图33G所示的电子设备。

[0571] 图33A是示出电视装置9100的立体图。可以将例如是50英寸以上或100英寸以上的

大型的显示部9001组装到电视装置9100。

[0572] 图33B是示出便携式信息终端9101的立体图。便携式信息终端9101例如具有电话机、电子笔记本和信息阅读装置等中的一种或多种的功能。具体而言，可以将其用作智能手机。另外，便携式信息终端9101可以设置有扬声器、连接端子、传感器等。另外，便携式信息终端9101可以将文字及图像信息显示在其多个面上。例如，可以将三个操作按钮9050(还称为操作图标或只称为图标)显示在显示部9001的一个面上。另外，可以将由虚线矩形表示的信息9051显示在显示部9001的另一个面上。此外，作为信息9051的例子，可以举出提示收到来自电子邮件、社交网络服务(SNS)或电话等的信息的显示；电子邮件或SNS等的标题；电子邮件或SNS等的发送者姓名；日期；时间；电量；以及天线接收强度等。或者，可以在显示有信息9051的位置上显示操作按钮9050等代替信息9051。

[0573] 图33C是示出便携式信息终端9102的立体图。便携式信息终端9102具有将信息显示在显示部9001的三个以上的面上的功能。在此，示出信息9052、信息9053、信息9054分别显示于不同的面上的例子。例如，便携式信息终端9102的使用者能够在将便携式信息终端9102放在上衣口袋里的状态下确认其显示(这里是信息9053)。具体而言，将打来电话的人的电话号码或姓名等显示在能够从便携式信息终端9102的上方观看这些信息的位置。使用者可以确认到该显示而无需从口袋里拿出便携式信息终端9102，由此能够判断是否接电话。

[0574] 图33D是示出手表型便携式信息终端9200的立体图。便携式信息终端9200可以执行移动电话、电子邮件、文章的阅读及编辑、音乐播放、网络通信、电脑游戏等各种应用程序。此外，显示部9001的显示面被弯曲，能够在所弯曲的显示面上进行显示。另外，便携式信息终端9200可以进行被通信标准化的近距离无线通信。例如，通过与可进行无线通信的耳麦相互通信，可以进行免提通话。此外，便携式信息终端9200包括连接端子9006，可以通过连接器直接与其他信息终端进行数据的交换。另外，也可以通过连接端子9006进行充电。此外，充电工作也可以利用无线供电进行，而不通过连接端子9006。

[0575] 图33E、图33F和图33G是示出能够折叠的便携式信息终端9201的立体图。另外，图33E是展开状态的便携式信息终端9201的立体图，图33F是从展开状态和折叠状态中的一个状态变为另一个状态的中途的状态的便携式信息终端9201的立体图，图33G是折叠状态的便携式信息终端9201的立体图。便携式信息终端9201在折叠状态下可携带性好，在展开状态下因为具有无缝拼接的较大的显示区域而其显示的一览性强。便携式信息终端9201所包括的显示部9001由铰链9055所连接的三个框体9000来支撑。通过铰链9055使两个框体9000之间弯折，可以从便携式信息终端9201的展开状态可逆性地变为折叠状态。例如，可以以1mm以上且150mm以下的曲率半径使便携式信息终端9201弯曲。

[0576] 接着，图34A和图34B示出与图32A至图32E、图33A至图33G所示的电子设备不同的电子设备的例子。图34A和图34B是包括多个显示面板的显示装置的立体图。图34A是多个显示面板被卷绕时的立体图，图34B是展开多个显示面板时的立体图。

[0577] 图34A和图34B所示的显示装置9500包括多个显示面板9501、轴部9511、轴承部9512。多个显示面板9501都包括显示区域9502、具有透光性的区域9503。

[0578] 多个显示面板9501具有柔性。以其一部分互相重叠的方式设置相邻的两个显示面板9501。例如，可以重叠相邻的两个显示面板9501的各具有透光性的区域9503。通过使用多

个显示面板9501，可以实现屏幕大的显示装置。另外，根据使用情况可以卷绕显示面板9501，所以可以实现通用性高的显示装置。

[0579] 图34A和图34B示出相邻的显示面板9501的显示区域9502彼此分开的情况，但是不局限于此，例如，也可以通过没有间隙地重叠相邻的显示面板9501的显示区域9502，实现连续的显示区域9502。

[0580] 本实施方式所示的电子设备具有包括用来显示某些信息的显示部的特征。注意，本发明的一个实施方式的半导体装置也可以应用于不包括显示部的电子设备。

[0581] 本实施方式的至少一部分可以与本说明书所记载的其他实施方式或实施例适当地组合而实施。

[实施例1]

[0582] 在本实施例中，制造本发明的一个实施方式的晶体管。此外，对晶体管的Id-Vg特性进行测量，且进行GBT测试。

[0583] [晶体管的制造]

下面，制造相当于上述晶体管100E的晶体管，对该晶体管的电特性进行评价。在本实施例中，制造以下样品A1及样品A2。

[0584] 此外，样品A1及样品A2具有晶体管，各晶体管的沟道长度L分别为3μm及6μm，沟道宽度W都为50μm。

[0585] [样品A1及样品A2的制造方法]

首先，使用溅射设备在玻璃衬底上形成厚度为100nm的钨膜。接着，利用光刻法对该导电膜进行加工，形成被用作第一栅电极的导电膜104。

[0586] 接着，在衬底及导电膜上层叠四层的绝缘膜，形成被用作第一栅极绝缘膜的绝缘膜106(参照图7A)。绝缘膜106使用等离子体增强化学气相沉积(PECVD)设备在真空中连续地形成。作为绝缘膜106，依次形成厚度为50nm的氮化硅膜、厚度为300nm的氮化硅膜、厚度为50nm的氮化硅膜、厚度为50nm的氧氮化硅膜。

[0587] 接着，在绝缘膜106上依次形成氧化物半导体膜108_1_0及氧化物半导体膜108_2_0(参照图7C)。下面，通过将该层叠的氧化物半导体膜加工为岛状，形成氧化物半导体膜108(参照图8A)。氧化物半导体膜108_1_0使用厚度为20nm的In-Ga-Zn膜，氧化物半导体膜108_2_0使用厚度为25nm的In-Ga-Zn膜。

[0588] 氧化物半导体膜108_1_0在如下条件下形成：衬底温度为130℃，将流量为180sccm的氩气体和流量为20sccm的氧气体导入到溅射设备的处理室内，压力为0.6Pa，对包含铟、镓和锌的金属氧化物靶材(In:Ga:Zn＝4:2:4.1[原子比])施加2.5kW的交流电力。注意，有时将沉积气体整体中所占的氧的比率称为“氧流量比”。形成氧化物半导体膜108_1_0时的氧流量比为10％。

[0589] 氧化物半导体膜108_2_0在氧化物半导体膜108_1_0的沉积条件中不同的溅射气体的流量的条件下形成。具体而言，停止对处理室导入氧气体，将流量为200sccm的氧气体导入到溅射设备的处理室内来形成。此外，形成氧化物半导体膜108_2_0时的氧流量比为100％。

[0590] 接着，进行加热处理。将加热温度设定为350℃，在氮气氛下进行1小时的加热处理，然后在氮和氧的混合气体气氛下进行1小时的加热处理。

[0591] 接着，在绝缘膜106及氧化物半导体膜108上形成导电膜，将该导电膜加工为所希望的形状，由此形成导电膜112a、112b。在此，作为导电膜，使用溅射设备依次形成厚度为30nm的第一钛膜和厚度为200nm的铜膜(参照图8C)。接着，通过光刻法对铜膜进行蚀刻，然后使用溅射设备形成厚度为50nm的第二钛膜。接着，通过光刻法，对第一钛膜及第二钛膜进行蚀刻，由此形成具有图8C所示的形状的导电膜112a、112b。

[0592] 接着，使用磷酸对氧化物半导体膜108的表面(背沟道一侧)进行洗涤。

[0593] 接着，在绝缘膜106、氧化物半导体膜108及导电膜112a、112b上形成绝缘膜114，在绝缘膜114上形成绝缘膜116(参照图9A)。绝缘膜114及绝缘膜116使用等离子体增强化学气相沉积(PECVD)设备在真空中连续地形成。作为绝缘膜114使用厚度为30nm的氧氮化硅膜，作为绝缘膜116使用厚度为400nm的氧氮化硅膜。

[0594] 接着，进行加热处理。将加热温度设定为350℃，在氮气氛下进行1小时的加热处理。

[0595] 接着，在绝缘膜116上形成导电膜(未图示)。作为导电膜，使用溅射设备形成厚度为6nm的ITSO膜。

[0596] 接着，通过等离子体处理法使氧经由导电膜，对绝缘膜116添加氧。在等离子体处理法中，在包含氧气体的气氛下进行等离子体放电。

[0597] 接着，对导电膜进行蚀刻。

[0598] 接着，在绝缘膜116上形成绝缘膜。绝缘膜使用等离子体增强化学气相沉积(PECVD)设备，形成厚度为100nm的氮化硅膜。

[0599] 接着，在绝缘膜的所希望的区域中形成开口部。作为开口部的形成方法，利用干蚀刻法。

[0600] 接着，以填充开口部的方式形成导电膜，将该导电膜加工为岛状，由此形成被用作第二栅电极的导电膜。作为该导电膜，使用溅射设备形成厚度为100nm的ITSO膜。

[0601] 接着，在绝缘膜及导电膜上形成绝缘膜。作为绝缘膜，使用厚度为1.5μm的丙烯酸类感光性树脂。

[0602] 如上所述，制造样品A1及样品A2。

[0603] [晶体管的Id-Vg特性]

接着，测量上面制造的样品A1及样品A2的晶体管的Id-Vg特性。作为晶体管的Id-Vg特性的测量条件，施加到被用作第一栅电极的导电膜的电压(以下，也称为栅电压(Vg))以及施加到被用作第二栅电极的导电膜的电压(以下，也称为背栅电压(Vbg))从-10V每隔0.25V变化到+10V。另外，将对被用作源电极的导电膜施加的电压(以下，也称为源电压(Vs))设定为0V(comm)，将对被用作漏电极的导电膜施加的电压(以下，也称为漏电压(Vd))设定为0.1V和20V。

[0604] 图35A和图35B分别示出样品A1及样品A2的Id-Vg特性结果。在图35A和图35B中，第一纵轴表示Id(A)，第二纵轴表示场效应迁移率(μFE(cm^2/Vs))，横轴表示Vg(V)。注意，场效应迁移率是指在Vd为20V时测量的值。

[0605] 从图35A和图35B可知，可以制造场效应迁移率高且具有优良的开关特性的晶体管。

[0606] [栅极偏压-热应力测试(GBT测试)]

接着,对上述样品A2进行可靠性评价。作为可靠性评价,利用GBT测试。

[0607] 本实施例的GBT测试条件为如下:将施加到被用作第一栅电极的导电膜及被用作第二栅电极的导电膜的电压(以下,称为栅极电压(Vg))设定为±30V;将施加到被用作源电极及漏电极的导电膜的电压(以下,分别被称为漏电压(Vd)、源电压(Vs))设定为0V(COMMON);应力温度为60℃;以及应力时间为1小时,并且在黑暗环境及光照射环境(使用白色LED照射10000lx左右的光)的两种环境。就是说,将晶体管的源电极和漏电极的电位设定为相同的电位,并且在固定时间内(这里,1小时)对第一栅电极及第二栅电极施加与源电极及漏电极不同的电位。

[0608] 另外,在施加到第一栅电极及第二栅电极的电位比源电极及漏电极的电位高的情况下施加正应力,而在施加到第一栅电极及第二栅电极的电位比源电极及漏电极的电位低的情况下施加负应力。因此,与测量环境组合而在正GBT(黑暗)、负GBT(黑暗)、正GBT(光照射)以及负GBT(光照射)的四种条件下进行可靠性评价。另外,下面将正GBT(黑暗)表示为PBTS(Positive Bias Temperature Stress),将负GBT(黑暗)表示为NBTS(Negative Bias Temperature Stress),将正GBT(光照射)表示为PBITS(Positive Bias Illumination Temperature Stress),将负GBT(光照射)表示为NBITS(Negative Bias Illumination Temperature Stress)。

[0609] 图36示出样品A2的GBT测试结果。此外,在图36中,左侧表示晶体管的阈值电压的变化量(ΔVth),右侧表示漂移值的变化量(ΔShift)。

[0610] 注意,漂移值是指在晶体管的漏电流(Id)-栅电压(Vg)特性中,以对数表示的漏电流(Id)的最大倾斜度的切线与1×10^{-12}A的轴的交点上的栅电压(Vg)。ΔShift是指漂移值的变化量。

[0611] 从图36所示的结果可知,样品A2所包括的晶体管的在GBT测试中阈值电压的变化量(ΔVth)及漂移值的变化量(ΔShift)为±2V以内。由此可知样品A2所包括的晶体管具有高可靠性。

[实施例2]

[0612] 在本实施例中,利用本发明的一个实施方式制造晶体管。此外,对晶体管的Id-Vg特性进行测量,且进行GBT测试。

[0613] [晶体管的制造]

下面,制造相当于上述晶体管100E的晶体管,对该晶体管的电特性进行评价。在本实施例中,制造以下样品B1及样品B2。此外,样品B1及样品B2与样品A1及样品A2之间的不同之处在于:在样品B1及样品B2中,氧化物半导体膜108_1中的对于Zn的In的原子比大于氧化物半导体膜108_2中的对于Zn的In的原子比。

[0614] 此外,样品B1及样品B2具有晶体管,各晶体管的沟道长度L分别为3μm及6μm,沟道宽度W都为50μm。

[0615] [样品B1及B2的制造方法]

样品B1及样品B2所包括的氧化物半导体膜的制造方法与样品A1及样品A2所包括的氧化物半导体膜的制造方法不同。具体而言,用来形成氧化物半导体膜108_1_0的靶材的原子比与用来形成氧化物半导体膜108_2_0的靶材的原子比不同。

[0616] 氧化物半导体膜108_1_0在如下条件下形成:衬底温度为130℃,将流量为180sccm

的氩气体和流量为20sccm的氧气体导入到溅射设备的处理室内，压力为0.6Pa，对包含铟、镓和锌的金属氧化物靶材(In:Ga:Zn＝4:2:4.1[原子比])施加2.5kW的交流电力。注意，有时将沉积气体整体中所占的氧的比率称为“氧流量比”。形成氧化物半导体膜108_1_0时的氧流量比为10％。此外，在使用原子比为In:Ga:Zn＝4:2:4.1的靶材形成的In-Ga-Zn氧化物膜中，能隙大约为3.0eV，电子亲和势大约为4.4eV。

[0617] 氧化物半导体膜108_2_0在如下条件下形成：衬底温度为170℃，将流量为100sccm的氩气体和流量为100sccm的氧气体导入到溅射设备的处理室内，压力为0.6Pa，对包含铟、镓和锌的金属氧化物靶材(In:Ga:Zn＝1:1:1[原子比])施加0.5kW的交流电力。注意，有时将沉积气体整体中所占的氧的比率称为“氧流量比”。形成氧化物半导体膜108_2_0时的氧流量比为50％。此外，在使用原子比为In:Ga:Zn＝1:1:1的靶材形成的In-Ga-Zn氧化物膜中，能隙大约为3.2eV，电子亲和势大约为4.7eV。

[0618] [晶体管的Id-Vg特性]

接着，对上述制造的样品B1及样品B2的晶体管的Id-Vg特性进行测量。此外，作为晶体管的Id-Vg特性的测量条件，采用与样品A1及样品A2同样的测量条件。

[0619] 图37A和图37B分别示出样品B1及样品B2的Id-Vg特性结果。在图37A和图37B中，第一纵轴表示Id(A)，第二纵轴表示场效应迁移率(μFE(cm^2/Vs))，横轴表示Vg(V)。注意，场效应迁移率是指在Vd为20V时测量的值。

[0620] 从图37A和图37B可知，可以制造场效应迁移率高且具有优良的开关特性的晶体管。

[0621] [栅极偏压-热应力测试(GBT测试)]

接着，对上述样品B2进行可靠性评价。作为可靠性评价，利用GBT测试。此外，作为GBT测试条件，采用与样品A1及样品A2同样的测量条件。

[0622] 图38示出样品B2的GBT测试结果。此外，在图38中，左侧表示晶体管的阈值电压的变化量(ΔVth)，右侧表示漂移值的变化量(ΔShift)。

[0623] 注意，漂移值是指在晶体管的漏电流(Id)-栅电压(Vg)特性中，以对数表示的漏电流(Id)的最大倾斜度的切线与1×10^{-12}A的轴的交点上的栅电压(Vg)。ΔShift是指漂移值的变化量。

[0624] 从图38所示的结果可知，样品B2所包括的晶体管的在GBT测试中阈值电压的变化量(ΔVth)及漂移值的变化量(ΔShift)为±3V以内。由此可知样品B2所包括的晶体管具有高可靠性。

[0625] 本实施例的至少一部分可以与本说明书所记载的其他实施方式适当地组合而实施。

符号说明

[0626] 100:晶体管，100A:晶体管，100B:晶体管，100C:晶体管，100D:晶体管，100E:晶体管，102:衬底，104:导电膜，106:绝缘膜，108:氧化物半导体膜，108_1:氧化物半导体膜，108_1_0:氧化物半导体膜，108_2:氧化物半导体膜，108_2_0:氧化物半导体膜，109_2:氧化物半导体膜，112:导电膜，112a:导电膜，112a_1:导电膜，112a_2:导电膜，112a_3:导电膜，112b:导电膜，112b_1:导电膜，112b_2:导电膜，112b_3:导电膜，114:绝缘膜，116:绝缘膜，118:绝缘膜，120:导电膜，120a:导电膜，120b:导电膜，122a:导电膜，122b:导电膜，122c:导

电膜,124:绝缘膜,126:绝缘膜,128:氧化物半导体膜,130:导电膜,134:绝缘膜,136:绝缘膜,138:导电膜,140:绝缘膜,141a:开口部,141b:开口部,142a:开口部,142b:开口部,144:导电膜,150:EL层,160:发光元件,181:开口部,182:开口部,184:开口部,190:半导体装置,191:靶材,192:等离子体,193:靶材,194:等离子体,501:像素电路,502:像素部,504:驱动电路部,504a:栅极驱动器,504b:源极驱动器,506:保护电路,507:端子部,550:晶体管,552:晶体管,554:晶体管,560:电容器,562:电容器,570:液晶元件,572:发光元件,600:显示面板,601:晶体管,604:连接部,605:晶体管,606:晶体管,607:连接部,612:液晶层,613:导电膜,617:绝缘膜,620:绝缘膜,621:绝缘膜,623:导电膜,631:着色层,632:遮光膜,633a:取向膜,633b:取向膜,634:着色层,640:液晶元件,641:粘合层,642:粘合层,643:导电膜,644:EL层,645a:导电膜,645b:导电膜,646:绝缘膜,647:绝缘膜,648:导电膜,649:连接层,651:衬底,652:导电膜,653:半导体膜,654:导电膜,655:开口,656:偏振片,659:电路,660:发光元件,661:衬底,662:显示部,663:导电膜,664:电极,665:电极,666:布线,667:电极,672:FPC,673:IC,681:绝缘膜,682:绝缘膜,683:绝缘膜,684:绝缘膜,685:绝缘膜,686:连接体,687:连接部,700:显示装置,701:衬底,702:像素部,704:驱动电路部,705:衬底,706:栅极驱动电路部,708:FPC端子部,710:信号线,711:布线部,712:密封剂,716:FPC,730:绝缘膜,732:密封膜,734:绝缘膜,736:着色膜,738:遮光膜,750:晶体管,752:晶体管,760:连接电极,770:平坦化绝缘膜,772:导电膜,773:绝缘膜,774:导电膜,775:液晶元件,776:液晶层,777:导电膜,778:结构体,780:各向异性导电膜,782:发光元件,786:EL层,788:导电膜,790:电容器,791:触摸屏,792:绝缘膜,793:电极,794:电极,795:绝缘膜,796:电极,797:绝缘膜,2190:等离子体,2192:阳离子,2501:沉积室,2502a:靶材,2502b:靶材,2504:偏析区域,2504a:溅射粒子,2506:偏析区域,2506a:溅射粒子,2510a:垫板,2510b:垫板,2520:靶材架,2520a:靶材架,2520b:靶材架,2530a:磁铁单元,2530b:磁铁单元,2530N1:磁铁,2530N2:磁铁,2530S:磁铁,2532:磁铁架,2542:构件,2560:衬底,2570:衬底架,2580a:磁力线,2580b:磁力线,6651:衬底,7000:显示模块,7001:上盖,7002:下盖,7003:FPC,7004:触摸屏,7005:FPC,7006:显示面板,7007:背光,7008:光源,7009:框架,7010:印刷电路板,7011:电池,8000:照相机,8001:框体,8002:显示部,8003:操作按钮,8004:快门按钮,8006:镜头,8100:取景器,8101:框体,8102:显示部,8103:按钮,8200:头戴显示器,8201:安装部,8202:透镜,8203:主体,8204:显示部,8205:电缆,8206:电池,8300:头戴显示器,8301:框体,8302:显示部,8304:固定工具,8305:镜头,9000:框体,9001:显示部,9003:扬声器,9005:操作键,9006:连接端子,9007:传感器,9008:麦克风,9050:操作按钮,9051:信息,9052:信息,9053:信息,9054:信息,9055:铰链,9100:电视装置,9101:便携式信息终端,9102:便携式信息终端,9200:便携式信息终端,9201:便携式信息终端,9500:显示装置,9501:显示面板,9502:显示区域,9503:区域,9511:轴部,9512:轴承部

本申请基于2016年4月13日提交到日本专利局的日本专利申请No.2016-080066及No.2016-080137,通过引用将其完整内容并入在此。

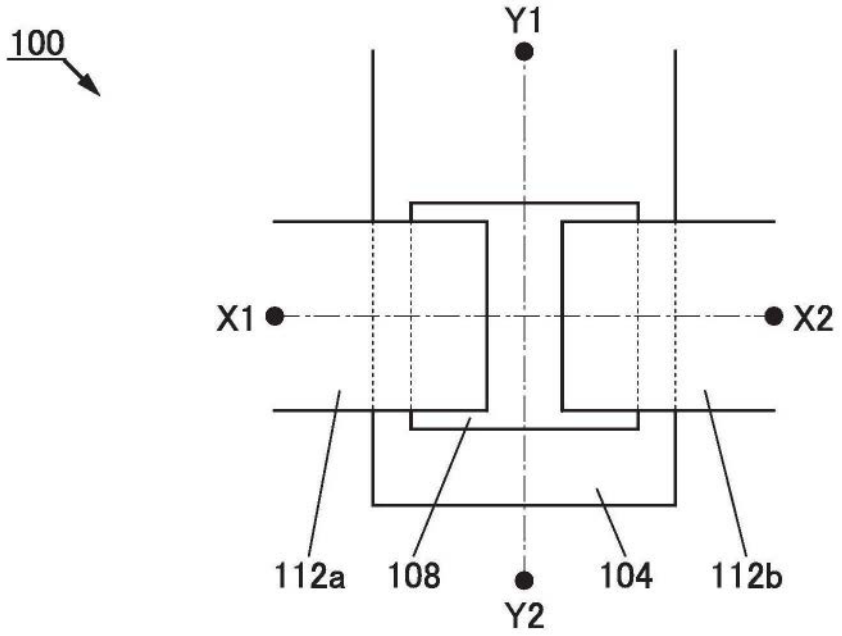

100
Y1
X1
X2
112a
108
104
112b
Y2

图1A

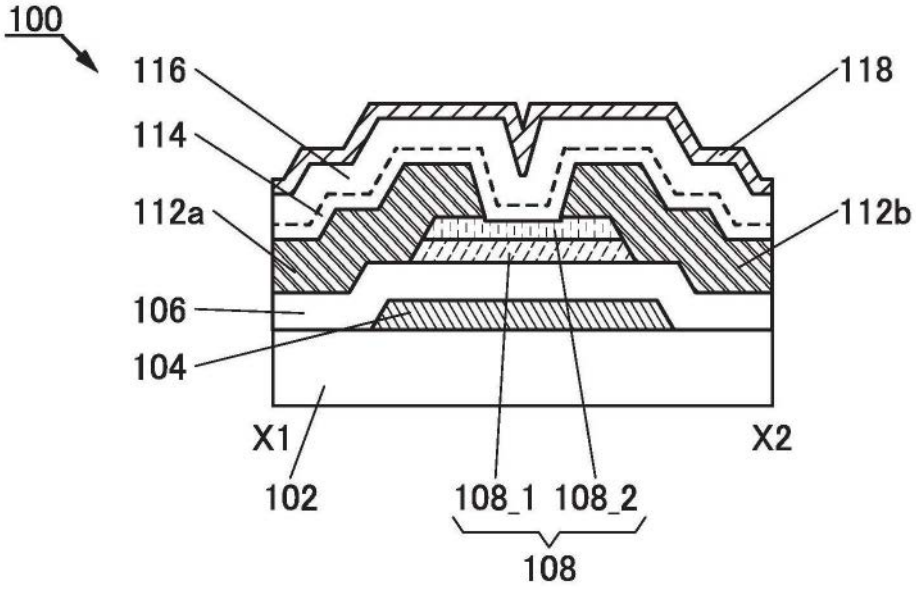

100
116
118
114
112a
112b
106
104
X1
X2
102
108_1
108_2
108

图1B

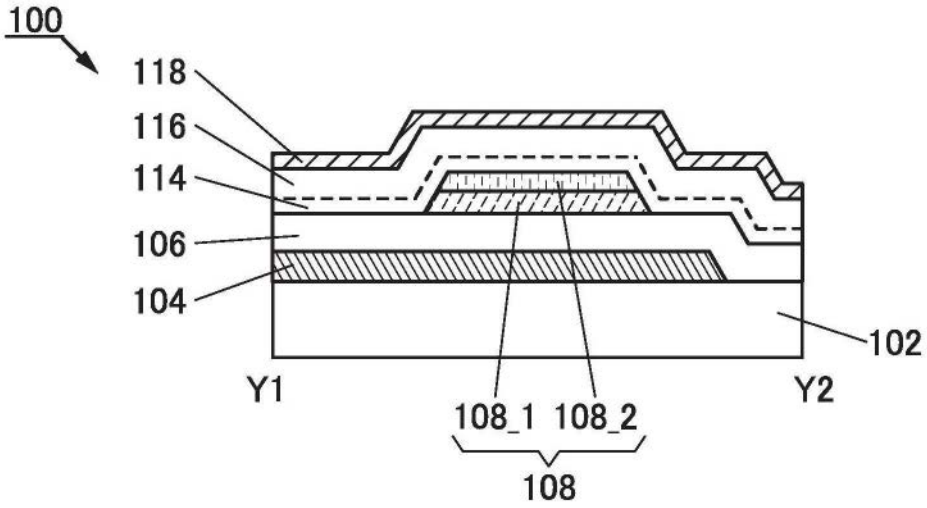

100
118
116
114
106
104
102
Y1
Y2
108_1
108_2
108

图1C

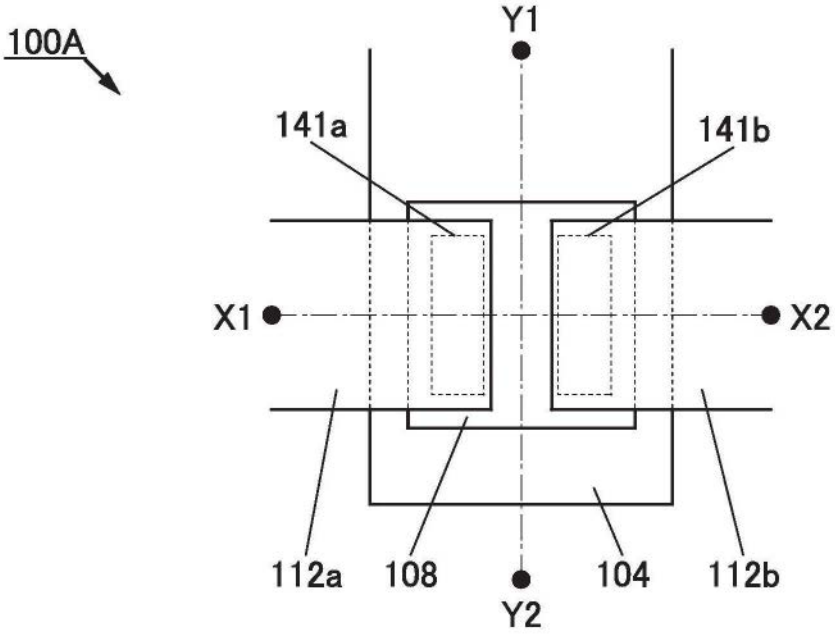

100A
Y1
141a
141b
X1
X2
112a
108
104
112b
Y2

图2A

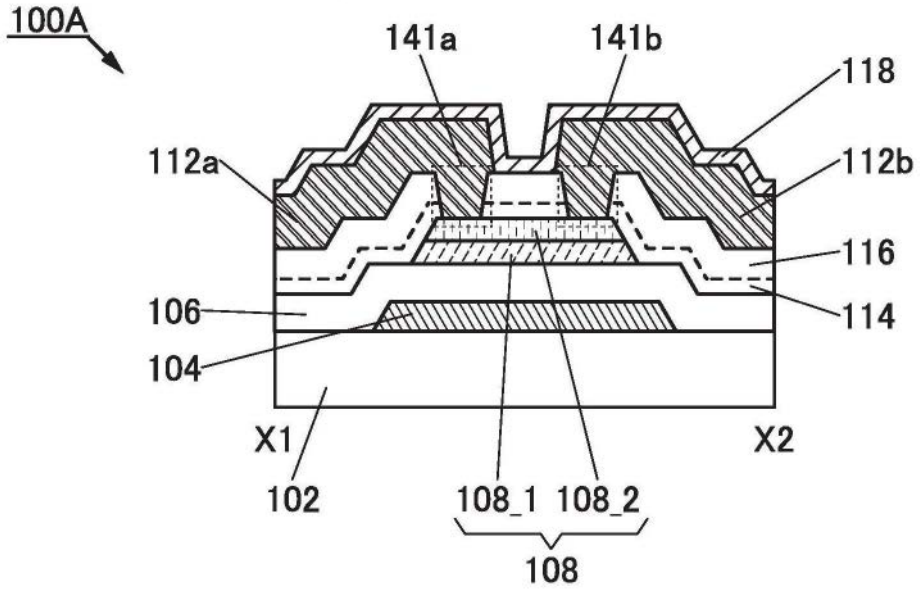

100A
141a
141b
118
112a
112b
116
106
114
104
X1
X2
102
108_1
108_2
108

图2B

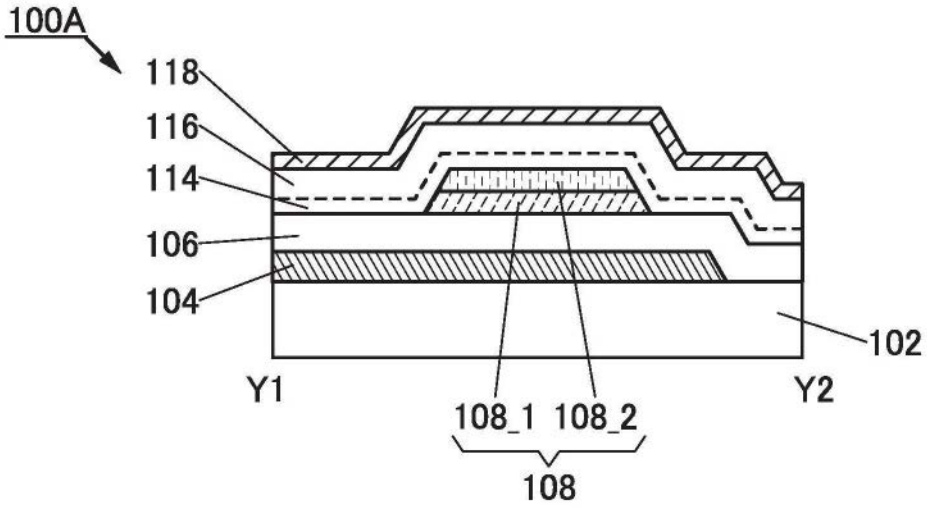

100A
118
116
114
106
104
102
Y1
Y2
108_1
108_2
108

图2C

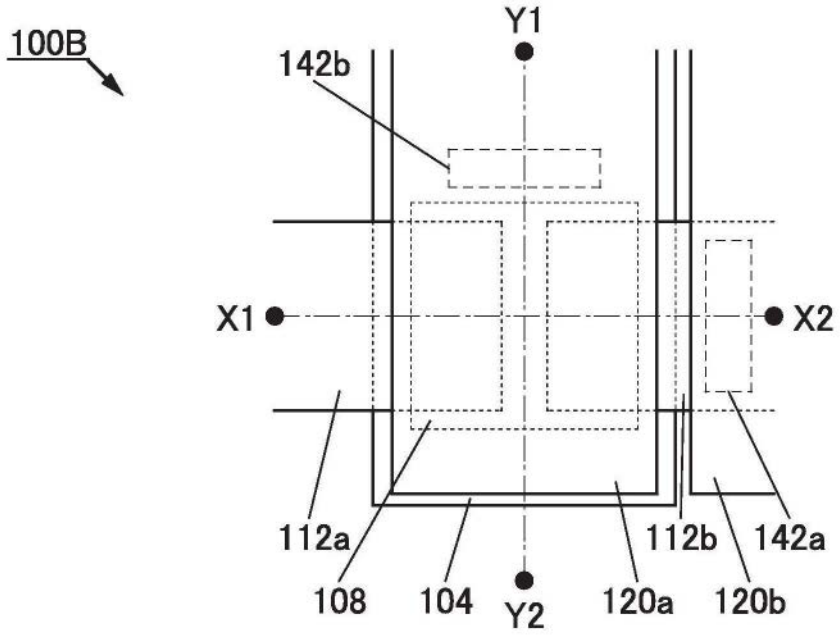

100B
Y1
142b
X1
X2
112a
112b
142a
108
104
Y2
120a
120b

图3A

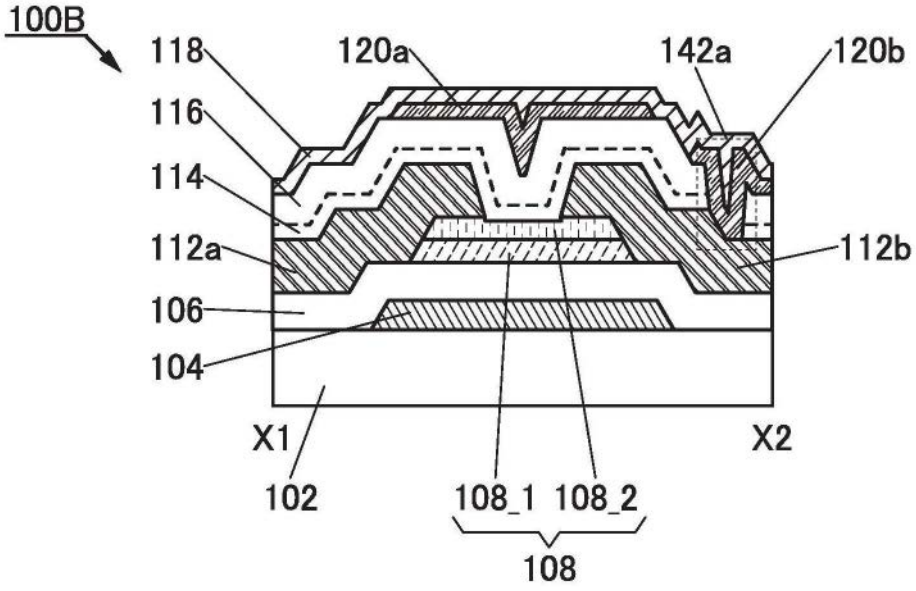

100B
118
120a
142a
120b
116
114
112a
112b
106
104
X1
X2
102
108_1
108_2
108

图3B

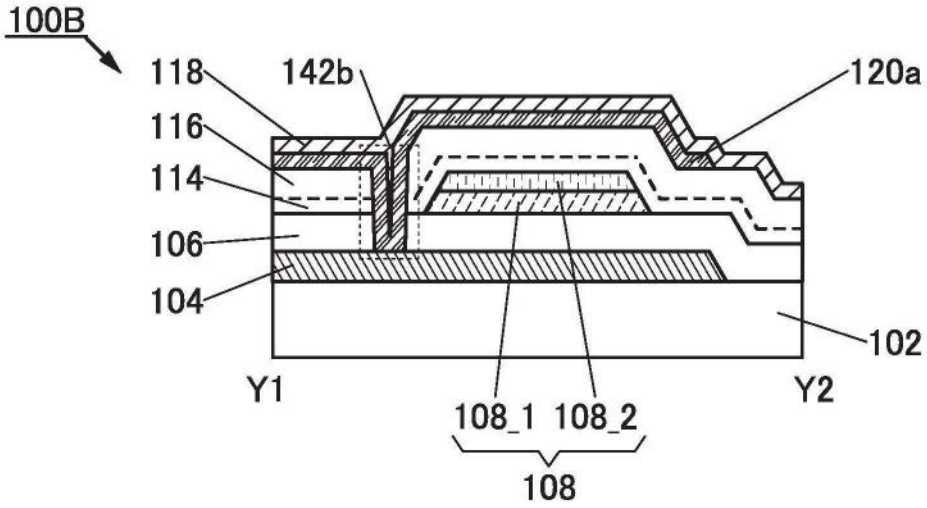

100B
118
142b
120a
116
114
106
104
102
Y1
Y2
108_1
108_2
108

图3C

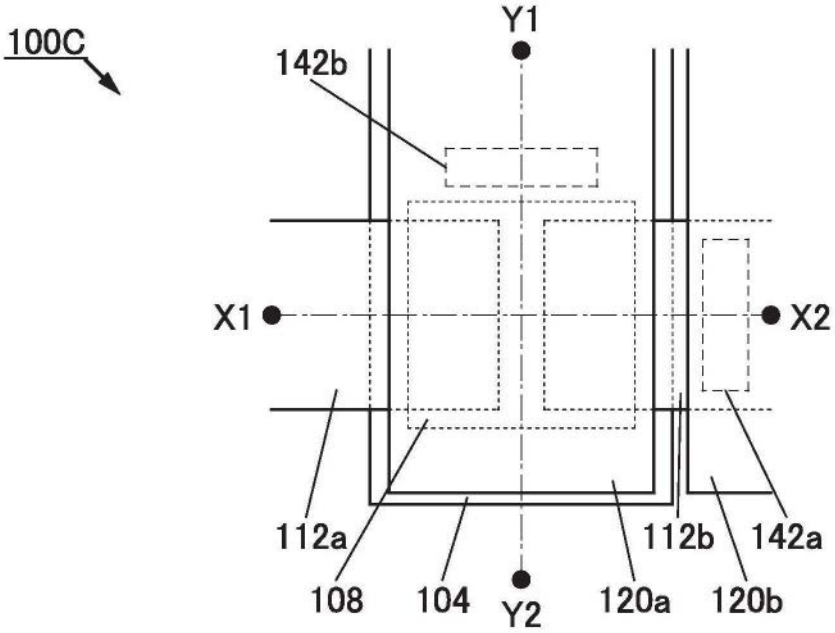

100C
Y1
142b
X1
X2
112a
108
104
Y2
120a
112b
120b
142a

图4A

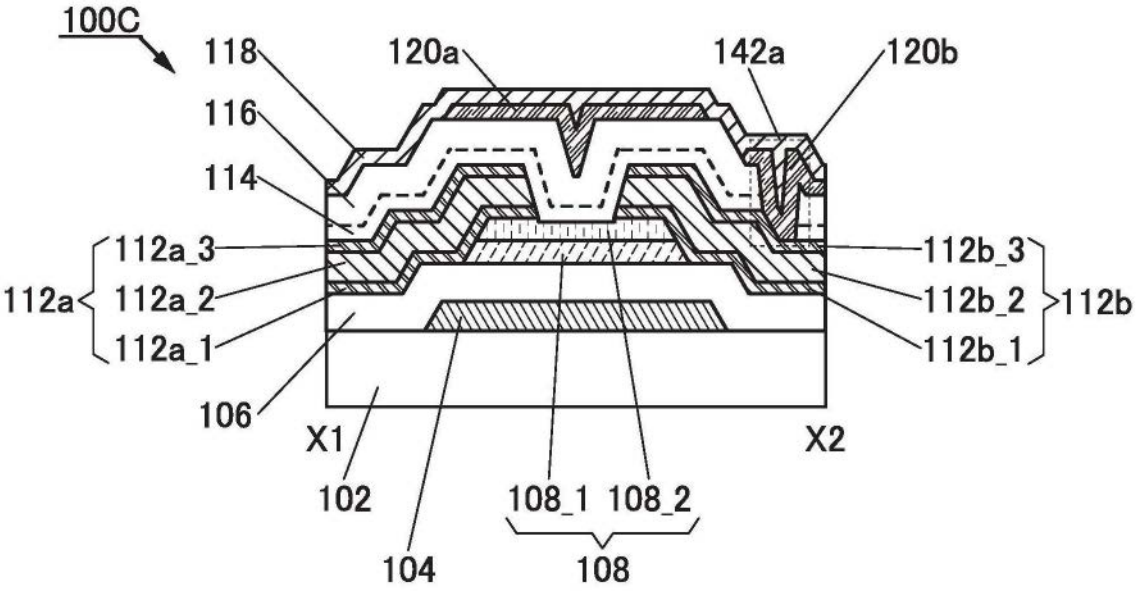

100C
118
120a
142a
120b
116
114
112a_3
112a
112a_2
112a_1
112b_3
112b_2
112b_1
112b
106
X1
X2
102
108_1
108_2
104
108

图4B

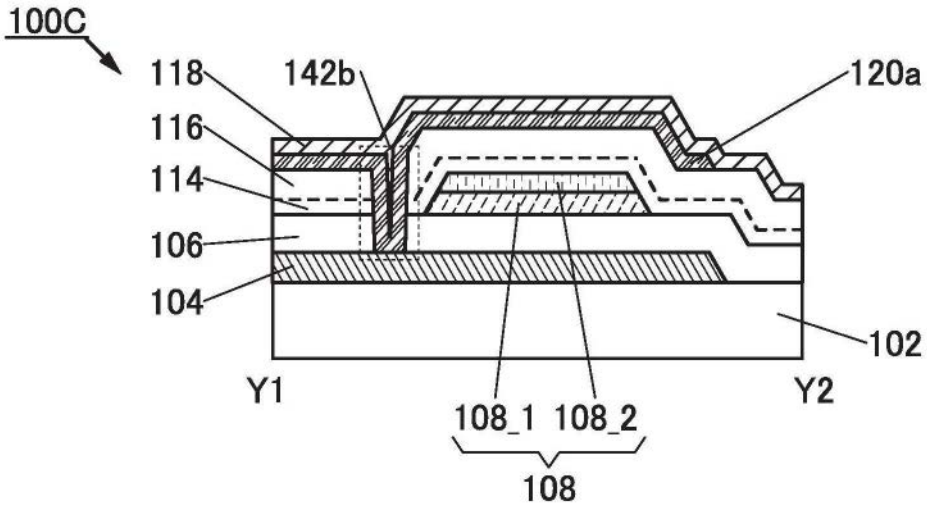

100C
118
142b
120a
116
114
106
104
102
Y1
Y2
108_1
108_2
108

图4C

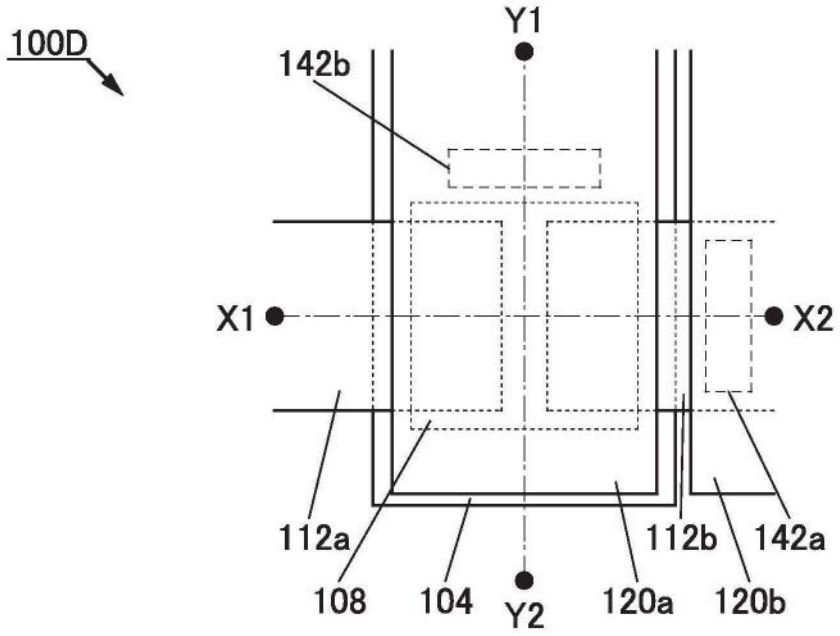

100D
Y1
142b
X1
X2
112a
108
104
Y2
120a
112b
120b
142a

图5A

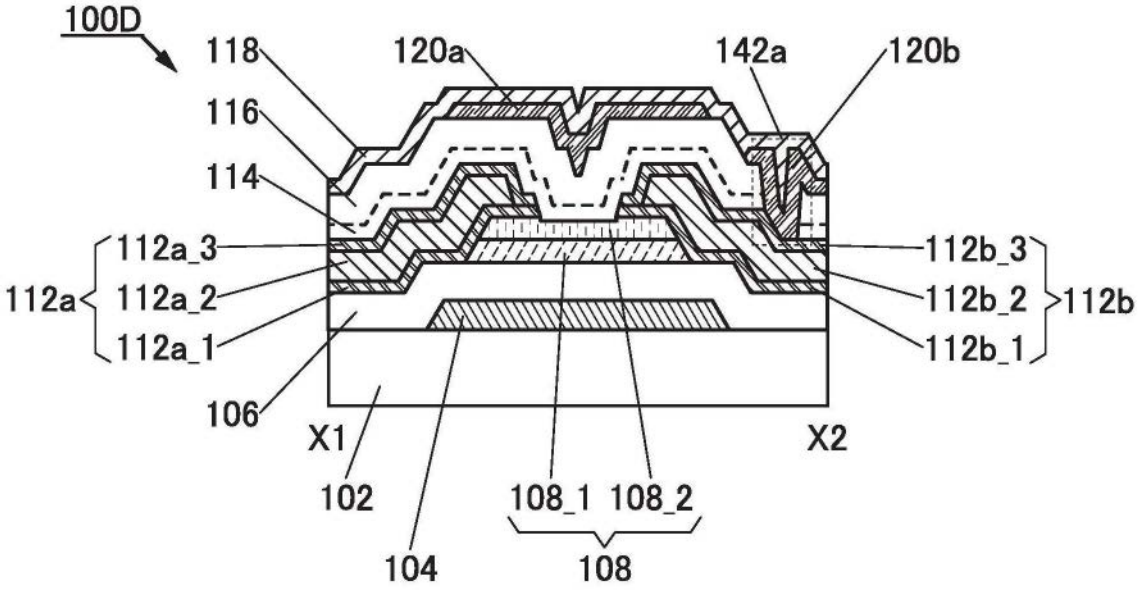

100D
118
116
114
120a
142a
120b
112a_3
112a_2
112a_1
112a
112b_3
112b_2
112b_1
112b
106
X1
X2
102
108_1
108_2
104
108

图5B

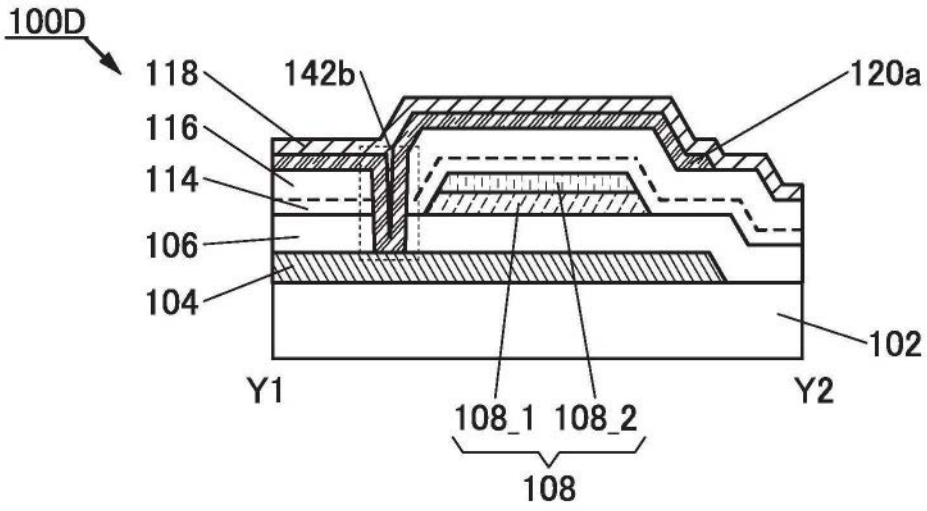

100D
118
142b
120a
116
114
106
104
102
Y1
Y2
108_1
108_2
108

图5C

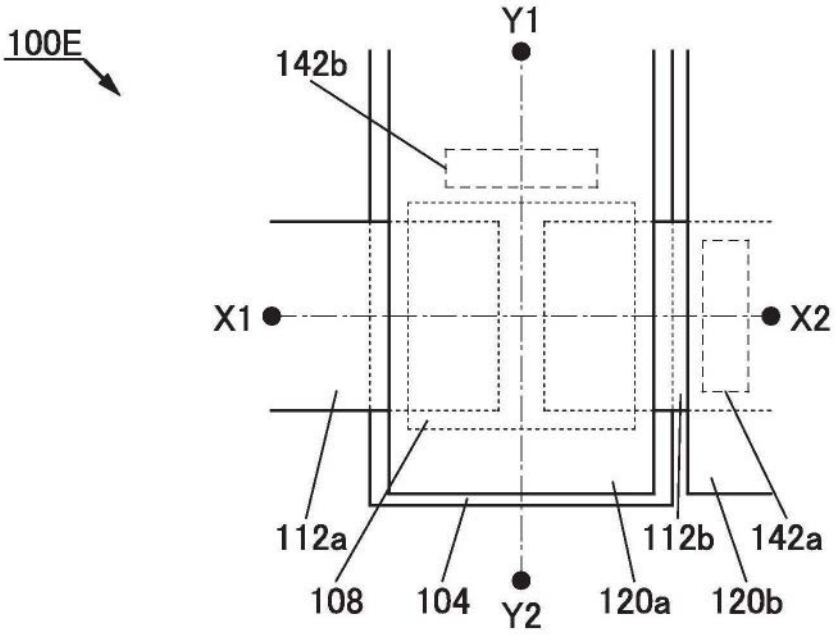

100E
Y1
142b
X1
X2
112a
108
104
Y2
120a
112b
120b
142a

图6A

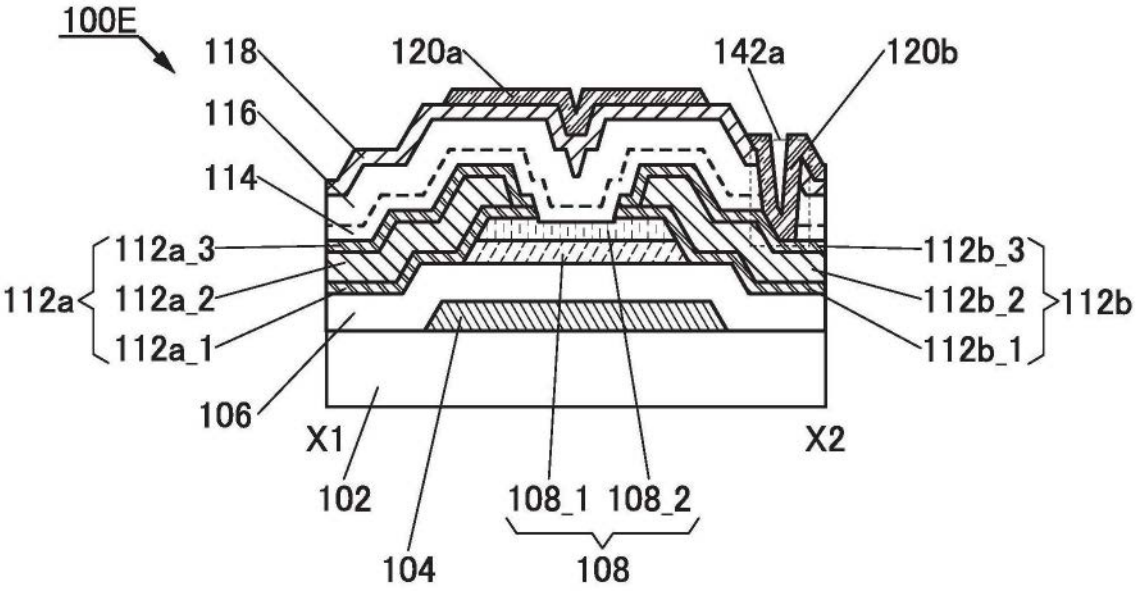

100E
118
120a
142a
120b
116
114
112a_3
112b_3
112a
112a_2
112b_2
112b
112a_1
112b_1
106
X1
X2
102
108_1
108_2
104
108

图6B

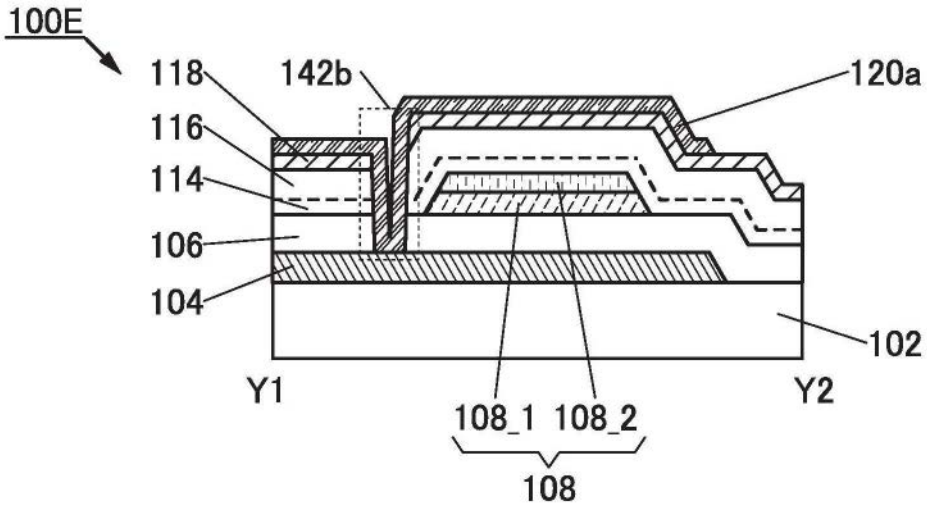

100E
118
142b
120a
116
114
106
104
102
Y1
Y2
108_1
108_2
108

图6C

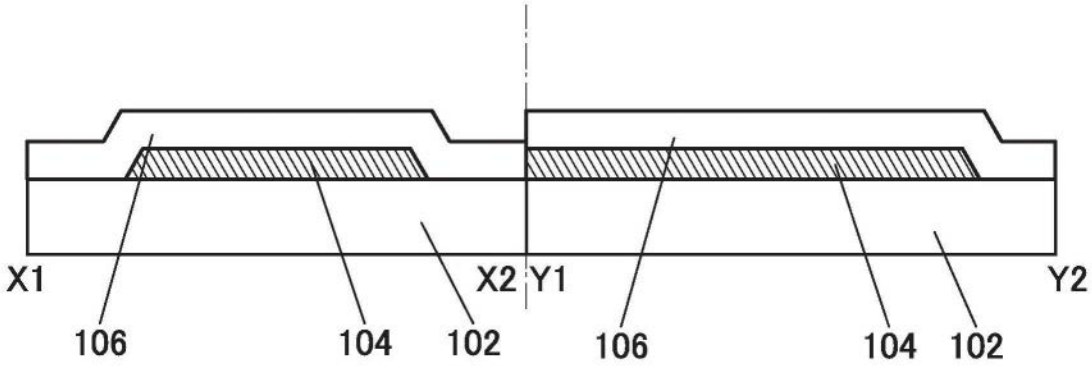

X1
X2
Y1
Y2
106
104
102
106
104
102

图7A

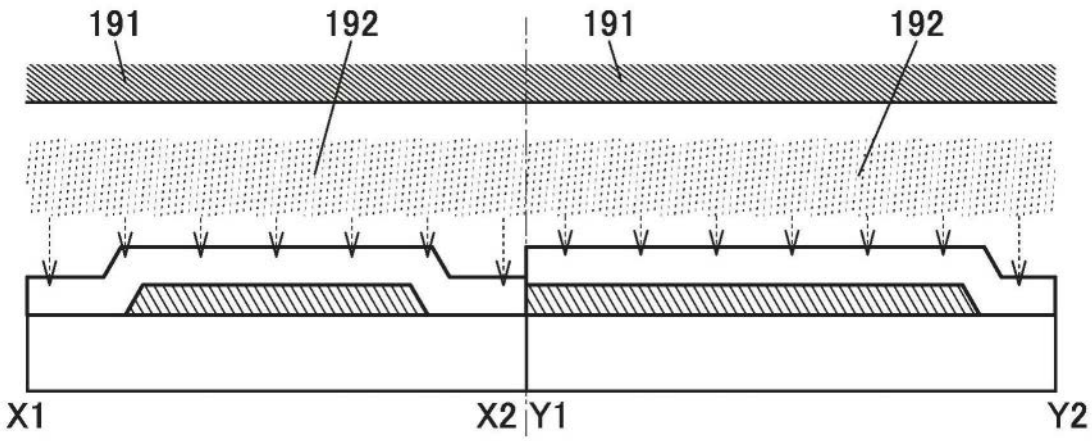

191
192
191
192
X1
X2
Y1
Y2

图7B

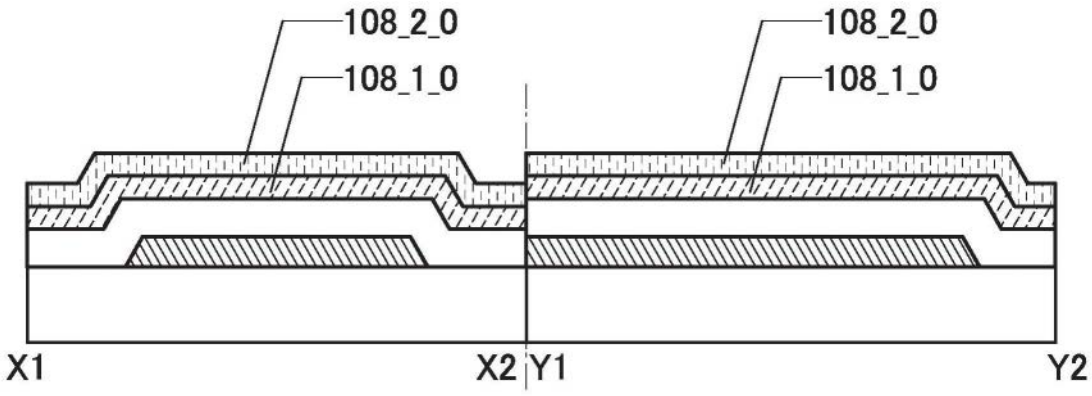

108_2_0
108_1_0
108_2_0
108_1_0
X1
X2
Y1
Y2

图7C

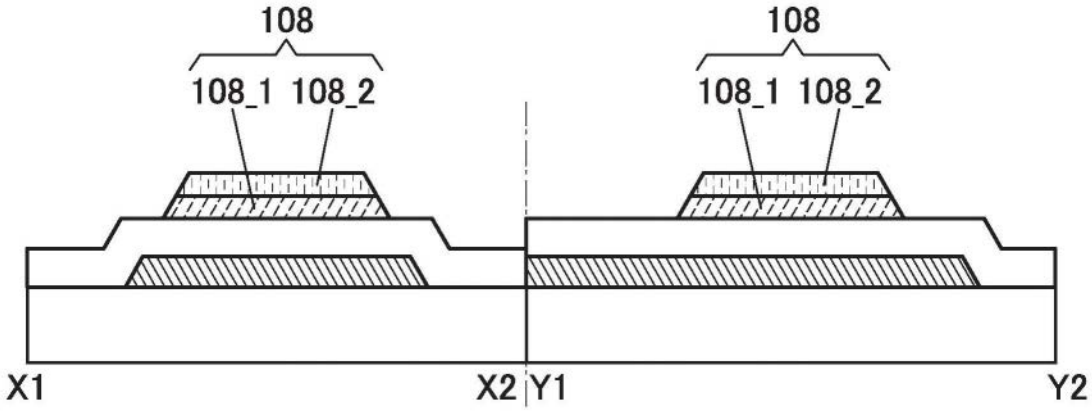

108
108_1 108_2
108
108_1 108_2
X1
X2
Y1
Y2

图8A

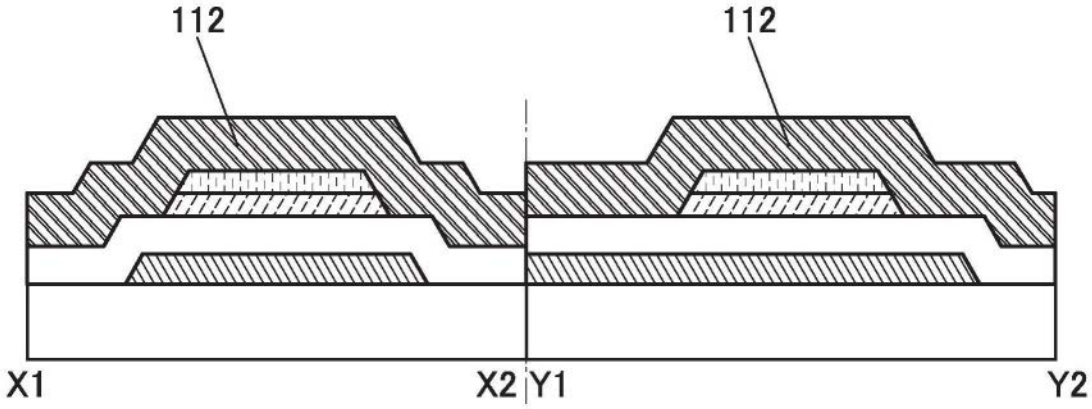

112
112
X1
X2
Y1
Y2

图8B

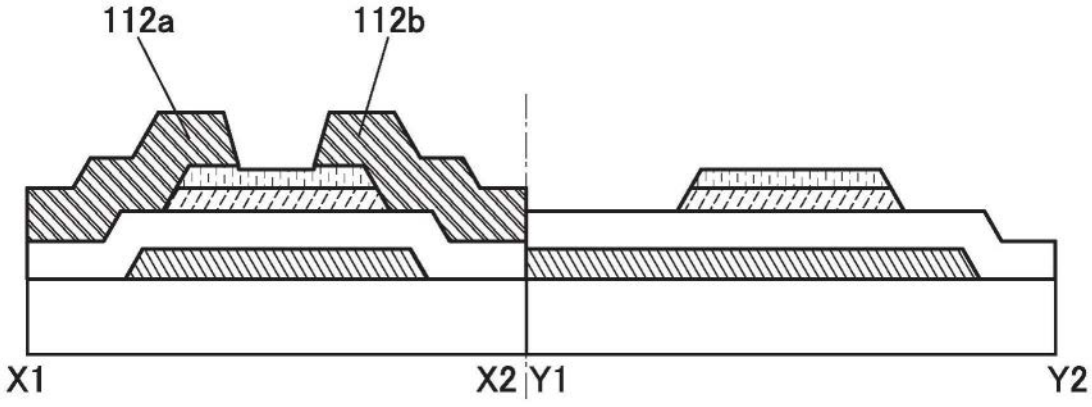

112a
112b
X1
X2
Y1
Y2

图8C

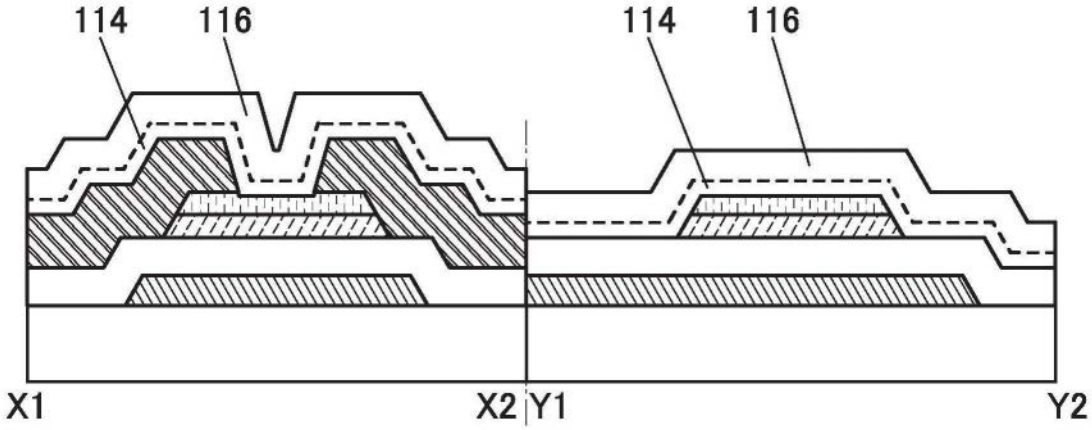


图9A

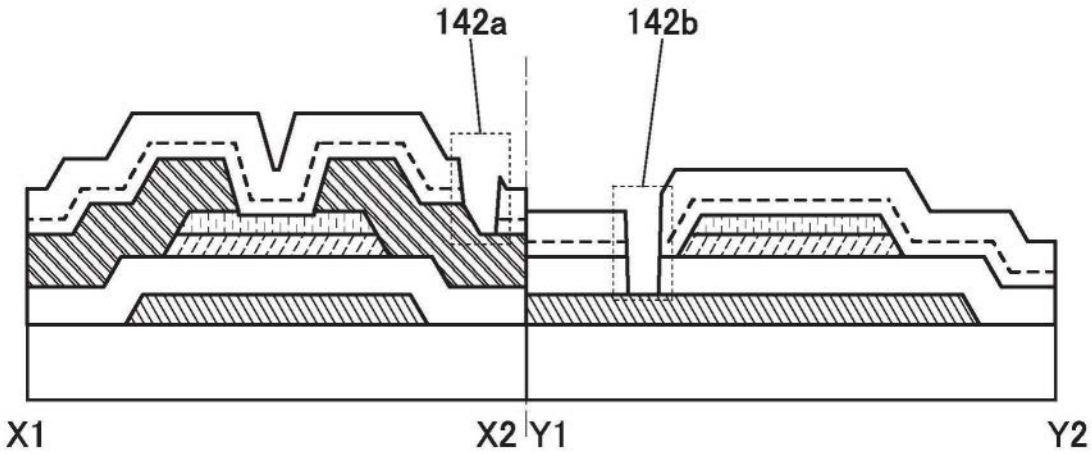


图9B

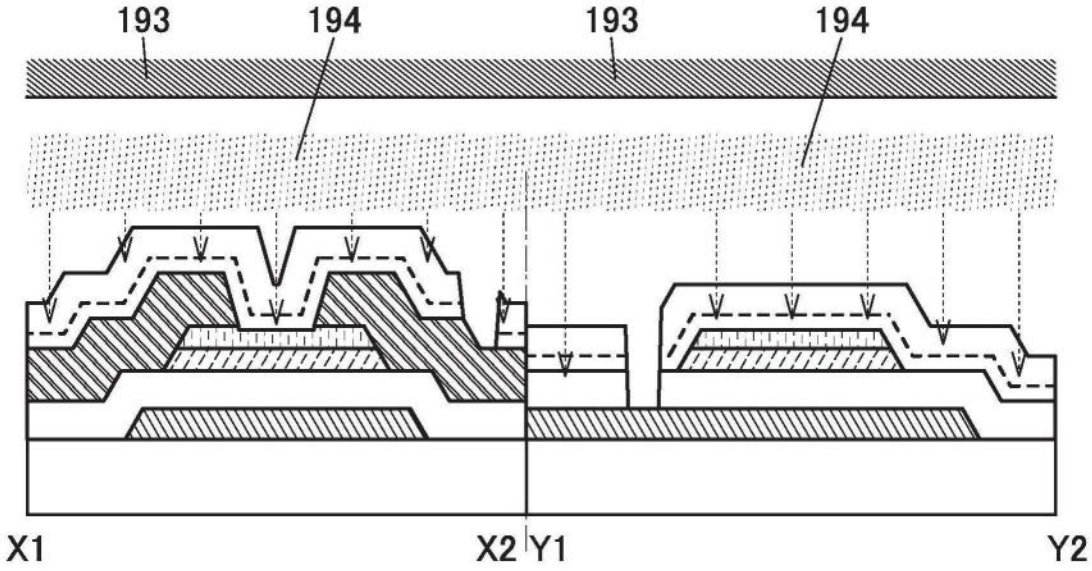


图9C

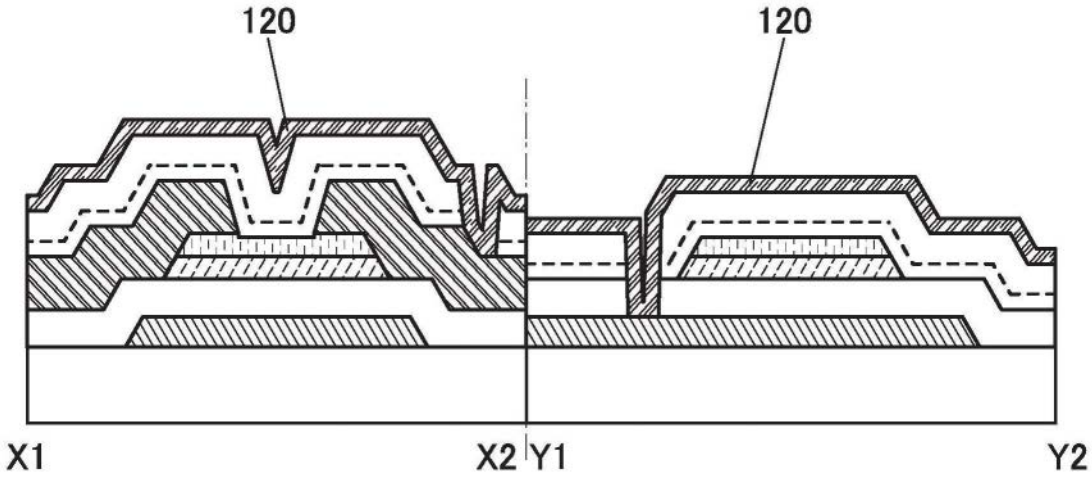


图10A

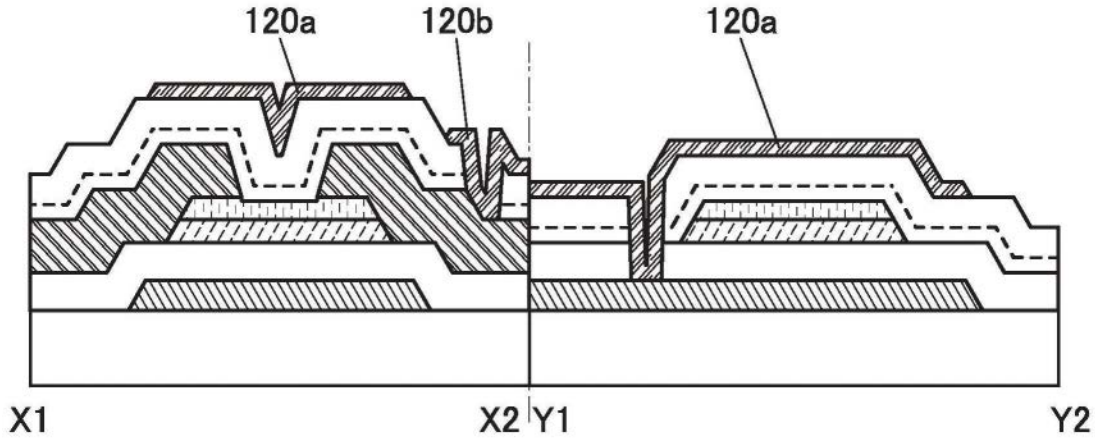


图10B

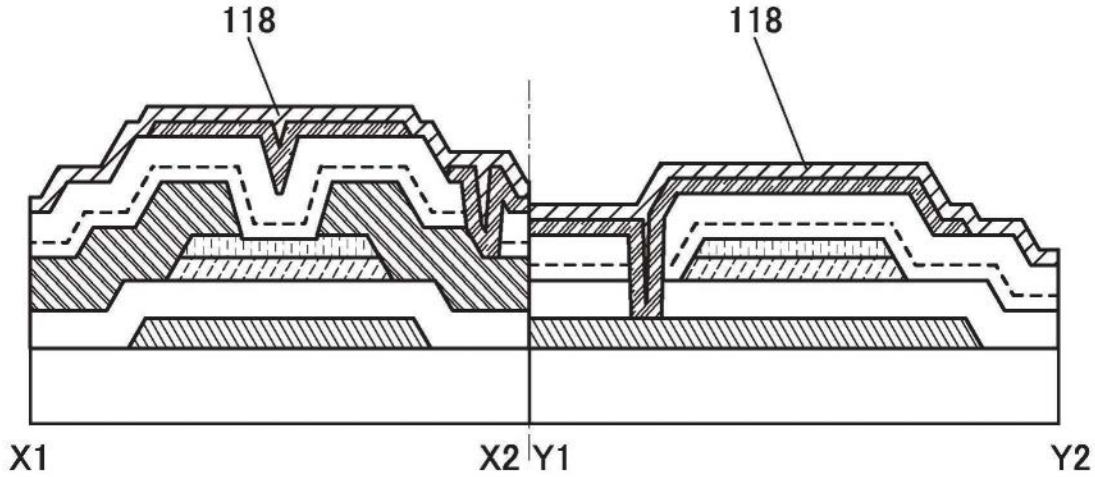


图10C

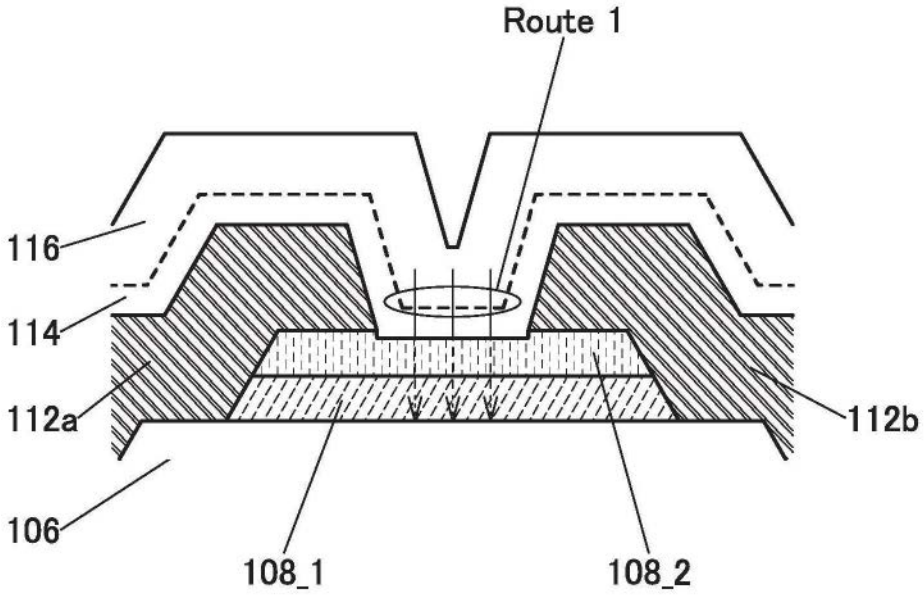

Route 1
116
114
112a
112b
106
108_1
108_2

图11A

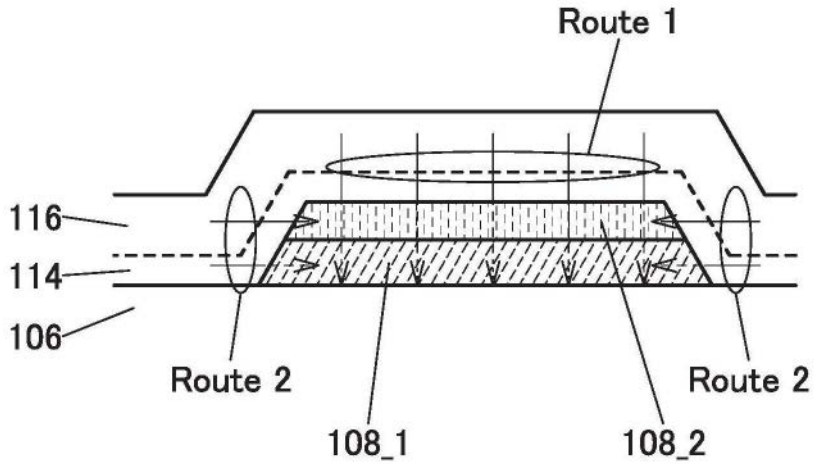

Route 1
116
114
106
Route 2
Route 2
108_1
108_2

图11B

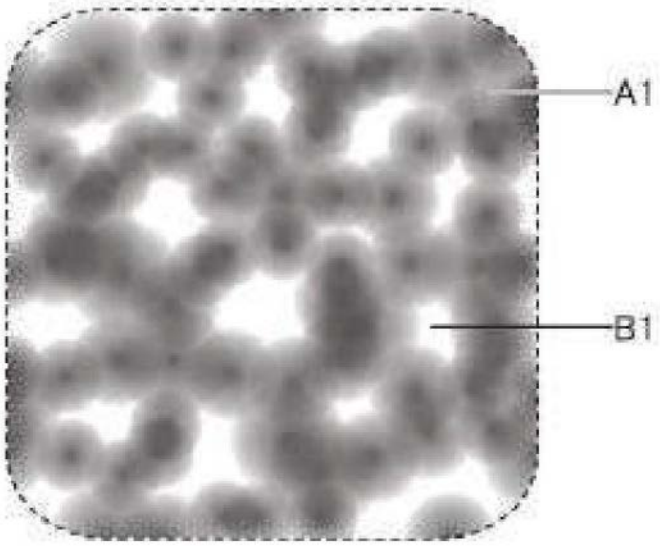


图12A

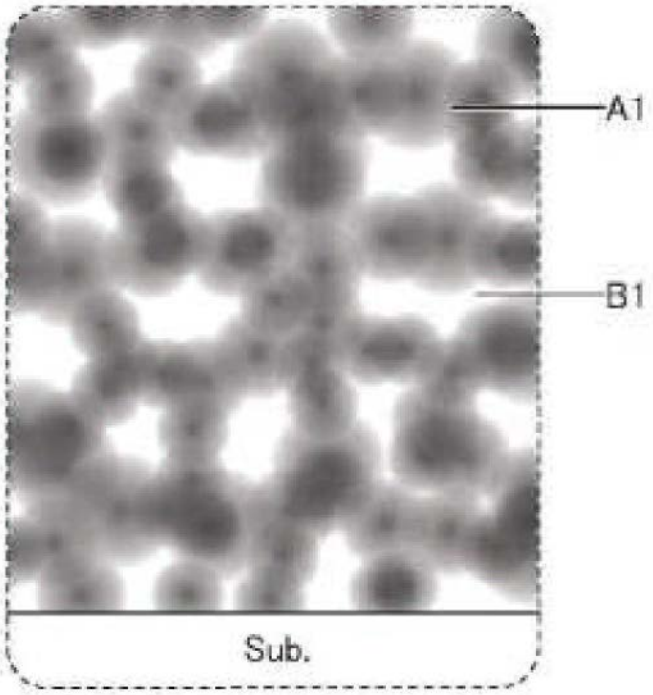


图12B

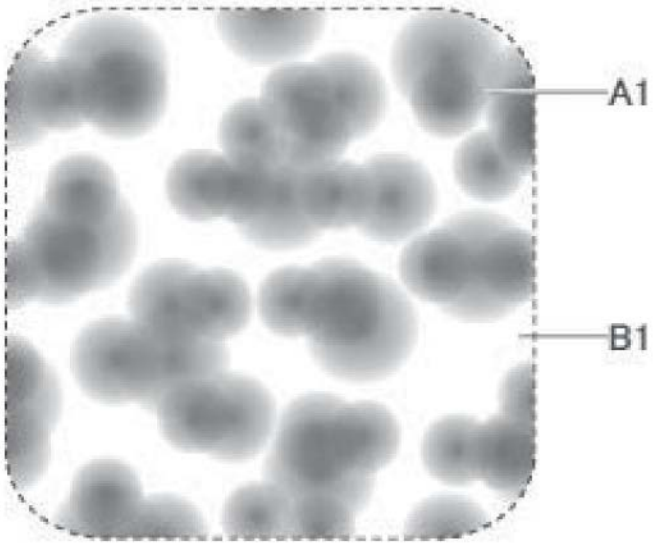


图13A

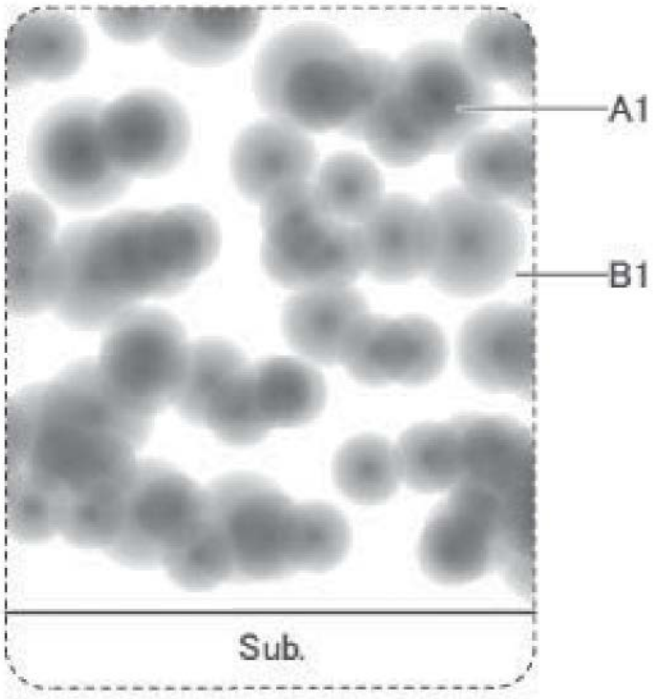


图13B

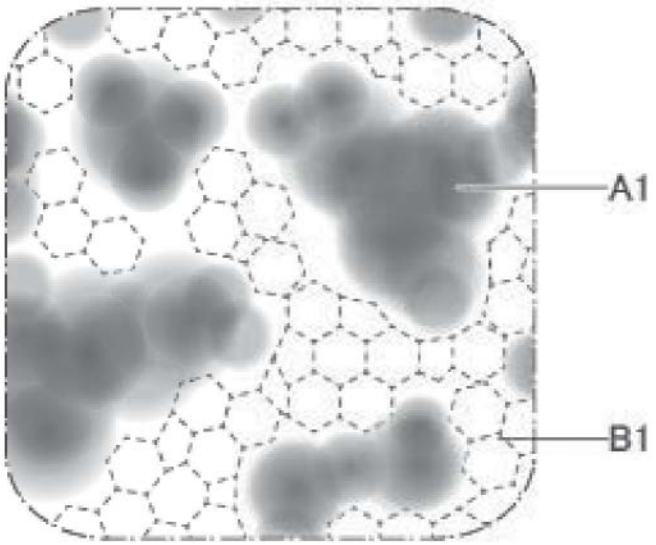


图14A

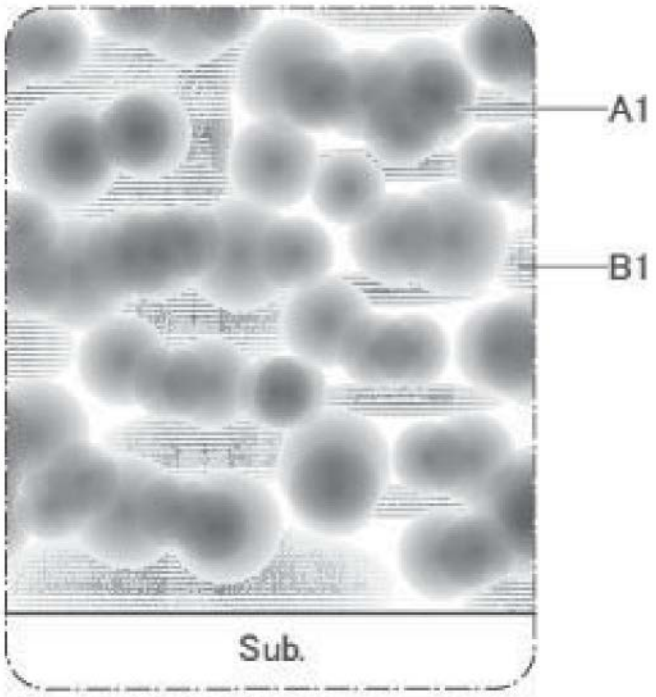


图14B

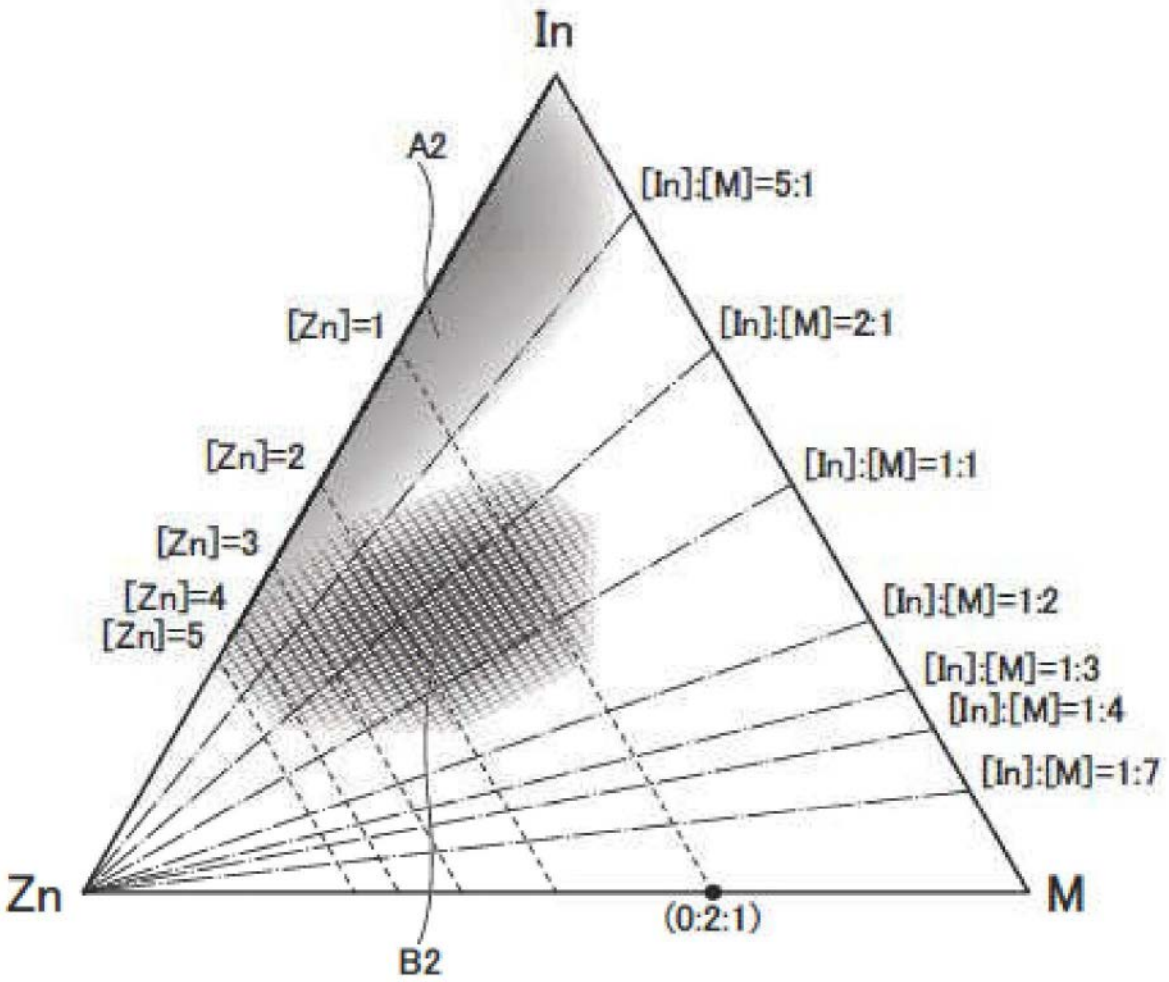

In
A2
[In]:[M]=5:1
[Zn]=1
[In]:[M]=2:1
[Zn]=2
[In]:[M]=1:1
[Zn]=3
[Zn]=4
[In]:[M]=1:2
[Zn]=5
[In]:[M]=1:3
[In]:[M]=1:4
[In]:[M]=1:7
Zn
M
(0:2:1)
B2

图15

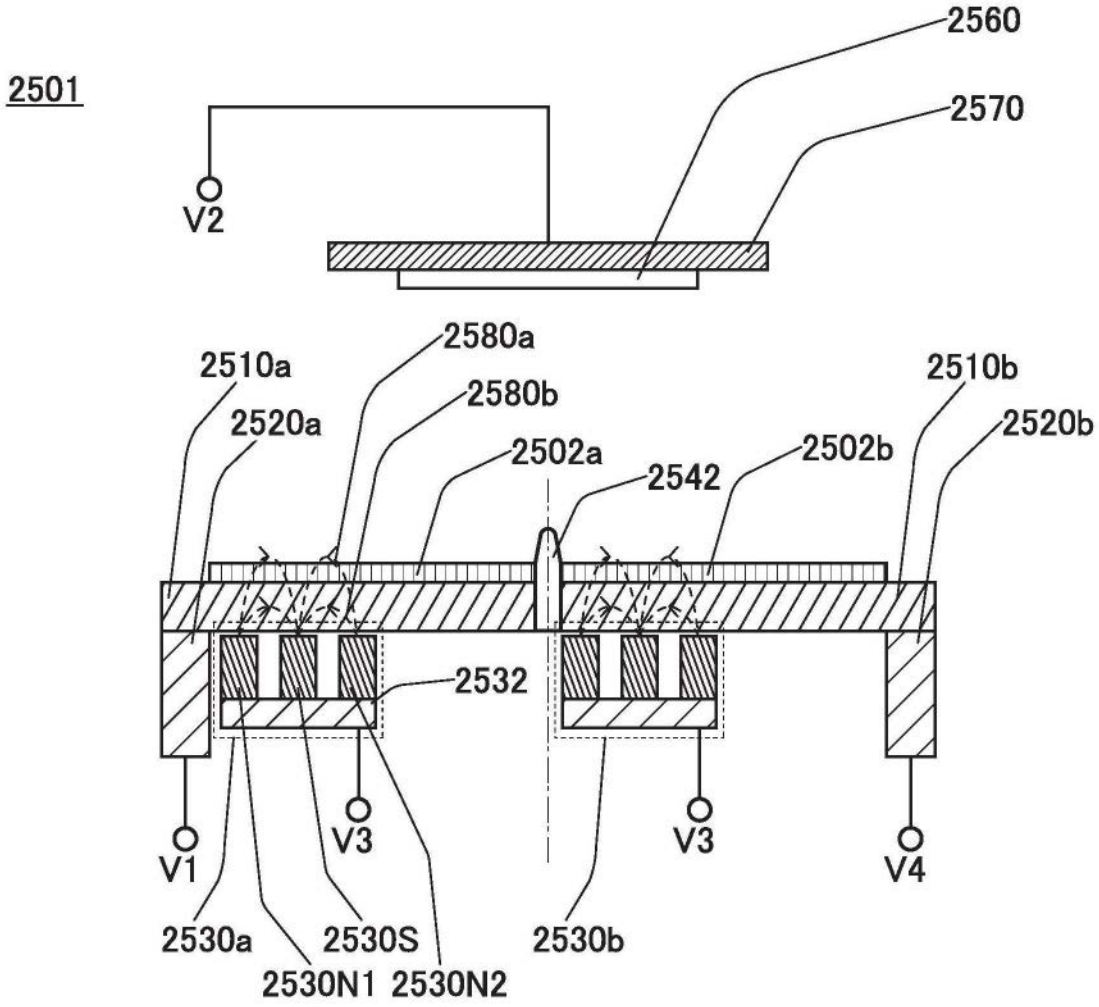

2501
2560
2570
V2
2580a
2510a
2580b
2510b
2520a
2520b
2502a
2542
2502b
2532
V1
V3
V3
V4
2530a
2530S
2530b
2530N1
2530N2

图16A

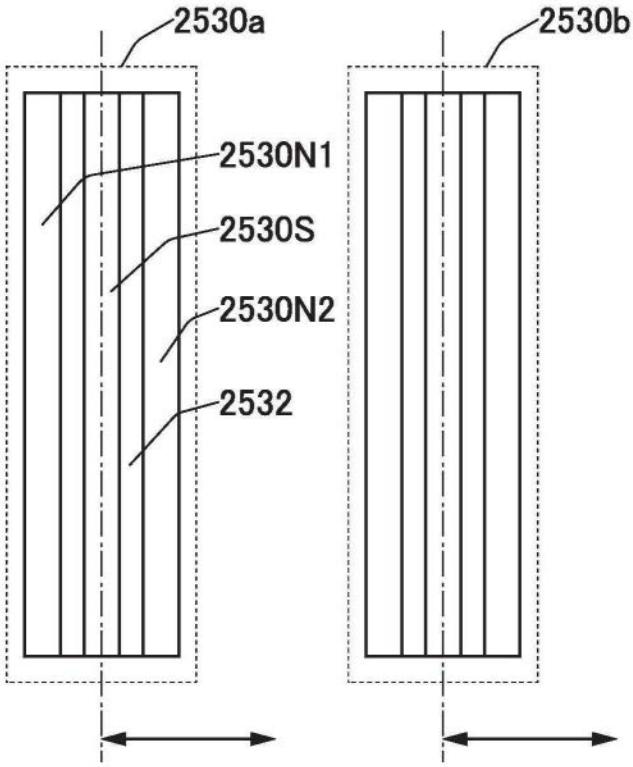


图16B

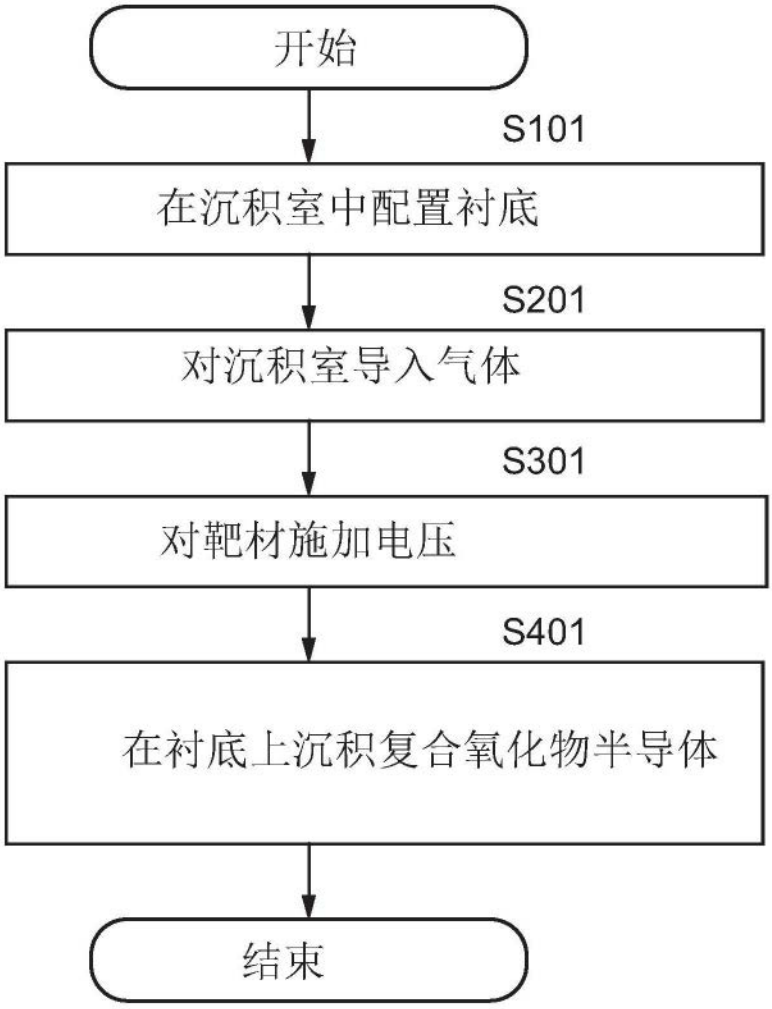

开始
S101
在沉积室中配置衬底
S201
对沉积室导入气体
S301
对靶材施加电压
S401
在衬底上沉积复合氧化物半导体
结束

图17

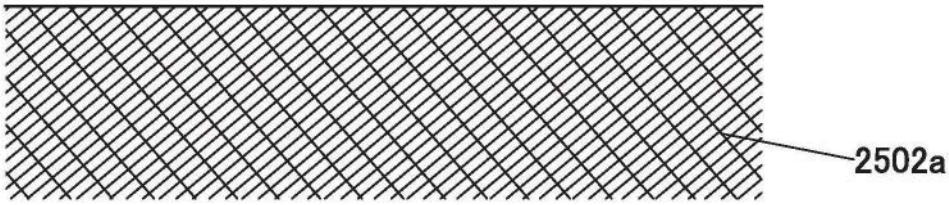

2502a

图18A

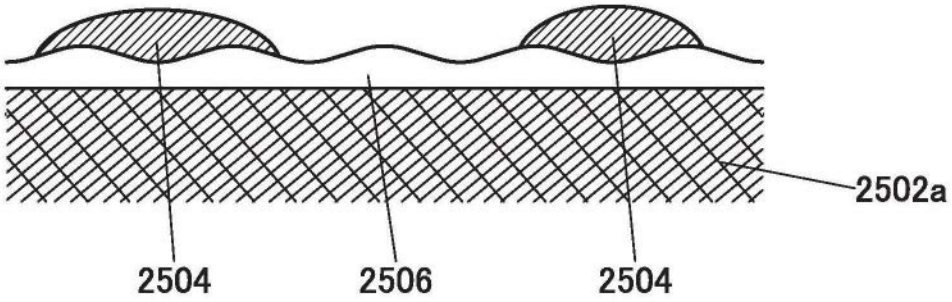

2502a
2504
2506
2504

图18B

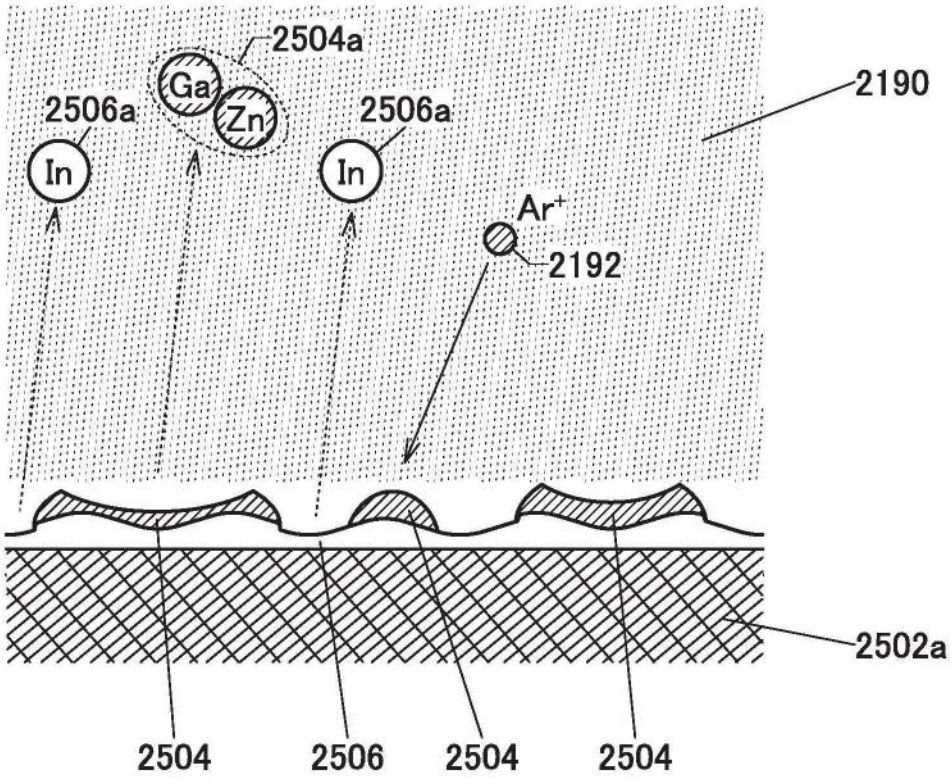

2504a
Ga
Zn
2506a
In
2506a
In
2190
Ar+
2192
2502a
2504
2506
2504
2504

图18C

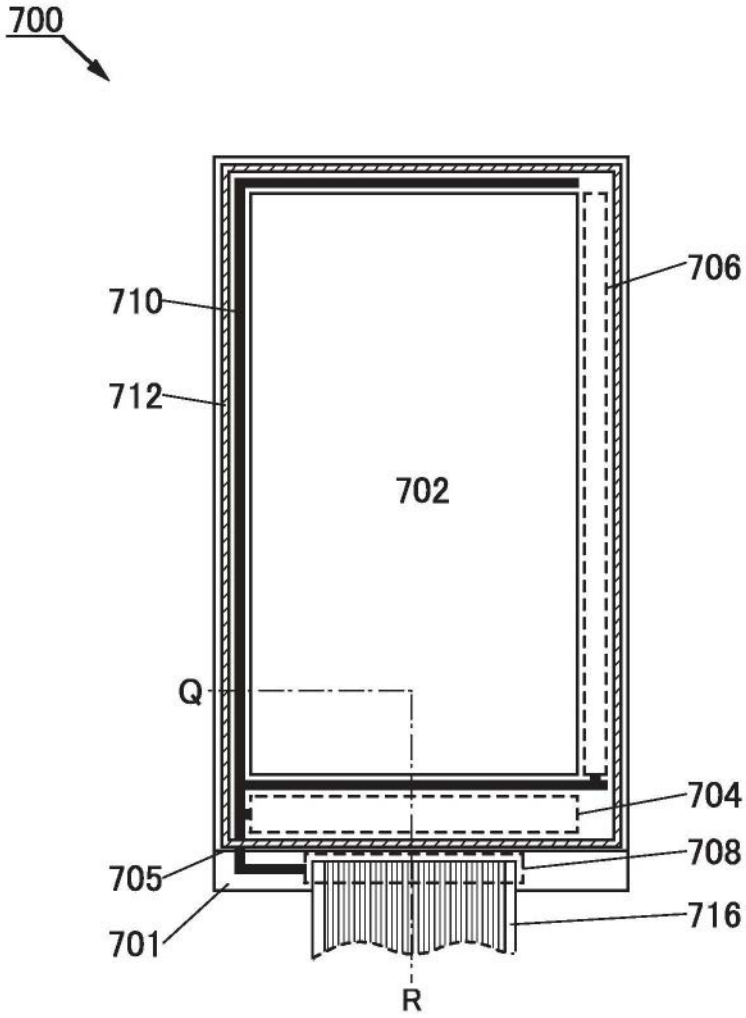


图19

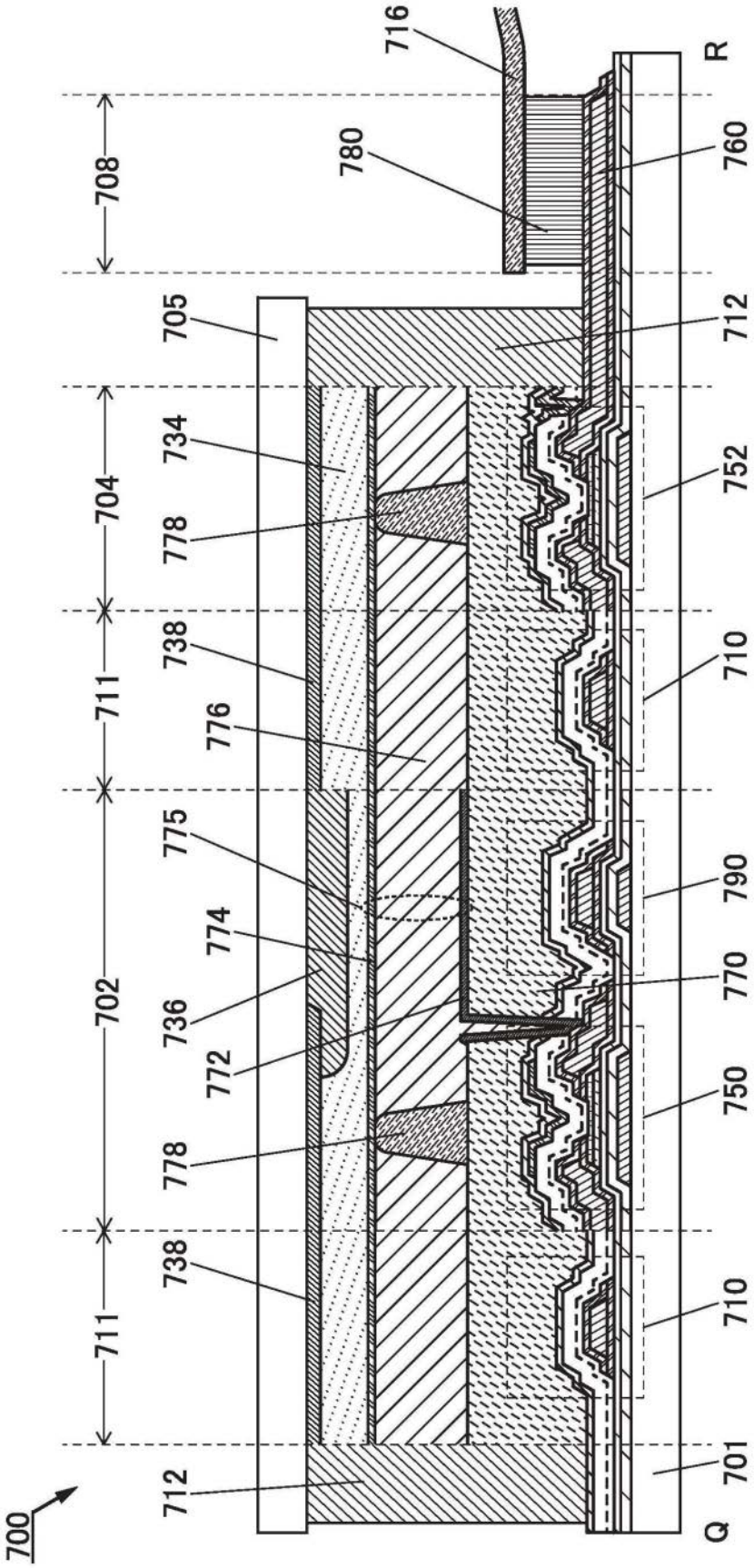

716
R
780
760
708
705
712
704
734
752
778
738
710
711
776
775
790
774
770
702
736
772
750
778
738
710
711
712
701
700
Q

图20

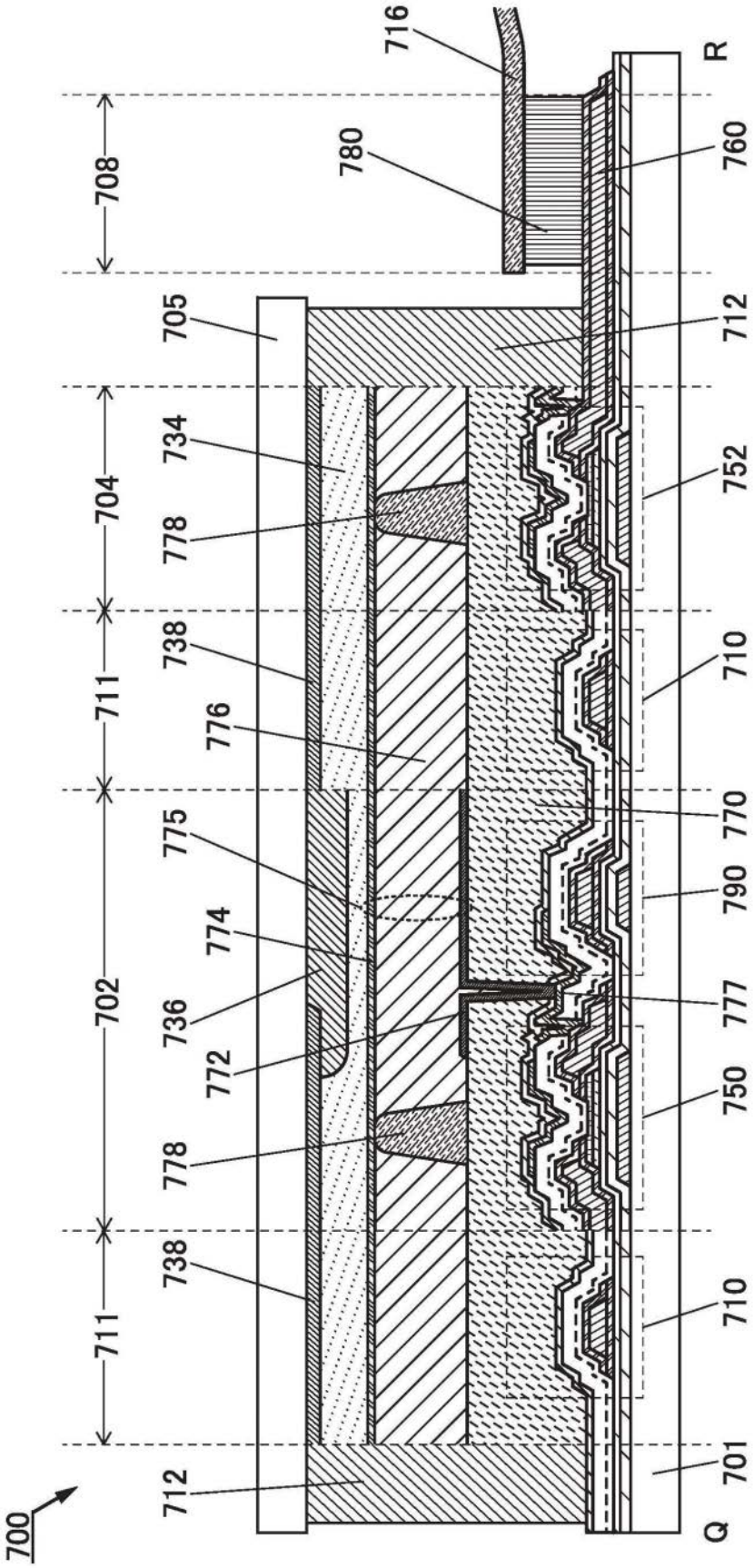

716
780
760
R
708
705
712
734
752
704
778
738
710
711
776
770
775
790
774
736
777
772
750
778
738
710
711
712
701
700
Q

图21

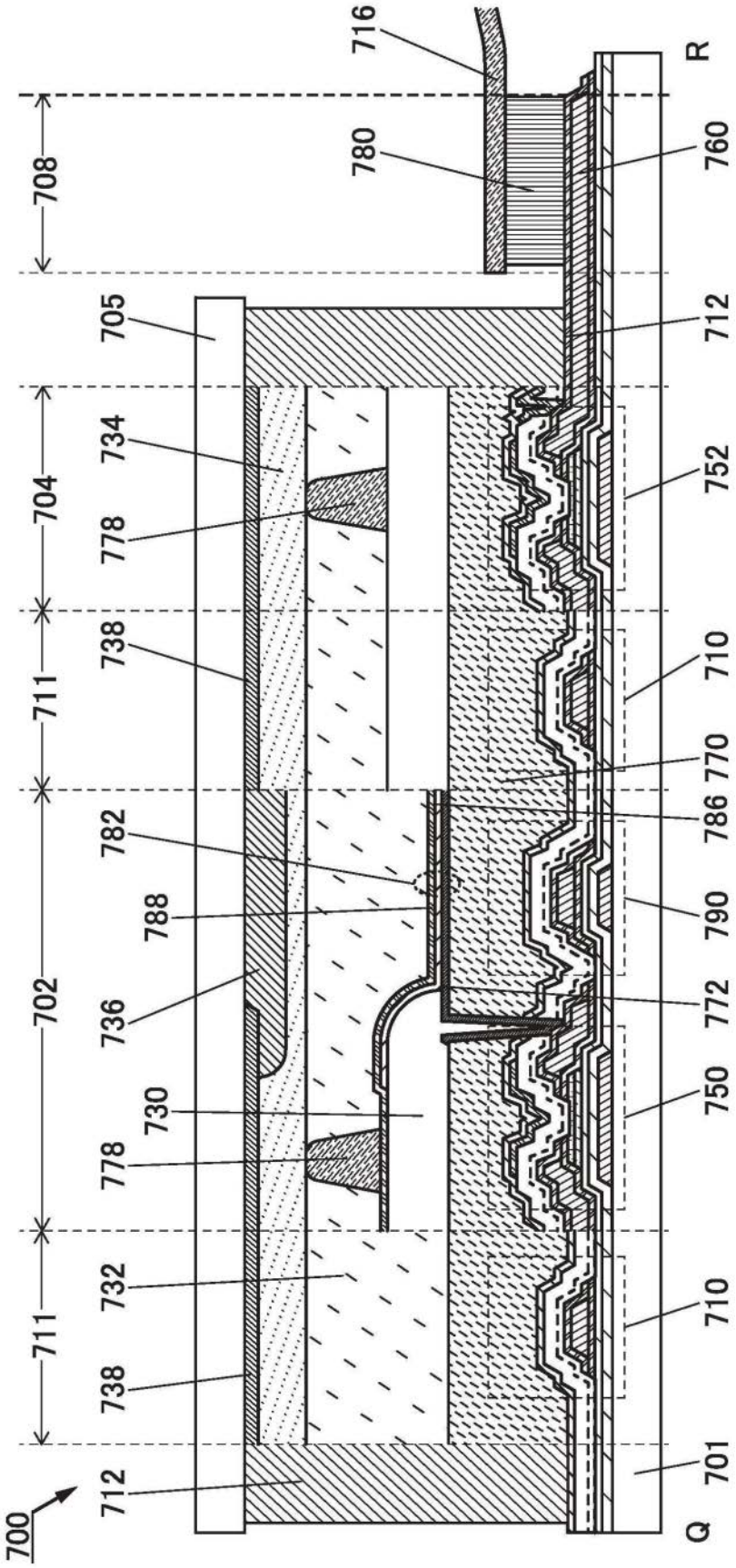

716
780
760
R
708
705
712
704
734
752
778
738
711
710
770
786
782
788
790
702
736
772
730
750
778
732
711
710
738
701
712
700
Q

图22

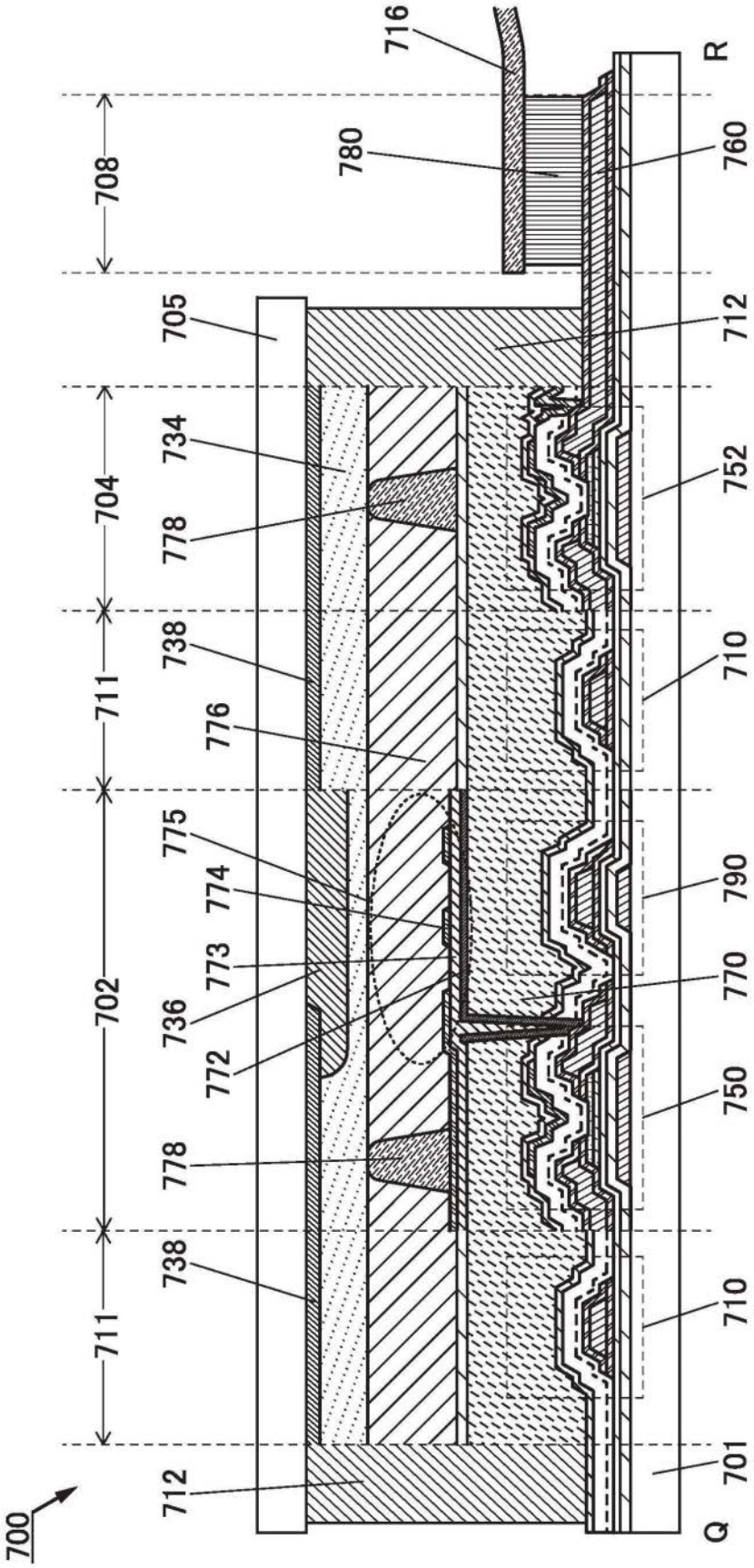

716
780
760
R
708
705
712
734
752
704
778
738
710
711
776
775
774
790
773
770
736
772
750
778
738
710
711
712
701
700
Q

图23

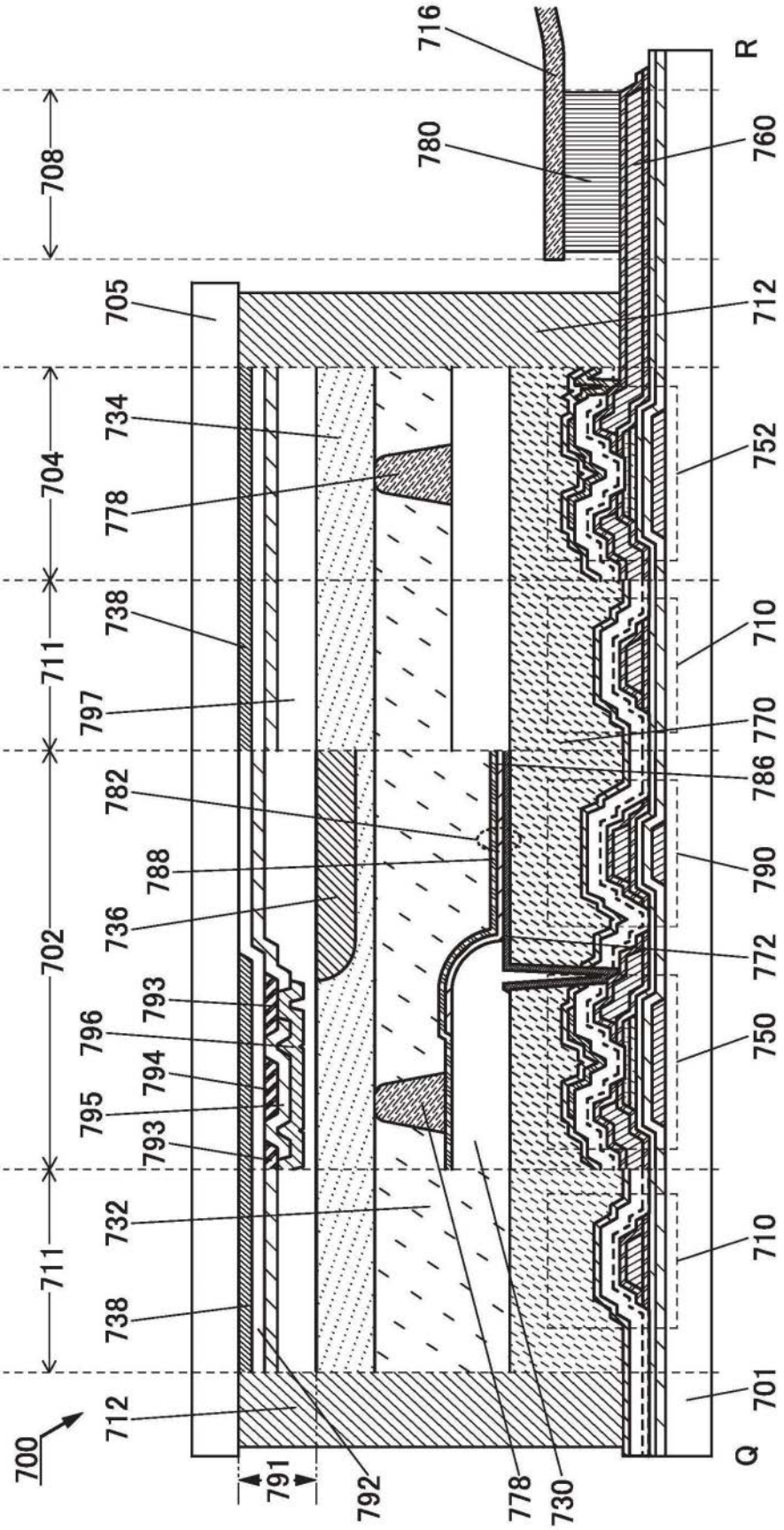

716
780
760
R
708
705
712
734
752
704
778
738
710
711
797
770
786
782
790
788
736
772
702
793
796
750
794
795
793
732
710
711
738
712
701
700
791
792
778
730
Q

图24

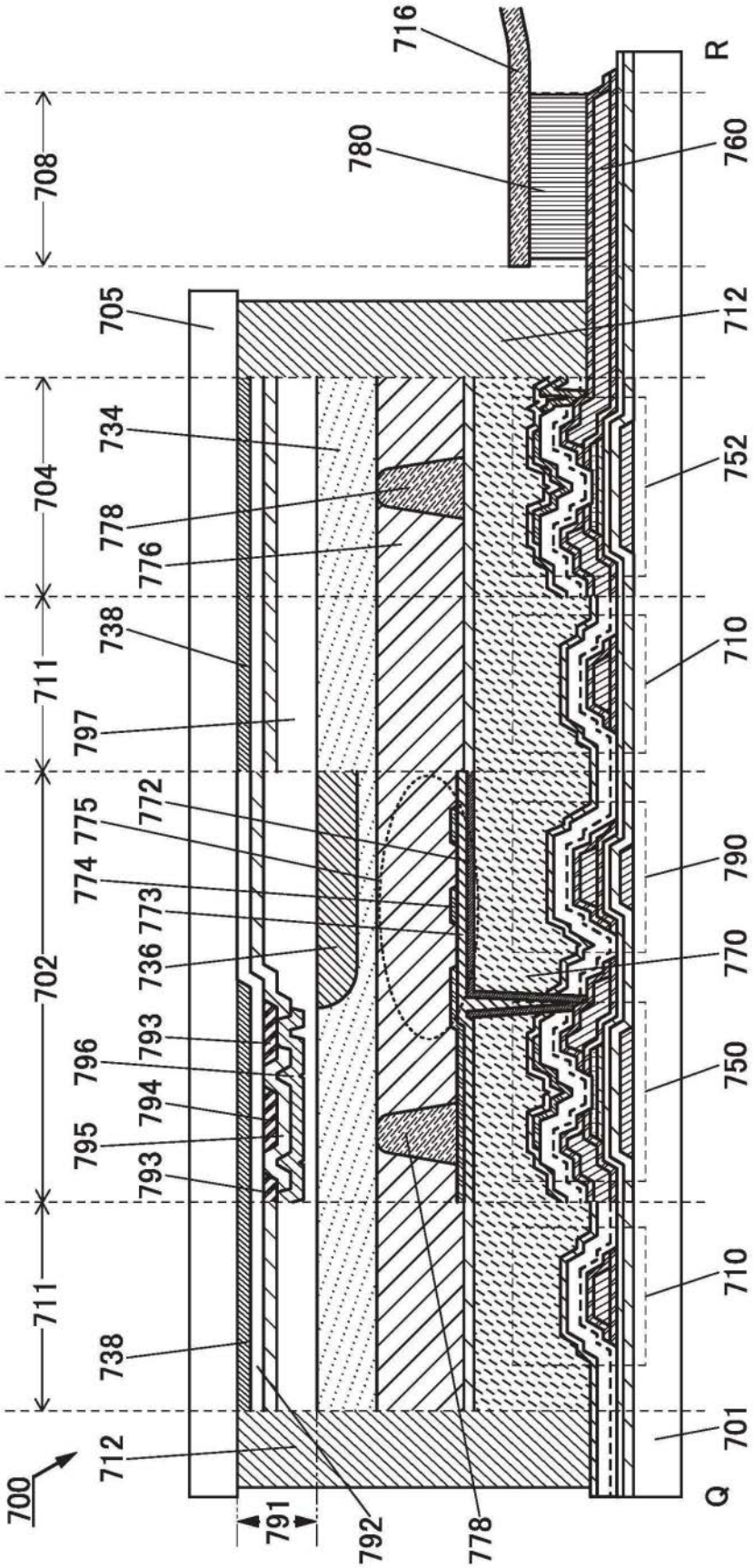

716
R
780
760
708
705
712
734
752
704
778
776
738
710
711
797
772
775
790
774
773
736
770
702
793
796
750
794
795
793
710
711
738
701
712
700
791
792
778
Q

图25

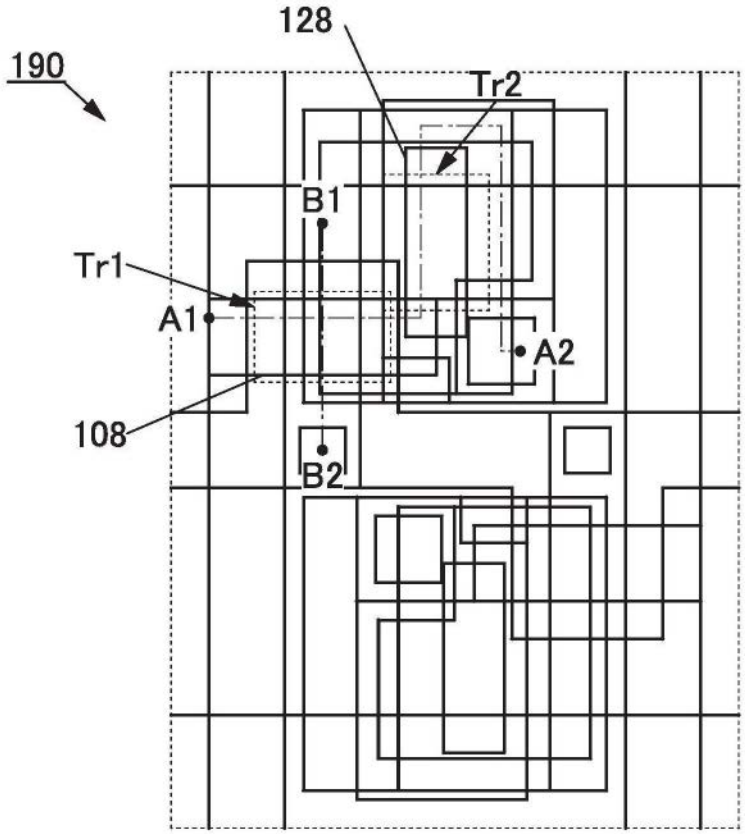

128
190
Tr2
B1
Tr1
A1
A2
108
B2

图26A

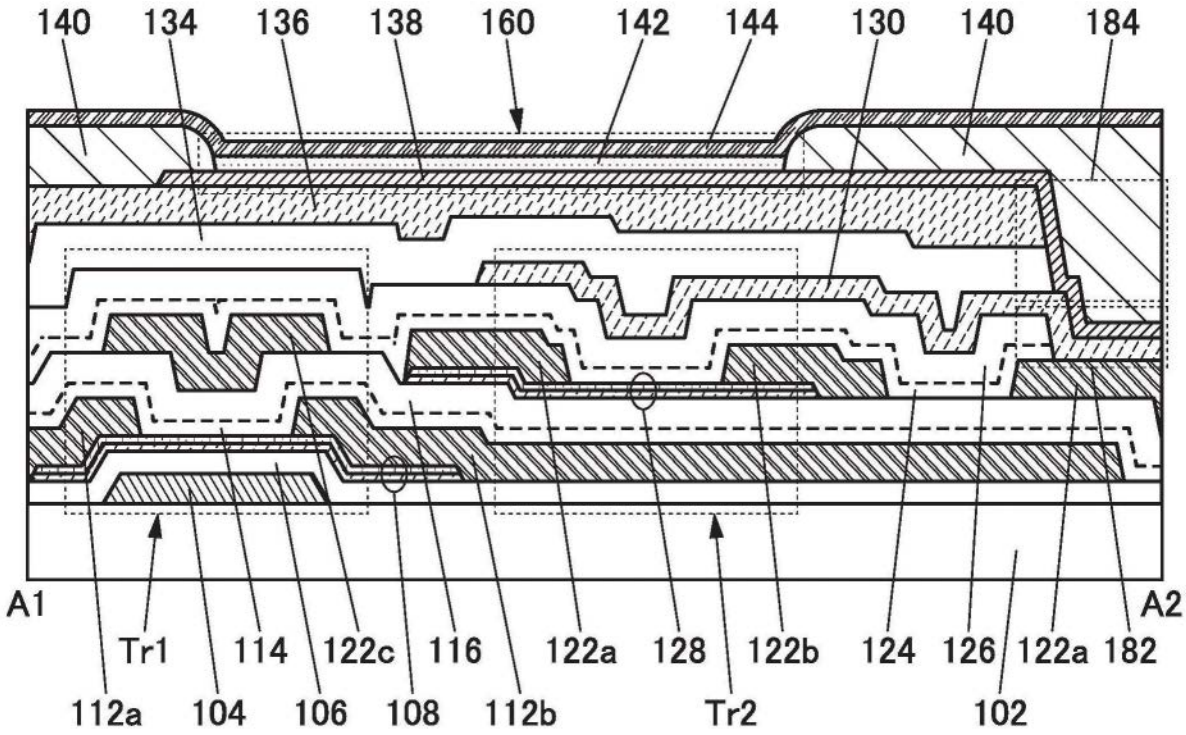

140
134
136
138
160
142
144
130
140
184
A1
A2
Tr1
114
122c
116
122a
128
122b
124
126
122a
182
112a
104
106
108
112b
Tr2
102

图26B

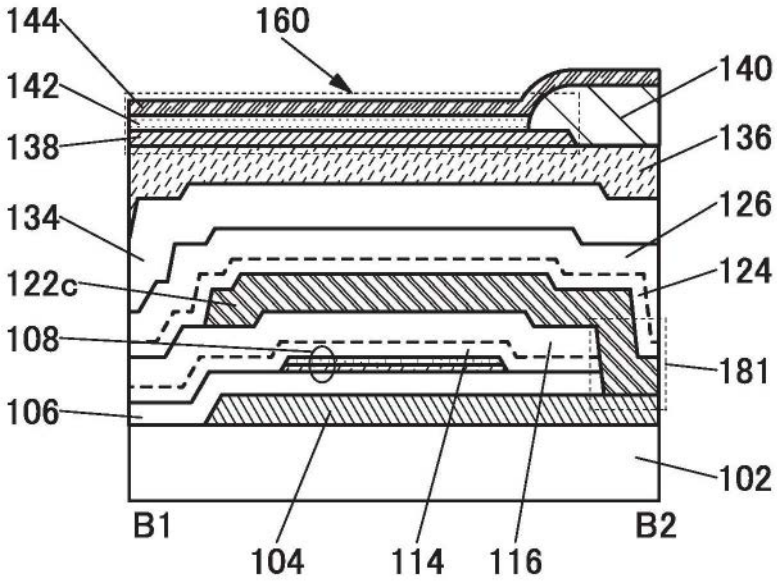

144
160
142
140
138
136
134
126
122c
124
108
181
106
102
B1
B2
104
114
116

图27

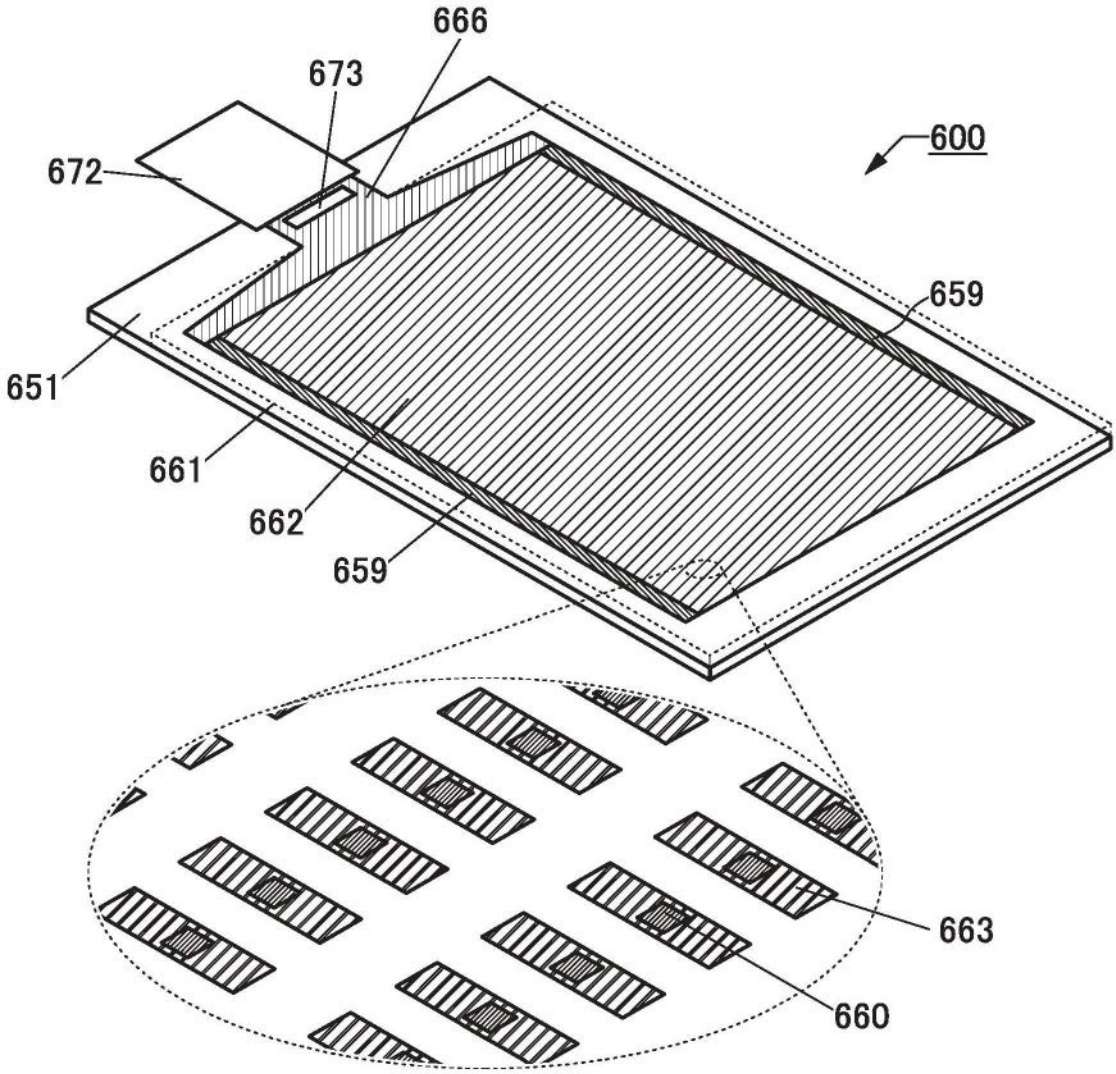


图28

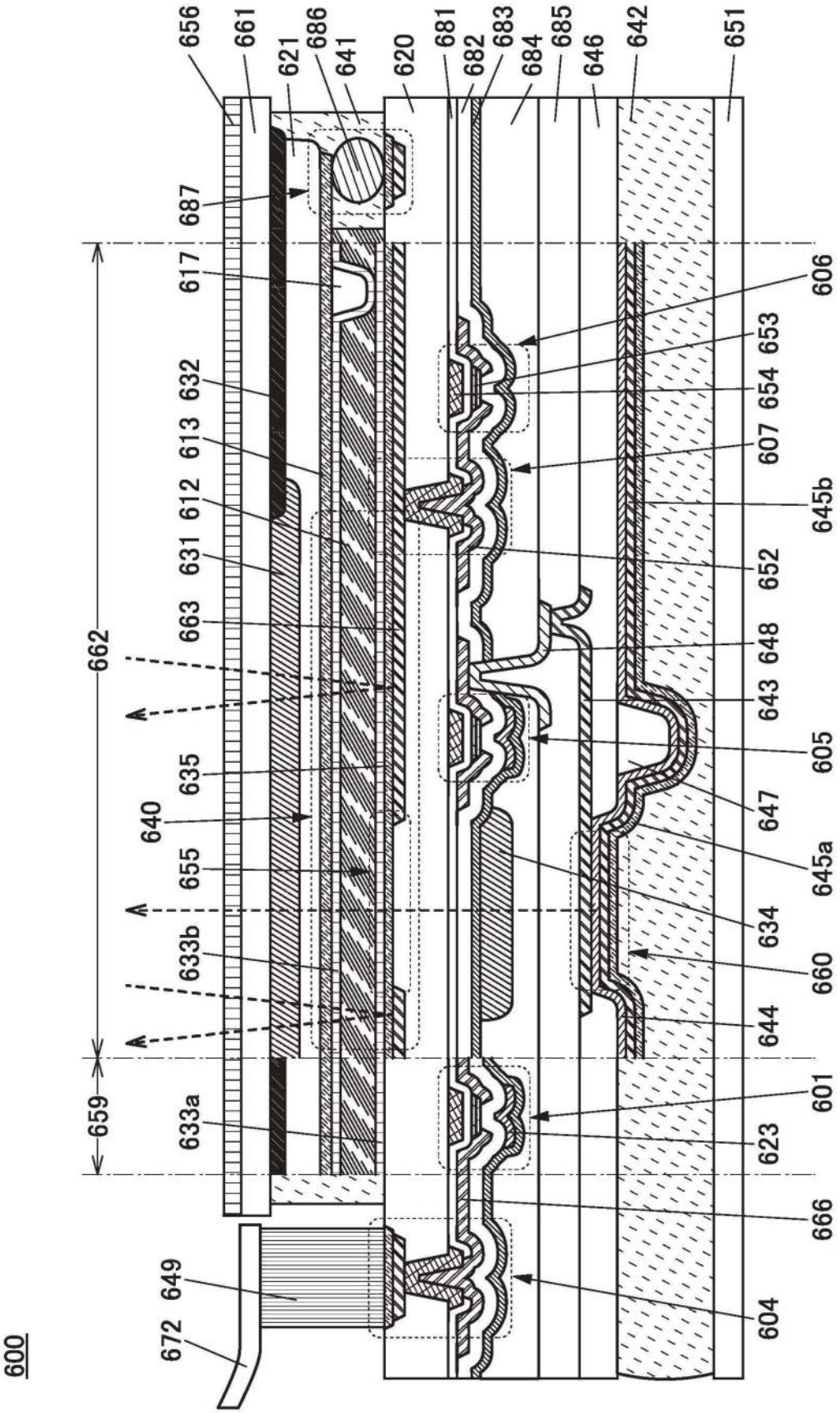

656
661
621
686
641
620
681
682
683
684
685
646
642
651
687
617
606
653
632
654
613
607
612
645b
631
652
663
648
662
643
605
635
647
640
645a
655
634
633b
660
644
659
601
633a
623
666
649
604
672
600

图29

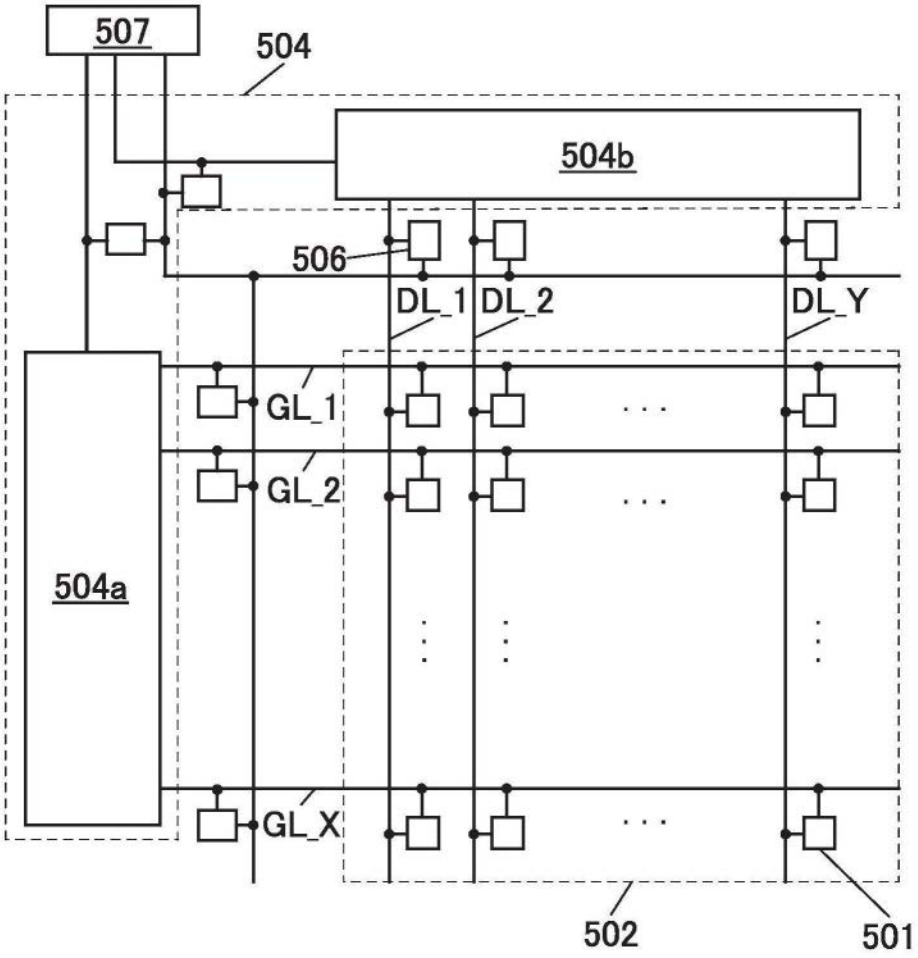

507
504
504b
506
DL_1
DL_2
DL_Y
GL_1
GL_2
GL_X
504a
502
501

图30A

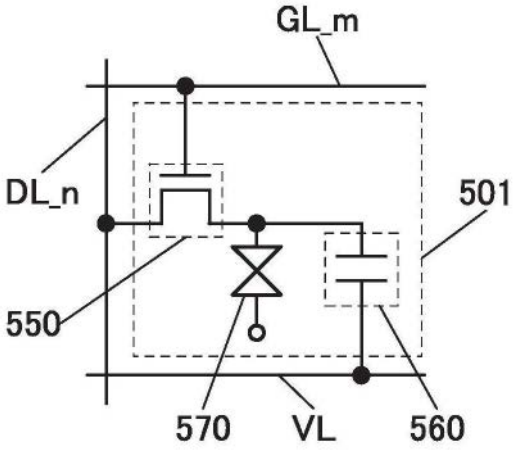

GL_m
DL_n
501
550
570
VL
560

图30B

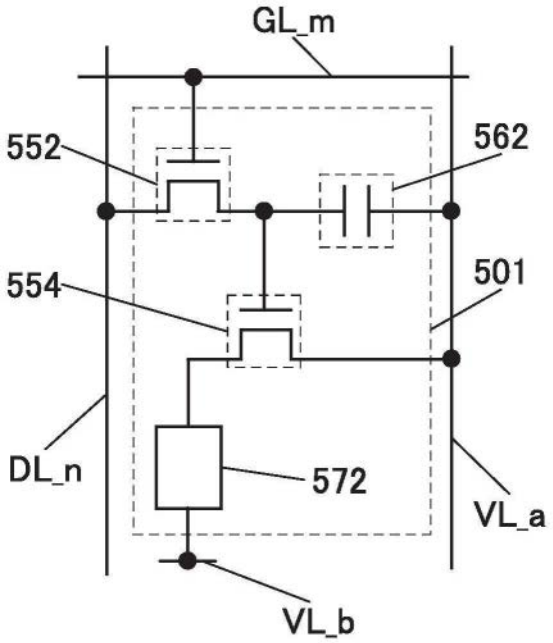


图30C

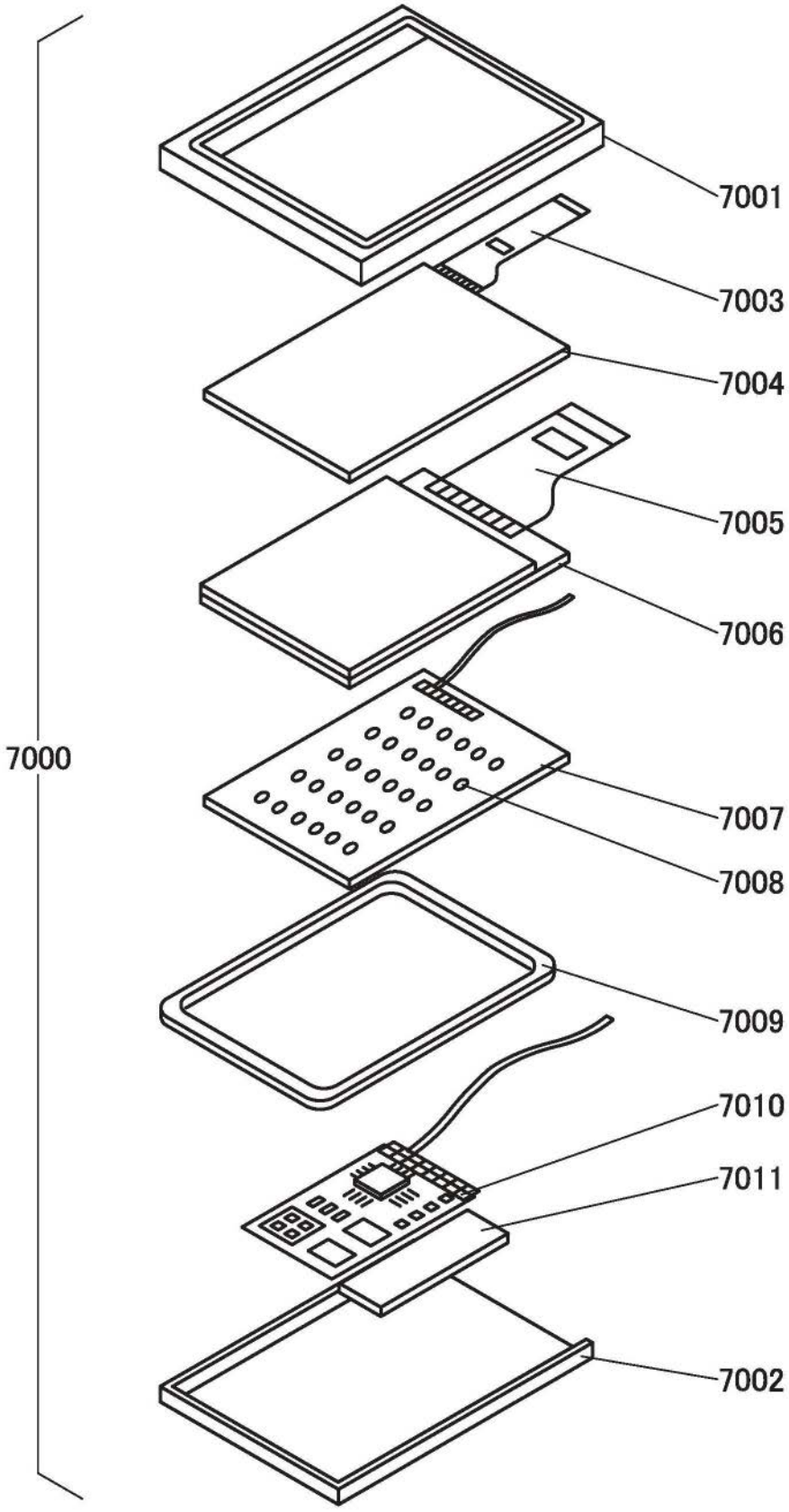


图31

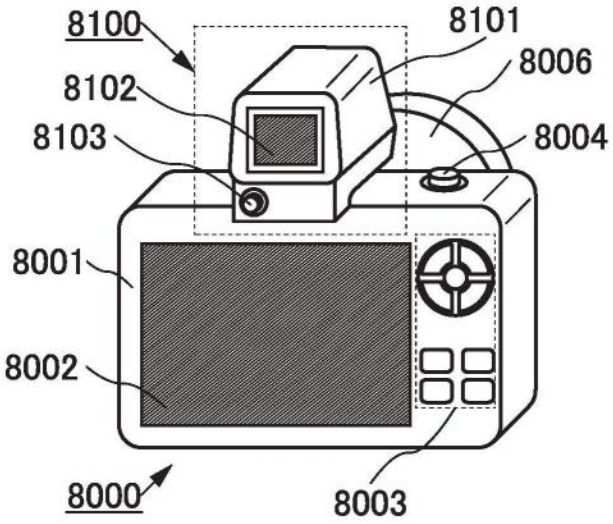

8100
8101
8006
8102
8103
8004
8001
8002
8000
8003

图32A

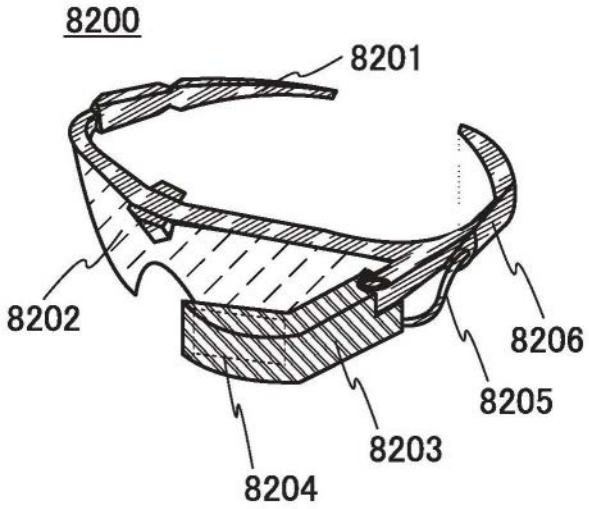

8200
8201
8202
8206
8205
8203
8204

图32B

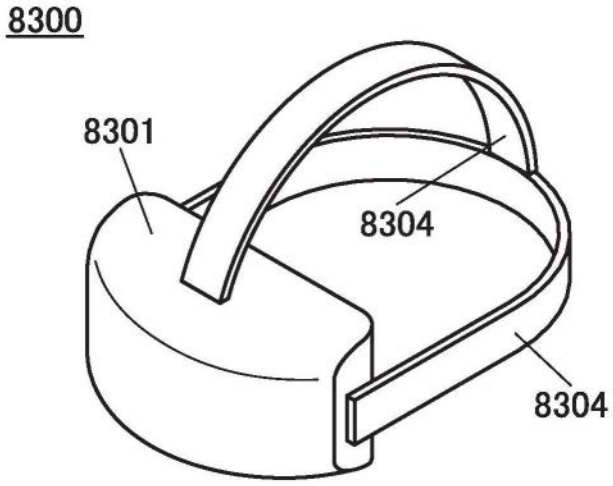


图32C

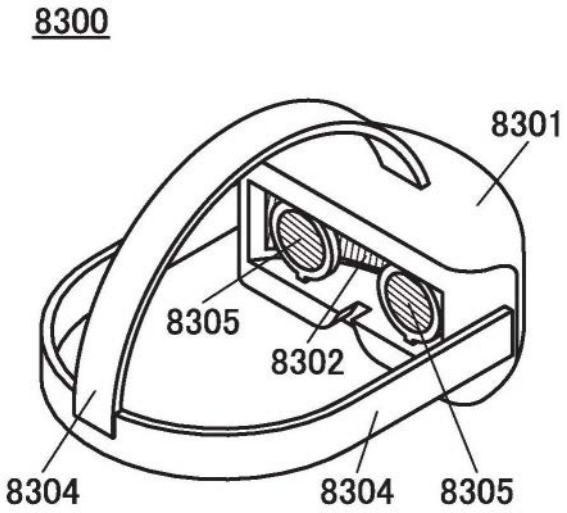


图32D

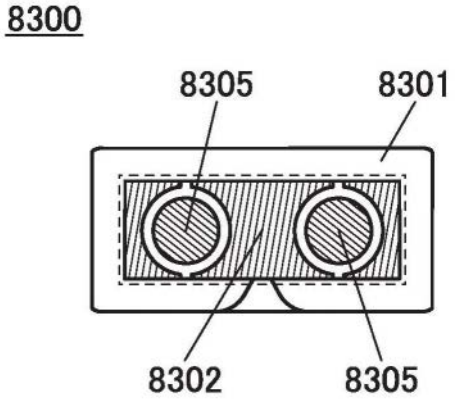


图32E

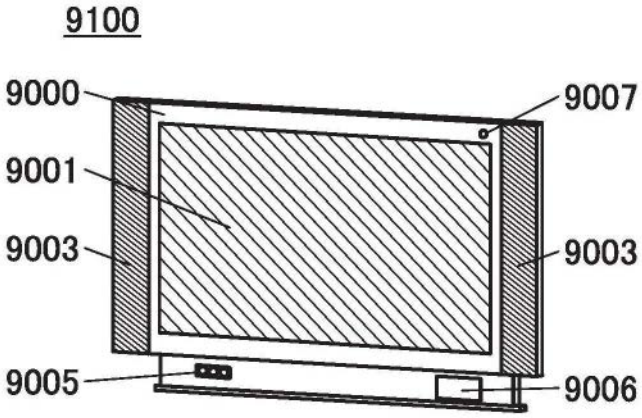


图33A

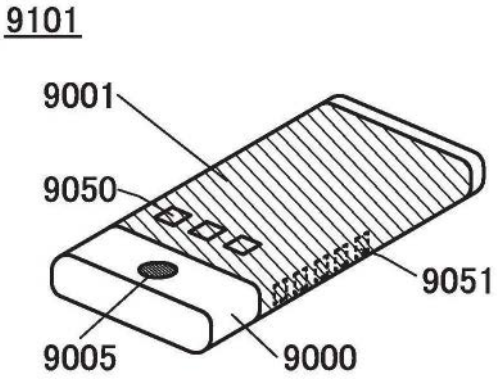


图33B

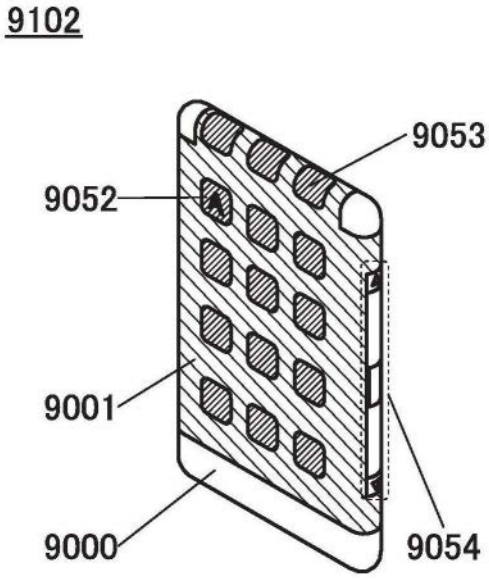


图33C

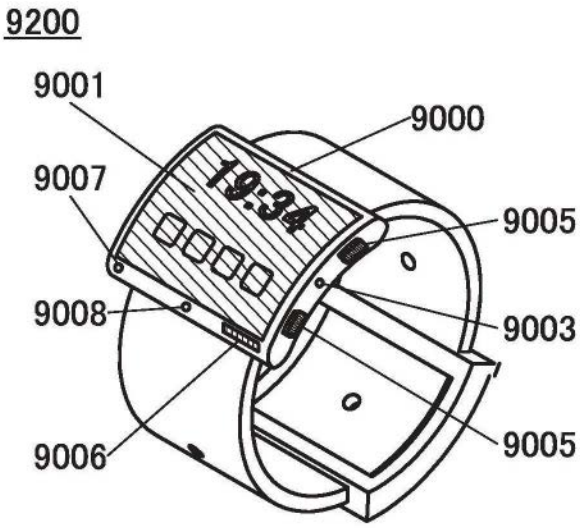


图33D

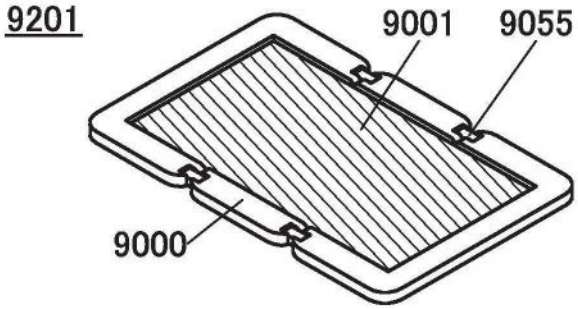


图33E

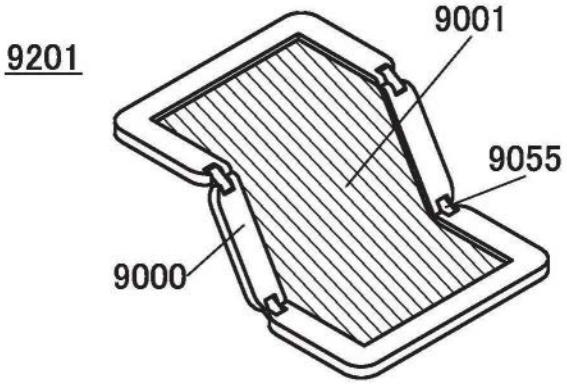


图33F

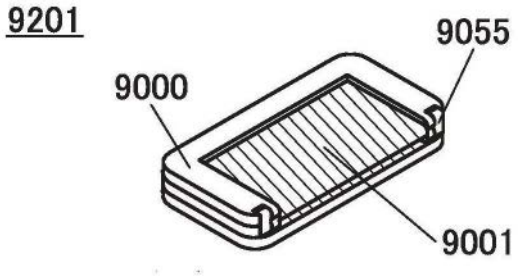

9201
9055
9000
9001

图33G

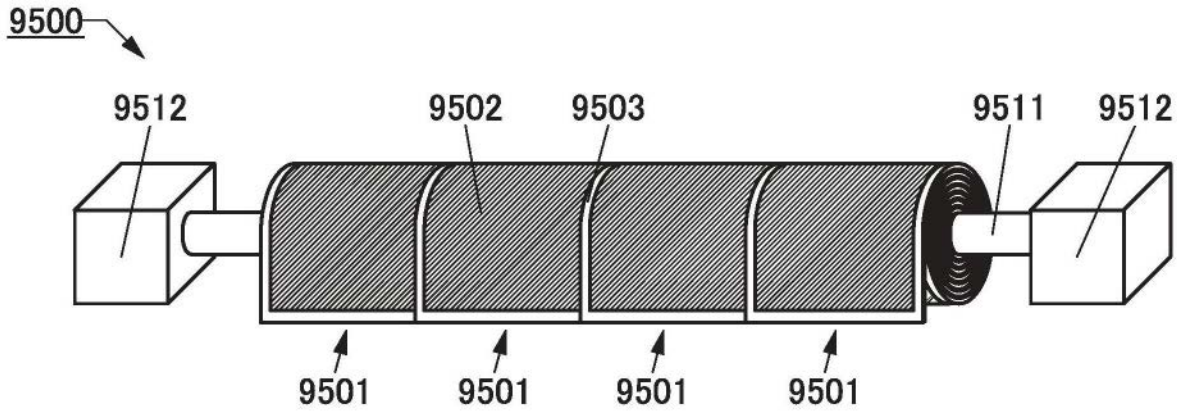

9500
9512
9502
9503
9511
9512
9501
9501
9501
9501

图34A

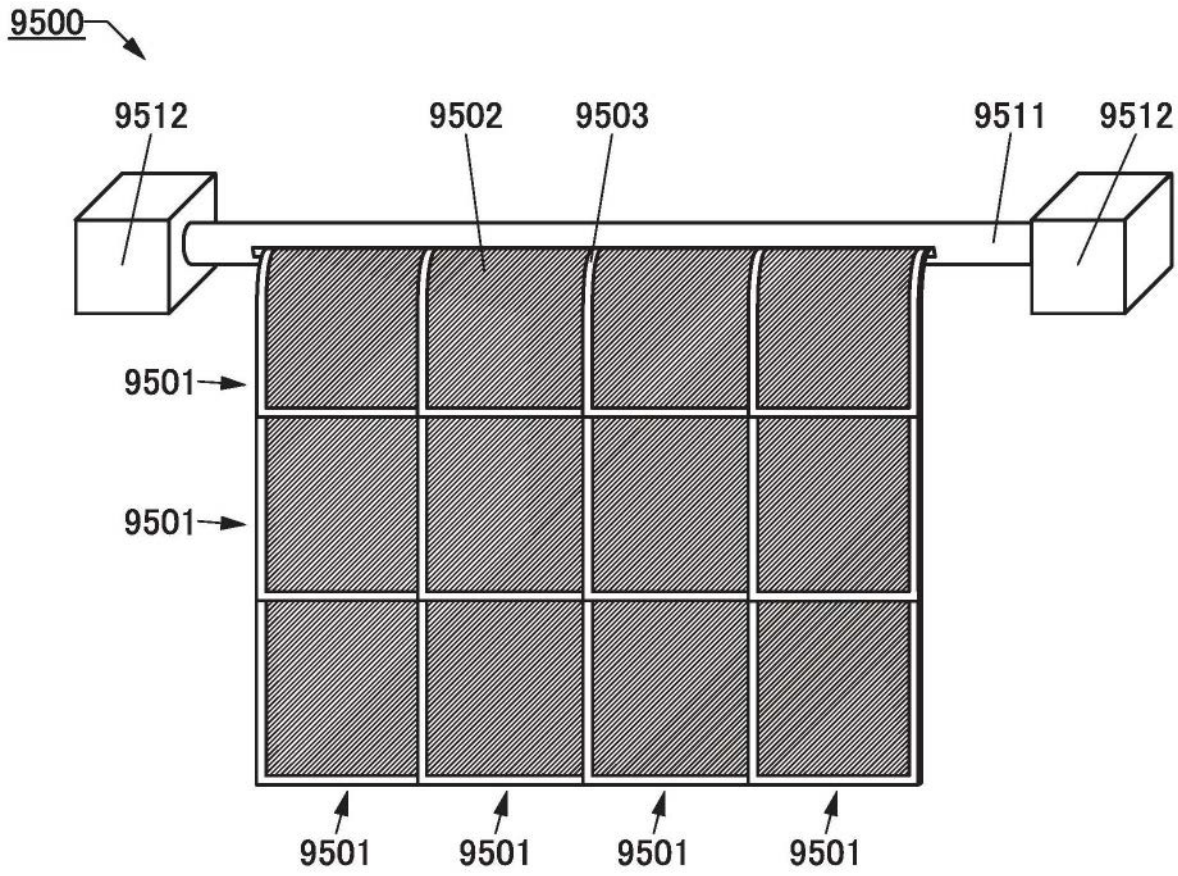


图34B

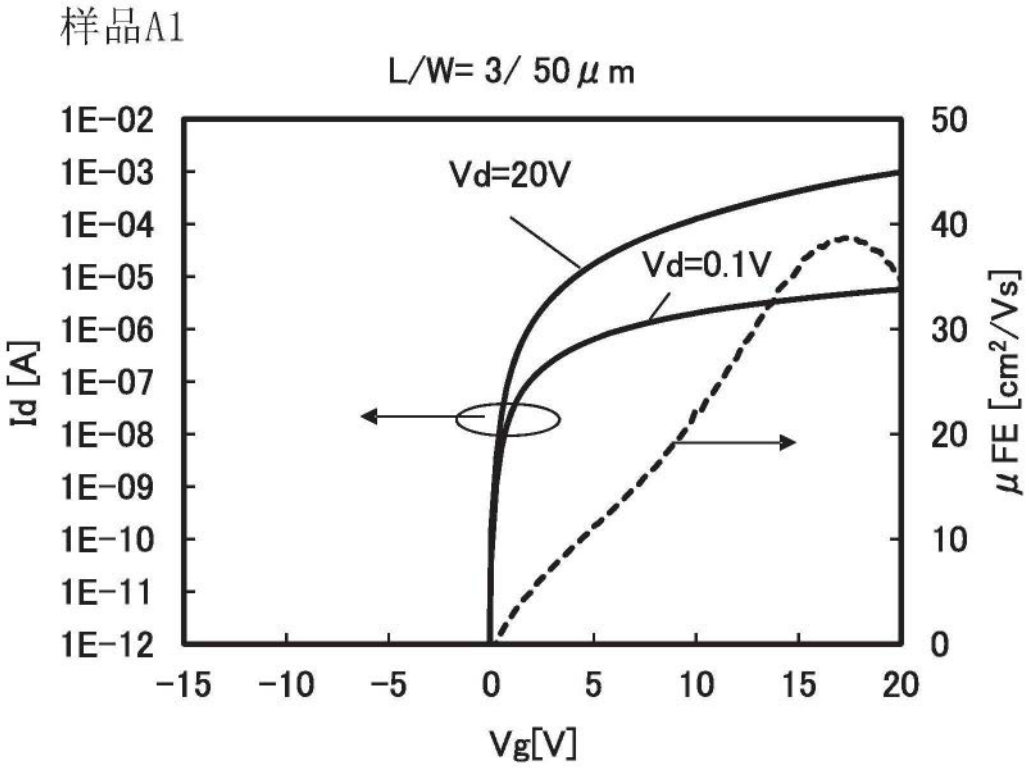

样品A1
L/W= 3/ 50 μm
Vd=20V
Vd=0.1V
Id [A]
μFE [cm²/Vs]
Vg[V]
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
-15
-10
-5
0
5
10
15
20

图35A

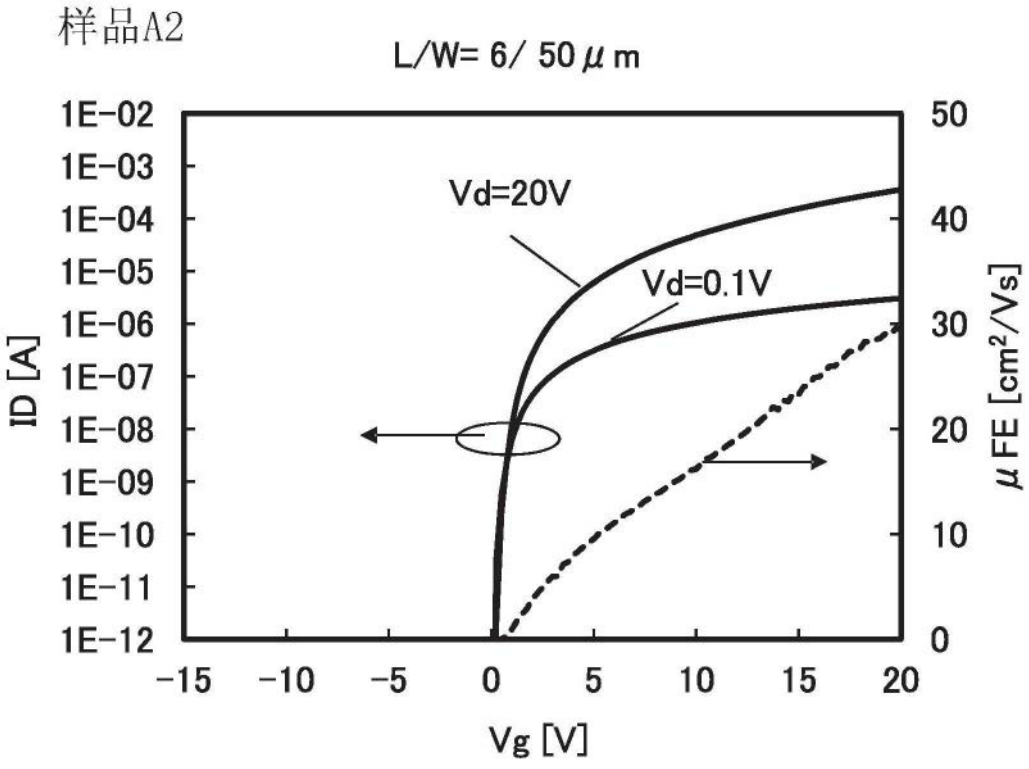
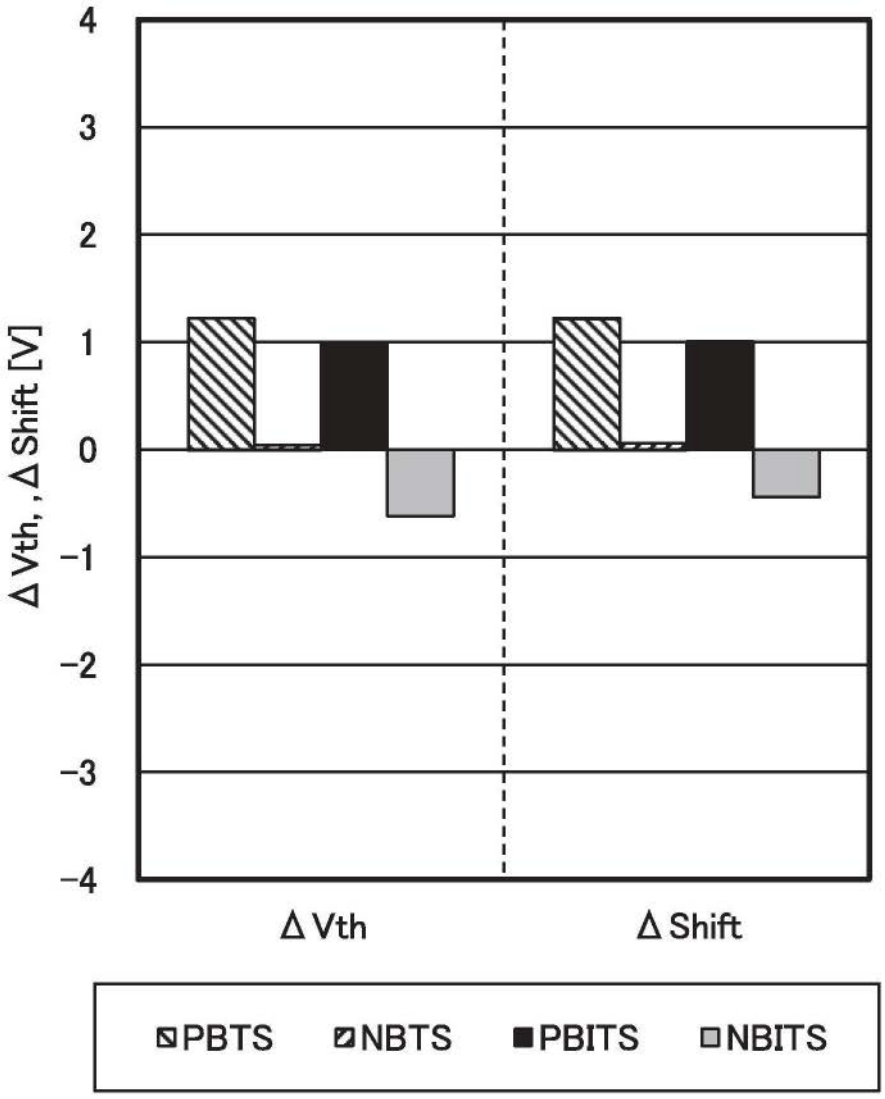

样品A2
L/W= 6/ 50 μm
Vd=20V
Vd=0.1V
ID [A]
μFE [cm²/Vs]
Vg [V]
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
-15
-10
-5
0
5
10
15
20

图35B



FET 尺寸:L/W=6/50μm
[GBT 测试]
应力条件:Vg=±30V, Vd=Vs=0V
应力温度:60℃
应力时间:1hr
黑暗或光照射(白色LED, 10000lx左右)

图36

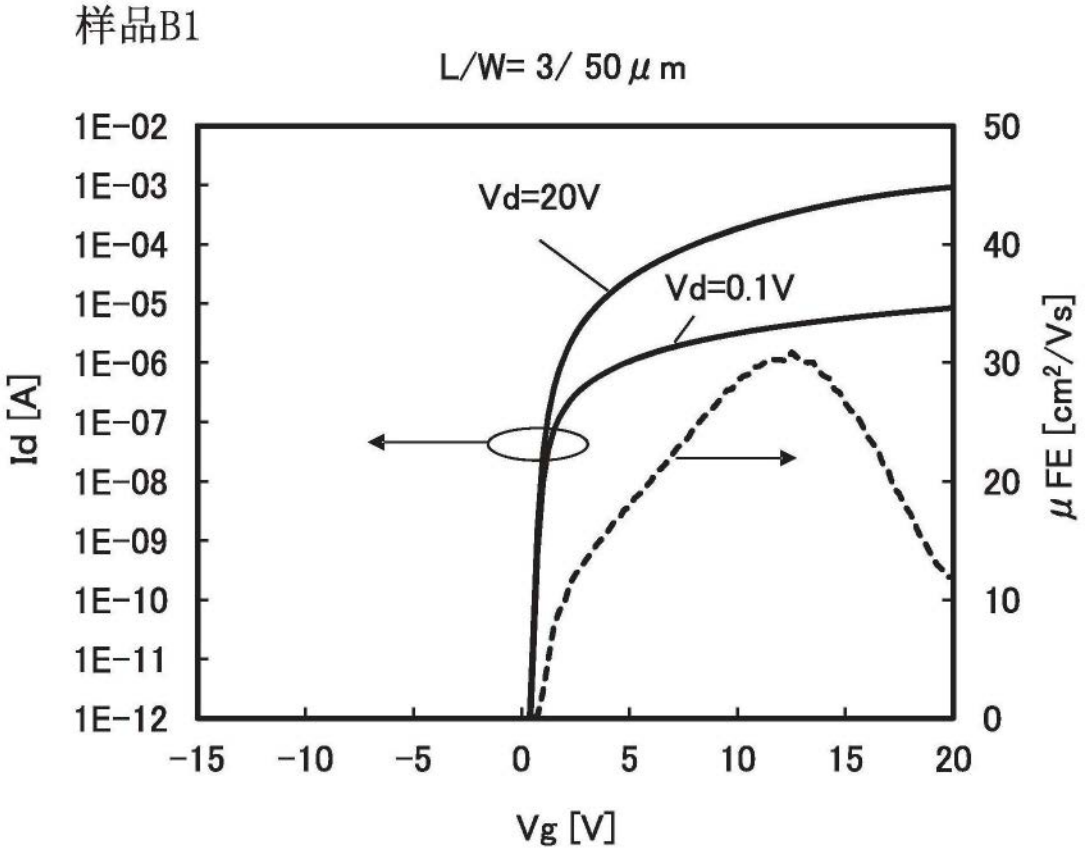

样品B1
L/W= 3/ 50 μm
Vd=20V
Vd=0.1V
Id [A]
μFE [cm²/Vs]
Vg [V]
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
50
40
30
20
10
0
-15
-10
-5
0
5
10
15
20

图37A

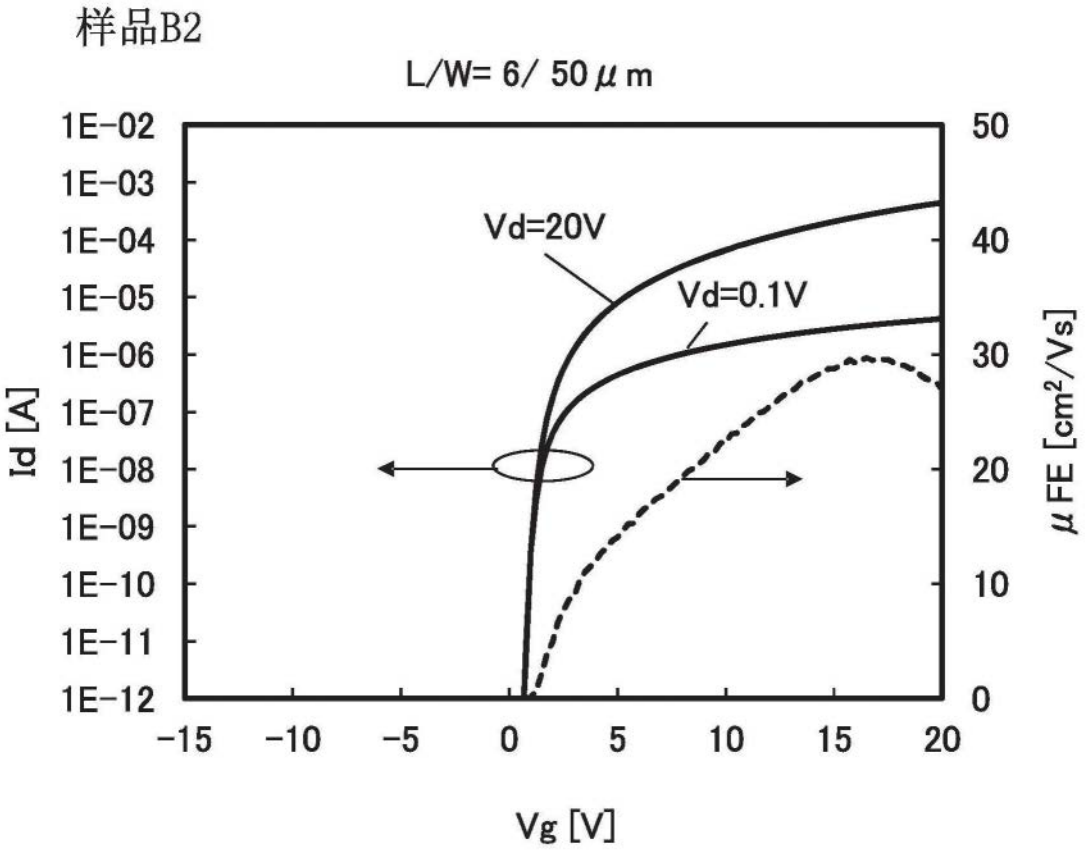
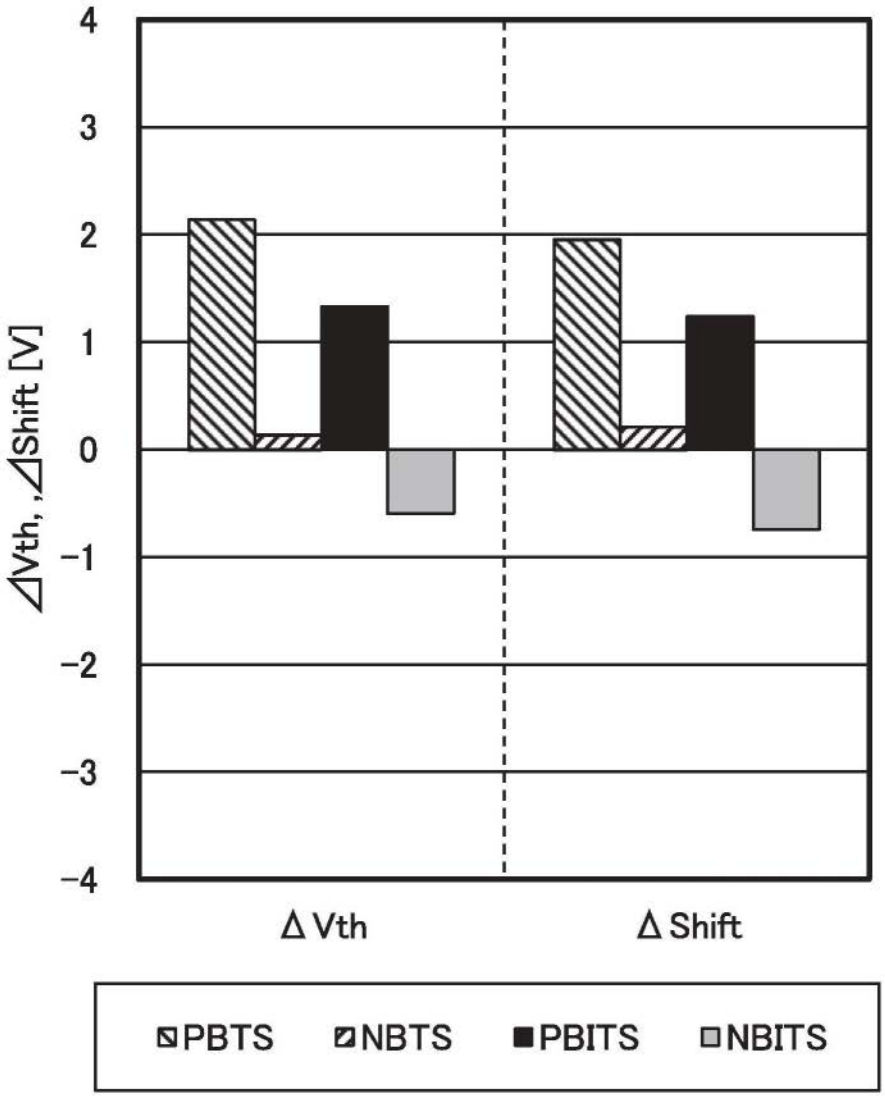

样品B2
L/W= 6/ 50 μm
1E-02
1E-03
1E-04
1E-05
1E-06
1E-07
1E-08
1E-09
1E-10
1E-11
1E-12
Id [A]
50
40
30
20
10
0
μFE [cm²/Vs]
Vd=20V
Vd=0.1V
-15
-10
-5
0
5
10
15
20
Vg [V]

图37B



FET 尺寸:L/W=6/50μm
[GBT 测试]
应力条件:Vg=±30V, Vd=Vs=0V
应力温度:60℃
应力时间:1hr
黑暗或光照射(白色LED, 10000lx左右)

图38