



(12) 发明专利

(10) 授权公告号 CN 101142676 B

(45) 授权公告日 2010.07.14

(21) 申请号 200480029477.7

H05K 3/34 (2006.01)

(22) 申请日 2004.10.01

(56) 对比文件

(30) 优先权数据

03103757.5 2003.10.10 EP

EP 1026742 A2, 2000.08.09, 全文.

US 6448639 B1, 2002.09.10, 全文.

US 6330164 B1, 2001.12.11, 全文.

(85) PCT申请进入国家阶段日

2006.04.07

US 2002/0017399 A1, 2002.02.14, 全文.

US 6175158 B1, 2001.01.16, 全文.

(86) PCT申请的申请数据

PCT/IB2004/051946 2004.10.01

CN 1401138 A, 2003.03.05, 全文.

US 2002/0057558 A1, 2002.05.16, 全文.

(87) PCT申请的公布数据

W02005/036644 EN 2005.04.21

审查员 杨丽丽

(73) 专利权人 台湾积体电路制造股份有限公司

地址 中国台湾新竹科学工业园区新竹市

(72) 发明人 马蒂纳斯·J·克嫩

(74) 专利代理机构 中科专利商标代理有限责任

公司 11021

代理人 王波波

(51) Int. Cl.

H01L 23/498 (2006.01)

H01L 23/50 (2006.01)

H05K 1/02 (2006.01)

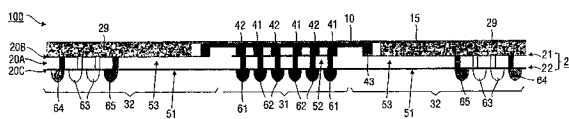
权利要求书 2 页 说明书 6 页 附图 4 页

(54) 发明名称

电子器件和载体基板

(57) 摘要

该电子器件包括半导体器件 (10), 其特别是集成电路; 和载体基板 (20), 该载体基板在第一面 (21) 和第二面 (22) 上具有导体层; 以及根据棋盘图形互相设置的电压源连接 (62) 和地连接 (61)。这些连接 (61、62) 通过垂直互连和凸块 (41、42) 在直接路径上延伸到集成电路的键合焊盘, 这些键合焊盘设置成相应的棋盘图形。结果, 提供了直接路径的阵列, 其中电压源连接 (62) 尽可能形成同轴结构的同轴中心导体。



1. 一种电子器件,包括:

设有多个键合焊盘的半导体器件,限定所述键合焊盘的第一部分用于地连接,限定所述键合焊盘的第二部分用于电压源,并且限定所述键合焊盘的第三部分用于信号传输,以及

载体基板,包括电介质材料层并具有第一面和相对的第二面,每个面都设有导电层,在所述第一面上存在与所述半导体器件的所述键合焊盘相对应的第一面键合焊盘,在所述第二面上设置用于外部连接的接触焊盘,所述接触焊盘和所述第一面键合焊盘根据所希望的图形而电互连,所述第一面键合焊盘被细分为与所述半导体器件的所述键合焊盘的第一、第二和第三部分相对应的第一、第二和第三部分,所述第一面键合焊盘的所述第一和第二部分横向地位于所述载体基板的第一面的内部区域中,而所述第一面键合焊盘的所述第三部分位于横向地围绕所述内部区域的所述载体基板的所述第一面的外部区域中,

其中所述半导体器件以倒装片取向连接到所述载体基板上,并且

相应地定位所述第一面键合焊盘的第一部分和第二部分和所述接触焊盘,以便提供从所述载体基板上的所述接触焊盘到所述半导体器件的对应的键合焊盘的直接路径,并且

将所述第一面键合焊盘的所述第一和第二部分设置成阵列,使得所述第一面键合焊盘的所述第一部分中的每一个第一面键合焊盘具有所述第一面键合焊盘的所述第二部分中的第一面键合焊盘作为其最接近的相邻焊盘。

2. 根据权利要求 1 所述的电子器件,其中所述第一面键合焊盘的所述第一和第二部分形成共同的阵列,其具有边缘区域和内部区域,并且所述第一面键合焊盘的所述第二部分在所述边缘区域中的第一面键合焊盘设有 ESD 保护结构,而所述第一面键合焊盘的所述第二部分在所述内部区域中的第一面键合焊盘没有这种 ESD 保护结构。

3. 根据权利要求 2 所述的电子器件,其中所述第一面键合焊盘的所述第一和第二部分根据棋盘图形进行设置。

4. 根据权利要求 1 所述的电子器件,其中所述电介质材料层在所述载体基板中从所述第一面延伸到所述第二面。

5. 根据权利要求 1 所述的电子器件,其特征在于所述第一面键合焊盘的所述第三部分和对应的接触焊盘通过:

限定在所述载体基板的所述第一面上的所述导电层中的互连,以及

穿过所述载体基板的垂直互连而互连在一起,所述垂直互连在所述第二面上的导电层上的垂直投影与所述对应的接触焊盘重叠。

6. 根据权利要求 5 所述的电子器件,其特征在于:

在所述载体基板的所述第二面上的所述导电层中限定地平面,

选择所述互连之间的相互距离和所述载体基板的电介质厚度,使得所述互连具有传输线特性。

7. 根据权利要求 1 或 6 所述的电子器件,还包括在所述载体基板的所述第一面上的机械加强层。

8. 根据权利要求 1 所述的电子器件,还包括在所述载体基板的所述第一面上的隔离物层,所述隔离物层由散热层覆盖,所述散热层在所述半导体器件的与包括所述键合焊盘的面相对的一面上与所述半导体器件热接触。

9. 根据权利要求 8 所述的电子器件,其中所述散热层热连接到位于所述载体基板上的热沉。

10. 根据权利要求 1 所述的电子器件,还包括第二半导体器件,所述第二半导体器件设有从所述第二半导体器件的键合焊盘到所述载体基板的所述第二面的、用于地和电压源连接的直接路径,在所述载体基板的所述第二面上存在用于地和电压源连接的接触焊盘。

11. 一种载体基板,包括电介质材料层并具有第一面和相对的第二面,每个面都设有导电层,在所述第一面上存在用于连接到半导体器件的键合焊盘的第一面键合焊盘,在所述第二面上设置用于外部连接的接触焊盘,所述接触焊盘和所述第一面键合焊盘根据所希望的图形而电互连,所述第一面键合焊盘被细分为用于电压源连接的第一部分、用于地连接的第二部分以及用于信号传输的第三部分,所述第一面键合焊盘的第一和第二部分横向地位于所述载体基板的第一面的内部区域中,而所述第一面键合焊盘的第三部分位于横向地围绕所述内部区域的所述载体基板的所述第一面的外部区域中,其中

所述第一面键合焊盘的所述第一和第二部分共同地构成阵列,所述阵列延伸到所述载体基板的第二面上的所述接触焊盘,以便形成直接路径,并且

用于地连接和用于电压源连接的所述第一面键合焊盘被设置成阵列,使得用于电压源连接的所述第一面键合焊盘中的每一个第一面键合焊盘具有用于地连接的所述第一面键合焊盘作为其最接近的相邻焊盘。

电子器件和载体基板

技术领域

[0001] 本发明涉及一种电子器件,包括:

[0002] 设有多个键合焊盘的半导体器件,限定键合焊盘的第一部分来用于地连接,限定第二部分来用于电压源,并且限定第三部分来用于信号传输,以及

[0003] 载体基板,其包括电介质材料层并具有第一面和相对的第二面,每个面都设有导电层,在第一面上存在对应于半导体器件的键合焊盘的键合焊盘,并且在第二面上设置用于外部连接的接触焊盘,接触焊盘和键合焊盘根据所希望的图形而电互连,接触焊盘被细分为对应于半导体器件的各个部分的第一、第二和第三部分,键合焊盘的第一和第二部分横向地位于内部区域中,而第三部分位于横向地围绕内部区域的外部区域中。

[0004] 本发明还涉及这种载体基板。

背景技术

[0005] 这种电子器件和这种载体基板可从 US-A6448639 中获知。已知的器件是作为球栅阵列封装被知道的。这种类型的封装对于各种集成电路来说是公知的,并具有以下主要优点:易于利用焊球设置在外载体上,以及提供非常大量的接触焊盘的能力,因此可以提供非常多的信号连接、一般公知为 I/O 路径。

[0006] 已知的载体基板设有两个导电层,其具有减少这种封装的成本的优点。接触焊盘的用于地和电压源连接的第一和第二部分设置在载体基板的第一面上的相应键合焊盘的正下方。这些键合焊盘是以同心的地和电源环实现的,它们利用键合线连接到半导体器件的键合焊盘。由于这种结构,使得键合焊盘和相应的接触焊盘之间的连接很短,导致改进的电和热性能。

[0007] 已知器件的缺陷是:地反弹(bounce)电压仍然很高。这个地反弹电压被定义为附着于电子器件的外部载体中的地平面和半导体器件中的地连接之间的动态电压差。地反弹电压越高,半导体器件中的电压源和地电压之间的差越小,并由此工作余量越小。这个较小的工作余量将增加对外部干扰的灵敏度并随着半导体技术的进步变得更加关键。沟道长度越小,无论如何工作余量也越小。或者,可以通过较高的电压源来将地反弹电压拉平,但是这导致比所需的散热更高的散热。而且,没有由此解决该问题,因为伴随着地反弹电压的问题在于它是不可预测的。

发明内容

[0008] 换言之,本发明的第一目的是提供一种开篇所述类型的电子器件,其具有减少的地反弹电压。

[0009] 本发明的第二目的是提供一种适合于用在本发明的器件中的载体基板。

[0010] 实现第一目的在于:半导体器件以倒装片取向耦合到载体基板上。相应地设置用于电压源和地连接的键合焊盘和接触焊盘,以便提供从基板上的接触焊盘到半导体器件的相应键合焊盘的直接路径。此外,设置第一和第二部分的焊盘,使得专用于电压源连接的至

少一条直接路径用作同轴中心导体。

[0011] 本发明的器件具有电压源连接作为同轴结构存在的优点。结果是,通过电源-或电压源-和地之间的互感减少了这些电源路径中的每个的有效电感。这导致所希望的较低的地反弹电压。同轴结构的效果是很大的;地路径的有效电感可以减少50%以上。

[0012] 本结构的优点是:载体基板的第一面上的电压源连接的键合焊盘可以制作在那里存在的导电层中。换言之,不需要附加的再分布层,并且可以仅采用在相对面上具有导电层的基板。与具有内部导体的载体基板相比,这导致成本降低。

[0013] 在有利的实施例中,第一和第二部分的键合焊盘形成共同的(joint)阵列,其具有边缘和内部区域,并且在边缘的第二部分的键合焊盘设有ESD保护结构,内部区域中的第二部分的键合焊盘没有这种ESD保护结构。由于电源路径的导电性足够好,在ESD应力期间电压梯度应当最小。因此,可以限制ESD保护结构的数量。

[0014] 在另外的修改例中,用于地和电源连接的焊盘根据棋盘图形进行设置。其首要优点是使最终结构最小化。因此可以使接触焊盘的尺寸适合于组装到印刷电路板,同时,不必增加半导体器件的尺寸。

[0015] 特别对于这个修改例,半导体器件的键合焊盘将按照覆盖整个表面区域的规则图形来进行分布。它们因此也设置在有源区的顶部上。因此可以增强键合焊盘的机械支撑,例如原因在于键合焊盘存在于钝化层的顶部。然而,不应当认为在任何情况下这都是必须的。在任何情况下,都不需要在半导体器件的边缘上的交错型焊盘。此外,可以采用用于信号传输的单环键合焊盘(I/O焊盘),其同时还降低了复杂性。

[0016] 棋盘图形的第一优点是:可以为半导体器件的电压源,特别是其核心功能分配足够的焊盘。10乘10的焊盘阵列为具有 $0.12\mu\text{m}$ 沟道长度的集成电路中使用大于4安培的DC电流提供充足的功率。棋盘图形的第二优点是:可以使IR降最小化,并且IR降将由半导体器件来确定。集成电路中的互连结构的上层金属具有小于载体基板的金属的厚度。因此,降低了在基板的损失。证明是如果电压源和地连接均等地分布在载体基板的内部区域上,则这也有效,因此存在着在两个正交指向的、横向方向上具有相等导电性的棋盘图形。

[0017] IR降与先进的IC工艺特别相关。早期的CMOS工艺允许10%的IR降,而对于具有 $0.18\mu\text{m}$ 或更小的沟道长度的先进IC工艺来说,只允许5%。然而,对于这些先进IC工艺来说,平均电源电流随着电源电压下降而增加。通过并行切换封装互连,至少对于芯,消除了IC上的IR降。

[0018] 在另一实施例中,电介质材料层在基板中从第一面延伸到第二面。换言之,使用了电介质基板。这导致成本降低。因此,基板材料可以是合适的材料,如聚酰亚胺、聚合物-增强玻璃纤维、FR-4(环氧树脂)、FR-5和BT-树脂。可替换材料包括用具有相对高介电常数的颗粒填充的这种材料(如钙钛矿型材料)、包括 SiO_2 的陶瓷材料、Al-C-O-N、可通过用掩埋的半导体颗粒烧结导热材料的基体获得的材料。特别优选基体材料与掩埋颗粒的组合,因为这允许包括介电常数、热膨胀系数、机械强度和导热性的一套参数最优化。在W001/15182、EP-A743929、EP03075079.8(PHNL030040,未预公布)中给出了一些例子。材料的选择相当宽,因为不需要内部导体。

[0019] 在另一实施例中,第三部分的键合焊盘和用于外部连接的相应的接触焊盘通过在载体基板的第一面上的导电层中限定的互连件并且通过穿过载体基板的垂直互连件而互

连在一起,所述垂直互连件在第二面上的导电层上垂直投影的情况下,具有与用于信号传输的接触焊盘的很大的重叠。本实施例特别适合于降低载体基板的复杂性。此外,还允许另外一些有利的修改。

[0020] 在第一修改例中,对于半导体器件的不同部件采用不同的电源电压。特别是,可以将半导体器件分为核心功能块(core functionality)和外围功能块(peripheral functionality)。于是基板的内部区域用于到芯的电压源和地连接。外部区域用于信号传输、到外围的电压源和地连接。将半导体器件特别是集成电路划分为芯部(core)和外围适合于所有 IC 限制热耗散,并且特别适合于混合信号 IC。

[0021] 在本发明的又一修改例中,以多个子组来限定外围区域中的接触焊盘,每个子组包括用于电压连接的一个接触焊盘或者用于地连接的一个接触焊盘、以及用于信号传输的几个接触焊盘,用于信号传输的所有焊盘都具有用于电压或地连接的接触焊盘作为相邻焊盘。特别是,用于电压或地连接的接触焊盘将成为该组的中心地(center ground)焊盘。这种细分为子组允许在一个方向上的信号路径和在相反方向上的信号路径(用于地或电压源的接触焊盘)之间的最小距离。这种细分对于实施从载体基板到外部载体的合适传输路径是特别重要的。由此其实施方式需要在用于将器件放置在外部载体上的焊球的水平上,并因此在载体基板的第二面上的接触焊盘中。

[0022] 在第二修改例中,在载体基板的第二面上的一导电层中限定地平面,并且选择互连之间的相互距离和载体基板的电介质厚度,使得互连具有传输线特性。因此可以大大限制在信号传输上的任何阻抗损失。

[0023] 在第三修改例中,应用这两种修改,另外,外围设有附加的片上去耦电容器。通过这种方式,优化了核心功能块和外围功能块之间的通信。

[0024] 在又一修改例中,在载体基板的第一面上存在机械加强层。这种方案允许进一步减小电介质层的厚度,而不影响互连的传输线特性。互连的传输线特性导致载体基板的厚度减小到 100 或 50 μm 或者潜在地甚至更低,以获得所希望的传输线特性。为了使器件仍然具有所希望的机械稳定性,可以采用封装。然而,由于热量处理的原因,不优选这样做。使用使第一面上的键合焊盘露出的电介质加强件是一种可行的方案。优选但不是必须的是,电介质加强件由与载体基板的电介质材料相同的材料制成。根据使用的加强件材料,可能需要附加的隔离物来保持传输线特性。

[0025] 在再一实施例,在载体基板的第一面上存在隔离物层,该隔离物层被散热层覆盖,该散热层在半导体器件的与包括键合焊盘的面相对的一面上与半导体器件热接触。这是改进本发明的器件的热管理的一种选择方案。还可以通过机械加强层来形成该隔离物层。

[0026] 在其修改例中,散热层热连接到载体基板处的热沉。散热层的存在就其本身不足以改进热管理,因为已经证明在这种散热层和空气的界面处的消极冷却不是很高。为了改进这一点,可以采用积极冷却,如热管道,然而其缺点是较大。因此优选提供到载体基板处的热沉的热连接。热连接可包括组装到载体基板上的部件,如半导体器件。或者,可以采用薄和厚膜技术,例如,由于在隔离物中设置了通孔。基板的热沉可以作为基板的第二面上的地平面来实施。

[0027] 在又一实施例中,该器件进一步设有电源串联电感器。这种串联电感器优选具有

在 0.5 到 1.0 μH 范围内的幅度。在时钟周期内维持操作是有利的实施方式。优选地,作为分立元件将电感器设置在外部载体上,并且更优选地,设置在对应于芯区的区域内。或者,电感器可以集成在外部载体或载体基板中。优选地,电介质材料则适当地设有例如铁氧体材料的磁性颗粒,以增强这个电感。

[0028] 观察到本发明的电子器件包括至少一个半导体器件。一般情况下,这个半导体器件是集成电路。或者,可以提供一個以上的半导体器件,如集成电路和二极管;放大器和收发器;放大器和其它 RF 部件,如滤波器和天线开关;或者第一和第二集成电路。在两个集成电路的情况下,核心功能块可能存在于第一集成电路中,而外围功能块可能位于第二集成电路中。

[0029] 在本发明的又一实施例中,存在第二电子器件,该电子器件设有从其键合焊盘到载体基板的第二面的用于地和电压源连接的直接路径,在该第二面上存在用于地和电压源连接的接触焊盘。可以为第二器件复制能够直接向半导体器件提供电压源和地的这种结构。这些器件的相互的互连可以通过载体基板的第一面上的互连来实现。如果存在的话,信号传输连接可以集成为一个阵列。根据球栅阵列的 JEDEC 标准,这些阵列通常是环形的。第二电子器件优选是半导体器件,但是也可以是传感器,如磁阻传感器;谐振器,如体声波谐振器;微-机电系统 (MEMS) 元件等。

附图说明

[0030] 下面将参照附图进一步说明本发明的器件和载体基板的这些和其他方案,在附图中:

[0031] 图 1 示出本发明的器件的示意图;

[0032] 图 2 示意性地示出该器件的剖面图;

[0033] 图 3 示意性地示出该器件的底视图;以及

[0034] 图 4 示意性地示出该器件的顶视图。

[0035] 这些附图不是按照比例绘制,并且相同附图标记表示相似或相同的部件。附图示出了一个优选实施例,但是其许多修改对于本领域技术人员来说是显而易见的。

具体实施方式

[0036] 图 1 是其中示出本发明的器件 100 的图。器件 100 包括半导体器件 10,其在本例中是集成电路。半导体器件 10 包括核心功能块 110 和外围功能块 210。器件 100 还包括载体基板 20,其设有芯部区域 31 和外围区域 32。核心功能块 110 包括有源元件 112 以及去耦电容器 111,并且设有电压源连接 42 和地连接 41。借助利用芯部去耦的电源去耦拓扑,可以有效地减少对地反弹的贡献,即来自芯部的 RF 发射。

[0037] 外围功能块 210 包括 I/O 装置 212 和调谐装置 211,在本例中其是与 I/O 装置 212 串联设置的去耦电容器。外围功能块 210 还设有用于电压源、地和信号传输的连接 43。核心和外围功能块 110、210 的地连接 41、43 通过载体基板 20 中的互连而相互连接。这里使用去耦电容器 211 来使特性稳定。载体基板 20 还包括用于连接到印刷电路板的接触焊盘 61、62、63、64、65。

[0038] 图 2 示出本发明的器件 100 的实施例的剖面图。图 3 示出从其上存在用于外部连

接的接触焊盘 61 到 65 的载体基板 20 的第二面 22 观察的本实施例的器件 100。图 4 示出从载体基板 20 的第一面 21 观察的器件。示出了集成电路 10 的布图,仿佛它是透明的一样,并示出了具有键合焊盘 11 到 13 的面 18。观察到在图 3 和 4 中只示出了基板的一部分;基板通常横向延伸,并且接触焊盘 63 到 65 一般形成围绕集成电路的封闭环。因而,该实施例是典型球栅阵列封装的一个例子,如本领域技术人员所能理解的。这种封装是优选的,但是本发明不限于此。另外,还观察到图 2 不是真实的横截面,如本领域技术人员在与图 3 对比的基础上将发现的。

[0039] 本实施例的器件 100 包括载体基板 20,其被细分为芯部区域 31 和外围区域 32。载体基板 20 具有第一面 21 和第二面 22。它包括电介质材料本体 20A 和分别在第一和第二面 21、22 上的导电层 20B、20C。在本例中,电介质材料是厚度为大约 $80\ \mu\text{m}$ 的环氧树脂 (FR-4),并且导电材料由铜制成。限定在铜中的互连和其它迹线的分辨率处于 $50\ \mu\text{m}$ 的数量级,并且在本实施例中,在相邻迹线之间有 $100\ \mu\text{m}$ 的最小距离。

[0040] 这里载体基板 20 设有位于基板的第二面 22 上并在此延伸的地平面 51,以及载体基板 20 还设有具有传输线特性的互连 53。用于外围功能块的键合焊盘 43 设置在芯部区域 31 附近,从而很好地限定传输线,并且它们的特性不受键合线等的负面影响。在第一面 21 上,存在机械加强层 29,其提供附加的机械稳定性。在这种情况下,加强层 29 具有大约 $300\ \mu\text{m}$ 的厚度,并由与本体 20A 相同的材料制成。

[0041] 集成电路 10 具有其上设置键合焊盘 11、12、13 的第一面 18(参见图 4)。键合焊盘 11 是想要用于地连接的第一部分的键合焊盘。键合焊 12 是想要用于电压源连接的第二部分的键合焊盘。键合焊盘 13 包括想要用于信号传输的第三部分的键合焊盘。在本实施例中,其中集成电路设有核心功能块 110 和外围功能块 210,键合焊盘 13 还用于提供外围功能块 210 的电压源和地连接。根据棋盘图案,键合焊盘 11、12 均匀地分布在集成电路 10 的可用表面区域上。组装到载体基板 20 上将导致从键合焊盘 11、12 到载体基板 20 的第二面上的相应接触焊盘和焊球的直接路径。

[0042] 本发明中的集成电路设有核心功能块和外围功能块。在本发明中,在载体基板 20 中为每个功能限定了分离的区域:用于核心功能块的芯部区域 31 和用于外围功能块的外围区域 32。在本实施例中,外围区域 32 横向地位于芯部区域 31 的周围。这是优选的,但是不是必须的。特定的键合焊盘位于载体基板 20 的第一面 21 上,用于核心功能块 (42) 和外围功能块 (43)。用于外围功能块 43 的键合焊盘包括用于信号传输和电压源的键合焊盘。用于核心功能块 42 的键合焊盘包括用于电压源的键合焊盘。此外,还存在用于地连接 (41) 的键合焊盘。

[0043] 对载体基板 20 的芯部区域 31 和外围区域 32 进行差别地设计。在芯部区域 31 中,第一面 21 上的键合焊盘 41、42 直接连接到第二面 22,以便使感应损失最小。用于地连接的接触焊盘 61 直接位于相应键合焊盘 41 之下。为了具有尽可能标准化的地,用于地的键合焊盘 41 通过载体基板 20 的第一面 21 上的地平面 52 互连。用于电压源连接的接触焊盘 62 通过载体基板 20 的第二面 22 上的到垂直互连的互连而耦合到相应的键合焊盘 42。

[0044] 载体基板 20 的外围区域 32 在其第二面 22 上设有地平面 51。在第一面 21 上限定互连 53,以便将键合焊盘 43 与相应的接触焊盘 63、65 连接起来。由于第二面 22 上存在地平面 51,以及相邻互连 53 之间的优选大于本体 20A 的厚度的相互距离,因此互连 53 表现为

传输线。结果,它们的感应损失减少了至少 90%,并且通常甚至减少大约 95%。

[0045] 互连 53 截止于垂直互连 73 ~ 75,如图 4 所示。互连 75 对应于用于外围功能块的电压源连接的接触焊盘 65。互连 73 对应于用于信号传输的接触焊盘 63。此外,还存在用于外围区域 32 的地连接的接触焊盘 64。这些接触焊盘 64 通过载体基板 20 的第二面 22 上的地平面 51 连接到它们的键合焊盘 41。用于地的接触焊盘 64 设置在接触焊盘阵列、通常为球栅阵列的外围。这提供了抗电磁干扰的某种保护。

[0046] 原本打算用于电压源连接的一些接触焊盘 65 可以用于地连接。这是设计的问题,并且取决于所需要的到外部载体的电压源连接和地连接的数量。然而,优选将接触焊盘 63 到 65 细分为子组 164、165。在子组 164、165 中,在中心接触焊盘 64、65 的周围存在高达 8 个用于信号传输的接触焊盘 63,所述中心接触焊盘 64、65 是用于地或用于电压源的焊盘。通过这种方式,信号路径及其信号回路可以是相邻的,并且因此两者间的距离最小。这实施了用于载体基板 20 到外部载体的适当的传输路径。

[0047] 具有半导体器件 10 到载体基板 20 的倒装片取向的本实施例具有显著的优点。首先,不需要载体基板 20 的第一面 21 上的附加键合焊盘层,这是引线键合所需的。不需要再分布层(即通过互连)或交错焊盘阵列。集成电路的键合焊盘 11、12、13 和载体基板 20 上的键合焊盘 41、42、43 之间的焊球可以直接设置在导电层 20B 上。

[0048] 其次,接触焊盘 61、62 以及相应的键合焊盘 41、42 和 11、12 都设置成“棋盘”图形。在这种图形中,用于电压源的焊盘 12、42、62 的每一个最靠近的相邻物是用于地的焊盘 11、41、61,并且反之亦然。因而,球栅阵列具有同轴结构,减少了大约 50%的有效电感,并且具有较低的地反弹电压。这里,集成电路 10 上的键合焊盘 11、12 设置在内部区域中。从集成电路的基板上的垂直投影来观察,这些焊盘 11、12 清楚地显示了与有源区的重叠。键合焊盘的这种设计作为有源区上的键合焊盘也是公知的。它们可以设置在钝化层的顶部,以便提供足够的强度。

[0049] 第三,由于载体基板中的芯部电压源的互连的良好导电性(低阻抗、低损耗),因此可以减少 ESD 保护结构的数量。实际上,仅在芯部区域 31 的外边缘上需要 ESD 保护结构。这是基于以下认识:由于良好的导电性,芯部区域 31 中的电压梯度在 ESD 应力期间应该是最小的。对于地连接,在芯部区域 31 和外围区域 32 中都需要 ESD 保护结构。

[0050] 第四,由于在载体基板的第一面 21 和集成电路 10 的背面,例如背离键合焊盘 11-13 的一面上设置散热层 15,可以提高器件 100 的热管理。特别优选的是减薄集成电路 10 的半导体基板,由此减少到散热层 15 的热阻路径。

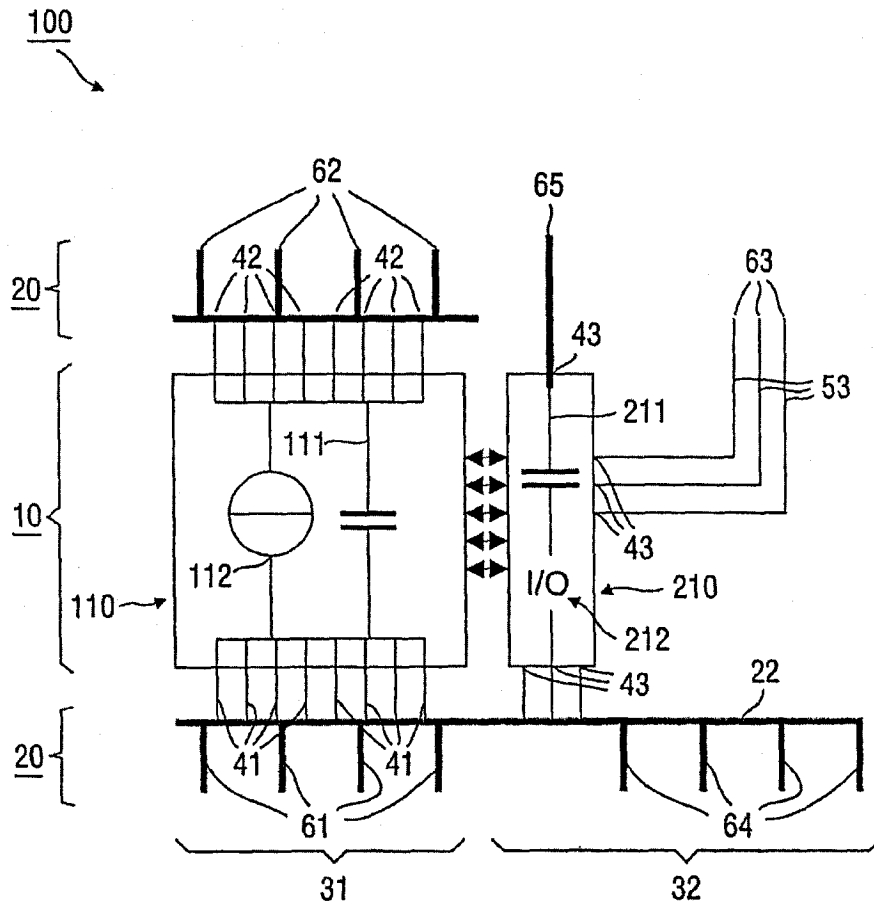


图 1

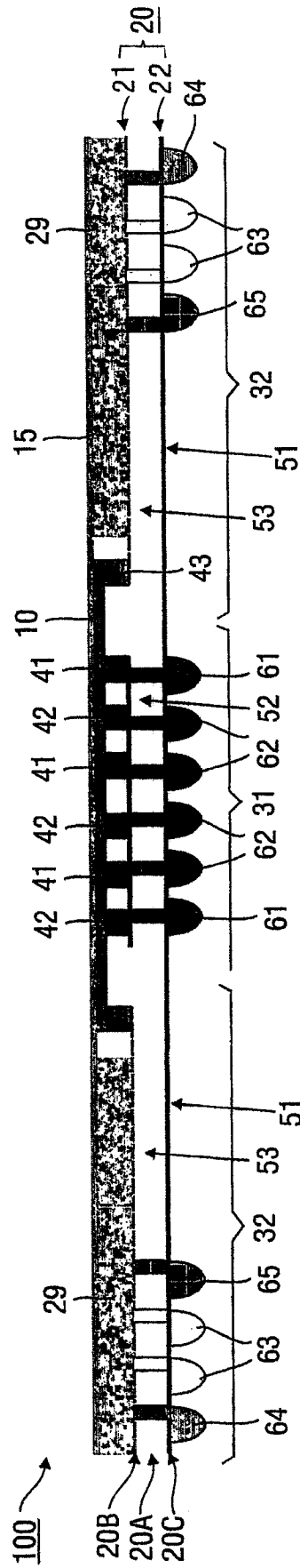


图 2

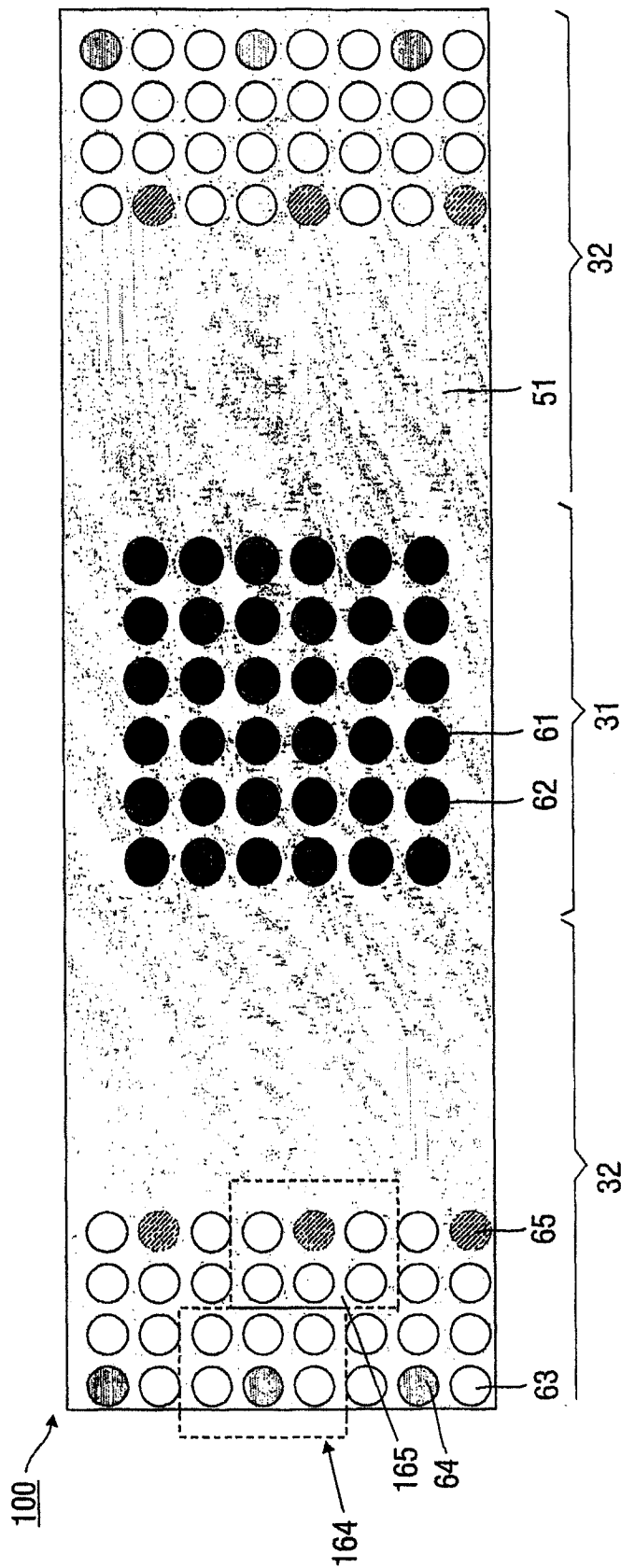


图 3

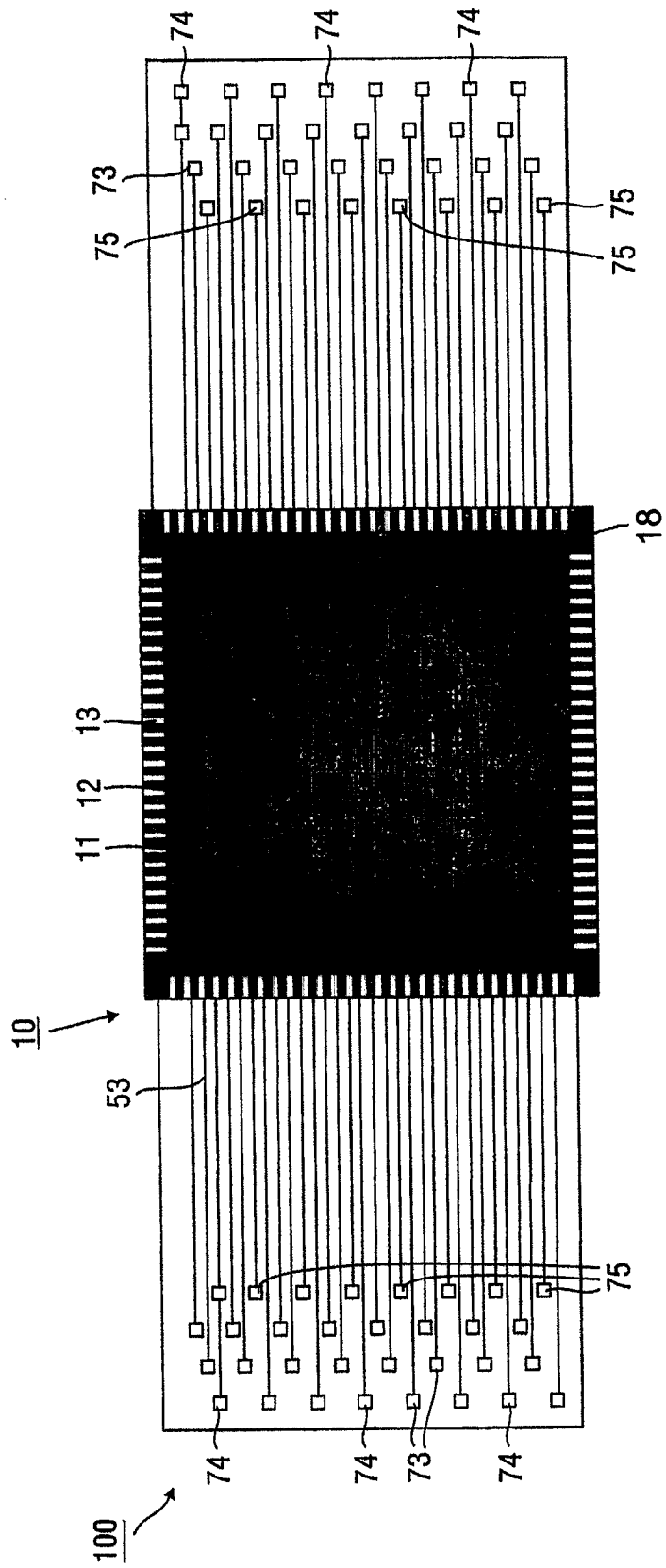


图 4