

[19] 中华人民共和国国家知识产权局

[51] Int. Cl.



# [12] 发明专利申请公布说明书

H01L 27/04 (2006.01)

H01L 21/822 (2006.01)

H03K 17/56 (2006.01)

[21] 申请号 200710084397.7

[43] 公开日 2007年9月12日

[11] 公开号 CN 101034705A

[22] 申请日 2007.2.28

[21] 申请号 200710084397.7

[30] 优先权

[32] 2006.3.6 [33] US [31] 11/367,626

[71] 申请人 半导体元件工业有限责任公司

地址 美国亚利桑那

[72] 发明人 弗兰辛·Y·罗伯

斯蒂芬·P·罗伯

[74] 专利代理机构 中国国际贸易促进委员会专利商  
标事务所

代理人 秦晨

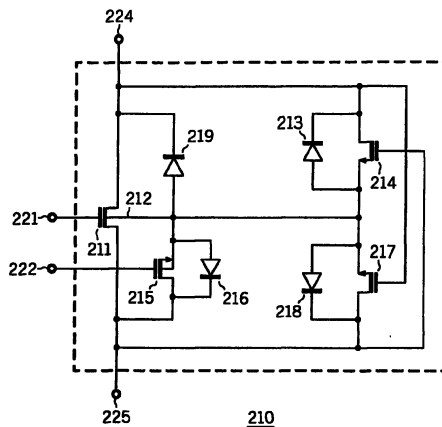
权利要求书 3 页 说明书 12 页 附图 5 页

## [54] 发明名称

具有旁路通路的双向晶体管及其方法

## [57] 摘要

在一个实施方式中，形成晶体管，使其拥有一个第一电流通路来有选择地通过该晶体管在两个方向上传导电流，同时拥有一个第二电流通路来有选择地在两个方向上传导电流。



1. 一种双向晶体管，包括：

—第一 MOS 晶体管，具有主体区域、第一载流电极和第二载流电极；

—开关，配置成响应于施加至所述第一 MOS 晶体管的第一载流电极和第二载流电极的信号，有选择地连接所述第一 MOS 晶体管的主体区域至所述第一 MOS 晶体管的第一载流电极或第二载流电极；  
和

—第二 MOS 晶体管，配置成有选择地形成与所述第一 MOS 晶体管并联的电流通路。

2. 如权利要求 1 所述的双向晶体管，其中，所述第一 MOS 晶体管的主体区域完全没有与所述第一 MOS 晶体管的第一载流电极的直接电连接。

3. 如权利要求 1 所述的双向晶体管，其中，配置成有选择地连接所述第一 MOS 晶体管的主体区域至所述第一 MOS 晶体管的第一载流电极或第二载流电极的所述开关包括：一第三 MOS 晶体管和一第四 MOS 晶体管，所述第三 MOS 晶体管和所述第四 MOS 晶体管配置成有选择地连接所述主体区域至所述第一 MOS 晶体管的第一载流电极或第二载流电极。

4. 如权利要求 3 所述的双向晶体管，其中，所述第三 MOS 晶体管是横向 MOS 晶体管，并且所述第四 MOS 晶体管是纵向 MOS 晶体管。

5. 一种形成双向晶体管的方法，包括：

在第一传导类型的半导体基片上形成第一 MOS 晶体管；

在所述半导体基片的表面上形成所述第一 MOS 晶体管的主体区域，所述主体区域通过第一 P-N 结与所述第一 MOS 晶体管的第一载流电极区域隔离，并且通过第二 P-N 结与所述第一 MOS 晶体的第二载流电极区域隔离；

形成第二 MOS 晶体管,其被连接成有选择地连接所述第一 MOS 晶体管的主体区域至所述第一 MOS 晶体管的第一载流电极; 和

在所述半导体基片的表面上形成第三 MOS 晶体管, 所述第三 MOS 晶体管被连接以形成与所述第一 MOS 晶体管并联的电流通路。

6. 如权利要求 5 所述的方法, 进一步包括: 形成所述第二 MOS 晶体管, 使其在所述第一 MOS 晶体管的主体区域和所述第一 MOS 晶体管的第二载流电极区域之间电连接。

7. 如权利要求 5 所述的方法, 进一步包括: 形成第四 MOS 晶体管, 所述第四 MOS 晶体管配置成有选择地连接所述第一 MOS 晶体管的主体区域至所述第一 MOS 晶体管的第二载流电极。

8. 一种形成双向晶体管的方法, 包括:

提供第一传导类型的半导体基片;

在所述半导体基片的表面上形成第二传导类型的第一掺杂区域, 作为第一晶体管的主体区域;

在所述第一掺杂区域内形成所述第一传导类型的第二掺杂区域, 并延伸第一距离进入所述第一掺杂区域作为所述第一晶体管的第一载流电极区域;

形成所述第一传导类型的第三掺杂区域, 自所述第二掺杂区域延伸第二距离进入所述第一掺杂区域;

在所述半导体基片的表面上形成所述第二传导类型的第四掺杂区域; 和

在所述第四掺杂区域形成第二晶体管, 并且在所述第一 MOS 晶体管的并联通路中连接所述第二晶体管。

9. 如权利要求 8 所述的方法, 进一步包括: 在所述半导体基片的表面上形成所述第二传导类型的第五掺杂区域, 并且使其与所述第一掺杂区域分隔开来; 在所述第五掺杂区域形成第三晶体管的源极和漏极; 以及在所述第一掺杂区域和所述半导体基片之间电连接所述第三晶体管。

10. 如权利要求 8 所述的方法, 进一步包括: 在所述半导体基片

的表面上形成所述第二传导类型的第五掺杂区域，并使其与所述第一掺杂区域分隔开来；在所述第五掺杂区域形成第三晶体管的源极和漏极；以及在所述第一掺杂区域和所述第二掺杂区域之间电连接所述第三晶体管。

## 具有旁路通路的双向晶体管及其方法

本申请涉及标题为“METHOD OF FORMING AN MOS TRANSISTOR AND STRUCTURE THEREFOR (形成 MOS 晶体管及其结构的方法)”的申请,该申请与本申请同时提交,具有至少一个共同发明者、共同受让人和代理人记录号 ONS00766。本申请也涉及标题为“BI-DIRECTIONAL TRANSISTOR AND METNOD THEREFOR (双向晶体管及其方法)”的申请,该申请在 2006 年 3 月 30 日提交,具有申请号(在台湾为 095111214,在中国为 200610071577.7,在韩国为 10-2006-0028987),具有至少一个共同发明者和共同受让人。

### 技术领域

本发明一般涉及电子学,特别是涉及形成半导体设备和结构的方法。

### 背景技术

过去,便携式电子设备经常由多种电源供电,如两块电池之一,或来自电池以及经由交流/直流转换器或电池充电器来自交流壁装电源插座。开关网络通常用于根据操作模式控制功率流。例如,如果当二级电池充电时便携式设备由主电池供电,则一些开关闭合而另一些开关断开。在另一种模式中,开关反转。为在所有模式中有效,开关应在两个方向上导通或截断。然而,功率金属氧化物半导体场效应晶体管(power MOSFET)只能在一个方向截断电压。这样,在 MOSFET 的体二极管传导电流的反方向,两个功率 MOSFET 通常串联连接以充当一个开关。通常将漏极连接在一起来使用两个功率 MOSFET,以便在栅压为 0 时,设备之一总是与极性无关地截断施加到两个晶体管

上的电压。这样的开关的一个例子是由亚利桑那州菲尼克斯的 ON Semiconductor 提供的 NTLTD7900。因为这样的开关使用两个晶体管，所以开关使用的硅是一个晶体管的两倍，这增加了成本。此外，因为两个晶体管串联，导通阻抗高。在一些应用中，希望具有另外的电流通路。

因此，希望有一种形成双向开关的方法，其降低成本，减小双向开关的阻抗，并具有多于一个的电流通路。

#### 附图说明

图 1 用图形说明了根据本发明的双向晶体管的实施方式的部分电路表示；

图 2 说明了根据本发明的图 1 的双向晶体管的实施方式的截面部分；

图 3 用图形说明了根据本发明的图 1 的双向晶体管的可替换实施方式的一部分电路表示；

图 4 说明了根据本发明的图 3 的双向晶体管的实施方式的截面部分；

图 5 用图形说明了根据本发明的图 1 的双向晶体管的另一个可替换实施方式的一部分电路表示；

图 6 说明了根据本发明的图 5 的双向晶体管的实施方式的截面部分；和

图 7 用图形说明了使用根据本发明的图 1 或图 3 或图 5 的双向晶体管的系统。

为了说明的简洁和清楚，图中的单元不必按比例，不同图中的同样的标号表示相同的单元。此外，为说明的简洁而省略众所周知的步骤和单元的描述和细节。这里使用的载流电极是指设备的一个单元，其承载通过该设备的电流，如 MOS 晶体管的源极或漏极或者双极晶体管的发射极或集电极或者二极管的阴极或阳极，控制电极是指设备的一个单元，其控制通过该设备的电流，如 MOS 晶体管的栅极或双

极晶体管的基极。虽然设备在此解释为确定的 N-通道或 P-通道设备，本领域技术人员应认识到，按照本发明，补充的设备也是可以的。为了图示的清楚，设备结构的掺杂区域表示为具有直线边缘和角度清晰的顶角。然而，本领域技术人员理解由于掺杂物的扩散和激活，掺杂区域的边缘通常不是直线而顶角也不是清晰的角。

本申请涉及标题为“双向晶体管及其方法”的申请，其提交日期为 2005 年 3 月 31 日，具有至少一个共同发明者、共同受让人和申请号 11/093,381，因此通过引用包含在本文的内容中。

### 具体实施方式

图1用图形说明了双向晶体管 210 的电路表示，其能在双向传导电流通过晶体管 210，在双向截断反向电压通过晶体管 210，以及还选择地传导电流通过晶体管 210。晶体管 210 包括第一 MOS 晶体管 211、第一开关或第一开关晶体管 214、第二开关或第二开关晶体管 217、和旁路开关或旁路晶体管 215。晶体管 214 的寄生源-漏二极管由二极管 213 表示，晶体管 215 的寄生源-漏二极管由二极管 216 表示，以及晶体管 217 的寄生源-漏二极管由二极管 218 表示。晶体管 210 也包括第一控制电极或栅极 221、第二控制电极或栅极电极 222 以及用作晶体管 210 的漏极和源极的载流电极 224 和 225，其将在下文进一步看到。虽然晶体管 210、211、214、215 和 217 在此说明并描述为 N-通道晶体管，晶体管 210 和晶体管 211、214、215 和 217 也可实施为 P-通道晶体管。在下文将进一步看到，晶体管 211 包括主体区域或主体 212，其与晶体管 211 的两个载流电极隔离。为了便利于通过晶体管 210 进行双向电流传导，晶体管 211 的主体 212 不是直接连接到晶体管 211 的任一载流电极，而是相应于施加到晶体管 210 的第一载流电极和第二载流电极上的信号，由晶体管 214 和 217 选择性地连接到载流电极 224 和 225 两者之一。同样，可以选择性地激活晶体管 215 以在电极 224 和 225 之间传导电流。晶体管的源极通常是与晶体管主体连接的电极。因为主体 212 不是直接连接到晶体管 211 的源极或漏极，所以

在晶体管 210 的电路图表示中，晶体管 210 的哪一个载流电极被标识为晶体管 210 的源极或漏极并不清楚。

在操作中，如果施加于载流电极 224 和 225 的信号电压使得最高电压施加于电极 225 而较低电压施加于电极 224，则电极 224 充当晶体管 210 和 211 的源极而电极 225 充当漏极。对于这样的配置，可以激活晶体管 215 以提供通过二极管 219 和晶体管 215 从电极 224 到电极 225 的电流通路。如果相对于施加于电极 224 的电压，施加于栅极 222 的电压比晶体管 215 和二极管 219 的门限电压大，则激活晶体管 215 以传导电流通过晶体管 215 和二极管 219 至电极 225。因为激活了晶体管 215，晶体管 211 和 215 不会截断施加在电极 224 和 225 之间的电压。此外，晶体管 214 和 215 截止。

如果施加于栅极 222 的电压比晶体管 215 加上二极管 219 的门限电压小，则晶体管被截止并且优选地具有击穿电压，其能够支撑住施加在电极 224 和 225 之间的电压。如果晶体管 215 被截止，且如果相对于施加于电极 224 的电压，施加于栅极 221 的电压小于晶体管 211 的门限电压，则晶体管 211 断开或截止。晶体管 217 的栅极接收来自电极 224 的低电压，这样晶体管 217 断开。晶体管 214 的栅极接收来自电极 225 的高电压，其激活晶体管 214 以便将主体 212 连接至电极 224 并连接至施加于晶体管 210 的最低电压。此连接使晶体管 210 容易承受住在电极 224 和 225 之间施加的电压。如果施加于栅极 221 的电压比晶体管 211 的门限电压大，晶体管 211 导通或激活，从而使电流自电极 225 通过晶体管 211 流到电极 224。因为晶体管 211 被激活，电极 225 上的电压与施加于电极 224 的电压（减去晶体管 211 的  $V_{ds-on}$ ）基本相同。因而，施加于晶体管 214 和 217 的栅极的电压也是低的，而晶体管 214 和 217 都断开。由于二极管 213 的存在，主体 212 是浮动的，但永远不会比电极 224 上的电压大超过约 0.6V 的电压。因为晶体管 211 导通，晶体管 211 不会截断电压，因而主体 212 的连接不重要。通常，当晶体管 211 激活时能够激活晶体管 215，然而，晶体管 215 通常不传导很大的电流。如果激活晶体管 215 而晶体管 211



截止，通常有可能激活晶体管 211。

在向电极 224 和 225 施加电压使得电极 224 的电压大于电极 225 的电压的情况下，则电极 224 充当晶体管 210 和 211 的漏极而电极 225 充当源极。对于这样的电压，无法激活晶体管 215，晶体管 215 应具有一个击穿电压，该击穿电压足以承受住施加在电极 224 和 225 之间的电压。如果相对于施加于电极 225 的电压，施加于栅极 221 的电压比晶体管 211 的门限电压小，则晶体管 211 处于断开的状态或被截止。晶体管 214 的栅极处于低电压，这样，晶体管 214 也被截止。晶体管 217 的栅极处于施加于电极 224 的电压上。假定施加于电极 224 的电压比晶体管 217 的门限大，则晶体管 217 激活并连接主体 212 至载流电极 225，从而保证主体 212 连接到施加于晶体管 210 上的最低电压。这有助于晶体管 210 承受施加于电极 224 和 225 之间的电压。在施加于栅极 221 的电压比晶体管 211 的门限电压大的情况下，晶体管 211 接通或激活，这样，电极 224 上的电压与施加于电极 225 的电压（减去晶体管 211 的  $V_{ds-on}$ ）基本一致。因而，施加于晶体管 214 和 217 的栅极的电压也是低的，且晶体管 214 和 217 都断开。由于存在二极管 218，主体 212 是浮动的，但总是比电极 225 上的电压大不超过大约 0.6V 的电压。由于晶体管 211 是接通的，电流能够从电极 224 通过晶体管 211 流至电极 225。因为晶体管 211 是接通的，晶体管 211 不会截断施加于电极 224 和电极 225 之间的电压，由此主体 212 的连接不是重要的。本领域技术人员将认识到，为了支持高  $dv/dt$ ，晶体管 214 和 217 的导通阻抗通常是低的。晶体管 214 和 217 的导通阻抗通常小于大约 25 欧姆并最好小于大约 5 欧姆。

为了帮助给晶体管 210 提供该功能，晶体管 214 的漏极一般连接至晶体管 217 的栅极和载流电极 224。晶体管 214 的源极一般共同连接至主体 212 和晶体管 217 的源极。晶体管 217 的漏极一般共同连接至晶体管 214 的栅极和载流电极 225。晶体管 215 的漏极一般共同连接至电极 225 和晶体管 211 的第一载流电极。晶体管 211 的第二载流电极连接至电极 224。晶体管 215 的源极连接至二极管 219 的阳极，

二极管的阴极连接至电极 224。

图 2 说明了在图 1 中说明的晶体管 210 的实施方式的截面部分。此描述参照图 1 和图 2。在一种实施方式中，晶体管 211 是具有沟槽栅的 N-沟道纵向功率 MOSFET，晶体管 214 和 217 是横向 N-沟道晶体管，晶体管 215 是纵向 N-沟道 MOSFET。在此实施方式中，晶体管 211 有多重沟槽栅，它们通常彼此平行延伸，横向穿过半导体基片 35。晶体管 215 也有多重沟槽栅，它们通常彼此平行延伸，横向穿过基片 35。基片 35 一般包括 N 型体基片 30 和 N 型外延层 32，N 型外延层 32 形成于体基片 30 的表面。晶体管 211、214、215 和 217 形成于基片 35 的第一表面。导体 31 形成于基片 30 的第二表面，并充当晶体管 210 的部分电极 225。

晶体管 211 包括第一掺杂区域 47，其形成于基片 35 的第一表面。区域 47 充当晶体管 211 的主体 212，并具有与层 32 的传导类型相反的传导类型。区域 47 的掺杂浓度通常比层 32 的掺杂浓度大，以便提供沟道区域并截断施加于晶体管 210 的电压。区域 47 和层 32 帮助截断施加于晶体管 210 的正向电压，例如当施加于电极 225 的电压比施加于电极 224 的电压大的时候。区域 47 可掺杂以硼，其最高浓度在  $1E16\sim 1E18$  原子/立方厘米 ( $1E16\sim 1E18$  atoms/cm<sup>3</sup>) 之间。区域 47 通常指 pHV 区域。掺杂区域 48 和掺杂区域 49 在区域 47 内形成，从而便于形成对区域 47 的电接触。区域 48 和 49 通常具有与区域 47 相同的传导性，并具有更高的掺杂浓度。自基片 35 的第一表面通过区域 47 延伸进入层 32 形成沟槽，以便形成晶体管 211 的沟槽型栅极 26、27 和 28。栅极 26、27 和 28 通常以箭头标识。虽然只说明了 3 个栅极，本领域技术人员将认识到晶体管 211 可以有多个的栅极。沿每个沟槽的侧壁和底部形成如二氧化硅等绝缘体 51。沟槽的其余部分填充以栅导体 52，如多晶硅，以形成栅极 26、27 和 28。导体 52 通常被绝缘体 51 的另一部分覆盖。掺杂区域 56 形成于基片 35 的表面并且被设置在每个沟槽栅之间，以便充当晶体管 211 的第一载流电极 (CCE1)。区域 56 与区域 47 的传导性相反。区域 56 可掺杂以砷，其最高掺杂浓

度在  $5E19\sim 1E21$  原子/立方厘米之间 ( $5E19\sim 1E21$  atoms/cm<sup>3</sup>)。区域 56 通常自基片 35 的表面延伸一个第一距离进入区域 47, 通常大约 0.15 微米。形成高电压区域以帮助截断反向电压, 例如当施加于电极 224 的电压比施加于电极 225 的电压大时。高电压区域, 也指 nHV 区域, 形成为掺杂区域 55, 其自基片 35 的表面延伸一个第二距离进入区域 47, 通常约为 0.5 微米, 此距离大比区域 56 的第一距离从而置于区域 56 之下。可以在区域 56 之前形成区域 55, 而对区域 55 的一部分进行掺杂以形成区域 56。区域 55 的掺杂浓度通常小于区域 56 的掺杂浓度, 以便提供区域 47 和区域 55 之间的高正向击穿电压。没有区域 55 的晶体管仅能支撑非常小的反向电压, 通常小于大约 8 伏 (8V)。然而, 由于存在区域 55, 晶体管 210 能支撑巨大的反向电压。区域 55 的最大掺杂浓度大约为  $1E16\sim 1E18$  原子/立方厘米, 以便晶体管 211 容易支撑至少大约为 10~50 伏 (10-50V) 的反向击穿电压。可以通过改变晶体管 210 的其他参数, 如栅绝缘体的厚度或晶体管 211 的栅极的深度, 来增加反向击穿电压。在区域 55 和 47 之间的界面形成的 P-N 结形成了二极管, 如图 1 中说明的二极管 219。本领域技术人员将认识到, 区域 47 和层 32 之间的界面形成二极管 (未示出), 其与晶体管 215 并联。

晶体管 215 一般形成于基片 35 的表面, 并与晶体管 211 的一侧相邻。晶体管 215 优选作为纵向晶体管形成, 因为纵向晶体管具有更低的导通阻抗并能够更容易地与晶体管 211 相互连接。本领域技术人员应认识到, 晶体管 215 的位置仅是说明性的, 而且可相对于晶体管 211 的位置不同地布置晶体管 215。在优选的实施方式中, 掺杂区域 94 充当晶体管 215 的主体。区域 94 形成于基片 35 的表面, 基本与区域 47 相同, 但与区域 47 分隔开来。晶体管 215 的沟槽栅 88、89 和 90 的形成方式与晶体管 211 的栅极 26、27 和 28 的相似。沟槽通过区域 94 形成, 并且衬以与绝缘体 51 类似的绝缘体。类似于导体 52 的栅导体在沟槽内形成并被绝缘体 51 包围。在栅极 88 和 89 之间以及栅极 89 和 90 之间形成掺杂区域 93, 使其自基片 35 的第一表面延伸进入区

域 94，以便利于形成对晶体管 215 的主体的电接触。区域 93 一般具有与区域 94 相同的传导性，但具有更高的掺杂浓度。在栅极 88 和 89 之间以及栅极 89 和 90 之间形成掺杂区域 92，以充当晶体管 215 的源极。区域 92 通常邻接一个相邻栅极形成并延伸以与相邻区域 93 邻接。区域 92 通常以相反于区域 94 的传导性掺杂，并可具有大约为  $5E19\sim 5E20$  原子/立方厘米的掺杂浓度。导体 78 可以用来电接触区域 92 和区域 93。导体一般通过基片 35 延伸以形成与栅极 88~90 的导体的电接触，如图 1 中的栅电极 222 所示。

晶体管 217 形成于基片 35 的表面且邻近晶体管 215 的一侧。本领域技术人员将认识到，晶体管 215 的位置只是说明性的，而且可以相对于晶体管 211 和 215 的位置而不同地布置晶体管 215。在优选的实施方式中，晶体管 217 包括掺杂区域 34，其充当晶体管 217 的主体。区域 34 也可以穿过基片 35 的第一表面平行于区域 47 进行延伸，以便利于形成对区域 34 的电接触。区域 34 一般具有与层 32 相反的传导性。掺杂区域 36 在区域 34 中形成，并具有相反的传导类型，以便充当晶体管 217 的漏极。掺杂区域 37 在区域 36 内形成并具有同样的传导性，其掺杂浓度比区域 36 高，以便利于形成对区域 36 的电接触。在区域 34 中形成具有与区域 37 类似的传导类型和掺杂浓度的掺杂区域 38，并将其与区域 36 分隔开来，以便充当晶体管 217 的源极。邻接于区域 38 形成具有与区域 34 相同的传导类型的掺杂区域 39，以便利于形成对区域 34 的电接触。晶体管 217 的栅极包括在基片 35 的表面形成并位于至少区域 36 和 38 的一部分之上的栅绝缘体 42、在绝缘体 42 之上形成的栅导体 43 和覆盖导体 43 以使导体 43 与其它导体绝缘的电介质 44。掺杂区域 33 可形成于基片 35 的表面上，邻近区域 34，并通常平行于区域 34 延伸。区域 33 具有和层 32 相同的导电类型以及更高的掺杂浓度，并延伸进入层 32 以形成对层 32 的电接触。区域 33 便于在晶体管 217 的漏极和晶体管 210 的载流电极 225 之间形成电接触。本领域技术人员应认识到，晶体管 217 也可以形成为纵向晶体管，特别是由于晶体管 217 的漏极连接至电极 225。

晶体管 214 一般包括掺杂区域 60, 其与掺杂区域 34 类似, 只是掺杂区域 60 平行延伸至晶体管 211 的与晶体管 215 和 217 不同的一侧。本领域技术人员将认识到晶体管 214 的位置只是说明性的, 而且可相对于晶体管 211、215 和 217 的位置而不同地布置晶体管 214。类似于区域 36 形成掺杂区域 63, 使其自基片 35 的第一表面延伸进入区域 60, 并且掺杂区域 63 形成晶体管 214 的漏极。类似于区域 37 在区域 63 内形成掺杂区域 64, 以便利于形成对区域 63 的电接触。在区域 60 内形成类似于掺杂区域 38 的掺杂区域 62, 并且使其与区域 63 分隔开来以充当晶体管 214 的源极。邻近区域 62 形成与区域 39 类似的掺杂区域 61, 从而便利于形成对区域 60 的低阻抗的电接触。区域 61、62、63 和 64 的掺杂类型和浓度分别与区域 39、38、36 和 37 类似。

通常形成导体 76, 以通过对区域 37 的电接触形成对区域 33 和晶体管 217 的漏极的电接触。电介质 75 的一部分, 如内层电介质, 使导体 76 与基片 35 的部分第一表面绝缘。导体 76 连接晶体管 217 的漏极至晶体管 211 的电极 225。形成导体 78, 以形成通过区域 48 对区域 47 的电接触和对区域 38 的电接触, 以便连接主体 212 至晶体管 217 的源极和晶体管 215 的源极。电介质 75 的另一部分使导体 78 与基片 35 的部分表面绝缘。形成导体 79, 使其延伸以覆盖并形成对全部区域 56 的电接触, 以便形成晶体管 211 的电极 224。电介质 75 的其它部分使导体 79 与栅极 26、27 和 28 绝缘。形成导体 81 以形成对区域 49 以及区域 61 和 62 的电接触, 以便在主体 212 和晶体管 214 的源极之间形成电接触。电介质 75 的另一部分使导体 81 与晶体管 211 和 214 的其他部分绝缘。形成导体 82 以形成对区域 64 的电接触, 以便形成至晶体管 214 的源极的电连接。导体 82 的一部分可以通过基片 35 延伸为导体 72, 以便将导体 82 电连接至导体 79, 进而电连接至电极 224 和晶体管 211 的第一载流电极 (CCE1), 并电连接至晶体管 217 的栅极。此外, 导体 76 的一部分可以通过基片 35 延伸以形成导体 71, 以便连接晶体管 217 的漏极至晶体管 214 的栅极。

本领域技术人员应认识到, 晶体管 210 也可包括一个掩埋层, 其

形成于基片 35 内并位于栅极 26~28 之下。这样的掩埋层一般是传导类型与层 32 一致的掺杂区域，并有更高的掺杂浓度。此外，区域 34 和 60 可形成为逆向掺杂区域。例如，邻接并位于区域 34 和 60 之下的层 32 的一部分可掺杂为与区域 34 和 60 一样的掺杂类型，但比区域 34 和 60 的掺杂浓度高。

图 3 用图形说明了双向晶体管 230 的电路表示，其为在图 1 和图 2 描述中所描述的晶体管 210 的一个可替换实施方式。

图 4 说明了晶体管 230 的一个实施方式的截面部分。此描述参照图 4 和图 5。晶体管 230 类似于晶体管 210，晶体管 215 被二极管 232 和另一个与晶体管 215 类似的纵向 MOS 晶体管 231 代替。虽然与晶体管 215 类似地构成晶体管 230，但晶体管 230 被不同于晶体管 215 进行连接并可不同地布置于基片 35 之上。如果施加于栅电极 222 的信号比晶体管 231 加上二极管 232 的门限电压大，则晶体管 231 被激活，并且电流自电极 224 通过二极管 232 和晶体管 231 流至电极 225。为便于晶体管 230 的这一操作，晶体管 231 的漏极连接至电极 225，栅极连接至栅电极 222，而源极连接至二极管 232 的阳极。二极管 232 的阴极连接至电极 224。

如图 4 所示，晶体管 231 是纵向 MOS 晶体管，其在基片 35 的第一表面上形成。晶体管 231 一般不邻近晶体管 211，并且二极管 232 位于晶体管 231 和晶体管 217 之间。本领域技术人员应认识到，晶体管 231 的位置只是说明性的，而且可相对于晶体管 211 和二极管 232 的位置而不同地布置晶体管 231。在基片 35 的第一表面形成掺杂区域 234 以形成二极管 232 的阳极，而在区域 234 内形成掺杂区域 235 以形成二极管 232 的阴极。区域 234 和 235 一般分别被掺杂为 P 型和 N 型。在区域 92 和 93 以及区域 234 上形成导体 236，以便在晶体管 231 的源极和二极管 232 的阳极之间形成连接。区域 234 内的掺杂区域形成导体 236 和区域 234 之间连接的低阻抗接触区域。形成导体 237 以接触区域 235。导体 237 一般通过基片 35 的表面延伸（如通过连接电极 224 至二极管 232 的线段所示），以便在二极管 232 的阴极和电极

224 之间形成连接。

图 5 用图形说明了双向晶体管 240 的电路表示, 其为在图 1 和图 2 中所描述的晶体管 210 的一个可替换实施方式。

图 6 说明了晶体管 240 的实施方式的截面部分。此描述参考图 5 和图 6。晶体管 240 类似于晶体管 210, 晶体管 215 被二极管 242 和横向 MOS 晶体管 241 替代。晶体管 241 类似于晶体管 214 或 217, 但连接不同, 并通常位于基片 35 上的不同位置。如果施加于栅电极 222 的信号比晶体管 241 加上二极管 242 的门限电压大, 则晶体管 241 被激活而电流自电极 224 通过晶体管 241 和二极管 242 流至电极 225。为便于晶体管 240 的这一操作, 晶体管 241 的源极连接至电极 224, 栅极连接至电极 222, 而漏极连接至二极管 242 的阴极。二极管 242 的阳极连接至电极 225。

如图 6 所示, 晶体管 241 是横向 MOS 晶体管, 其在基片 35 的第一表面上形成。晶体管 241 通常不与晶体管 211 邻接, 并且晶体管 214 或 217 之一可以位于晶体管 211 和晶体管 241 之间。本领域技术人员将认识到, 晶体管 241 和二极管 242 的放置仅是说明性的, 并且可以相对于晶体管 211 的位置而不同地放置晶体管 241 或二极管 242。在基片 35 的第一表面上形成掺杂区域 247 以形成二极管 242 的阳极, 而在区域 247 内形成掺杂区域 248 以形成二极管 242 的阴极。区域 247 和 248 一般分别掺杂为 P 型和 N 型。在晶体管 241 的区域 39 上形成导体 244。导体 244 可以通过基片 35 的表面延伸 (如连接导体 244 至电极 224 的线段所示), 以便于连接晶体管 241 的源极至电极 224。形成导体 245 使其接触晶体管 241 的区域 37 和二极管 242 的区域 248, 以便在二极管 242 的阴极和晶体管 241 的漏极之间形成连接。区域 247 通过导体 249 和接触区域 250 连接至层 32, 从而形成自二极管 242 的阳极到电极 225 的连接。

图 7 用图形说明了使用双向晶体管 210 的系统 260。系统 260 代表手机充电系统, 其包括移动电话或手机 263、通常为手机 263 组成部分的电池 262 和电池充电器 261。充电器 261 从主电路接收功率,

并提供充电器电流 265 为电池 262 充电以及提供操作电流 266 以操作手机 263。在一些情况下, 希望使电流 265 截止而仍提供电流 266。例如, 如果电池 262 充满电, 就希望阻止对电池 262 进一步充电而允许手机 263 自充电器 261 和电流 266 操作。在这种情况下, 晶体管 211 截止以阻止电流 265 流经电池 262。然而, 激活晶体管 215 以提供电流 266 的回路, 而不对电池 262 充电。激活晶体管 215 就允许电流 266 自充电器 261、经过手机 263、经过晶体管 215 和经过电池 262 流回充电器 261, 不对电池 262 充电或放电。

考虑到以上所有内容, 明显地公开了一种新的装置和方法。在其它特性中, 包括通过双向晶体管形成旁路电流通路, 其中旁路电流通路有选择地允许电流在一个方向流动。还形成双向晶体管, 以便有选择地连接主体 212 至晶体管 210 的不同电极, 从而便于双向截断施加于晶体管 210 的电压。在区域 56 下面形成 nHV 区域可以便于支撑通过晶体管 210 的电压。使用一个晶体管代替两个串联连接的晶体管降低了双向二极管和使用该双向二极管的系统的成本。在晶体管 211 的并联通路中形成晶体管 215、231 或 241 中任何一个就可以在晶体管 211 的电流通路的一个方向上提供有选择地激活的电流通路。

虽然本发明以特定的优选实施方式描述, 明显的是, 对于半导体领域技术人员来说, 许多替换方式和变化是显而易见的。更具体地说, 虽然针对特定的 N 通道 MOS 晶体管结构描述了本发明, 但是本方法可直接应用于 P 通道晶体管, 也可直接应用于 BiCMOS、金属半导体 FET (MESFET)、HFET 和其它晶体管结构。本领域技术人员将认识到, 可使用其它金属层以帮助形成更多的对主体区域的电接触, 从而降低阻抗。本领域技术人员还将认识到, 晶体管的彼此相关的位置只是说明性的, 并且晶体管可以相关于双向晶体管的其它晶体管的位置而进行不同的布置。此外, 为说明的清楚而贯穿全文使用了词语“连接(connect)”, 然而, 词语“连接(connect)”与词语“连接(couple)”具有同样的含义。因此, “连接(connect)”可认为包括直接连接或间接连接。



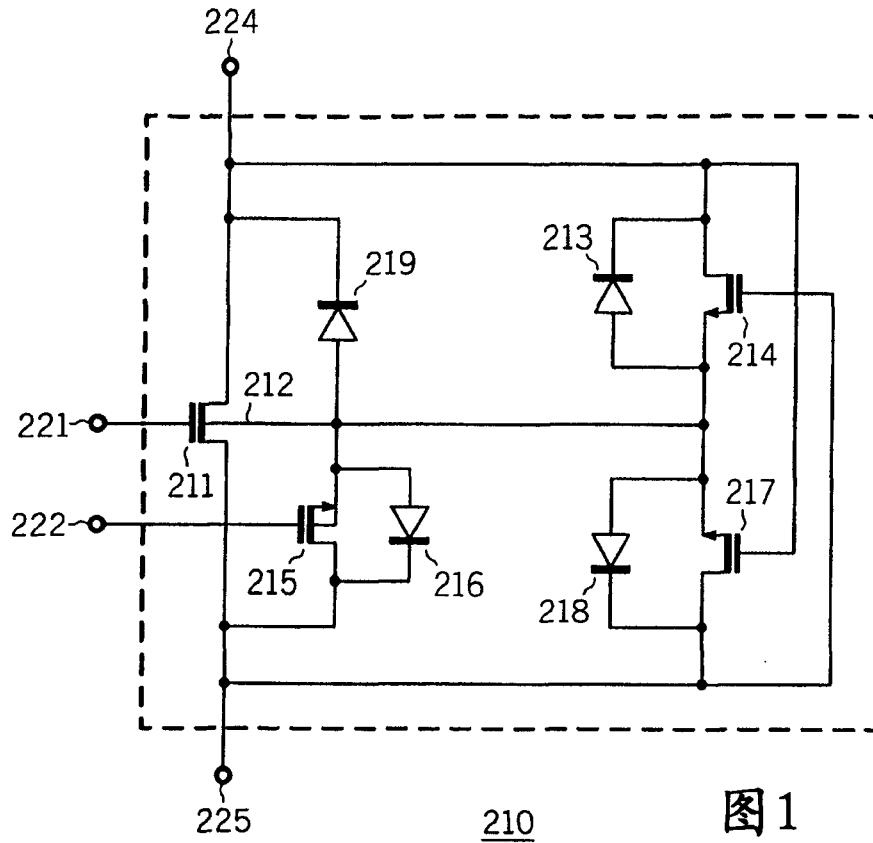


图 1

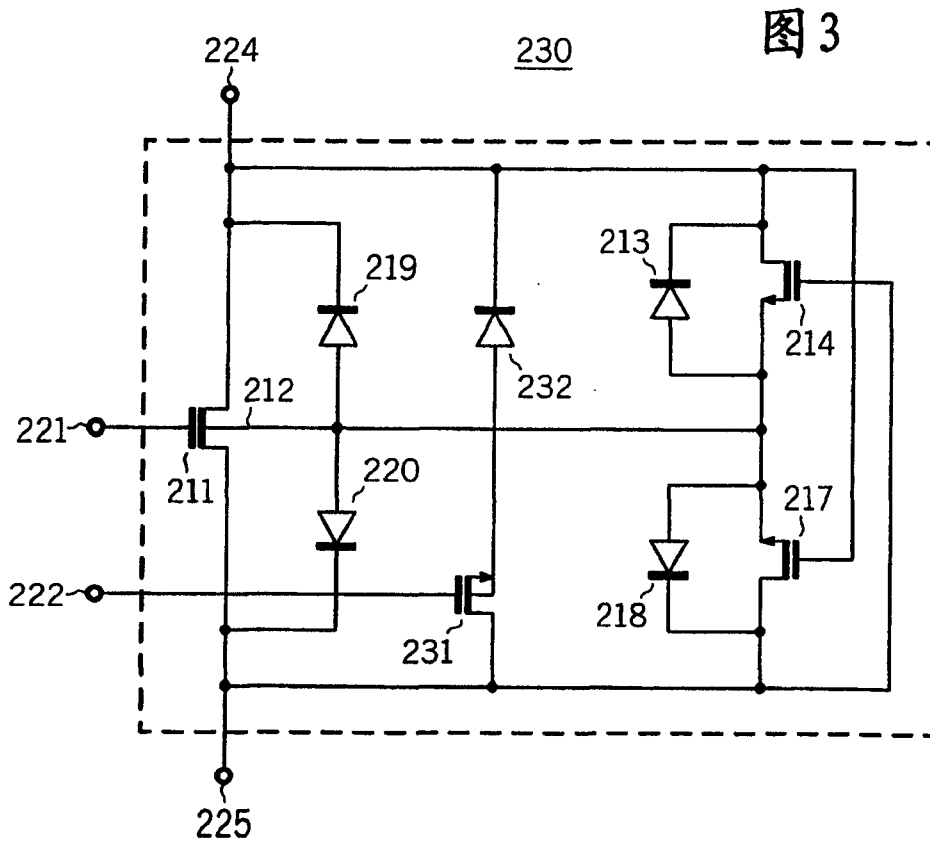


图 3

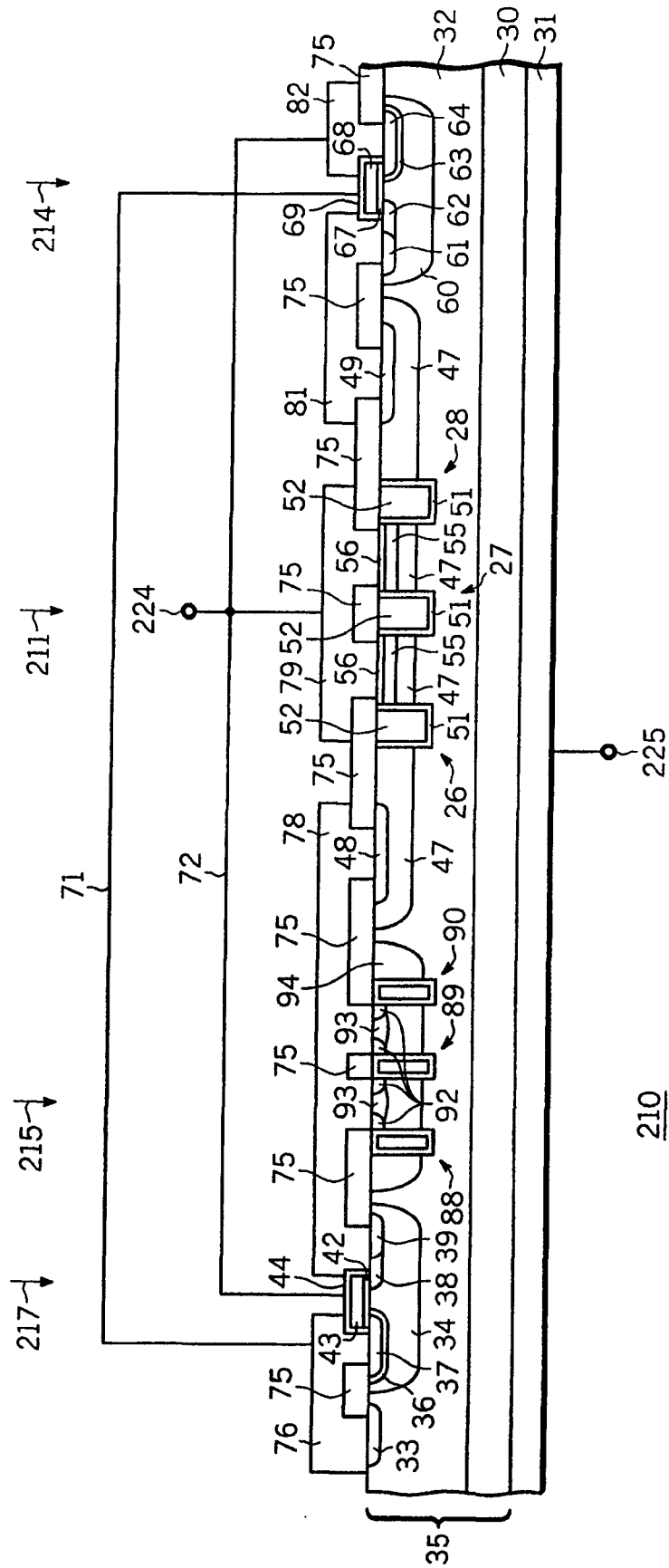


图 2

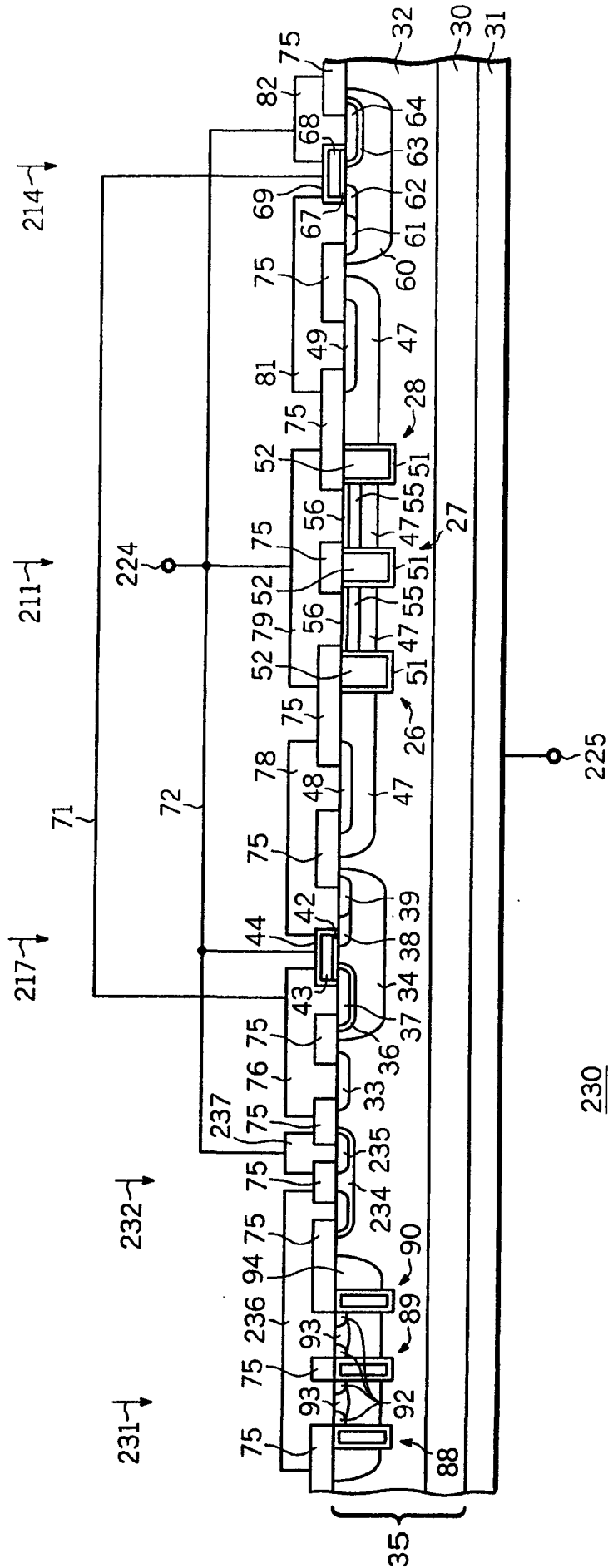


图4

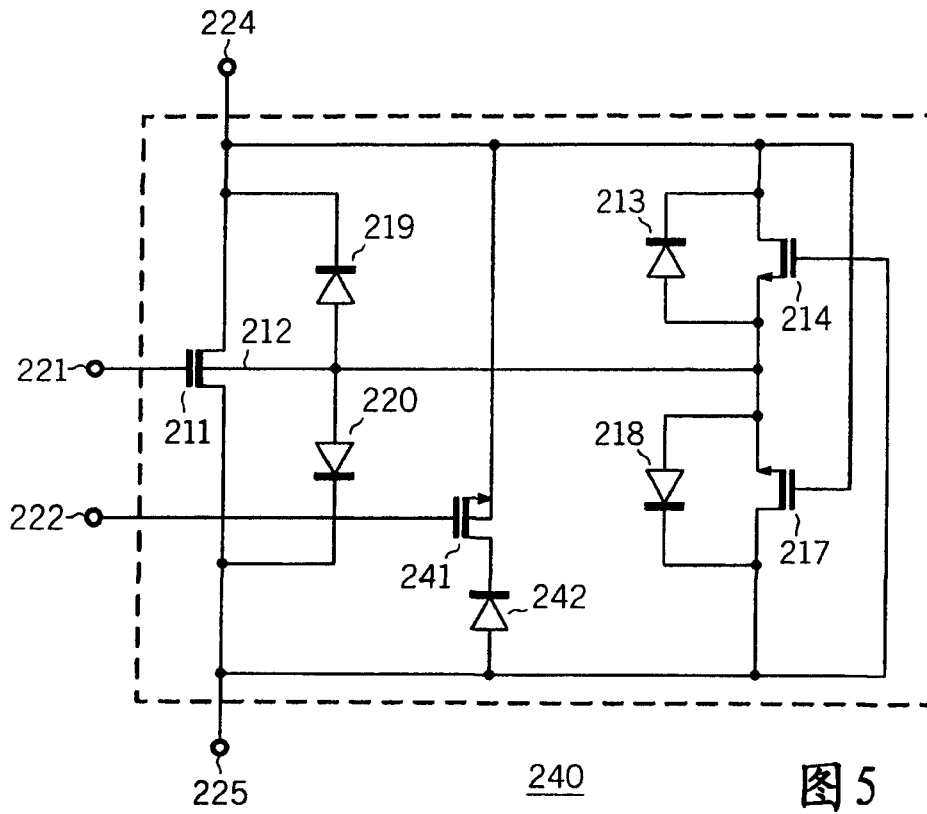


图 5

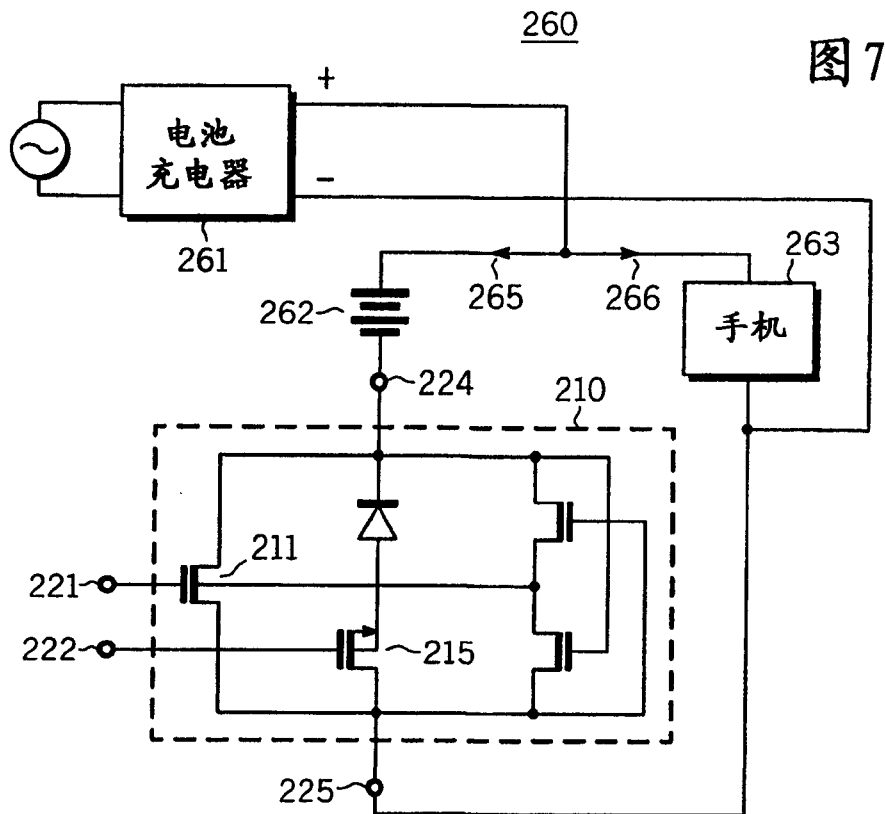


图 7

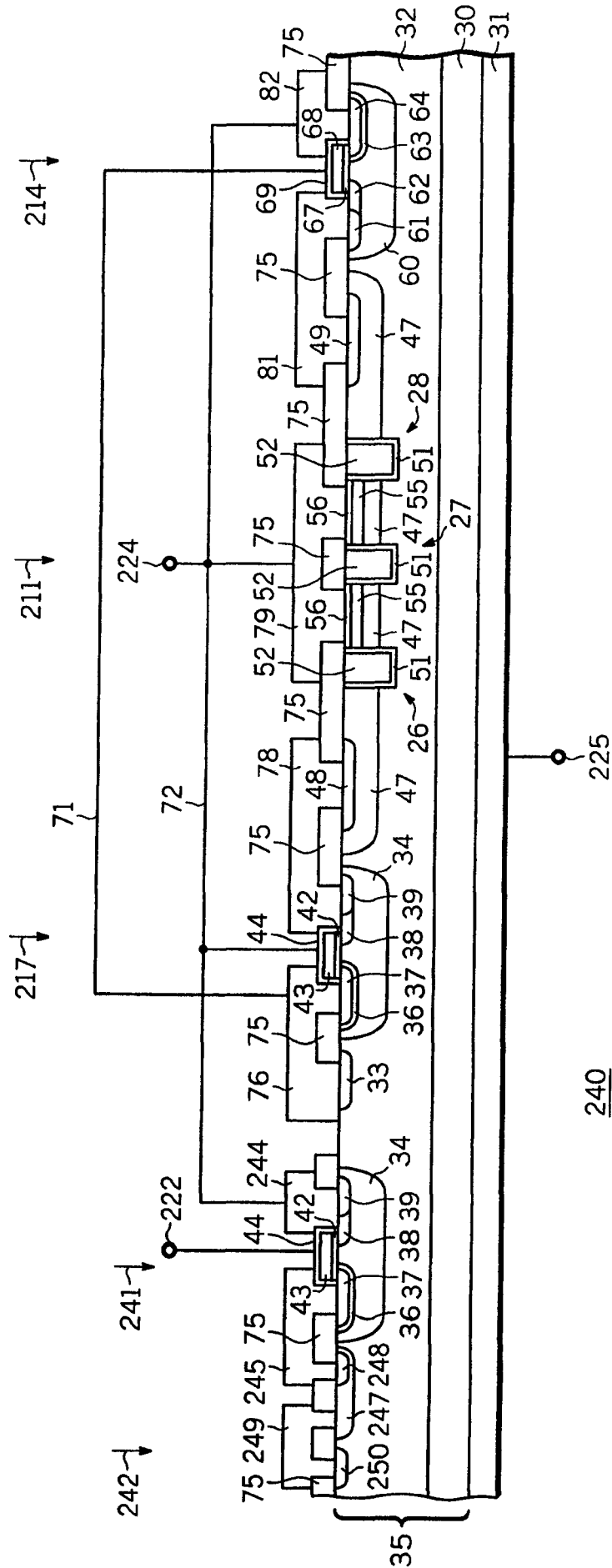


图6